

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2012 年 12 月 20 日(20.12.2012)

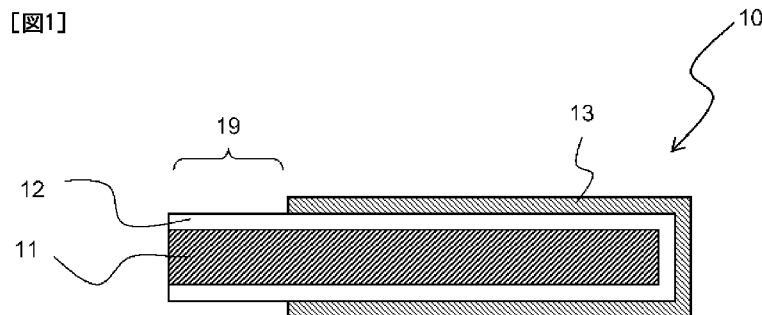


(10) 国際公開番号
WO 2012/172986 A1

- (51) 国際特許分類:
H01L 33/24 (2010.01) H01L 31/04 (2006.01)
G01J 1/02 (2006.01) H01L 31/10 (2006.01)
H01L 27/14 (2006.01)
- (21) 国際出願番号: PCT/JP2012/064088
- (22) 国際出願日: 2012 年 5 月 31 日(31.05.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2011-133148 2011 年 6 月 15 日(15.06.2011) JP
- (71) 出願人 (米国を除く全ての指定国について):
シャープ株式会社(SHARP KABUSHIKI KAISHA)
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町
2 2 番 2 2 号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 柴田 晃秀
(SHIBATA, Akihide) [JP/—]. 根岸 哲 (NEGISHI,
Tetsu) [JP/—]. 小宮 健治 (KOMIYA, Kenji) [JP/—].
矢追 善史 (YAOI, Yoshifumi) [JP/—]. 塩見 竹史
(SHIOMI, Takeshi) [JP/—]. 岩田 浩 (IWATA,
Hiroshi) [JP/—]. 高橋 明 (TAKAHASHI, Akira) [JP/
—].
- (74) 代理人: 鮫島 睦, 外(SAMEJIMA, Mutsumi et al.);
〒5400001 大阪府大阪市中央区城見 1 丁目 3 番
7 号 I M P ビル青山特許事務所 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保
護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,
BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO,
CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI,
GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS,
KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT,
LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY,
MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA,
RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV,
SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC,
VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保
護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW,
MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシ
ア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ
(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,
GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,
NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SEMICONDUCTOR ELEMENT, METHOD FOR MANUFACTURING SEMICONDUCTOR ELEMENT, LIGHT-EMITTING DIODE, METHOD FOR MANUFACTURING LIGHT-EMITTING DIODE, PHOTOELECTRIC CONVERSION ELEMENT, SOLAR CELL, ILLUMINATION DEVICE, BACKLIGHT, AND DISPLAY DEVICE

(54) 発明の名称: 半導体素子、半導体素子の製造方法、発光ダイオード、発光ダイオードの製造方法、光電変換素子、太陽電池、照明装置、バックライトおよび表示装置



(57) Abstract: A first electroconductive semiconductor shell (12) is formed so as to cover at least part of the external peripheral surface of a first electroconductive semiconductor core (11). A second electroconductive semiconductor shell (13) is formed so as to cover at least part of the external peripheral surface of the first electroconductive semiconductor shell (12). Thus, a satisfactory PN junction is formed in the side surface of a semiconductor element (10), and satisfactory electrical characteristics are achieved in the semiconductor element (10).

(57) 要約: 第 1 導電型の半導体コア 11 の外周面の少なくとも一部を覆うように第 1 導電型の半導体シェル 12 を形成する。また、第 1 導電型の半導体シェル 12 の外周面の少なくとも一部を覆うように第 2 導電型の半導体シェル 13 を形成する。このようにして、半導体素子 10 の側面に良好な P N 接合を形成して、半導体素子 10 において良好な電気的特性を実現する。



WO 2012/172986 A1

明 細 書

発明の名称：

半導体素子、半導体素子の製造方法、発光ダイオード、発光ダイオードの製造方法、光電変換素子、太陽電池、照明装置、バックライトおよび表示装置

技術分野

[0001] 本発明は、棒状の半導体素子およびその製造方法、並びに、そのような半導体素子を用いた発光ダイオード、発光ダイオードの製造方法、光電変換素子、太陽電池、照明装置、バックライトおよび表示装置に関する。

背景技術

[0002] 従来、第1導電型の半導体コアと、該第1導電型のコアを覆うように形成された第2導電型の半導体シェルからなる半導体素子を用いた装置としては、特許文献1（特開2008-53730号）に開示されているナノワイヤ光起電力装置がある。

[0003] 図45は、そのナノワイヤ光起電力装置900の基本構成を説明する図である。

[0004] 図45に示すように、このナノワイヤ光起電力装置900は、基板908上に下部接点906が形成され、第1導電型の半導体材料からなる細長いナノ構造体901（第1導電型の半導体コア）が、下部接点906上に形成された多孔質ナノテンプレート902から直立している。ナノ構造体901の周囲には、第2導電型の半導体材料からなるコンフォーマル層903（第2導電型の半導体シェル）が形成され、更にコンフォーマル層903上に導電性透明材料904および上部接点905が形成されている。

[0005] 上記細長いナノ構造体901は、触媒となる金属ナノ粒子を用いてCVD（Chemical Vapor Deposition）法等で成長させられて形成されている。引用文献1の発明では、このように、第1導電型の半導体コアと、該第1導電型のコアを覆うように形成された第2導電型の半導体シェルとで半導体素子を

構成して、PN接合の面積を大きくして、高い発電効率を得るようにしている。

先行技術文献

特許文献

[0006] 特許文献1：特開2008-53730号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、上記従来技術では、金属触媒を用いて第1導電型の半導体コア（細長いナノ構造体）を成長させているため、触媒となる金属原子による汚染で結晶欠陥が生じることが避けがたい。そして、このような結晶欠陥は、第1導電型の半導体コアと、第2導電型の半導体シェル（コンフォーマル層903）とで構成されるPN接合において、深い準位を形成して、キャリアの再結合による太陽電池の効率の低下をもたらす。

[0008] また、細長いナノ構造体901は、触媒となる金属ナノ粒子が成長点となって基板上で徐々に成長していく。このため、細長いナノ構造体901の下部（基板側）は、成長の初期段階で形成され、上部は後期段階で形成される。すなわち、細長いナノ構造体901の下部と上部では形成される時期が異なっている。それゆえ、第1導電型の半導体コア（細長いナノ構造体901）の結晶性が不均一になりやすく、結果として第1導電型の半導体コアの側面に形成されたPN接合の品質が不均一になり易いという問題があった。

[0009] ここで、この問題は、第1導電型の半導体コア側面上の広い範囲にわたってPN接合を形成する場合に、特に顕著になる。

[0010] そこで、本発明の課題は、良好なPN接合を側面に有して、良好な電気的特性を有する半導体素子を提供することにある。

[0011] また、本発明の課題は、そのような半導体素子の製造方法、そのような半導体素子を用いた発光ダイオード、その発光ダイオードの製造方法、そのような半導体素子を用いた光電変換素子、太陽電池、照明装置、バックライト

および表示装置を提供することにある。

課題を解決するための手段

- [0012] 上記課題を解決するため、この発明の半導体素子は、
棒状のコアと、
上記コアの外周面の少なくとも一部を覆うように配置された第1導電型の半導体シェルと、
上記第1導電型の半導体シェルの外周面の少なくとも一部を覆うように配置された第2導電型の半導体シェルと
を備えることを特徴としている。
- [0013] 本発明において、上記棒状のコアが、第1導電側の半導体コアである場合、半導体素子のコアとしての機能と、PN接合の片側としての機能を、第1導電型の半導体コアと、第1導電型の半導体シェルとで分担することができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率を向上させることができ、半導体素子を発光ダイオードとして用いた場合は、発光効率を向上させることができる。
- [0014] また、上記棒状のコアが、半導体コアでない場合も、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ棒状のコアと、第1導電型の半導体シェルとが分担して、果たすことができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率を向上させることができ、発光ダイオードとして用いた場合は、発光効率を向上させることができる。

- [0015] また、一実施形態では、
上記コアは、第1導電型の半導体コアであり、
上記半導体コアに導電性を与える不純物の濃度は、上記第1導電型の半導体シェルに導電性を与える不純物の濃度よりも大きくなっている。
- [0016] 本発明の半導体素子は、棒状の半導体素子であって、第1導電型の半導体コアの形状も細長いものであるから、第1導電型の半導体コアの抵抗を十分低く保つことが重要になる。第1導電型の半導体コアの抵抗が十分に低い場合、第1導電型の半導体コア内で電圧降下を起こして半導体素子の特性悪化の原因となるからである。例えば、半導体素子が太陽電池である場合は、発電効率が悪化し、発光ダイオードである場合は、発光効率が悪化する原因となるからである。
- [0017] 上記実施形態によれば、第1導電型の半導体シェルと第2導電型の半導体シェルとで構成されるPN接合の特性を向上することができるとともに、第1導電型の半導体コアの抵抗を十分に小さくすることが可能となる。
- [0018] 一般的には、半導体中の不純物濃度が高くなるにつれて半導体の結晶性が悪化する傾向があるから、上記実施形態によれば、PN接合の良好な特性と、第1導電型の半導体コアの良好な導電性の両立を獲得できるからである。
- [0019] また、一実施形態では、
上記コアは、第1導電型の半導体コアであり、
上記半導体コアの抵抗率は、上記第1導電型の半導体シェルの抵抗率よりも小さくなっている。
- [0020] 上記実施形態によれば、第1導電型の半導体コアの抵抗が小さいから、第1導電型の半導体シェルと第2導電型の半導体シェルで構成されるPN接合の特性を更に向上させることができる。
- [0021] また、一実施形態では、
上記第1導電型の半導体シェルは、上記コアと異なる材質からなり、
上記第1導電型の半導体シェルの結晶欠陥密度が、上記コアの結晶欠陥密度よりも小さい。

- [0022] 上記実施形態によれば、半導体素子のコアとしての機能と、PN接合の片側としての機能を、棒状のコアと、第1導電型の半導体シェルとで分担させることができる。
- [0023] また、本発明の発光ダイオードは、
本発明の半導体素子を備えることを特徴としている。
- [0024] 本発明によれば、発光ダイオードの発光効率を向上させることができる。
- [0025] また、一実施形態では、
上記第1導電型の半導体シェルと、上記第2導電型の半導体シェルとの間に発光層を備える。
- [0026] 上記実施形態によれば、発光ダイオードの発光効率を更に向上させることができる。
- [0027] また、一実施形態では、
上記コアを構成する物質のバンドギャップは、上記発光層を構成する物質のバンドギャップよりも大きくなっている。
- [0028] 上記実施形態によれば、発光層で発生した光が棒状のコアまたは第1導電型の半導体コアで殆ど吸収されることがないため、発光ダイオードの発光効率を高くすることができる。
- [0029] また、一実施形態では、
基板と、
上記基板上に配置された複数の上記半導体素子と、
上記半導体素子を電氣的に接続する配線と
を備えている。
- [0030] 上記実施形態によれば、上記基板上において、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性を共に向上することが可能となる。
- [0031] また、本発明の光電変換素子は、

本発明の半導体素子を備えることを特徴としている。

[0032] 本発明によれば、光電変換素子の変換効率を向上させることができる。

[0033] また、本発明の半導体素子の製造方法は、

基板上に棒状のコアを形成するコア形成工程と、

上記棒状のコアの外周面の少なくとも一部を第1導電型の半導体シェルで覆う第1のシェル形成工程と、

上記第1導電型のシェルの外周面の少なくとも一部を第2導電型の半導体シェルで覆う第2のシェル形成工程と

を備えることを特徴としている。

[0034] 本発明によれば、棒状の半導体コアを形成した後に、第1導電型の半導体シェルを形成するので、第1導電型の半導体シェルの表面には均一で結晶性のよい第1導電型の半導体が露出する。その後、上記第1導電型のシェルの外周面の少なくとも一部を、第2導電型の半導体シェルで覆うので、第1導電型の半導体シェルと第2導電型の半導体シェルとで良好な特性を持つPN接合を得ることができる。一方、上記棒状のコアは、第1導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を持たせることができる。したがって、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、第1導電型の半導体コアと、第1導電型の半導体シェルとで分担することができる。したがって、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができ、また、製造コストを低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上し、発光ダイオードとして用いた場合は、発光効率が向上する。

[0035] また、一実施形態では、

上記コア形成工程は、基板上に形成されたコアを構成する物質の一部をエッチングすることを含む。

[0036] 上記実施形態によれば、棒状のコアの断面形状を自由に変えることが可能となる。したがって、例えば、棒状のコアの側面の結晶方位を好ましいものにできて、半導体素子の特性を向上させることが可能となる。

[0037] また、一実施形態では、

上記コア工程の後であって、上記第 1 のシェル形成工程の前に、アニール処理を行なう。

[0038] 上記実施形態によれば、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第 1 のシェル形成工程で成膜する第 1 導電型の半導体シェルの結晶性を更に向上させることができる。

[0039] また、一実施形態では、

上記コア形成工程の後であって、上記第 1 のシェル形成工程の前に、上記コア形成工程で形成されたコアの一部をウェットエッチングにより除去する。

[0040] 上記実施形態によれば、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第 1 のシェル形成工程で成膜する第 1 導電型の半導体シェルの結晶性を更に向上することができる。

[0041] また、一実施形態では、

上記コア形成工程は、基板上に棒状のコアを成長させる。

[0042] 上記実施形態によれば、基板と、棒状のコアとは、棒状のコアの断面積と同じ面積で接することとなる。ここで、棒状のコアの直径は、ナノスケールからマイクロスケールであるから、断面積は小さい。更には、棒状のコアは、基板上に離散的に形成されている。したがって、基板を構成する物質と、棒状のコアを構成する物質との格子定数のミスマッチによる基板の反りを抑制することができる。したがって、半導体素子を形成するプロセスにおけるフォトリソグラフィ工程の精度を向上して半導体素子の歩留まりを向上することができる。

[0043] また、一実施形態では、

上記コア形成工程の後であって、上記第 1 のシェル形成工程の前に、上記

コアを形成する温度よりも高温のアニール処理を行なう。

[0044] 上記実施形態によれば、棒状の結晶欠陥を回復して結晶性を良好なものにすることができるので、その後に形成される第2導電型の半導体シェルや発光層の結晶性を良好なものにすることができる。

[0045] また、本発明の発光ダイオードの製造方法は、

第1の基板上に複数の棒状のコアを形成するコア形成工程と、

上記複数の棒状のコアの外周面の少なくとも一部を、第1導電型の半導体シェルで覆う第1のシェル形成工程と、

上記第1導電型の半導体シェルの外周面の少なくとも一部を、第2導電型の半導体シェルで覆う第2のシェル形成工程と、

上記各棒状のコアと、その各コアを覆っている上記第1導電型の半導体シェルと、その各コアを覆っている上記第1導電型の半導体シェルを覆っている上記第2導電型の半導体シェルとの一体構造を、上記棒状のコア毎に上記第1の基板から切り離して、複数の半導体素子を取り出す半導体素子切り離し工程と、

複数の上記半導体素子を第2の基板上に配置する半導体素子配列工程とを備えることを特徴としている。

[0046] 本発明によれば、構成要素である半導体素子が、第1の基板上で、棒状のコアが形成された後、第1導電型の半導体シェルおよび第2導電型のシェルで覆われるようになっているから、単位基板面積当りのPN接合面積、すなわち、発光面積を非常に大きくすることができて、製造コストを低減することができる。

[0047] 更には、第1導電型の半導体シェルと、第2導電型の半導体シェルとで良好な特性を持つPN接合を得ることができるのみならず、上記棒状のコアは第1導電型の半導体シェルの形成に先立って別途形成されているので、棒状のコアを、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を有するように形成することができる。したがって、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好

に保ったまま、棒状の半導体素子の他の特性を向上させることができる。

[0048] 更には、上記第1の基板とは別の上記第2の基板上に複数の上記半導体素子を配列するので、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性とを共に向上することができる。したがって、高効率で高信頼性の発光ダイオードを低コストで製造することができる。

[0049] また、本発明の太陽電池は、本発明の光電変換素子を備えることを特徴としている。

[0050] 本発明によれば、太陽電池の発電効率を高くすることができる。

[0051] また、本発明の照明装置は、本発明の発光ダイオードを備えることを特徴としている。

[0052] 本発明によれば、照明装置の低消費電力化を実現することができる。

[0053] また、本発明のバックライトは、本発明の発光ダイオードを備えることを特徴としている。

[0054] 本発明によれば、バックライトの低消費電力化を実現することができる。

[0055] また、本発明の表示装置は、本発明の発光ダイオードを備えることを特徴としている。

[0056] 本発明によれば、表示装置の低消費電力化を実現することができる。

発明の効果

[0057] 本発明の半導体素子によれば、半導体素子のコアとしての機能と、PN接合の片側としての機能を、それぞれ棒状のコアと、第1導電型の半導体シェルとで分担することができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができ、また、製造のコストも低減することが可能となる。また、PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向

上させることができ、発光ダイオードとして用いた場合は、発光効率が向上させることができる。

図面の簡単な説明

[0058] [図1]本発明の第1実施形態の半導体素子の中心軸を含む長手方向の断面図である。

[図2]上記半導体素子の径方向の断面図である。

[図3]本発明の第2実施形態の半導体素子の長手方向の断面図である。

[図4]本発明の第3実施形態の半導体素子の長手方向の断面図である。

[図5]本発明の第4実施形態の半導体素子の長手方向の断面図である。

[図6]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図7]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図8]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図9]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図10]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図11]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図12]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図13]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図14]第4実施形態の半導体素子の製造方法の一例を説明するための図である。

[図15]第4実施形態の半導体素子を製造することができる他の手順を説明す

る図である。

[図16]第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

[図17]第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

[図18]本発明の第5実施形態の半導体素子の長手方向の断面図である。

[図19]第5実施形態の半導体素子の製造方法の一例を説明するための図である。

[図20]第5実施形態の半導体素子の製造方法の一例を説明するための図である。

[図21]第5実施形態の半導体素子の製造方法の一例を説明するための図である。

[図22]第5実施形態の半導体素子の製造方法の一例を説明するための図である。

[図23]第5実施形態の半導体素子の製造方法の一例を説明するための図である。

[図24]本発明の第6実施形態の太陽電池の断面図である。

[図25]第6実施形態の太陽電池の製造方法の一例を説明するための図である。
。

[図26]第6実施形態の太陽電池の製造方法の一例を説明するための図である。
。

[図27]第6実施形態の太陽電池の製造方法の一例を説明するための図である。
。

[図28]第6実施形態の太陽電池の製造方法の一例を説明するための図である。
。

[図29]本発明の第7実施形態の発光ダイオードの断面図である。

[図30]本発明の第8実施形態の発光ダイオードの模式断面図である。

[図31]第8実施形態の発光ダイオードの製造方法の一例を説明するための図

である。

[図32]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図33]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図34A]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図34B]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図35]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図36]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図37]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図38]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図39]第8実施形態の発光ダイオードの製造方法の一例を説明するための図である。

[図40]本発明の第9実施形態の照明装置の側面図である。

[図41]上記照明装置に内蔵される発光装置を横から見た図である。

[図42]上記発光装置を上から見た図である。

[図43]本発明の第10実施形態のバックライトの平面図である。

[図44]本発明の第11実施形態の表示装置の1画素の回路図である。

[図45]従来のナノワイヤ光起電力装置の基本構成を説明する図である。

発明を実施するための形態

[0059] 以下、本発明の半導体素子、発光素子の製造方法、発光ダイオード、光電変換素子、照明装置、バックライト、表示装置および太陽電池を図示の実施

の形態により詳細に説明する。

[0060] (第1実施形態)

図1は、本発明の第1実施形態の細長い棒状の形状を有する半導体素子10の中心軸を含む長手方向の断面図であり、図2は、その半導体素子10の径方向の断面図である。

[0061] 図1および図2に示すように、この半導体素子10は、棒状の第1導電型の半導体コア11と、第1導電型の半導体シェル12と、第2導電型の半導体シェル13とを備える。上記第1導電型の半導体シェル12は、棒状の第1導電型の半導体コア11の側面の全面（棒状の半導体コア11の外周面の全面）および一端を覆っており、第2導電型の半導体シェル13は、第1導電型の半導体シェル12の表面を覆っている。

[0062] 上記第2導電型の半導体シェル13は、第1導電型の半導体シェル12の表面全てを覆っておらず、棒状の第1導電型の半導体コア11の他端部19を覆わない構成になっている。上記第2導電型の半導体シェル13は、第1導電型の半導体シェル12の外周面の一部のみを覆っている。尚、図2は、第1導電型の半導体シェル12の表面を第2導電型の半導体シェル13が覆っている領域における直径方向の断面図である。

[0063] 上記第1導電型の半導体シェル12と第2導電型の半導体シェル13の界面はPN接合を構成している。第1導電型の半導体コア11の他端部を除く側面において、第2導電型の半導体シェル13が第1導電型の半導体シェル12を覆っているから、棒状の半導体素子10の側面部の少なくとも一部にはPN接合が形成されることになるのである。

[0064] 上記第1導電型の半導体コア11は、例えばSi、Ge、SiGe、GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。また、第1導電型としてn型を選択してもp型を選択してもよい。なお、第1導電型の半導体コア11の直径方向の断面形状は、円に限らず、三角形、四角形、六角形や楕円などでもよい。

[0065] また、第1導電型の半導体シェル12は、例えばSi、Ge、SiGe、

GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。また、必ずしも第1導電型の半導体コア11と同じ物質を用いる必要はない。

[0066] また、第2導電型の半導体シェル13は、例えばSi、Ge、SiGe、GaAs、GaN、AlGaN、GaP、InPを用いることができるが、この限りではない。第2導電型の半導体シェル13は、第1導電型の半導体シェル12と同じ物質を選択することが好ましい。第2導電型は、第1導電型がn型の場合はp型、第1導電型がp型の場合はn型となる。

[0067] また、棒状の半導体素子10の大きさは、ナノメートルサイズまたはマイクロメートルサイズとすることが好ましい。例えば、棒状の半導体素子10の長さは、10nm～100μmとすることができる。また、例えば、第1導電型の半導体コア11の直径は、2nm～20μm、第1導電型の半導体シェル12の厚さは、1nm～1μm、第2導電型の半導体シェル13の厚さは、1nm～1μmとすることができる。より好ましくは、棒状の半導体素子10の長さは、500nm～50μm、第1導電型の半導体コア11の直径は、100nm～5μm、第1導電型の半導体シェル12の厚さは、10nm～500nm、第2導電型の半導体シェル13の厚さは、10nm～500nmである。

[0068] また、上記実施形態では、第1導電型の半導体シェル12は、棒状の第1導電型の半導体コア11の外周面の全面を覆っていたが、この発明では、第1導電型の半導体シェルは、棒状のコアの外周面の一部のみを覆うような構成であっても良い。例えば、第1導電型の半導体シェルは、図1を参照して、半導体コア11の外周面において第2導電型の半導体シェル13が覆わない外周面部、すなわち、半導体コア11の他端部19に対応する外周面を、覆わない構成であっても良い。

[0069] 棒状の半導体素子10は、光電変換素子として機能させることができる。例えば、第1導電型の半導体コア11および第1導電型の半導体シェル12を、n型シリコン、第2導電型の半導体シェル13を、p型シリコンとすれ

ばよい。このような素子を形成すれば、この素子に光を照射することにより起電力が生じることになるからである。また、光電変換素子である棒状の半導体素子 10 は、光センサや太陽電池として用いることができる。

[0070] 棒状の半導体素子 10 は、発光ダイオードとして機能させることができる。このためには、例えば、第 1 導電型の半導体コア 11 および第 1 導電型の半導体シェル 12 を、n 型ガリウムナイトライド、第 2 導電型の半導体シェル 13 を、p 型ガリウムナイトライドとすればよい。あるいは、第 1 導電型の半導体コア 11 および第 1 導電型の半導体シェル 12 を、n 型ガリウム砒素、第 2 導電型の半導体シェル 13 を、p 型ガリウム砒素としてもよい。このような素子を形成すると、その素子の第 1 導電型の半導体コア 11 と、第 2 導電型の半導体シェル 13 との間に順方向電圧を印加することにより、光を取り出すことができる。したがって、棒状の半導体素子 10 を、発光ダイオードとして機能させることができる。発光ダイオードである棒状の半導体素子 10 は、照明装置、バックライト、表示装置として用いることができる。

[0071] 本実施形態の半導体素子 10 は、棒状の半導体素子であって、第 1 導電型の半導体コア 11 と、第 1 導電型の半導体コア 11 を覆うように形成された第 1 導電型の半導体シェル 12 と、第 1 導電型の半導体シェル 12 を覆うように形成された第 2 導電型の半導体シェル 13 とを備えたことを特徴とする。

[0072] このような構成により、棒状の半導体素子のコアとしての機能と、PN 接合の片側としての機能を、第 1 導電型の半導体コア 11 と、第 1 導電型の半導体シェル 12 とに分担させることができる。したがって、第 1 導電型の半導体シェル 12 と第 2 導電型の半導体シェル 13 とで構成される PN 接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができ、製造コストも低減することができる。

[0073] また、PN 接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率を向上させることができ、半導体素

子を発光ダイオードとして用いた場合は、発光効率を向上させることができる。PN接合の特性と同じく向上可能な特性の例および製造コストが低減できる理由は後述する。

[0074] 上記第1導電型の半導体コア11において導電型を与える不純物濃度は、第1導電型の半導体シェル12において導電型を与える不純物濃度より大きいことが好ましい。ここで、半導体に導電型を与える不純物としては、例えば、半導体がシリコンの場合は、n型の導電型を与えるリンや砒素、p型の導電型を与えるボロンなどがある。また、半導体に導電型を与える不純物としては、半導体がガリウムナイトライドの場合は、n型の導電型を与えるシリコン、p型の導電型を与えるマグネシウムなどがある。

[0075] これにより、第1導電型の半導体シェル12と第2導電型の半導体シェル13で構成されるPN接合の特性を向上することができるとともに、第1導電型の半導体コア11の抵抗を十分に小さくすることができる。

[0076] 本実施の形態の半導体素子10は、棒状の半導体素子であって、第1導電型の半導体コア11の形状も細長いものであるから、第1導電型の半導体コア11の抵抗を十分低く保つことが特に重要になる。

[0077] 仮に、第1導電型の半導体コアの抵抗が十分に低くない場合、第1導電型の半導体コア内で電圧降下が発生して、半導体素子の特性悪化の原因となるからである。そして、例えば、半導体素子が太陽電池である場合は、発電効率が悪化し、発光ダイオードである場合は、発光効率が、悪化する原因となるからである。

[0078] ここで、一般には、半導体中の不純物濃度が高くなるにつれて、半導体の結晶性が悪化する傾向がある。上記実施形態によれば、第1導電型の半導体コア11と、第1導電型の半導体シェル12とを有しているから、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、それらの層で分担させることができ、第1導電型の半導体コア11の抵抗を十分に低くすることができる。したがって、PN接合の特性と、第1導電型の半導体コア11の導電性とを両立できるのである。

[0079] 詳しくは、第1導電型の半導体コア11の抵抗率は、第1導電型の半導体シェル12の抵抗率より小さいことが好ましい。ここで、この構成は、第1導電型の半導体コア11において導電型を与える不純物濃度は、第1導電型の半導体シェル12において導電型を与える不純物濃度より大きいことと同意である。したがって、第1導電型の半導体シェル12と第2導電型の半導体シェル13とで構成されるPN接合の特性を向上することができるとともに、第1導電型の半導体コア11の抵抗を十分に小さくすることが可能となるのである。

[0080] 尚、上記PN接合の特性と、第1導電型の半導体コア11の導電性とは両立できるという効果は、第1導電型の半導体シェル12の直径と長さの比が1:10を超える場合に顕著となる。

[0081] 第1導電型の半導体シェル12の結晶欠陥密度は、第1導電型の半導体コア11の結晶欠陥密度より小さくすることが好ましい。これにより、第1導電型の半導体シェル12と第2導電型の半導体シェル13とで構成されるPN接合の特性を向上することができるとともに、多様な製造方法が可能となり、または、必要となる装置や環境のグレードを低く抑え、製造コストを低減することが可能となる。なぜならば、第1導電型の半導体コア11の結晶性を必要以上に高くする必要がなくなるためである。第1導電型の半導体コア11を含めた、半導体素子10の具体的な製造方法は後述する。

[0082] 尚、上記第1実施形態の半導体素子と、以下の実施形態で説明する半導体素子は、いずれも以下の共通した特徴を有している。すなわち、棒状の半導体素子であって、コアと、上記コアを覆うように形成された第1導電型の半導体シェルと、上記第1導電型の半導体シェルを覆うように形成された第2導電型の半導体シェルを備えている。上記コアは第1導電型の半導体からなっているもよい。

[0083] ここで、上記特徴は、上記第1導電型の半導体シェルもコアの一部とみなすと、次のように言い換えることもできる。すなわち、棒状の半導体素子であって、インナーコアと、そのインナーコアを覆うように形成された第1導

電型の半導体アウターコアとからなる２層構造のコアと、その２層構造のコアを覆うように形成された第２導電型の半導体シェルとを備えている。上記インナーコアは第１導電型の半導体からなっているいてもよい。以上、本実施形態の半導体素子が共通して有する特徴を、２つの異なる言い方で述べたが、実質は同じことを述べているに過ぎない。尚、上記第１実施形態およびこれ以降の実施形態では、前者の用語で統一して説明を行っている。

[0084] （第２実施形態）

図３は、本発明の第２実施形態の半導体素子２０の長手方向の断面図である。

[0085] 図３に示すように、この半導体素子２０では、第１導電型の半導体シェル２２は、棒状の第１導電型の半導体コア２１の側面の全面（棒状の第１導電型の半導体コア２１の外周面の全面）および一端を覆っている。

[0086] また、第２導電型の半導体シェル２３は、第１導電型の半導体シェル２２の側面の全面（第１導電型の半導体シェル２２の外周面の全面）および一端を覆っている。

[0087] 上記半導体素子２０が、図１および図２に示す第１実施形態の半導体素子１０と異なる点は、第２導電型の半導体シェル２３が、第１導電型の半導体シェル２２の表面の他端以外の部分の全てを覆っていることである。そのため、第１導電型の半導体コア２１に電極を接続しようとする場合は、半導体素子２０の他端（図３における半導体素子２０の左側）で第１導電型の半導体コア２１が露出した部分に電極を接続するか、第２導電型の半導体シェル２３の一部を除去して第１導電型の半導体シェル２２を露出させ、この露出した部分に電極を接続する必要がある。半導体素子２０を構成する具体的な材料、大きさ、用途、得られる効果等は、第１実施形態の半導体素子１０と同様である。

[0088] （第３実施形態）

図４は、本発明の第３実施形態の半導体素子３０の長手方向の断面図である。

[0089] 図4に示すように、この半導体素子30は、棒状のコア31の側面および一端を、第1導電型の半導体シェル32が覆っている。更に、第1導電型の半導体シェル32の表面を、第2導電型の半導体シェル33が覆っている。半導体素子30が、図1および図2に示す第1実施形態の半導体素子10と異なる点は、棒状のコア31と第1導電型の半導体シェル32の材質が異なる点である。

[0090] 第1導電型の半導体シェル32の結晶欠陥密度は、棒状のコア31の結晶欠陥密度より小さなことが好ましい。これにより、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、棒状のコアと、第1導電型の半導体シェルとで分担することができる。それゆえ、第1導電型の半導体シェルと、第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性も同時に向上し、または、製造のコストを低減することが可能となる。PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上し、半導体素子を発光ダイオードとして用いた場合は、発光効率が向上する。PN接合の特性とともに向上可能な特性の例、および、製造コストが低減できる理由は後述する。

[0091] 棒状のコア31と第1導電型の半導体シェル32の材質の組み合わせとしては、例えば、棒状のコア31の材料としてGa_{0.49}In_{0.51}Nを、第1導電型の半導体シェル32の材料としてn型のシリコンを選ぶことができる。また、この場合、第2導電型の半導体シェル33には、p型のシリコンを用いればよい。この場合、棒状のコア31のヤング率は、第1導電型の半導体シェルよりも大きいので、半導体素子30の剛性を向上しつつ、良好なPN特性を得ることができるからである。

[0092] 後述するように、半導体素子を成長した基板から切り離し、他の基板へ配列する場合は、液体に浸された半導体素子を乾燥する際に、液体の表面張力により半導体素子が曲がる場合がある。上記構成はこのような場合に効果を発揮する。

[0093] 棒状のコア 3 1 の材質と、第 1 導電型の半導体シェル 3 2 の材質との他の組合せとしては、例えば、棒状のコア 3 1 の材料としてサファイアを、第 1 導電型の半導体シェル 3 2 の材料として n 型のガリウムナイトライドを選ぶことができる。また、この場合、第 2 導電型の半導体シェル 3 3 には、p 型のガリウムナイトライドを選ぶことができる。この場合は、棒状のコアを高価なガリウムナイトライドからより安価なサファイアとすることができるので、良好な P N 特性を保ちつつ、製造コストを低減することができる。

[0094] 棒状のコア 3 1 の材質と、第 1 導電型の半導体シェル 3 2 の材質との他の組合せとしては、棒状のコア 3 1 の材料として H V P E (Hydride Vapor Phase Epitaxy) 法で成長した無ドーパのガリウムナイトライドを、第 1 導電型の半導体シェル 3 2 の材料として低結晶欠陥の n 型のガリウムナイトライドを選ぶことができる。また、この場合、第 2 導電型の半導体シェル 3 3 には、p 型のガリウムナイトライドを用いることができる。この場合は、結晶欠陥が多いものの比較的高速に成長できる H V P E 法により棒状のコア 3 1 を形成し、第 1 導電型の半導体シェル 3 2 は低結晶欠陥の n 型のガリウムナイトライドとするため、良好な P N 特性を保ちつつ、製造コストを低減することができるからである。尚、この実施形態では、棒状のコア 3 1 が、第 1 導電型の半導体コアではなかったが、この発明では、棒状のコアを、第 1 導電型の半導体コアで構成して、かつ、第 1 導電型の半導体シェルを、上記第 1 導電型の半導体コアと異なる材質で構成し、かつ、第 1 導電型の半導体シェルの結晶欠陥密度が、上記第 1 導電型の半導体コアの結晶欠陥密度よりも小さくなるように構成しても良い。

[0095] (第 4 実施形態)

図 5 は、本発明の第 4 実施形態の半導体素子 4 0 の長手方向の断面図である。

[0096] 図 5 に示すように、この半導体素子 4 0 は、棒状の第 1 導電型の半導体コア 4 1 の側面および一端を、第 1 導電型の半導体シェル 4 2 が覆っている。そして、第 1 導電型の半導体シェル 4 2 の表面を、発光層 4 4 が覆っている

。更に、発光層 44 の表面を、第 2 導電型の半導体シェル 43 が覆っている。

[0097] 第 1 導電型の半導体シェル 42、発光層 44 および第 2 導電型の半導体シェル 43 は、第 1 導電型の半導体コア 41 の表面全てを覆っておらず、第 1 導電型の半導体シェル 42、発光層 44 および第 2 導電型の半導体シェル 43 は、棒状の第 1 導電型の半導体コア 41 の他端部 49 を覆わない構成になっている。この半導体素子 40 は、発光ダイオードとして機能するようになっている。

[0098] この半導体素子 40 が、図 1 および図 2 に示す第 1 実施形態の半導体素子 10 と異なる点は、第 1 導電型の半導体シェル 42 が棒状の第 1 導電型の半導体コア 41 の全側面を覆っていない点と、第 1 導電型の半導体シェル 42 と、第 2 導電型の半導体シェル 43 との間に発光層 44 が形成されている点である。このように第 1 導電型の半導体シェル 42 と、第 2 導電型の半導体シェル 43 との間に発光層 44 を設けることにより、発光ダイオードである半導体素子 40 の発光効率を向上させることができる。

[0099] 棒状の第 1 導電型の半導体コア 41 において導電型を与える不純物濃度は、第 1 導電型の半導体シェル 42 において導電型を与える不純物濃度より大きいことが好ましい。もしくは、棒状の第 1 導電型の半導体コア 41 の抵抗率は、第 1 導電型の半導体シェル 42 の抵抗率より小さいことが好ましい。そのようにすると、棒状の第 1 導電型の半導体コア 41 上に形成される発光層 44 の結晶性を向上させて発光効率を向上させることができるとともに、棒状の第 1 導電型の半導体コア 41 の抵抗を十分に小さくして発光層 44 の全面において均一に発光させることができるからである。

[0100] 棒状の第 1 導電型の半導体コア 41 を構成する物質のバンドギャップは、発光層 44 を構成する物質のバンドギャップよりも大きいことが好ましい。具体的には、例えば、棒状の第 1 導電型の半導体コア 41 を n 型 GaN とし、発光層 44 を InGa_xN とすることができる。また、第 1 導電型の半導体シェル 42 および第 2 導電型の半導体シェル 43 は、それぞれ n 型 GaN お

よび p 型 GaN とすることができる。なお、棒状の第 1 導電型の半導体コア 41 の代わりに、サファイアなどからなる棒状のコアを用いてもよい。この場合でも、InGa_N からなる発光層のバンドギャップよりも、サファイアのバンドギャップの方が大きくなっている。

[0101] このような構成とすることにより、発光層 44 で発生した光が、棒状のコア 41 または第 1 導電型の半導体シェル 42 で吸収されることがないため、発光ダイオードの発光効率を高くすることができる。

[0102] なお、第 2 導電型の半導体シェル 43 の表面に、更に ITO (Indium Tin Oxide) などの透明電極を形成することが好ましい。これにより、第 2 導電型の半導体シェル 43 の全面に同じ電位を印加することができるので、発光ムラを低減して発光効率を向上することができると共に、発光した光が当面電極を通過するため、効率よく光を取り出すことができるからである。

[0103] 図 6 ～図 14 は、上記第 4 実施形態の半導体素子の製造方法の一例を説明するための図であり、その半導体素子を形成する手順の一例を示す図である。

[0104] 尚、上記第 1 実施形態の半導体素子（図 1 および図 2 参照）および第 2 実施形態の半導体素子（図 3 参照）は、以下に示す手順において、コアの材料またはシェルの形成回数を変えることにより、同様に形成することが可能である。

[0105] また、ここでは、例としてガリウムナイトライドからなる半導体素子を形成する手順を示すが、他の材料からなる半導体素子も同様の手順で形成することができる。

[0106] まず、図 6 に示すように、サファイア基板 61 を準備する。

[0107] 次に、図 7 に示すように、開口部が設けられたシリコン酸化膜 62 を、サファイア基板 61 上に形成する。具体的には、CVD (Chemical Vapor Deposition) 法により、サファイア基板 61 上に、例えば 1 μ m の厚さでシリコン酸化膜 62 を成膜し、その後、フォトリソグラフィ工程により、シリコン酸化膜 62 に例えば 1 μ m の大きさの開口部をパターニングして、サファイ

ア基板 6 1 表面の一部を露出させるようにする。

[0108] 次に、図 8 に示すように、ニッケルからなる金属触媒粒 6 3 を、シリコン酸化膜 6 2 の開口部であって、サファイア基板 6 1 が露出した部分に形成する。具体的には、パターニングされたシリコン酸化膜 6 2 が形成されたサファイア基板 6 1 上の全面に、例えば、3 nm の膜厚を有するニッケルをスパッタにより成膜し、900℃程度の温度でアニールすることにより、ニッケルを凝集させるようにする。

[0109] 次に、図 9 に示すように、シリコン酸化膜 6 2 の開口部に対応する露出したサファイア基板 6 1 上に、MOCVD (Metal Organic Chemical Vapor Deposition) 装置を用いて、例えば10 μmの長さを有する n 型 GaN を結晶成長させて、棒状の第 1 導電型の半導体コア 6 4 を形成する (コア形成工程)。

[0110] 成長温度を850℃程度の温度に設定し、成長ガスとしてトリメチルガリウム (TMG) およびアンモニア (NH₃) を使用し、n 型不純物供給用にシラン (SiH₄) を、さらに、キャリアガスとして水素 (H₂) を供給することによって、Si を不純物とした n 型 GaN の半導体コアを、成長させることができる。n 型 GaN からなる棒状の第 1 導電型の半導体コア 6 4 を形成した後は、ウェットエッチングによりニッケルからなる金属触媒粒 6 3 を除去することが好ましい。

[0111] ここで、n 型 GaN からなる棒状の第 1 導電型の半導体コア 6 4 を成長したサファイア基板 6 1 を、n 型 GaN からなる棒状の第 1 導電型の半導体コア 6 4 を成長した温度より高い温度でアニール処理することが好ましい。アニール温度としては、例えば、850℃より高く、かつ、1200℃以下である温度を採用することができる。

[0112] このようにアニール処理を行うことにより、n 型 GaN からなる棒状の第 1 導電型の半導体コア 6 4 の結晶欠陥を回復でき、第 1 導電型の半導体コア 6 4 の結晶性を改善することができる。そのため、この後に行う第 1 のシェル形成工程で成膜する n 型 GaN 膜からなる第 1 導電型の半導体シェル 6 5

の結晶性を更に向上することができる。

[0113] 次に、図10に示すように、 n 型Ga_{0.99}Nからなる棒状の第1導電型の半導体コア64の側面および上面に、例えば200nmの厚さで n 型Ga_{0.99}N膜からなる第1導電型の半導体シェル65を形成する（第1のシェル形成工程）。この n 型Ga_{0.99}N膜からなる第1導電型の半導体シェル65は、MOCVD装置を用いて、例えば、900℃で形成することができる。この n 型Ga_{0.99}N膜はシリコン酸化膜62上に成膜されてもよく、後に、必要に応じて非等方性のドライエッチングによりシリコン酸化膜62上の n 型Ga_{0.99}N膜を除去するようにしても良い。

[0114] このように、 n 型Ga_{0.99}Nからなる棒状の第1導電型の半導体コア64の側面および上面に、改めて n 型Ga_{0.99}N膜からなる第1導電型の半導体シェル65を形成することにより、均一で結晶性のよい n 型Ga_{0.99}N結晶を表面に露出させることができる。

[0115] 次に、図11に示すように、 n 型Ga_{0.99}N膜からなる第1導電型の半導体シェル65の側面および上面に、例えば5nmの厚さでInGa_{0.99}N膜からなる発光層66を形成する。このInGa_{0.99}N膜からなる発光層66は、MOCVD装置を用いて、例えば、成長温度を750℃程度に設定し、成長ガスとしてTMG、NH₃およびトリメチルインジウム（TMI）を使用し、キャリアガスとしてH₂を供給することによって成長させることができる。

[0116] このInGa_{0.99}N膜からなる発光層66は、Ga_{0.99}N膜またはAlGa_{0.99}N膜をブロック層として複数層積層し、多重量子井戸構造（MQW）としてもよい。このInGa_{0.99}N膜は、シリコン酸化膜62上に成膜されてもよく、後に、必要に応じて非等方性のドライエッチングによりシリコン酸化膜62上のInGa_{0.99}N膜を除去するようにしても良い。

[0117] 次に、図12に示すように、InGa_{0.99}N膜からなる発光層66の側面および上面に、例えば100nmの厚さで p 型Ga_{0.99}N膜からなる第2導電型の半導体シェル67を形成する（第2のシェル形成工程）。この p 型Ga_{0.99}N膜からなる第2導電型の半導体シェル67は、MOCVD装置を用いて、成長温

度を例えば800℃程度に設定し、成長ガスとしてTMG、NH₃を使用し、p型不純物として、ビスシクロペンタジエニルマグネシウム(Cp₂Mg)を供給し、さらにキャリアガスとしてH₂を供給することによって、上記側面および上面に成長させることができる。

[0118] 次に、図13に示すように、シリコン酸化膜62をフッ化水素酸(HF)によるウェットエッチングで除去する。これにより、n型GaN膜からなる第1導電型の半導体シェル65の一部が露出する。

[0119] 次に、図14に示すように、サファイア基板61と、その表面上に形成した棒状の構造物とを水などの液体中に浸し、超音波を照射することにより、棒状の構造物を基板から切り離す(半導体素子切り離し工程)。このようにして、切り離された個々の棒状の構造物、すなわち、発光ダイオードの機能を有する半導体素子60を製造する。

[0120] 尚、棒状の第1導電型の半導体コアおよび第1導電型の半導体シェルとしてn型のシリコンを成長させ、発光層を形成せず、第2導電型の半導体シェルとしてp型シリコンを成長させれば、光電変換素子の機能を有する半導体素子を形成することができる。

[0121] 上記実施形態の棒状の半導体素子の製造方法によれば、基板61上に棒状のコア64を形成するコア形成工程と、棒状のコア64を形成した後、第1導電型の半導体シェル65で覆う第1のシェル形成工程と、第1導電型のシェル65を形成した後、第2導電型の半導体シェル67で覆う第2のシェル形成工程とを備えている。

[0122] したがって、棒状の半導体コア64を形成した後に、第1導電型の半導体シェル65を形成するので、第1導電型の半導体シェル65の表面には均一で結晶性のよい第1導電型の半導体が露出する。したがって、第1導電型の半導体シェル67上に形成される発光層66の結晶性を向上させることができる。

[0123] 尚、発光層を形成しない場合には、第1導電型の半導体シェルの表面には均一で結晶性のよい第1導電型の半導体が露出するから、その後に、第1導

電型の半導体シェルを覆うように形成される第2導電型の半導体シェルと、その第1導電型の半導体シェルとで良好な特性を持つPN接合を得ることができる。

[0124] また、上記棒状のコア64は、第1導電型の半導体シェル65の形成に先立って第1導電型の半導体シェル65と独立して別途形成されているので、第1導電型の半導体シェル65と無関係に形成されることができる。したがって、棒状の半導体素子のコア64を、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を有するように形成できる。

[0125] したがって、棒状の半導体素子のコアとしての機能と、PN接合の片側としての機能を、第1導電型の半導体コア64と、第1導電型の半導体シェル65とで分担することができる。それゆえ、第1導電型の半導体シェル65と第2導電型の半導体シェル67とで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができ、さらに、製造コストを低減することが可能となる。PN接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上し、半導体素子を発光ダイオードとして用いた場合は、発光効率が向上する。

[0126] また、この方法（手順）によれば、上記コア形成工程は、基板61上に棒状のコア64を成長させることによりなされる。この手順では、基板61と棒状のコア64は、棒状のコア64の断面積と同じ面積で接することとなる。棒状のコア64の直径はナノスケールからマイクロスケールであって、上記断面積は小さいから、基板61上に棒状のコア64を密度高く形成できる。

[0127] また、この方法によれば、棒状のコア64は基板61上に離散的に形成されている。それゆえ、基板61を構成する物質と、棒状のコア64を構成する物質の格子定数のミスマッチによる基板61の反りを抑制することができる。それゆえ、半導体素子を形成するプロセスにおけるフォトリソグラフィ工程の精度を向上することができ、半導体素子の歩留まりを向上するのが

容易となる。

[0128] また、この方法によれば、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コア64を形成する温度よりも高温のアニール処理を行っているから、棒状のコア64の結晶欠陥を回復して、棒状のコア64の結晶性を改善できる。したがって、その後に形成される第2導電型の半導体シェル67や、発光層66の結晶性を更に改善することができる。尚、この発明では、上記第1のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行わなくても良い。

[0129] ところで、 n 型Ga N からなる棒状の第1導電型の半導体コア64に導電型を与える半導体コア64の不純物濃度は、 n 型Ga N 膜からなる第1導電型の半導体シェル65に導電型を与える半導体シェル65の不純物濃度より大きいことが好ましい。もしくは、 n 型Ga N からなる棒状の第1導電型の半導体コア64の抵抗率は、 n 型Ga N 膜からなる第1導電型の半導体シェル65の抵抗率より小さいことが好ましい。

[0130] このようにすれば、 n 型Ga N 膜からなる第1導電型の半導体シェル65上に形成される In Ga N 膜からなる発光層66の結晶性を向上させることができ、発光効率を向上させることができると共に、 n 型Ga N からなる棒状の第1導電型の半導体コア64の抵抗を十分に小さくすることができるからである。

[0131] また、棒状の第1導電型の半導体コア64を構成する物質のバンドギャップは、発光層66を構成する物質のバンドギャップよりも大きいことが好ましい。このような条件を満たすことにより、発光層66で発生した光が、棒状のコア64または第1導電型の半導体シェル65で吸収されることがないため、発光ダイオードの発光効率を高くすることができるからである。上記の例では、棒状の第1導電型の半導体コア64は、 n 型Ga N からなり、発光層66は、 In Ga N からなるため、上記条件を満たしている。

[0132] 図15～図17は、第4実施形態の半導体素子を製造することができる他の手順を説明する図である。

[0133] 本変形例が、図6～図14に示した手順と異なるのは、棒状の第1導電型の半導体コアを成長させる際に金属触媒粒を用いない点のみである。本変形例の説明では、上記方法と同様の手続きは、原則説明を省略する。

[0134] まず、図15に示すように、開口部が設けられたシリコン酸化膜72を、サファイア基板71上に形成する。これは、図7で説明した手続きと全く同様である。

[0135] 次に、図16に示すように、シリコン酸化膜72の開口部に対応する露出したサファイア基板71上に、MOCVD装置を用いて、例えば、 $10\mu\text{m}$ の長さのn型Ga_{0.9}Nを結晶成長させて、棒状の第1導電型の半導体コア74を形成する（コア形成工程）。この際に、金属触媒粒を用いないので、結晶成長は、 1050°C 程度の比較的に高い温度で行う必要がある。

[0136] 次に、図17に示すように、n型Ga_{0.9}Nからなる棒状の第1導電型の半導体コア74の側面および上面に、例えば、 200nm の厚さでn型Ga_{0.9}N膜からなる第1導電型の半導体シェル75を形成する（第1のシェル形成工程）。

[0137] 以下の工程は、図11～図14に示した手順と全く同様である。

[0138] この変形例では、棒状の第1導電型の半導体コア74を成長させる際に金属触媒粒を用いないので、金属による汚染がなく、棒状の第1導電型の半導体コア74を改善することができる。したがって、棒状の第1導電型の半導体コア74上に形成される第1導電型の半導体シェル75や第2導電型の半導体シェルの結晶性をさらに向上させることが可能となる。

[0139] （第5実施形態）

図18は、本発明の第5実施形態の半導体素子50の長手方向の断面図である。

[0140] 図18に示すように、この半導体素子50は、棒状の第1導電型の半導体コア51の側面および一端を、第1導電型の半導体シェル52が覆っている。そして、第1導電型の半導体シェル52の表面を、発光層54が覆っている。更に、発光層54の表面を、第2導電型の半導体シェル53が覆ってい

る。半導体素子 50 が、図 5 に示す半導体素子 40 と異なる点は、第 1 導電型の半導体シェル 52、発光層 54 および第 2 導電型の半導体シェル 53 が、第 1 導電型の半導体シェル 52 の他端の端面以外の全ての表面を覆っていることである。そのため、第 1 導電型の半導体コア 51 に電極を接続しようとする場合は、半導体素子 50 の他端（図 18 では半導体素子 50 の左側）で第 1 導電型の半導体コア 51 が露出した部分に電極を接続するか、第 2 導電型の半導体シェル 53 および発光層 54 の一部を除去して第 1 導電型の半導体シェル 52 を露出させ、この露出した部分に電極を接続する必要がある。この半導体素子 50 を構成する具体的な材料、大きさ、用途、得られる効果等は、第 4 実施形態の半導体素子 40 と同様である。

[0141] 図 19～図 23 は、上記第 5 実施形態の半導体素子（図 18 参照）の製造方法の一例を説明するための図であり、その半導体素子を形成する手順の一例を示す図である。

[0142] 尚、第 2 実施形態の半導体素子（図 3 参照）は、以下に説明する方法においてシェルの形成回数を変えることにより、以下に説明する方法と同様の方法により形成されることができる。

[0143] ここでは、例としてガリウムナイトライドからなる半導体素子を形成する手順を示すが、他の材料からなる半導体素子も、以下に説明する手順と同様の手順により形成されることができる。

[0144] まず、図 19 に示すように、サファイア基板 81 の表面上に n 型 GaN 膜 82 を形成する。ここで、n 型 GaN 膜 82 は、例えば、MOCVD 装置で形成されることができ、例えば 10 μm の厚さに成膜されることができる。

[0145] 次に、図 20 に示すように、n 型 GaN 膜 82 にシリコン酸化膜を堆積し、フォトリソグラフィ工程によりパターニングしてシリコン酸化膜からなるハードマスク 83 を形成する。シリコン酸化膜は、例えば CVD 法により、1 μm の厚さで堆積されることができ、また、シリコン酸化膜からなるハードマスク 83 は、例えば、厚さ方向に垂直な断面において、直径 1 μm の円形、三角形、四角形、六角形などで構成されることができる。

[0146] 次に、図21に示すように、シリコン酸化膜からなるハードマスク83をマスクとして、非等方的なドライエッチングによって、n型Ga_{0.4}N膜をエッチングし、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84を形成する（コア形成工程）。シリコン酸化膜からなるハードマスク83の形状を変えることにより、棒状の第1導電型の半導体コア84の断面形状を自由に変えることができる。したがって、例えば、n型Ga_{0.4}N膜82の表面が、c面となるように成長させておけば、シリコン酸化膜からなるハードマスク83を三角形とすることにより、棒状の第1導電型の半導体コア84の全ての側面を非極性面（a面やm面）とすることができる。

[0147] ここで、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84を形成したサファイア基板81をアニール処理することが好ましい。アニール温度は、例えば、700℃～1200℃とすることができる。これにより、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84の結晶欠陥を回復して、半導体コア84の結晶性を改善することができる。したがって、この後に行う第1のシェル形成工程で成膜するn型Ga_{0.4}N膜からなる第1導電型の半導体シェルの結晶性を更に向上することができる。

[0148] あるいは、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84を形成したサファイア基板81を、例えば、150℃の熱リン酸に浸して、上記コア形成工程のエッチングにより生じた結晶欠陥層を選択的に除去することができる。この場合も、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84の結晶欠陥を回復して、半導体コア84の結晶性を改善することができる。したがって、この後に行う第1のシェル形成工程で成膜するn型Ga_{0.4}N膜からなる第1導電型の半導体シェルの結晶性を更に向上することができる。

[0149] 次に、図22に示すように、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84の側面および上面に、例えば200nmの厚さでn型Ga_{0.4}N膜からなる第1導電型の半導体シェル85を形成する（第1のシェル形成工程）。このように、n型Ga_{0.4}Nからなる棒状の第1導電型の半導体コア84の側面および上面に、改めてn型Ga_{0.4}N膜からなる第1導電型の半導体シェル8

5を形成することにより、均一で結晶性のよいn型Ga_{0.9}N結晶を表面に露出させることができる。特に、本方法（手順）では、n型Ga_{0.9}Nからなる棒状の第1導電型の半導体コア84が、エッチングにより形成されているため、エッチングダメージを受けている。したがって、n型Ga_{0.9}N膜からなる第1導電型の半導体シェル85を形成することにより、第1導電型の半導体表面の結晶欠陥を減らす効果が大きくなる。

[0150] その後、n型Ga_{0.9}N膜からなる第1導電型の半導体シェル85の側面および上面に、例えば5nmの厚さでInGa_{0.9}N膜からなる発光層86を形成する。更に、InGa_{0.9}N膜からなる発光層86の側面および上面に、例えば100nmの厚さでp型Ga_{0.9}N膜からなる第2導電型の半導体シェル87を形成する（第2のシェル形成工程）。棒状の第1導電型の半導体コア84、InGa_{0.9}N膜からなる発光層86およびp型Ga_{0.9}N膜からなる第2導電型の半導体シェル87の形成条件は、第4実施形態の半導体素子を形成する手順におけるものと同様でよい。

[0151] 次に、図23に示すように、サファイア基板81とその表面上に形成した棒状の構造物を水などの液体中に浸し、超音波を照射することにより、棒状の構造物を基板から切り離す（半導体素子切り離し工程）。このようにして、個々の棒状の構造物、すなわち、発光ダイオードの機能を有する半導体素子80を形成する。

[0152] 尚、棒状の第1導電型の半導体コアおよび第1導電型の半導体シェルとしてn型のシリコンを成長させ、発光層を形成せずに第2導電型の半導体シェルとしてp型シリコンを成長させれば、光電変換素子の機能を有する半導体素子を形成することができる。

[0153] 上記棒状の半導体素子を形成する方法（手順）によれば、基板81上に棒状のコア84を形成するコア形成工程と、上記棒状のコア84を形成した後、第1導電型の半導体シェル85で覆う第1のシェル形成工程と、第1導電型のシェル85を形成した後、第1導電型のシェル85を直接または間接的に第2導電型の半導体シェル87で覆う第2のシェル形成工程とを備えてい

る。

[0154] ここで、このような方法により、棒状の半導体コア 84 を形成した後に、第 1 導電型の半導体シェル 85 を形成すれば、第 1 導電型の半導体シェル 85 の表面に、均一で結晶性のよい第 1 導電型の半導体を露出させることができる。したがって、第 1 導電型の半導体シェル 85 上に形成される発光層 86 の結晶性を向上させることができる。

[0155] 尚、棒状の半導体コアを形成した後に、第 1 導電型の半導体シェルを形成すれば、第 1 導電型の半導体シェルの表面に、均一で結晶性のよい第 1 導電型の半導体を露出させることができる。したがって、第 1 導電型の半導体シェル上に発光層を形成しない場合には、第 1 導電型の半導体シェルと、第 1 導電型の半導体シェルを覆うように形成される第 2 導電型の半導体シェルとで、良好な特性を持つ P N 接合を得ることができる。

[0156] また、上記棒状のコアは、第 1 導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアを、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を有するように形成できる。したがって、棒状の半導体素子のコアとしての機能と、P N 接合の片側としての機能を、第 1 導電型の半導体コアと、第 1 導電型の半導体シェルとで分担することができる。それゆえ、第 1 導電型の半導体シェルと第 2 導電型の半導体シェルとで構成される P N 接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上でき、または、製造のコストを低減することが可能となる。したがって、P N 接合の特性が向上することにより、例えば、半導体素子を光電変換素子として用いた場合は、変換効率が向上し、半導体素子を発光ダイオードとして用いた場合は、発光効率が向上する。

[0157] また、この手順によれば、上記コア形成工程は、コアを構成する物質からなる基板表面の一部をエッチングすることによりなされる。この手順では、フォトリソグラフィにより棒状のコアの断面形状を自由に変えることが可能となる。したがって、例えば、棒状のコアの側面の結晶方位を好ましいものにできて、半導体素子の特性を向上させることが可能となる。

[0158] また、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、アニール処理を行なうことが好ましい。これにより、棒状のコアの結晶欠陥を回復して、結晶性を改善することができる。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上させることができる。

[0159] あるいは、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、コア形成工程で形成されたコアの一部をウェットエッチングにより除去することが好ましい。これによってもまた、棒状のコアの結晶欠陥を回復して、棒状のコアの結晶性を改善することができるからである。そのため、この後に行う第1のシェル形成工程で成膜する第1導電型の半導体シェルの結晶性を更に向上させることができる。

[0160] ところで、上記コア形成工程の後であって、上記第1のシェル形成工程の前に、上記コアを形成する温度よりも高温のアニール処理を行なうことが好ましい。それにより、棒状のコアの結晶欠陥を回復して、棒状のコアの結晶性を改善できるので、その後に形成される第2導電型の半導体シェルや発光層の結晶性を更に改善することができる。

[0161] ところで、 n 型Ga N からなる棒状の第1導電型の半導体コア84に導電型を与える半導体コア84の不純物濃度は、 n 型Ga N 膜からなる第1導電型の半導体シェル85に導電型を与える半導体シェル85の不純物濃度より大きいことが好ましい。もしくは、 n 型Ga N からなる棒状の第1導電型の半導体コア84の抵抗率は、 n 型Ga N 膜からなる第1導電型の半導体シェル85の抵抗率より小さいことが好ましい。これにより、 n 型Ga N 膜からなる第1導電型の半導体シェル85上に形成されるInGa N 膜からなる発光層86の結晶性が向上し、発光効率が向上するとともに、 n 型Ga N からなる棒状の第1導電型の半導体コア84の抵抗を十分に小さくすることができるからである。

[0162] また、棒状の第1導電型の半導体コア84を構成する物質のバンドギャップは、発光層86を構成する物質のバンドギャップよりも大きいことが好ま

しい。このような条件を満たすことにより、発光層 86 で発生した光が棒状のコアまたは第 1 導電型の半導体コアで吸収されることがないため、発光ダイオードの発光効率を高くすることができる。上記の例では、棒状の第 1 導電型の半導体コア 84 は、 n 型 GaN からなり、発光層 86 は、 $InGaN$ からなるため、上記条件を満たしている。

[0163] (第 6 実施形態)

図 24 は、本発明の第 6 実施形態の太陽電池の断面図である。

[0164] この太陽電池は、本発明の一実施形態の半導体素子 150 を複数備えている。詳しくは、この太陽電池 100 は、サファイア基板 101 上に、下部電極となる n 型シリコン層 102 が形成されている。また、 n 型シリコン層 102 上には、開口部が設けられたシリコン酸化膜 103 が形成されている。棒状の n 型シリコンからなる第 1 導電型の半導体コア 104 の一部は、開口部に充填されている。上記半導体コア 104 は、開口部から直立している。上記半導体コア 104 は、下部電極となる n 型シリコン層 102 と電氣的に接続されている。 n 型シリコンからなる第 1 導電型の半導体コア 104 の側面および上面には、 n 型シリコン膜からなる第 1 導電型の半導体シェル 105 と、 p 型シリコン膜からなる第 2 導電型の半導体シェル 106 が、この順で積層されている。上記半導体シェル 105 および半導体シェル 106 は、半導体コア 104 の側面および上面を覆っている。

[0165] 棒状の n 型シリコンからなる第 1 導電型の半導体コア 104、 n 型シリコン膜からなる第 1 導電型の半導体シェル 105 および p 型シリコン膜からなる第 2 導電型の半導体シェル 106 とで、光電変換素子の機能を有する半導体素子 150 を構成している。

[0166] 複数の半導体素子 150 は、サファイア基板 101 上に離散的に形成されており、複数の半導体素子 150 の隙間および上方には、ITO からなる透明電極 107 が充填されている。また、上記透明電極 107 上の一部には、上部電極となる金属電極 109 が形成されている。

[0167] 棒状の n 型シリコンからなる第 1 導電型の半導体コア 104 の直径は、例

えば、500 nmとすることができる。また、n型シリコン膜からなる第1導電型の半導体シェル105の厚さは、例えば、200 nmとすることができる。また、p型シリコン膜からなる第2導電型の半導体シェル106の厚さは、例えば、200 nmとすることができる。

[0168] 棒状のn型シリコンからなる第1導電型の半導体コア104にn型を与えるリン原子の濃度は、例えば、 1×10^{19} 個 cm^{-3} とすることができる。また、n型シリコン膜からなる第1導電型の半導体シェル105にn型を与えるリン原子の濃度は、例えば、 1×10^{17} 個 cm^{-3} とすることができる。尚、このとき、棒状のn型シリコンからなる第1導電型の半導体コア104の抵抗率は、 $6 \times 10^{-3} \Omega \text{cm}$ となり、n型シリコン膜からなる第1導電型の半導体シェル105の抵抗率は、 $9 \times 10^{-2} \Omega \text{cm}$ となる。

[0169] 上記n型シリコン膜からなる第1導電型の半導体シェル105の結晶欠陥密度は、棒状のn型シリコンからなる第1導電型の半導体コア104の結晶欠陥よりも小さくなっている。したがって、この太陽電池は、n型シリコン膜からなる第1導電型の半導体シェル105と、p型シリコン膜からなる第2導電型の半導体シェル106とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型シリコンからなる第1導電型の半導体コア104の電気抵抗を小さくすることで、太陽電池の変換効率を向上させることができる。

[0170] 図25～図28は、上記第6実施形態の太陽電池の製造方法の一例を説明するための図であり、その太陽電池を形成する手順の一例を示す図である。

[0171] まず、図25を参照して、サファイア基板101を準備する。

[0172] 次に、図26に示すように、サファイア基板101上に、n型のシリコン層（膜）102をCVD法により、例えば200 nmの厚さでエピタキシャル成長させる。

[0173] 次に、図27に示すように、n型のシリコン層102上に、開口部を設けたシリコン酸化膜103を形成し、n型シリコンからなる棒状の第1導電型の半導体コア104をCVD法により開口部から成長させる（コア成長工程

）。n型シリコンからなる棒状の第1導電型の半導体コア104を成長させる際、成長を促進させるため、金からなる触媒金属粒を開口部に形成しておいてもよい。

[0174] その後、n型シリコンからなる棒状の第1導電型の半導体コア104の側面および上面に、n型シリコンからなる第1導電型の半導体シェル105を形成する（第1のシェル形成工程）。そして、n型シリコンからなる第1導電型の半導体シェル105の側面および上面に、p型シリコンからなる第2導電型の半導体シェル106を形成する（第2のシェル形成工程）。

[0175] ここで、棒状のn型シリコンからなる第1導電型の半導体コア104、n型シリコン膜からなる第1導電型の半導体シェル105およびp型シリコン膜からなる第2導電型の半導体シェル106とで、光電変換素子の機能を有する半導体素子150を構成している。

[0176] 次に、図28に示すように、複数の半導体素子150の間および上方を埋めるように、スパッタ法またはCVD法でITO層からなる透明電極107を形成する。そして、透明電極107の上に金属層をパターニングして上部電極となる金属電極109を形成して、太陽電池100が完成する。本実施形態の太陽電池は、光電変換素子の機能を有する本発明の一実施形態の半導体素子150を備えている。それゆえ、太陽電池の変換効率を向上させることができるのである。

[0177] （第7実施形態）

図29は、本発明の第7実施形態の発光ダイオードの断面図である。

[0178] この発光ダイオードは、本発明の一実施形態の半導体素子250を複数備えている。詳しくは、この発光ダイオード200は、サファイア基板201上に、下部電極となるn型GaN層202が形成されている。また、n型GaN層202上には、開口部が設けられたシリコン酸化膜203が形成されている。棒状のn型GaNからなる第1導電型の半導体コア204の一部は、開口部に充填されている。上記半導体コア204は、開口部から直立している。上記半導体コア204は、下部電極となるn型GaN層202と電気

的に接続されている。棒状の n 型 GaN からなる第 1 導電型の半導体コア 204 の側面および上面には、 n 型 GaN 膜からなる第 1 導電型の半導体シェル 205 と、InGa N 膜からなる発光層 210 と、 p 型 GaN 膜からなる第 2 導電型の半導体シェル 206 が、この順で積層されている。上記半導体シェル 205、発光層 210 および半導体シェル 206 は、半導体コア 204 の側面および上面を覆っている。

[0179] 棒状の n 型 GaN からなる第 1 導電型の半導体コア 204、 n 型 GaN 膜からなる第 1 導電型の半導体シェル 205、InGa N 膜からなる発光層 210 および p 型 GaN 膜からなる第 2 導電型の半導体シェル 206 とで、光電変換素子の機能を有する半導体素子 250 を構成している。

[0180] 複数の半導体素子 250 は、サファイア基板 201 上に離散的に形成されており、複数の半導体素子 250 の隙間および上方には、ITO からなる透明電極 207 が充填されている。また、上記透明電極 207 上の一部には、上部電極となる金属電極 209 が形成されている。

[0181] ここで、棒状の n 型 GaN からなる第 1 導電型の半導体コア 204 の直径は、例えば、 $1\ \mu\text{m}$ とすることができる。また、 n 型 GaN 膜からなる第 1 導電型の半導体シェル 205 の厚さは、例えば、 $400\ \text{nm}$ とすることができる。また、InGa N 膜からなる発光層 210 の厚さは、例えば、 $5\ \text{nm}$ とすることができる。また、 p 型 GaN 膜からなる第 2 導電型の半導体シェル 206 の厚さは、例えば、 $200\ \text{nm}$ とすることができる。

[0182] また、棒状の n 型 GaN からなる第 1 導電型の半導体コア 204 に n 型を与えるシリコン原子の濃度は、例えば、 1×10^{19} 個 cm^{-3} とすることができる。また、 n 型 GaN 膜からなる第 1 導電型の半導体シェル 205 に n 型を与えるシリコン原子の濃度は、例えば、 1×10^{17} 個 cm^{-3} とすることができる。

[0183] このとき、棒状の n 型 GaN からなる第 1 導電型の半導体コア 204 の抵抗率は、約 $2 \times 10^{-3}\ \Omega\ \text{cm}$ となり、 n 型 GaN 膜からなる第 1 導電型の半導体シェル 205 の抵抗率は、約 $3 \times 10^{-1}\ \Omega\ \text{cm}$ となる。また、 n 型 Ga

N膜からなる第1導電型の半導体シェル205の結晶欠陥密度は、棒状のn型Ga_{0.9}Nからなる第1導電型の半導体コア204の結晶欠陥よりも小さくなる。したがって、n型Ga_{0.9}N膜からなる第1導電型の半導体シェル205と、p型Ga_{0.9}N膜からなる第2導電型の半導体シェル206とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型Ga_{0.9}Nからなる第1導電型の半導体コア204の電気抵抗を小さくすることができて、発光ダイオードの発光効率を向上させることができる。本実施形態の発光ダイオードは、発光ダイオードの機能を有する本発明の一実施形態の半導体素子250を備えている。それゆえ、発光ダイオードの発光効率を向上させることができるのである。

[0184] (第8実施形態)

図30は、本発明の第8実施形態の発光ダイオードの模式断面図である。

[0185] この発光ダイオードは、本発明の一実施形態の半導体素子350A、Bを複数備えている。詳しくは、この発光ダイオード300は、ガラス基板311上に、複数の発光ダイオード素子350A、350Bが配置されている。発光ダイオード素子350Aの端部の形状は、発光ダイオード素子350Bの端部の形状と僅かに異なっている。これはガラス基板311上に発光ダイオード素子を配置するときに2通りの向きが許されることによる。しかしながら、この違いは本実施形態の発光ダイオードの動作に影響を与えるものではない。

[0186] 発光ダイオード素子350A、350Bの夫々は、棒状のn型Ga_{0.9}Nからなる第1導電型の半導体コア304、n型Ga_{0.9}N膜からなる第1導電型の半導体シェル305、InGa_{0.9}N膜からなる発光層310およびp型Ga_{0.9}N膜からなる第2導電型の半導体シェル306で構成されている。

[0187] 棒状のn型Ga_{0.9}Nからなる第1導電型の半導体コア304の直径は、例えば、1μmとすることができる。また、n型Ga_{0.9}N膜からなる第1導電型の半導体シェル305の厚さは、例えば、400nmとすることができる。また、InGa_{0.9}N膜からなる発光層310の厚さは、例えば、5nmとするこ

とができる。また、p型Ga_{0.5}N膜からなる第2導電型の半導体シェル306の厚さは、例えば、200nmとすることができる。

[0188] また、棒状のn型Ga_{0.5}Nからなる第1導電型の半導体コア304にn型を与えるシリコン原子の濃度は、例えば、 1×10^{19} 個 cm^{-3} とすることができる。また、n型Ga_{0.5}N膜からなる第1導電型の半導体シェル305にn型を与えるシリコン原子の濃度は、例えば、 1×10^{17} 個 cm^{-3} とすることができる。

[0189] このとき、棒状のn型Ga_{0.5}Nからなる第1導電型の半導体コア304の抵抗率は、約 $2 \times 10^{-2} \Omega \text{cm}$ となり、n型Ga_{0.5}N膜からなる第1導電型の半導体シェル305の抵抗率は、約 $3 \times 10^{-1} \Omega \text{cm}$ となる。また、n型Ga_{0.5}N膜からなる第1導電型の半導体シェル305の結晶欠陥密度は、棒状のn型Ga_{0.5}Nからなる第1導電型の半導体コア304の結晶欠陥よりも小さくなる。したがって、n型Ga_{0.5}N膜からなる第1導電型の半導体シェル305と、p型Ga_{0.5}N膜からなる第2導電型の半導体シェル306とで構成されるPN接合の電気特性を良好に保つことができるから、棒状のn型Ga_{0.5}Nからなる第1導電型の半導体コア304の電気抵抗を小さくすることができて、発光ダイオード素子の発光効率を向上させることができる。

[0190] 尚、発光ダイオード素子350A、350Bの数は、必要とされる光量に応じて変えることができる。発光ダイオード素子の大きさとして上記記載の大きさを採用すれば、例えば、1,000個~100,000個の発光ダイオード素子を1つのガラス基板上に配置すれば好ましい光量を獲得できる。

[0191] ガラス基板311上には、第1の電極312および第2の電極313が形成されている。これは、後述のように、発光ダイオード素子350A、350Bをガラス基板311上の所定の位置に配置するために形成されたものである。上記ガラス基板311および発光ダイオード素子350A、350B上には、シリコン酸化膜からなる層間絶縁膜314が形成されている。また、上記層間絶縁膜314に開口したコンタクト孔を介して、金属配線315、316が、発光ダイオード素子350A、350Bと電氣的に接続されて

いる。金属配線 315、316 間に電圧を与えることにより、発光ダイオード素子 350A、350B を発光させるようになっている。

[0192] 図 31～図 39 は、上記第 8 実施形態の発光ダイオードの製造方法の一例を説明するための図であり、その発光ダイオードを形成する手順の一例を示す図である。

[0193] 発光ダイオードの製造にあたって、先ず、上記第 5 実施形態の発光ダイオード素子を、図 19～図 23 で説明した手順に従って作成する。詳しくは、この発光ダイオード素子を、上述のように、第 1 の基板上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の棒状半導体素子を上記基板から切り離す半導体素子切り離し工程とを経て形成する。

[0194] 次に、図 31 に示すように、上記第 1 の基板とは別の第 2 の基板となるガラス基板 311 の表面に、第 1、第 2 の電極 312、313 を形成する。第 1、第 2 の電極 312、313 は、フォトリソグラフィまたは印刷技術を利用して形成することができる。なお、図 31 では省略されているが、金属電極 312、313 には、外部から電位が与えられるように、パッドが形成されている。

[0195] 次に、金属電極 312、313 の互いに対向する部分に、上記予め作製した発光ダイオード素子を配列する（半導体素子配列工程）。図 31 では、図を見やすくするため、発光ダイオード素子を配列する配列領域を 8×3 個としているが、実際は任意の個数の配列領域とすることができる。

[0196] 図 32 は、図 31 の X1X-X1X 線から見た断面模式図である。

[0197] まず、図 32 に示すように、ガラス基板 311 上に、発光ダイオード素子 350 を含んだイソプロピルアルコール（IPA）321 を薄く塗布する。塗布する材料は、IPA 321 の他に、エチレングリコール、プロピレング

リコール、メタノール、エタノール、または、アセトンであっても良く、または、それらの二以上の材質の混合物で合っても良く、または、IPAとそれらのうちの材質の一以上の材質の混合物であっても良い。また、IPA 321の替わりに、他の有機物からなる液体、水などを用いることができる。なお、上述のように、発光ダイオード素子350は、上記第5実施形態の半導体素子（図6参照）である。

[0198] ここで、液体を通じて金属電極312、313間に大きな電流が流れてしまうと、金属電極312、313間に所望の電圧差を印加できなくなってしまう。そのような場合には、金属電極312、313を覆うように、ガラス基板311表面全体に、10nm～30nm程度の絶縁膜をコーティングすればよい。

[0199] 塗布されると共に、発光ダイオード素子350を含むIPA 321の厚さは、後の発光ダイオード素子350を配列する工程で、発光ダイオード素子350が配列できるよう、液体中で発光ダイオード素子350が移動できる厚さである。したがって、塗布されたIPA 321の厚さは、発光ダイオード素子350の太さ以上であり、例えば、数 μm ～数 mm とすることができる。塗布する厚さは、薄すぎると、発光ダイオード素子350が移動し難くなり、逆に、厚すぎると、液体を乾燥する時間が長くなる。尚、IPAの量に対して、発光ダイオード素子350の量は、 $1 \times 10^4 \text{本 cm}^{-3} \sim 1 \times 10^7 \text{本 cm}^{-3}$ が好ましい。

[0200] 発光ダイオード素子350を含むIPA 321を塗布するために、発光ダイオード素子350を配列させる金属電極の外周囲に枠を形成し、その枠内に発光ダイオード素子350を含むIPA 321を所望の厚さになるように充填してもよい。しかしながら、発光ダイオード素子350を含むIPA 321が粘性を有する場合は、枠を必要とせずに、所望の厚さに塗布することが可能である。

[0201] 図32を参照して、次に、金属電極312、313間に、例えば、1Vの電位差を与える。金属電極312、313の電位差は、0.1～10Vを印

加することができる。ここで、0.1 V以下では、棒発光ダイオード素子350の配列が悪くなり、10 V以上では、金属電極間の絶縁が問題になり始める。したがって、1～5 Vが好ましく、更には、1 V程度とするのが好ましい。

[0202] 図33は、上記発光ダイオード素子350が金属電極312、313上に配列する原理を説明するための図である。図33に示すように、金属電極312に電位 V_L を印加し、金属電極313に電位 V_R ($V_L < V_R$)を印加すると、金属電極312には負電荷が誘起され、金属電極313には正電荷が誘起される。そこに発光ダイオード素子350が接近すると、棒状の発光ダイオード素子350において、金属電極312に近い側に正電荷が誘起され、金属電極313に近い側に負電荷が誘起される。この発光ダイオード素子350に電荷が誘起されるのは静電誘導による。すなわち、電界中に置かれた発光ダイオード素子350は、内部の電界が0となるまで表面に電荷が誘起されることによる。その結果、各電極312, 313と、発光ダイオード素子350との間に静電力により引力が働き、発光ダイオード素子350は、金属電極312、313間に生じる電気力線に沿うように向きを揃え、電極312、313を架橋するように配列する。

[0203] 金属電極312、313が絶縁膜で覆われる場合は、絶縁膜上に電荷が誘起されることにより次第に液体中の電界が弱まるため、安定して発光ダイオード素子350を電極312、313上の位置に留めることができない。そのような場合は、図34Aに V_L を示し図34Bに V_R を示すAC電圧を、金属電極312、313間に印加することが好ましい。

[0204] 詳しくは、図34A, Bに示す例においては、金属電極313に、基準電位を、金属電極312には、振幅 $V_{PPL}/2$ のAC電圧を印加している。こうすることにより、発光ダイオード素子350を安定して電極312、313上に配列することができる。なお、この場合の金属電極312に与える交流電圧の周波数は、10 Hz～1 MHzとするのが好ましく、50 Hz～1 kHzとするのが最も配列が安定し、より好ましい。尚、金属電極312、31

3間に印加するAC電圧は、正弦波に限らず、矩形波、三角波、ノコギリ波など、周期的に変動するものであればよい。なお、 V_{PPL} は1V程度とするのが好ましかった。

[0205] 次に、金属電極312、313上に、発光ダイオード素子350を配列させた後、ガラス基板311を加熱することにより、液体を蒸発させて乾燥させ、発光ダイオード素子350を、金属電極312、313を架橋するように配列させて固着させる。

[0206] 図35は、発光ダイオード素子350を配列したガラス基板311の平面図を示している。また、図36は、発光ダイオード素子350を配列したガラス基板311の断面図を示している。図36において、発光ダイオード素子350Aは、棒状のn型Ga_{0.9}Nからなる第1導電型のコアが露出した側が左側を向いた状態で配列しており、発光ダイオード素子350Bは、露出した側が右側を向いた状態で配列している。これは、金属電極312、313上に発光ダイオード素子を配置するときに2通りの向きが許されることによる。

[0207] 次に、ガラス基板311上の所定の位置に配列した発光ダイオード素子350A、350Bの配線を行う。図37に示すように、ガラス基板311上に、発光ダイオード素子350A、350Bの一部が露出するようにフォトリソグラフ317をパターニングする。そして、フォトリソグラフ317の開口部において、InGa_{0.9}N膜からなる発光層310およびp型Ga_{0.9}N膜からなる第2導電型の半導体シェル306をエッチングにより除去する。このエッチングは、等方性の強いドライエッチが適当である。その後、フォトリソグラフ317を除去する。

[0208] 次に、図38に示すように、ガラス基板311上に層間絶縁膜314を塗布する。層間絶縁膜314は、例えば、シリコン酸化膜を2μm塗布することによって形成できる。

[0209] 次に、図39に示すように、層間絶縁膜314に開口部を設ける。その後、スパッタ法等により金属を堆積することにより、層間絶縁膜314の開口

部を埋めるとともに、層間絶縁膜 314 上に金属膜を形成する。この金属膜をフォトリソグラフィによりパターニングして金属配線 315、316 を形成し、発光ダイオード素子 350A、350B を配線して、発光ダイオード 300 が完成する。

[0210] 以上のように、本実施の形態の発光ダイオードは、発光ダイオードの機能を有する本発明の一実施形態の発光ダイオード素子 350A、350B を備えている。それゆえ、発光ダイオードの発光効率を向上させることができる。

[0211] 上記実施形態の発光ダイオードは、発光ダイオード素子 350A、350B の基板とは異なる基板 311 と、その基板 311 上に配置された本発明の一実施形態の半導体素子である発光ダイオード素子 350A、350B と、その発光ダイオード素子 350A、350B を電氣的に接続する配線 315、316 とを備えている。それゆえ、上記基板 311 上において、発光ダイオード素子（発光ダイオードの機能を有する半導体素子）350A、350B の配置間隔を自由に設定することができる。

[0212] したがって、発光ダイオードの機能を有する半導体素子である発光ダイオード素子 350A、350B を、所定の位置に正確に配置することができるから、発光ダイオード素子 350A、350B を効率よく基板に逃がすことができると共に、発光ダイオードの温度上昇を抑制することができる。したがって、発光ダイオードの効率と信頼性を共に向上することができる。

[0213] また、上記発光ダイオードを形成する上記手順は、第 1 の基板上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の半導体素子を上記基板から切り離す半導体素子切り離し工程と、上記複数の半導体素子を第 2 の基板上に配置する半導体素子配列工程を備えている。

[0214] 上記手順によれば、半導体素子は、上記第1の基板上で、棒状のコアが形成された後、第1導電型の半導体シェルおよび第2導電型のシェルで覆われる。したがって、単位基板面積当りのPN接合面積、すなわち、発光面積を非常に大きくできると共に、製造コストを低減することができる。

[0215] 更には、第1導電型の半導体シェルと第2導電型の半導体シェルとで良好な特性を持つPN接合を得ることができるのみならず、上記棒状のコアは第1導電型の半導体シェルの形成に先立って別途形成されているので、棒状の半導体素子のコアを、棒状の半導体素子のコアとしての機能を果たすのにふさわしい性質を有するように形成できる。それゆえ、第1導電型の半導体シェルと第2導電型の半導体シェルとで構成されるPN接合の特性を良好に保ったまま、棒状の半導体素子の他の特性を向上させることができる。

[0216] 更に、また、上記第1の基板とは別の上記第2の基板上に複数の上記半導体素子を配列するので、発光ダイオードの機能を有する半導体素子の配置間隔を自由に設定することができる。したがって、上記発光ダイオードの機能を有する半導体素子を効率よく基板に逃がして、発光ダイオードの温度上昇を抑制することにより、発光ダイオードの効率と信頼性を共に向上することが可能となる。したがって、高効率で高信頼性の発光ダイオード300を低コストで製造することができる。

[0217] (第9実施形態)

図40は、本発明の第9実施形態の照明装置の側面図である。また、図41は、上記照明装置に内蔵される発光装置を横から見た図であり、図42は、上記発光装置を上から見た図である。

[0218] 図41および図42を参照して、正形状の放熱板405上に、第8実施形態の発光ダイオード406（図30参照）を実装して、発光装置404を構成している。図40を参照して、この照明装置400は、上記発光装置404を内蔵したLED電球である。照明装置400は、外部のソケットに嵌めて商用電源に接続するための電源接続部としての口金401と、その口金401に一端が接続され、他端が徐々に拡径する円錐形状の放熱部402と

、放熱部402の他端側を覆う透光部403とを備えている。第9実施形態の照明装置は、第8実施形態の発光ダイオードを備えているため、低消費電力化を実現することができる。

[0219] (第10実施形態)

図43は、本発明の第10実施形態のバックライトの平面図である。

[0220] 図43に示すように、このバックライト500は、放熱板の一例としての長方形の支持基板501上に、複数の発光ダイオード502が互いに所定の間隔をあけて格子状に実装されている。ここで、発光ダイオード502としては、第8実施形態の発光ダイオード(図30参照)を用いている。第10実施形態のバックライトは、第8実施形態の発光ダイオードを備えているため、低消費電力化を実現することができる。

[0221] (第11実施形態)

図44は、本発明の第11実施形態の表示装置(LEDディスプレイ)の1画素の回路図である。

[0222] この表示装置は、本発明の発光ダイオードとしての機能を有する本発明の一実施形態の半導体素子(第1～第5実施形態の半導体素子)を画素の自発光素子として用いている。

[0223] この表示装置は、アクティブマトリックスアドレス方式であり、選択電圧パルスが、行アドレス線X1に供給され、データ信号が、列アドレス線Y1に送られるようになっている。上記選択電圧パルスがトランジスタT1のゲートに入力されて、トランジスタT1がオンすると、上記データ信号がトランジスタT1のソースからドレインに伝達され、データ信号がキャパシタCに電圧として記憶されるようになっている。

[0224] トランジスタT2は、発光ダイオードとしての機能を有する半導体素子640の駆動用トランジスタであり、この発光ダイオードとしての機能を有する半導体素子640としては、上記第1実施形態～第5実施形態(図1、図3、図4、図5、図6参照)の半導体素子を用いることができる。

[0225] 上記発光ダイオードとしての機能を有する半導体素子640は、上記トラ

ンジスタ T 2 を経て電源 V s に接続されている。よって、トランジスタ T 1 からのデータ信号でトランジスタ T 2 がオンすることにより、発光ダイオードとしての機能を有する半導体素子 6 4 0 が、上記電源 V s によって駆動されることができる。

[0226] この実施形態の L E D ディスプレイは、図 4 4 に示す 1 画素がマトリックス状に配列されている。このマトリックス状に配列された各画素の発光ダイオードとしての機能を有する半導体素子 6 4 0 と、トランジスタ T 1、T 2 とが基板上に形成されている。尚、本発明の発光ダイオードを、上記実施形態とは異なる L E D ディスプレイや、L E D ディスプレイ以外の表示装置に使用しても良いことは勿論である。

[0227] この実施形態の表示装置を作製するためには、例えば、以下のような工程を行えば良い。

[0228] まず、上述の第 4 実施形態の半導体素子を形成する手順（図 6 ～ 1 4）、第 4 実施形態の半導体素子を形成する別の手順（図 1 5 ～ 図 1 7）、または、第 5 実施形態の半導体素子を形成する手順（図 1 9 ～ 図 2 3）にしたがって、発光ダイオードの機能を有する半導体素子を形成する。

[0229] 発光ダイオードの機能を有する半導体素子（発光ダイオード素子）6 4 0 は、簡易に述べると、第 1 の基板上に複数の棒状のコアを形成するコア形成工程と、上記複数の棒状のコアを形成した後、第 1 導電型の半導体シェルで覆う第 1 のシェル形成工程と、上記第 1 導電型のシェルを形成した後、第 2 導電型の半導体シェルで覆う第 2 のシェル形成工程と、上記棒状のコア、第 1 導電型の半導体シェルおよび第 2 導電型の半導体シェルを備えた複数の棒状半導体素子を上記基板から切り離す半導体素子切り離し工程とを経て形成する。

[0230] 次に、トランジスタ T 1、T 2 をガラス等の基板上に、通常の T F T（薄膜トランジスタ：thin film transistor）の製造方法を用いて形成する。次に、T F T であるトランジスタ T 1、T 2 を形成した基板上に、発光ダイオードとしての機能を有する半導体素子 6 4 0 を配置するための、第 1 の電極

および第2の電極を形成する。次に、第8実施形態において、図31～図35で説明した方法を用いて、上記基板上の所定の位置に発光ダイオードとしての機能を有する半導体素子640を配置する。その後、上部配線工程を行ない、上記発光ダイオードとしての機能を有する半導体素子640をトランジスタT2のドレインとアース線とに接続する。

[0231] 本実施の形態のバックライトは、発光ダイオードとしての機能を有する上記第1～第5実施形態の半導体素子を、各画素の自発光デバイスとして備えているため、発光効率を高くすることができて、低消費電力化を実現することができる。

[0232] 尚、上記実施形態の発光ダイオードでは、発光層が、第1導電型の半導体シェルと、第2導電型の半導体シェルとの間に存在していたが、この発明の発光ダイオードでは、発光層は、第2導電型の半導体シェルの径方向（棒状のコアの径方向のこと）の外方に設けられる等、第1導電型の半導体シェルと、第2導電型の半導体シェルとの間に存在していなくても良い。

[0233] また、例えば、上記説明した互いに異なる二以上の実施形態の一部または全部を組み合わせた発明が、本発明の新たな実施形態を構成することは、勿論であり、上記説明したある実施形態の発明と、上記説明したある変形例の発明とを組み合わせで作成される発明が、本発明の新たな実施形態を構成することも勿論である。正確にいうと、上記明細書の説明で行った、全ての実施形態および全ての変形例で構成される内容から二以上の発明特定事項を組み合わせで作成される発明が、本発明の新たな実施形態に含まれることは、勿論である。

符号の説明

[0234] 10, 20, 30, 40, 50, 60, 80, 150, 250, 640 半導体素子
11, 21, 41, 51, 64, 74, 84, 104, 204, 304 第1導電型の半導体コア
12, 22, 32, 42, 52, 65, 75, 85, 105, 205, 305 第1導電型の半導体シェル

1 3, 2 3, 3 3, 4 3, 5 3, 6 7, 8 7, 1 0 6, 2 0 6, 3 0 6 第2導電型
の半導体シェル

3 1 棒状のコア

4 4, 5 4, 6 6, 8 6, 2 1 0, 3 1 0 発光層

6 1, 7 1, 8 1, 1 0 1, 2 0 1 サファイア基板

7 2 シリコン酸化膜

8 2, 2 0 2 n型Ga N層

1 0 0 太陽電池

1 0 2 n型シリコン層

1 0 3, 2 0 3 シリコン酸化膜

1 0 7, 2 0 7 透明電極

1 0 9 金属電極

1 7 0 ITO層

2 0 0, 3 0 0, 4 0 6, 5 0 2 発光ダイオード

2 0 9 金属電極

3 1 1 ガラス基板

3 1 2 第1の電極

3 1 3 第2の電極

3 1 4 層間絶縁膜

3 1 5, 3 1 6 金属配線

3 1 7 フォトレジスト

3 5 0 発光ダイオード素子

3 5 0 A, 3 5 0 B 発光ダイオード素子

4 0 0 照明装置

4 0 4 発光装置

5 0 0 バックライト

請求の範囲

- [請求項1] 棒状のコア（1 1, 2 1, 3 1, 4 1, 5 1, 6 4, 7 4, 8 4, 1 0 4, 2 0 4, 3 0 4）と、
上記コア（1 1, 2 1, 3 1, 4 1, 5 1, 6 4, 7 4, 8 4, 1 0 4, 2 0 4, 3 0 4）の外周面の少なくとも一部を覆うように配置された第1導電型の半導体シェル（1 2, 2 2, 3 2, 4 2, 5 2, 6 5, 7 5, 8 5, 1 0 5, 2 0 5, 3 0 5）と、
上記第1導電型の半導体シェル（1 2, 2 2, 3 2, 4 2, 5 2, 6 5, 7 5, 8 5, 1 0 5, 2 0 5, 3 0 5）の外周面の少なくとも一部を覆うように配置された第2導電型の半導体シェル（1 3, 2 3, 3 3, 4 3, 5 3, 6 7, 8 7, 1 0 6, 2 0 6, 3 0 6）と
を備えることを特徴とする半導体素子。
- [請求項2] 請求項1に記載の半導体素子において、
上記コアは、第1導電型の半導体コア（1 1）であり、
上記半導体コア（1 1）に導電性を与える不純物の濃度は、上記第1導電型の半導体シェル（1 2）に導電性を与える不純物の濃度よりも大きいことを特徴とする半導体素子。
- [請求項3] 請求項1または2に記載の半導体素子において、
上記コアは、第1導電型の半導体コア（1 1）であり、
上記半導体コア（1 1）の抵抗率は、上記第1導電型の半導体シェル（1 2）の抵抗率よりも小さいことを特徴とする半導体素子。
- [請求項4] 請求項1から3までのいずれか一項に記載の半導体素子において、
上記第1導電型の半導体シェル（3 2）は、上記コアと異なる材質からなり、
上記第1導電型の半導体シェル（3 2）の結晶欠陥密度が、上記コア（3 1）の結晶欠陥密度よりも小さいことを特徴とする半導体素子。
。
- [請求項5] 請求項1から4までのいずれか一項に記載の半導体素子（4 0, 6

0) を備えることを特徴とする発光ダイオード。

[請求項6]

請求項5に記載の発光ダイオードにおいて、

上記第1導電型の半導体シェル(42)と、上記第2導電型の半導体シェル(43)との間に発光層(44)を備えることを特徴とする発光ダイオード。

[請求項7]

請求項6に記載の発光ダイオードにおいて、

上記コア(41)を構成する物質のバンドギャップは、上記発光層(44)を構成する物質のバンドギャップよりも大きいことを特徴とする発光ダイオード。

[請求項8]

請求項5から7までのいずれか一項に記載の発光ダイオードにおいて、

基板(311)と、

上記基板(311)上に配置された複数の上記半導体素子(350A, 350B)と、

上記半導体素子(350A, 350B)を電氣的に接続する配線(315, 316)と

を備えることを特徴とする発光ダイオード。

[請求項9]

請求項1から4までのいずれか一項に記載の半導体素子(10)を備えることを特徴とする光電変換素子。

[請求項10]

基板(61)上に棒状のコア(64)を形成するコア形成工程と、

上記棒状のコア(64)の外周面の少なくとも一部を第1導電型の半導体シェル(65)で覆う第1のシェル形成工程と、

上記第1導電型のシェル(65)の外周面の少なくとも一部を第2導電型の半導体シェル(67)で覆う第2のシェル形成工程とを備えることを特徴とする半導体素子の製造方法。

[請求項11]

請求項10に記載の半導体素子の製造方法において、

上記コア形成工程は、基板(81)上に形成されたコアを構成する物質の一部をエッチングすることを含むことを特徴とする半導体素子

の製造方法。

[請求項12] 請求項10または11に記載の半導体素子の製造方法において、
上記コア形成工程の後であって、上記第1のシェル形成工程の前に、
アニール処理を行なうことを特徴とする半導体素子の製造方法。

[請求項13] 請求項10から12までのいずれか一項に記載の半導体素子の製造
方法において、

上記コア形成工程の後であって、上記第1のシェル形成工程の前に、
上記コア形成工程で形成されたコアの一部をウェットエッチングに
より除去することを特徴とする半導体素子の製造方法。

[請求項14] 請求項10から13までのいずれか一項に記載の半導体素子の製造
方法において、

上記コア形成工程は、基板(61)上に棒状のコア(64)を成長
させることを特徴とする半導体素子の製造方法。

[請求項15] 請求項10から14までのいずれか一項に記載の半導体素子の製造
方法において、

上記コア形成工程の後であって、上記第1のシェル形成工程の前に、
上記コア(64)を形成する温度よりも高温のアニール処理を行な
うことを特徴とする半導体素子の製造方法。

[請求項16] 第1の基板(81)上に複数の棒状のコア(84)を形成するコア
形成工程と、

上記複数の棒状のコア(84)の外周面の少なくとも一部を、第1
導電型の半導体シェル(85)で覆う第1のシェル形成工程と、

上記第1導電型の半導体シェル(85)の外周面の少なくとも一部
を、第2導電型の半導体シェル(87)で覆う第2のシェル形成工程
と、

上記各棒状のコア(84)と、その各コア(84)を覆っている上
記第1導電型の半導体シェル(85)と、その各コア(84)を覆っ
ている上記第1導電型の半導体シェル(85)を覆っている上記第2

導電型の半導体シェル（８７）との一体構造を、上記棒状のコア（８４）毎に上記第１の基板（８１）から切り離して、複数の半導体素子を取り出す半導体素子切り離し工程と、

複数の上記半導体素子を第２の基板（３１１）上に配置する半導体素子配列工程と

を備えることを特徴とする発光ダイオードの製造方法。

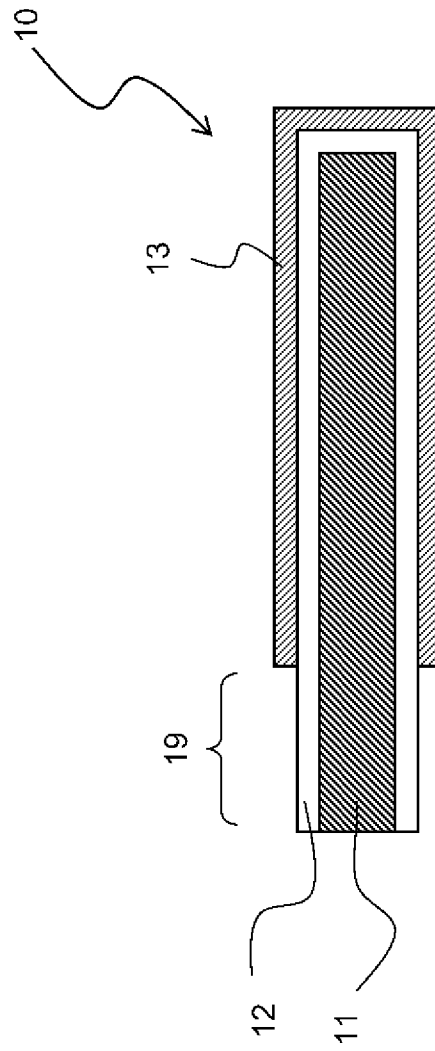
[請求項17] 請求項９に記載の光電変換素子（１５０）を備えることを特徴とする太陽電池。

[請求項18] 請求項５から８までのいずれか一項に記載の発光ダイオード（４０６）を備えることを特徴とする照明装置。

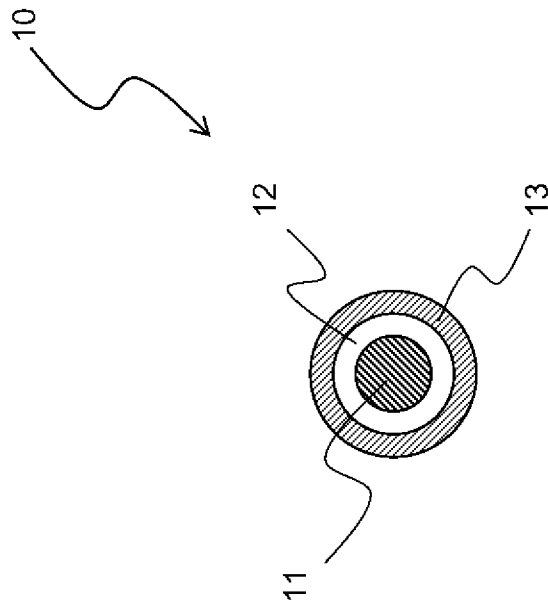
[請求項19] 請求項５から８までのいずれか一項に記載の発光ダイオード（５０２）を備えることを特徴とするバックライト。

[請求項20] 請求項５から８までのいずれか一項に記載の発光ダイオード（６４０）を備えることを特徴とする表示装置。

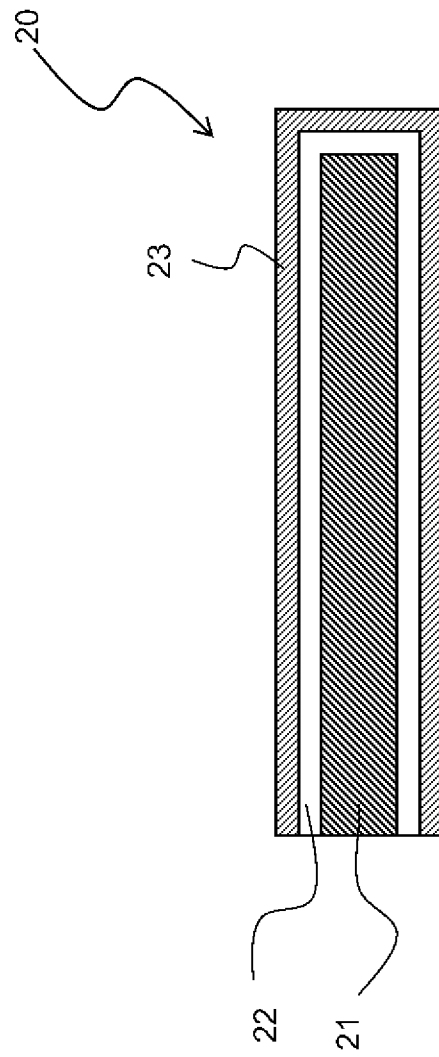
[図1]



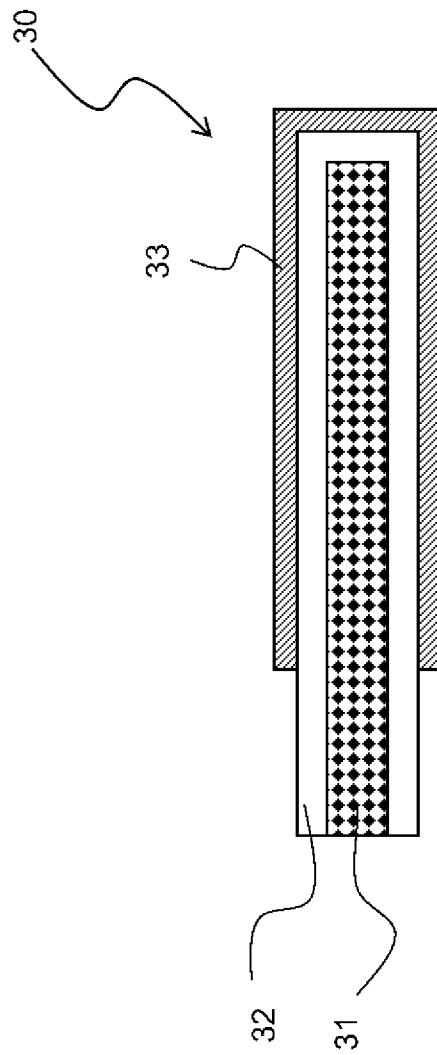
[図2]



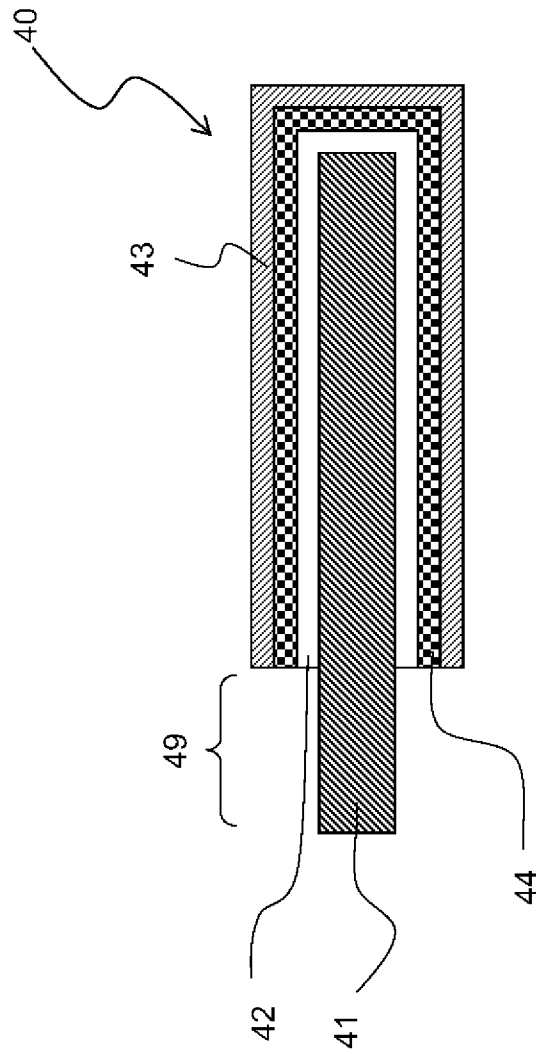
[図3]



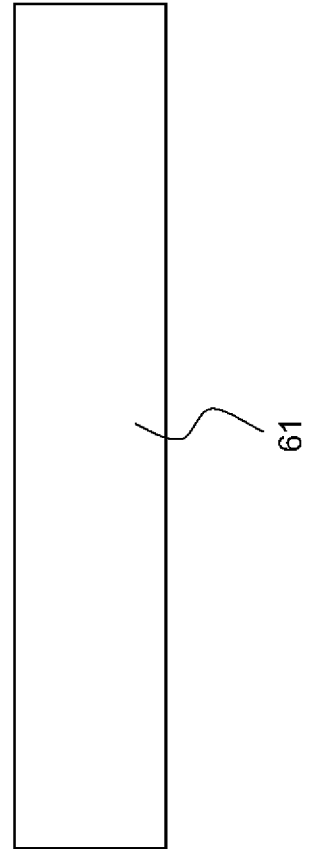
[図4]



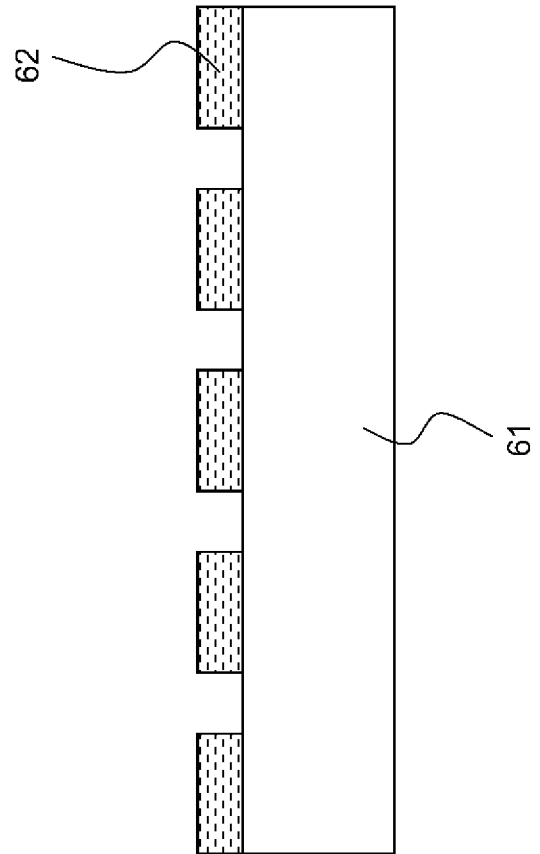
[図5]



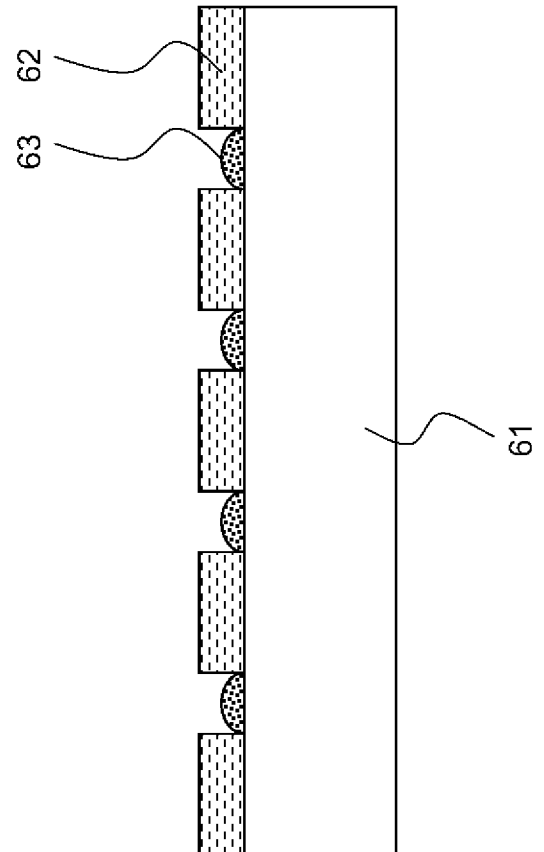
[図6]



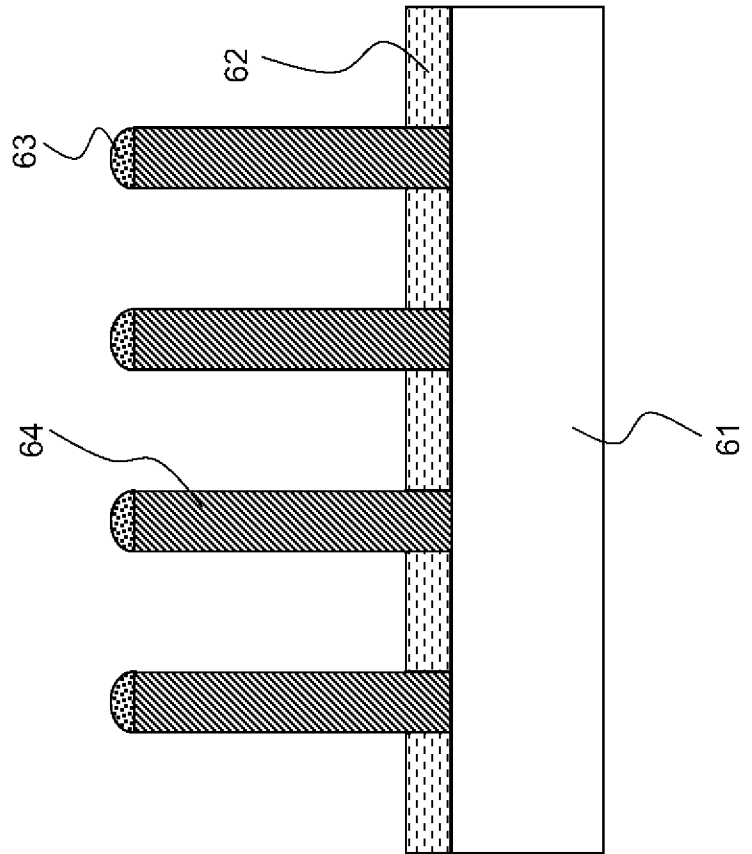
[図7]



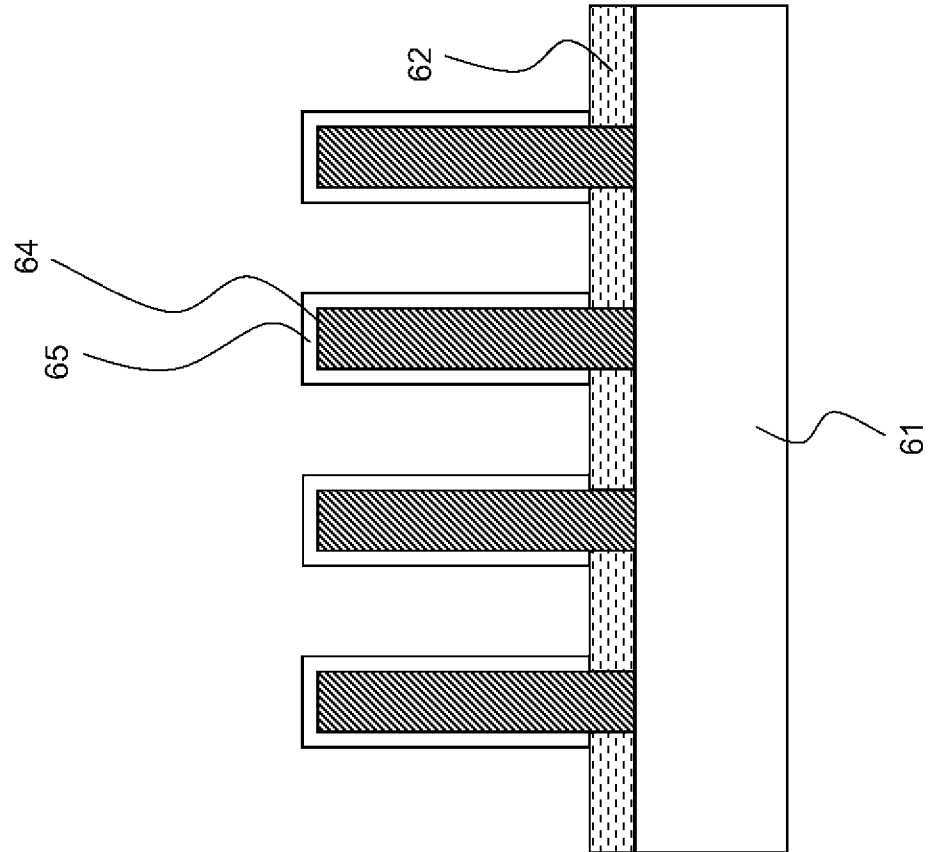
[図8]



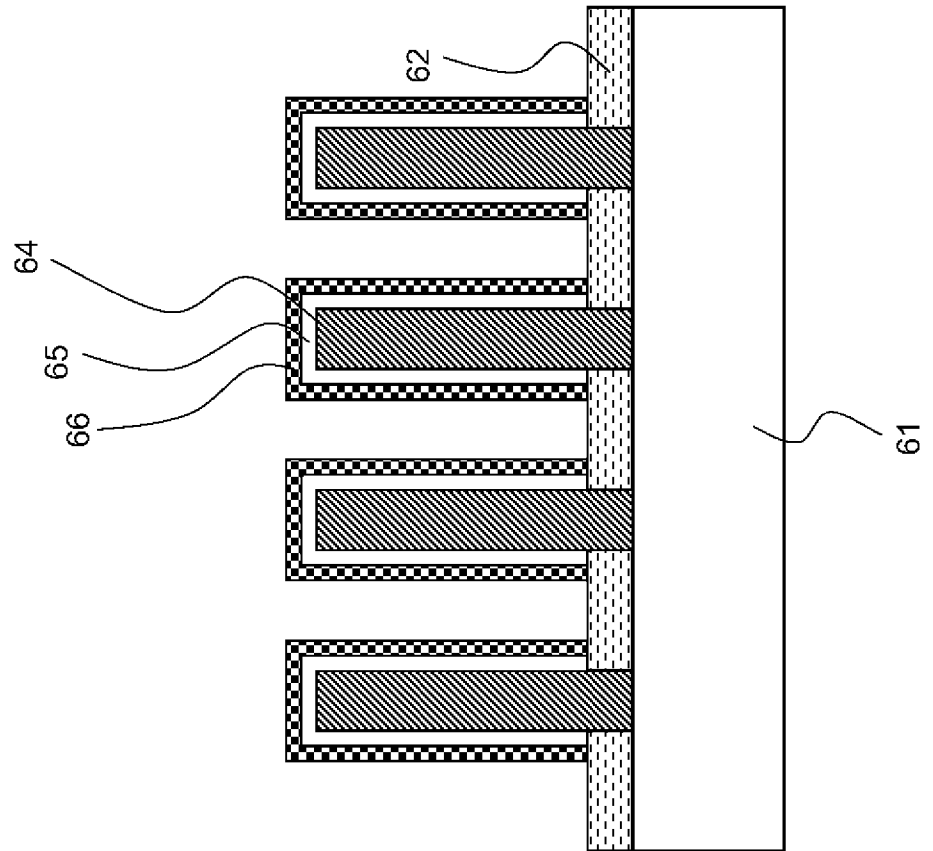
[図9]



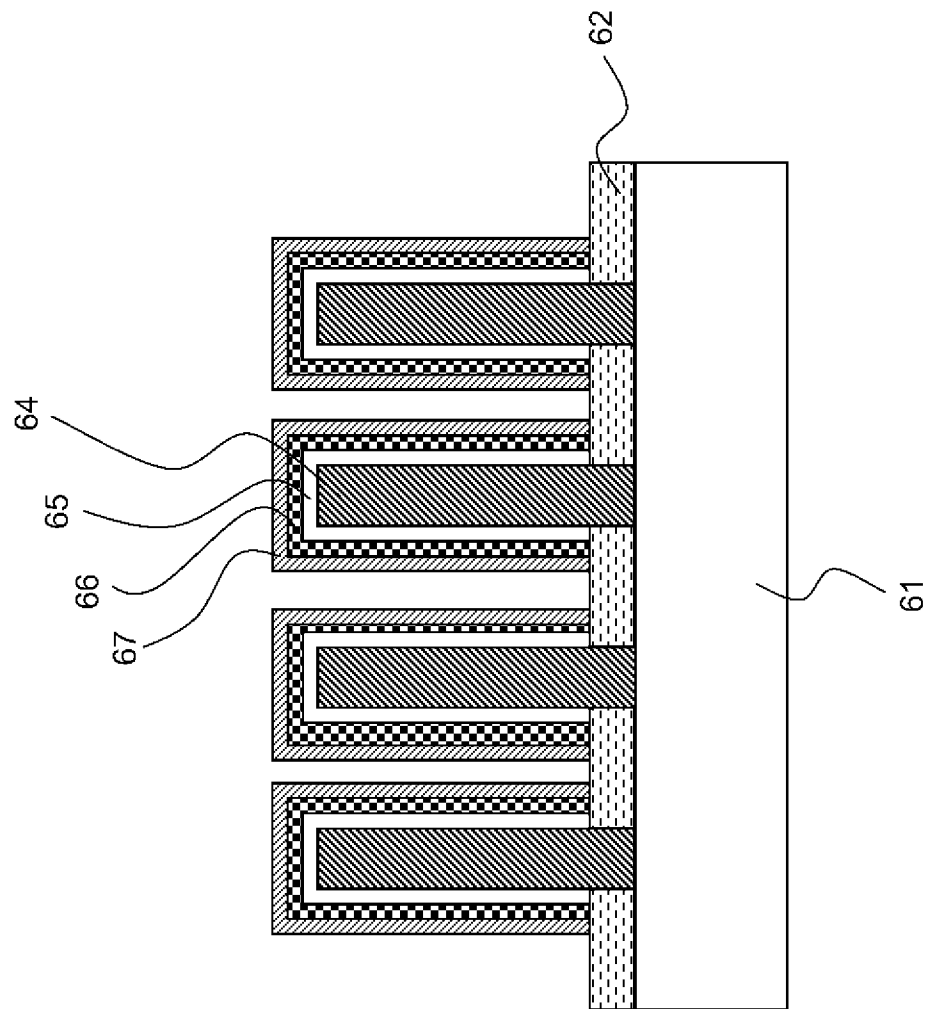
[図10]



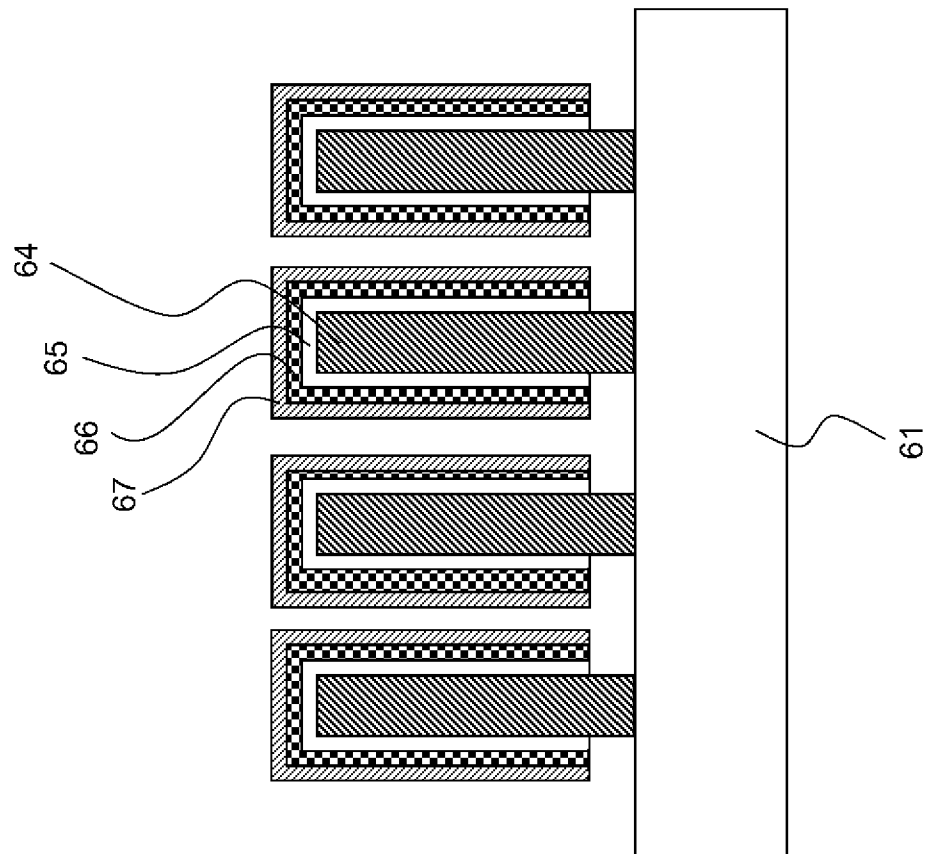
[図11]



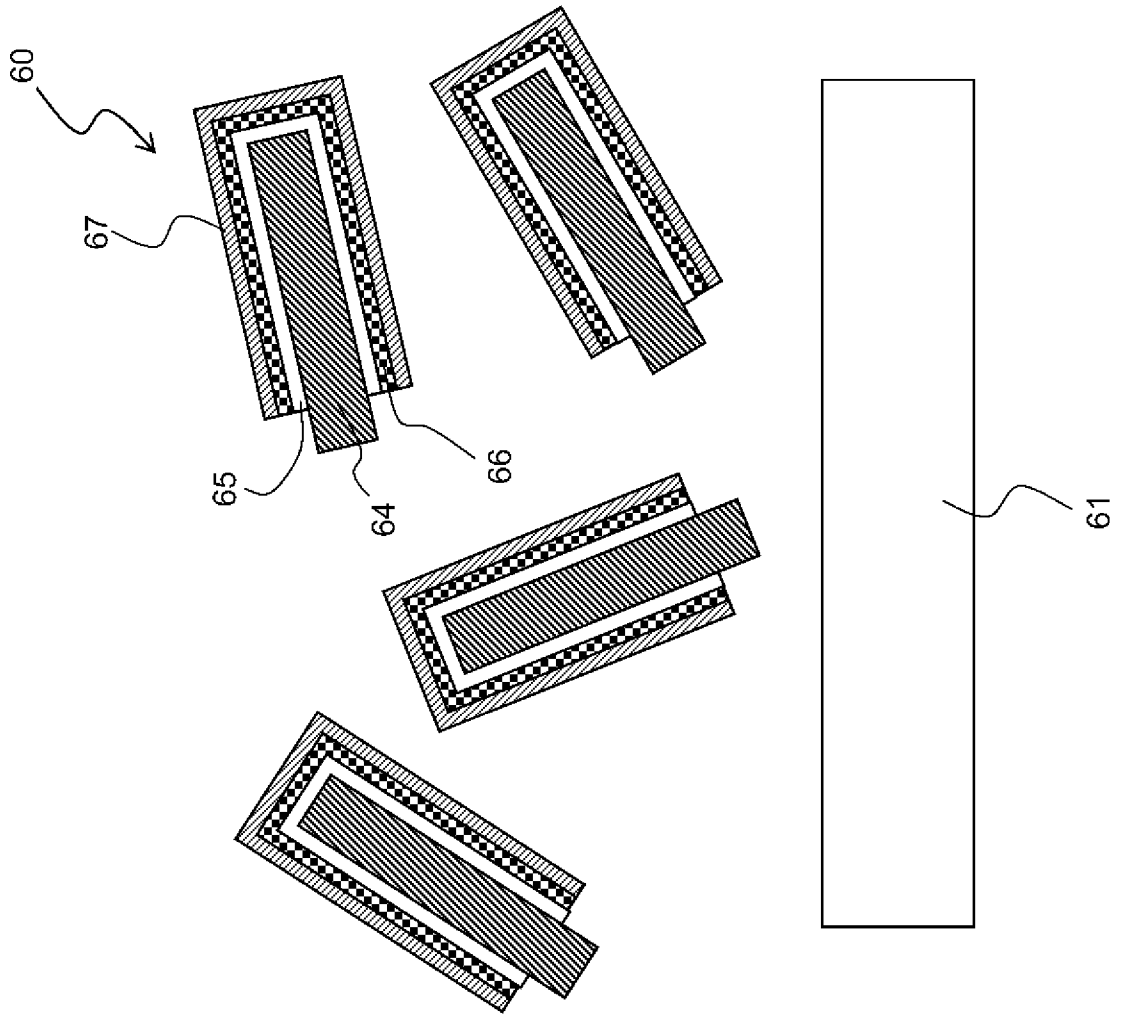
[図12]



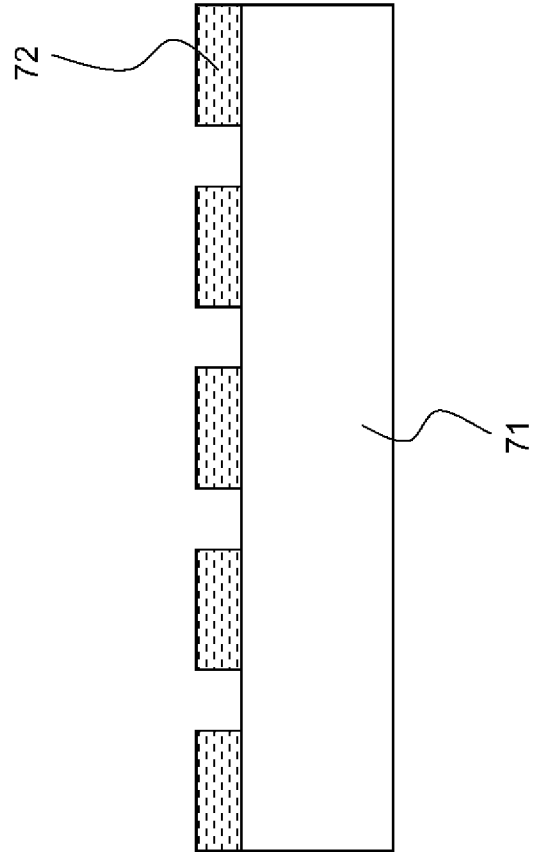
[図13]



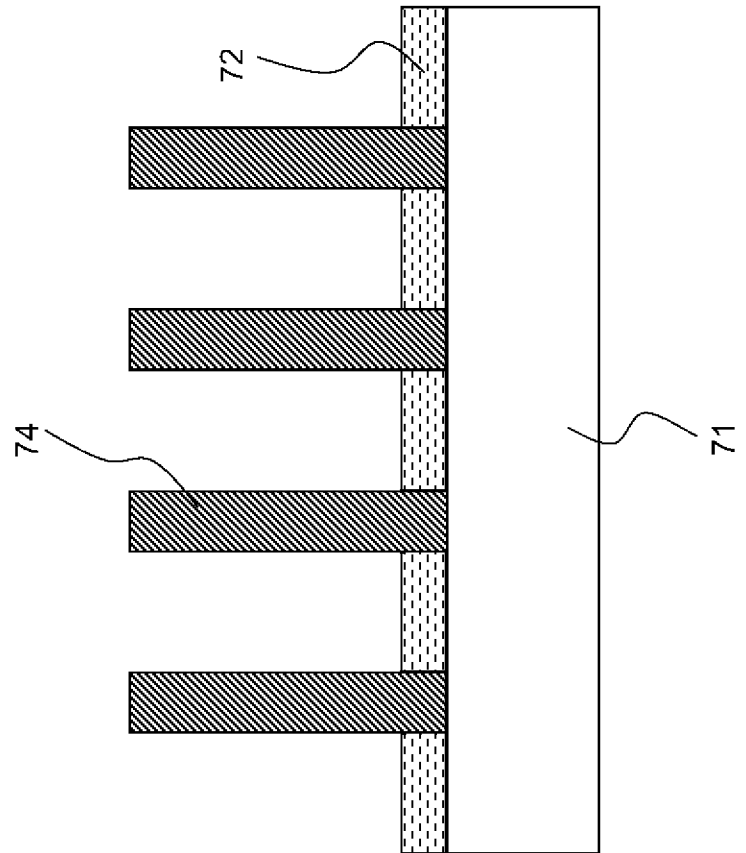
[図14]



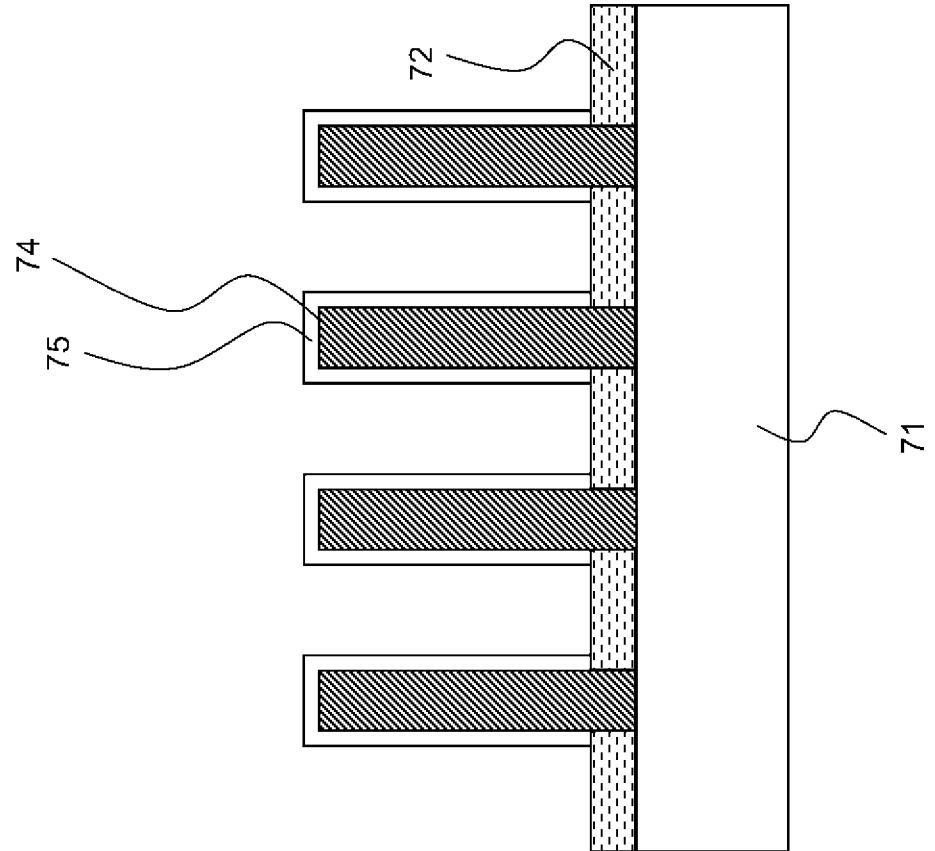
[図15]



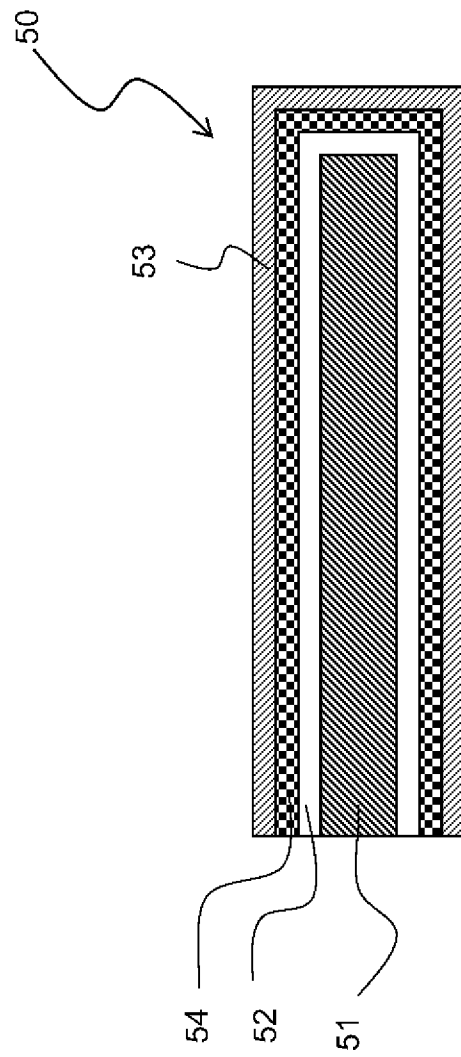
[図16]



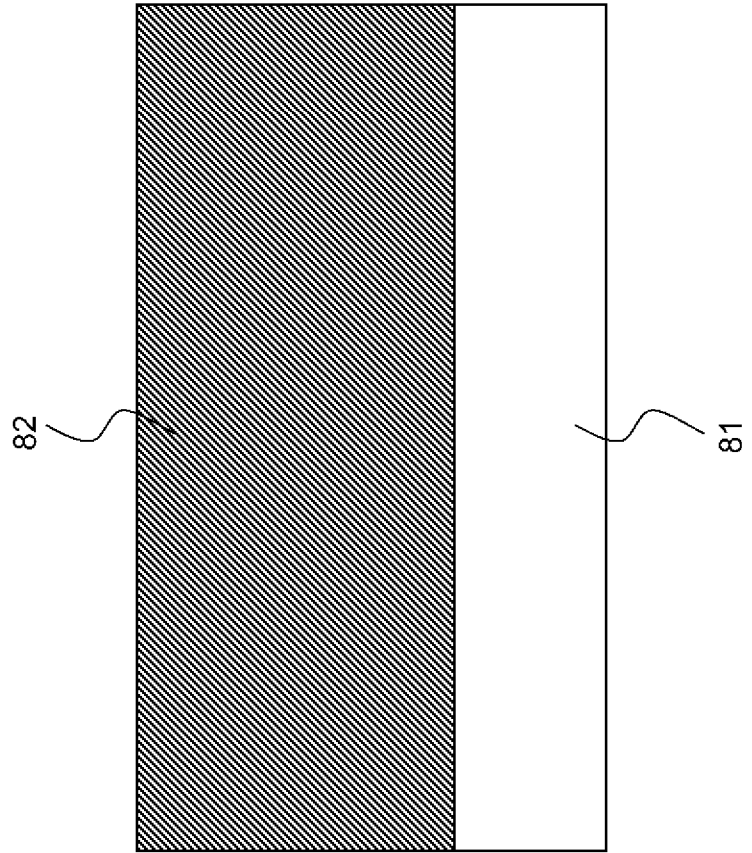
[図17]



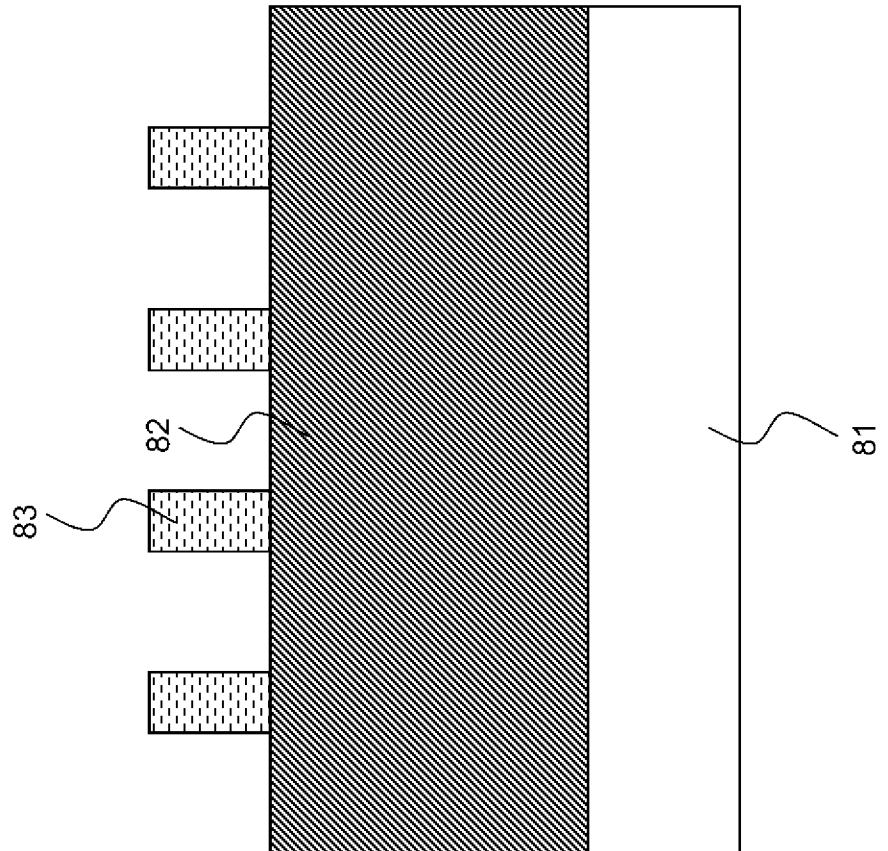
[図18]



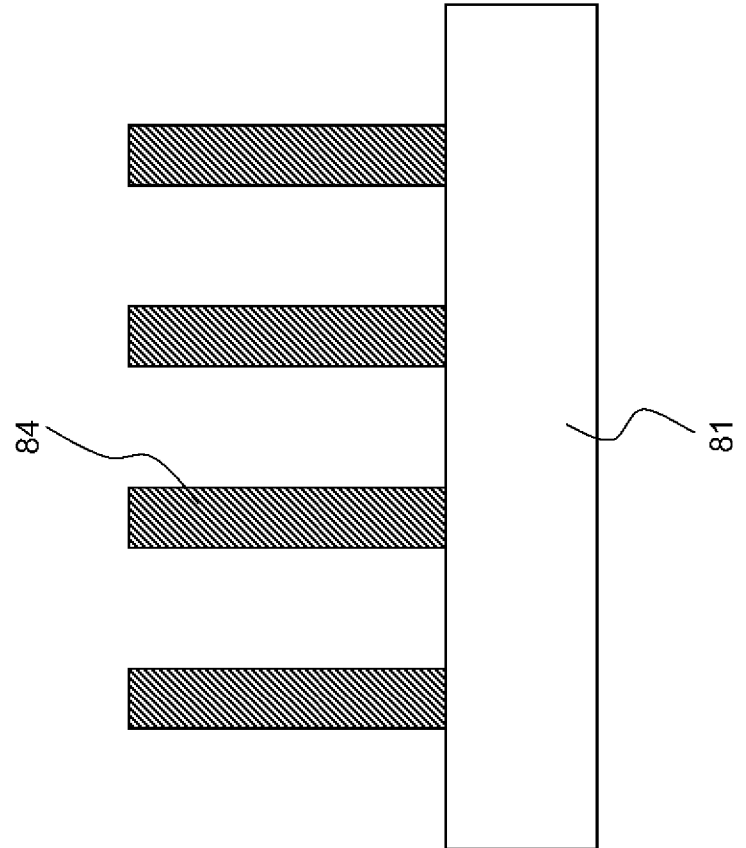
[図19]



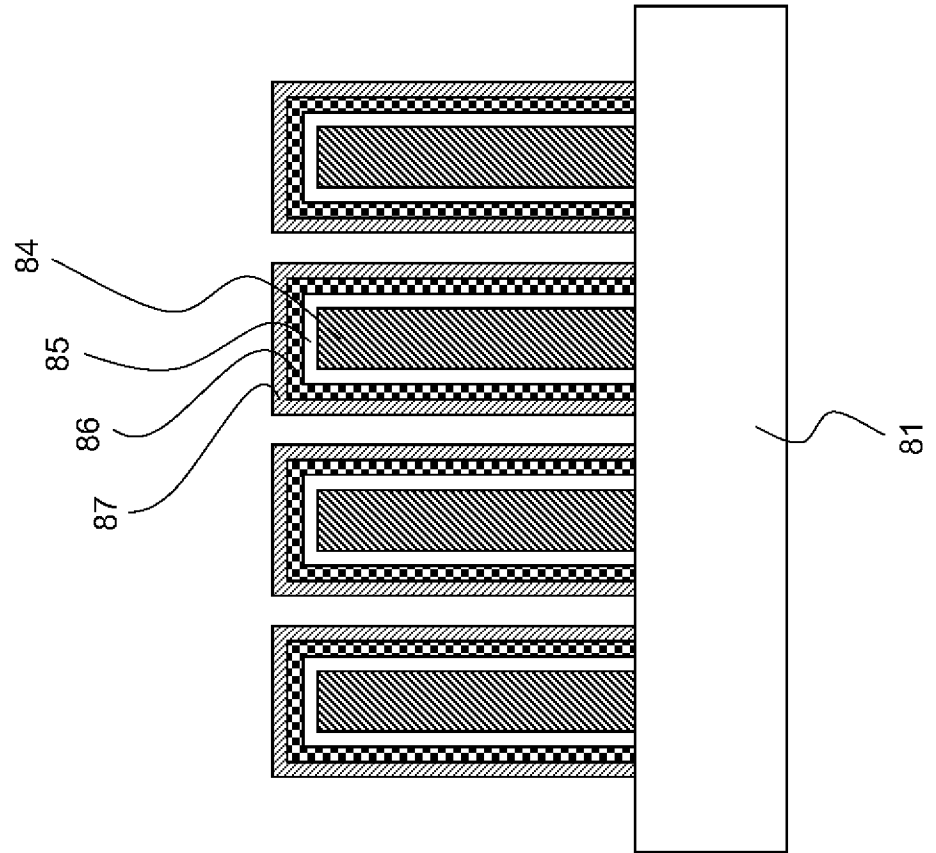
[図20]



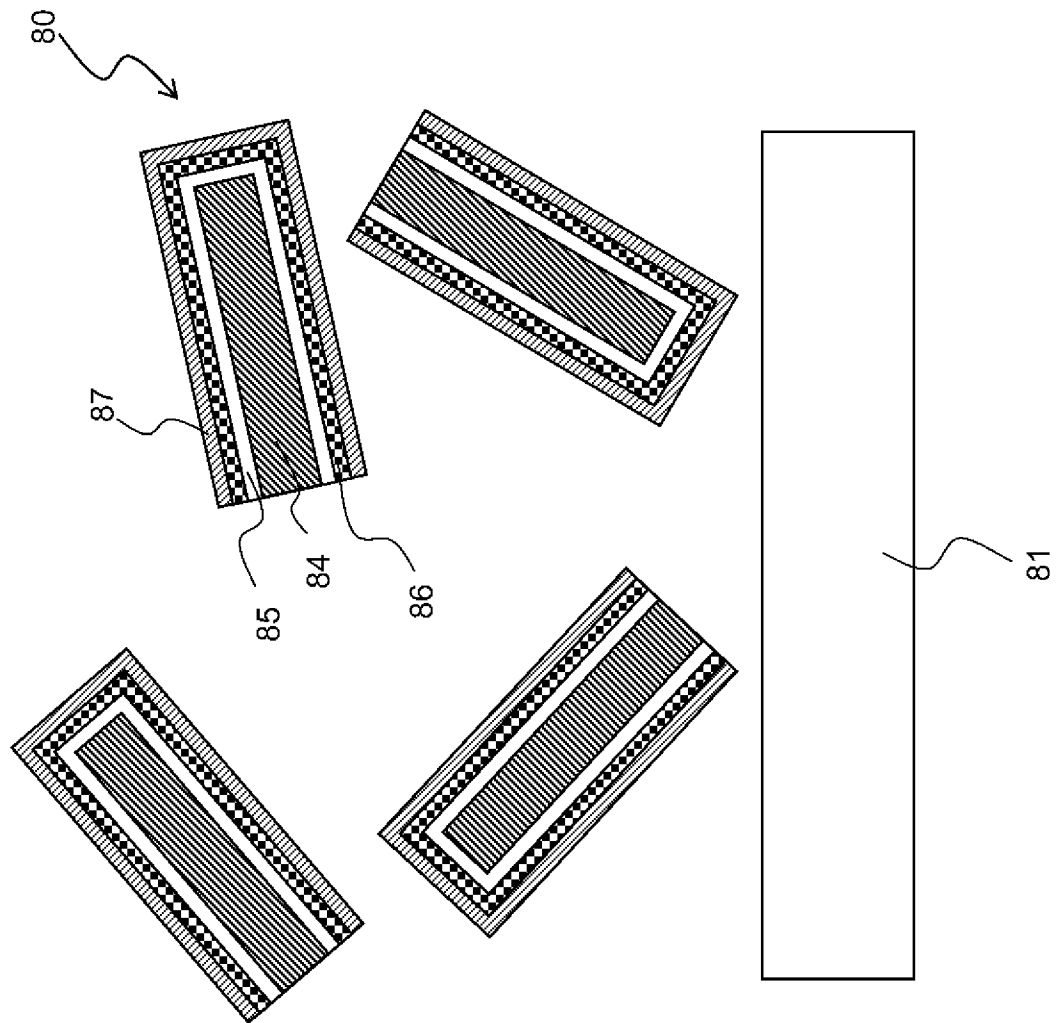
[図21]



[図22]

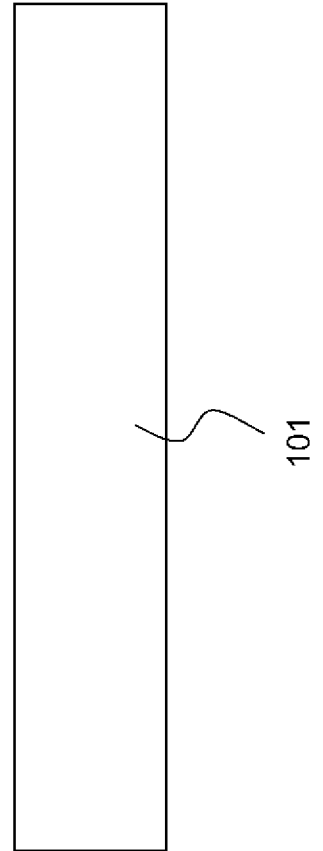


[図23]

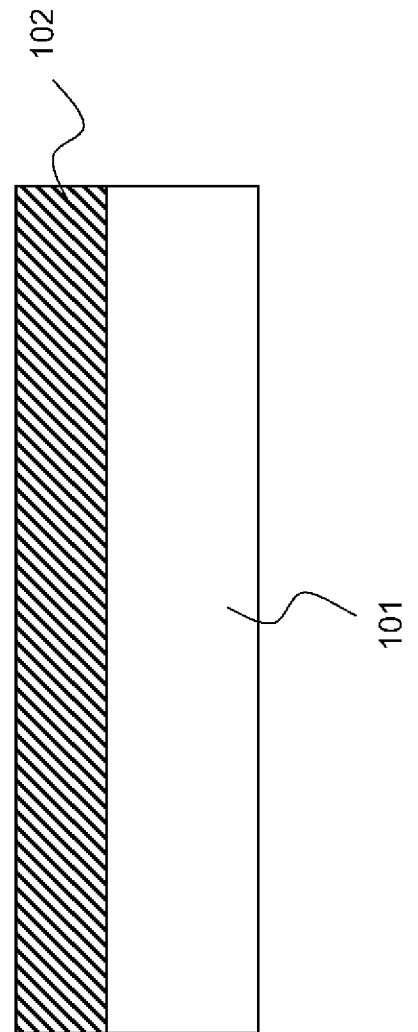


A cross-sectional view of a semiconductor device 100. The device includes a substrate 101 with a bottom layer 102 and a top layer 103. A series of vertical structures 104 are formed in the substrate, each containing a core 105 and a surrounding layer 106. A layer 107 is formed on top of the substrate, and a layer 109 is formed on top of the layer 107. A bracket 150 indicates a group of the vertical structures 104.

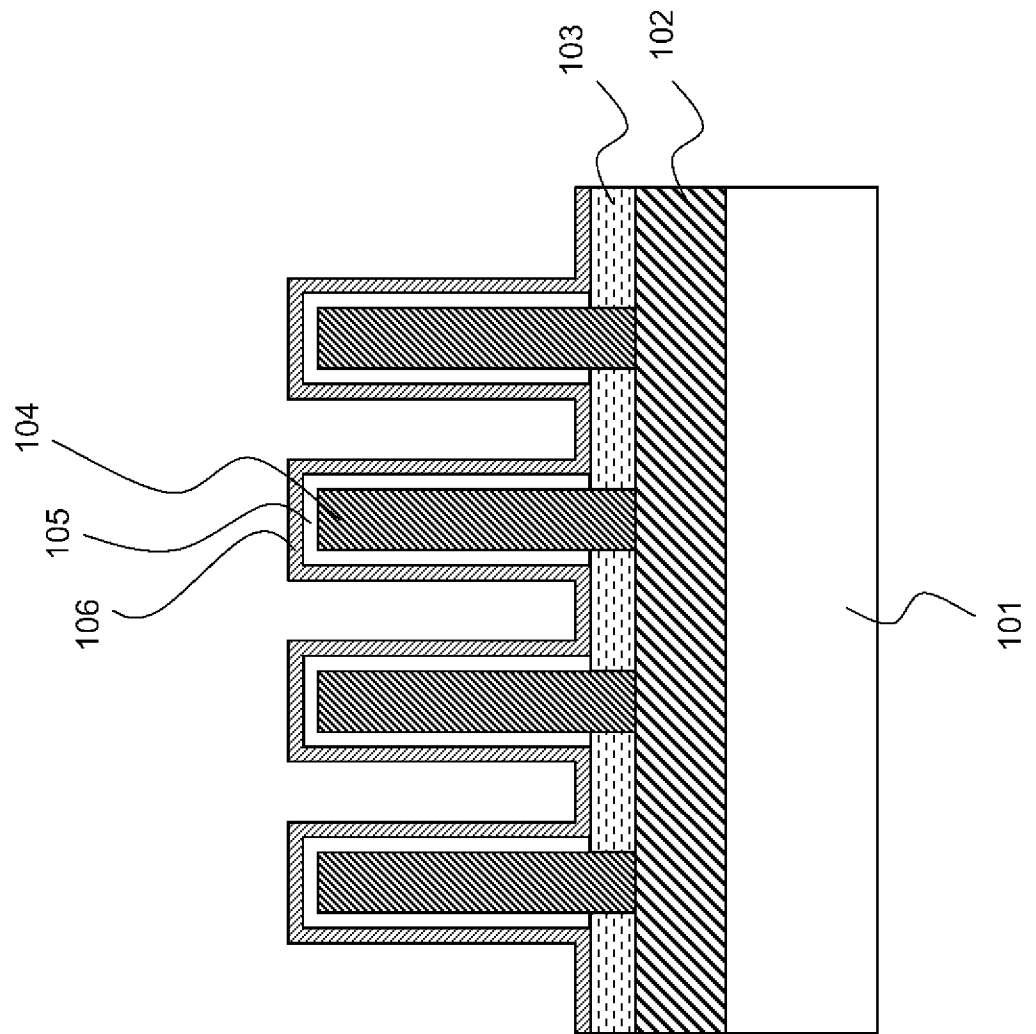
[図25]



[図26]



[図27]



100

103

102

109

150

106 105 104

107

101

200

209

250

204

205

206

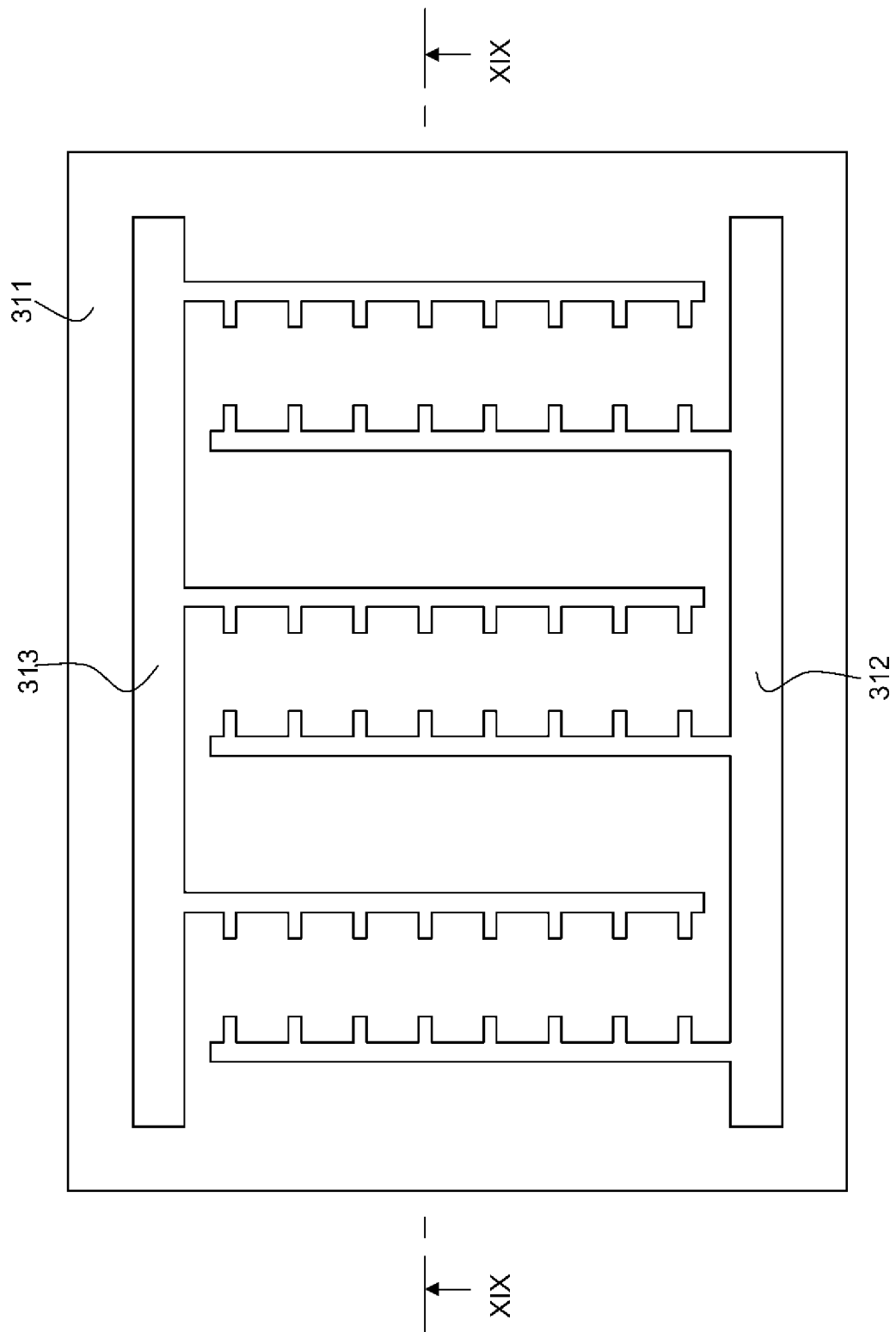
207

203

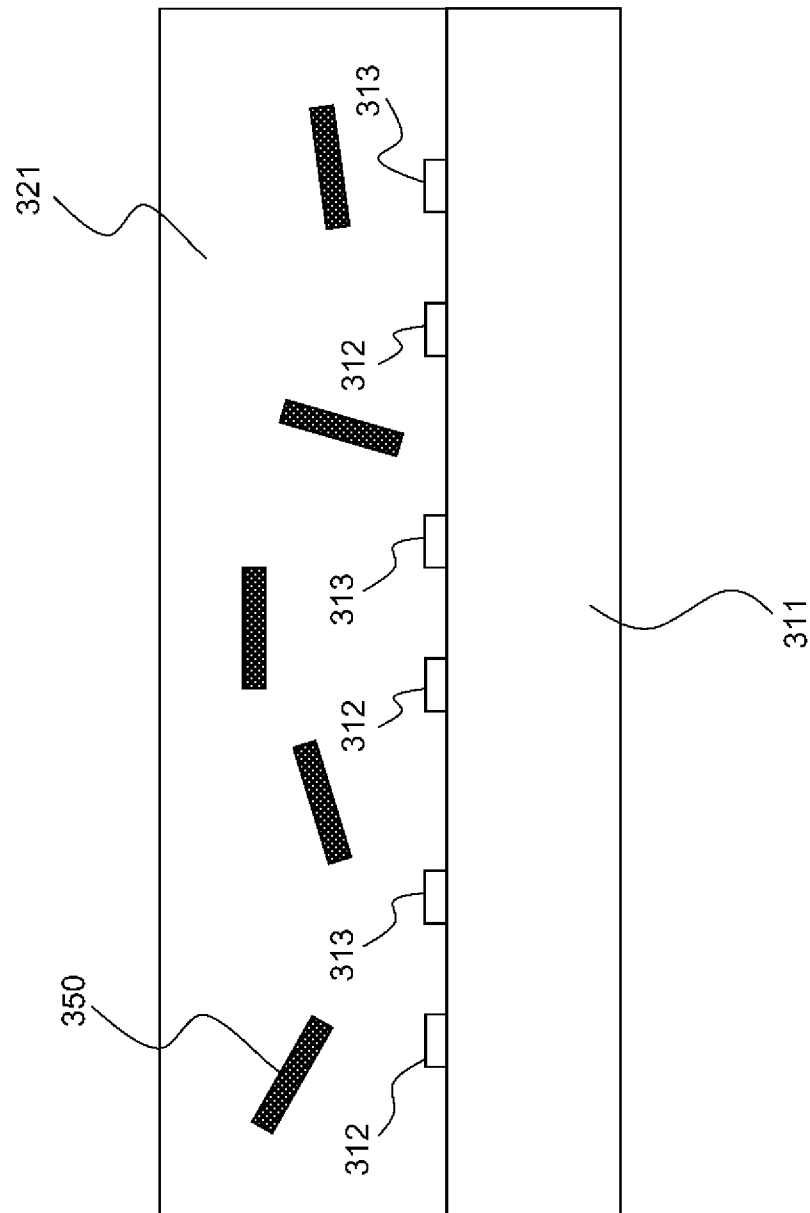
202

201

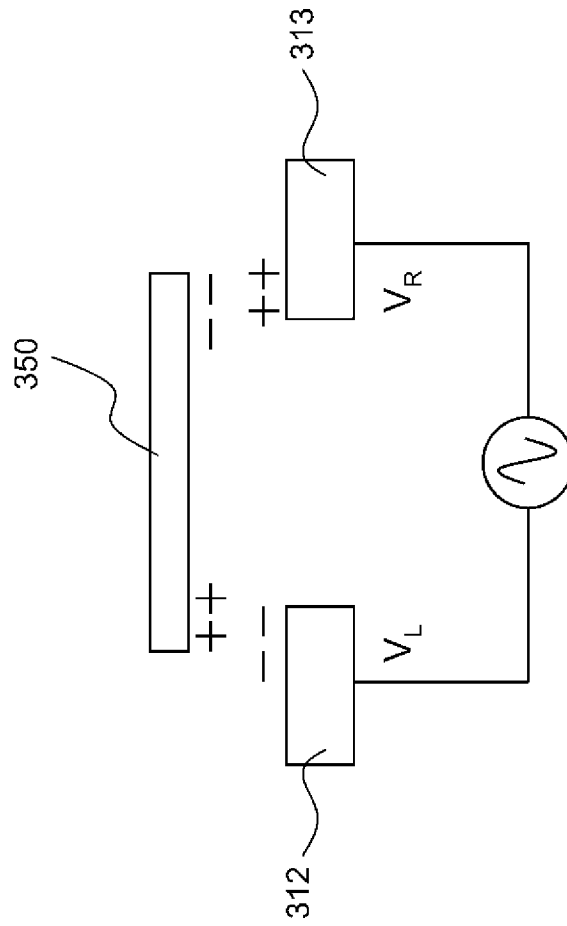
[図31]



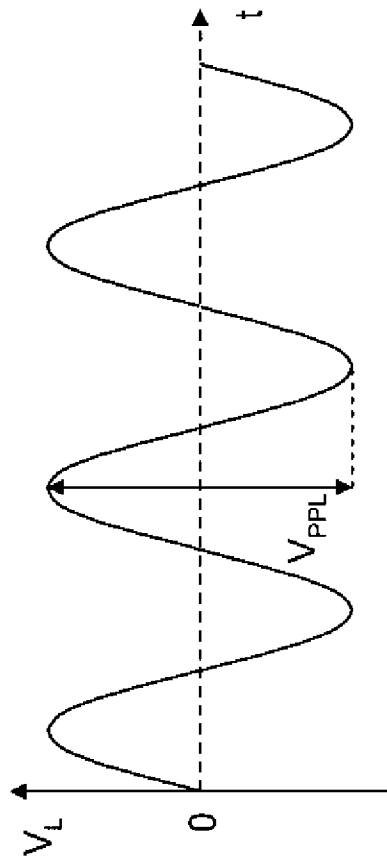
[図32]



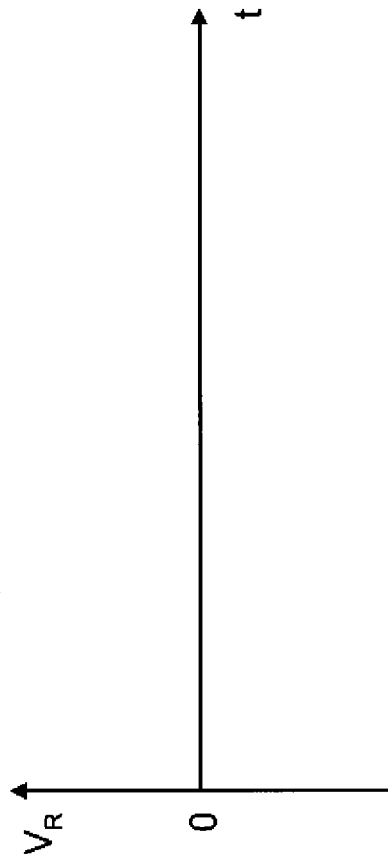
[図33]



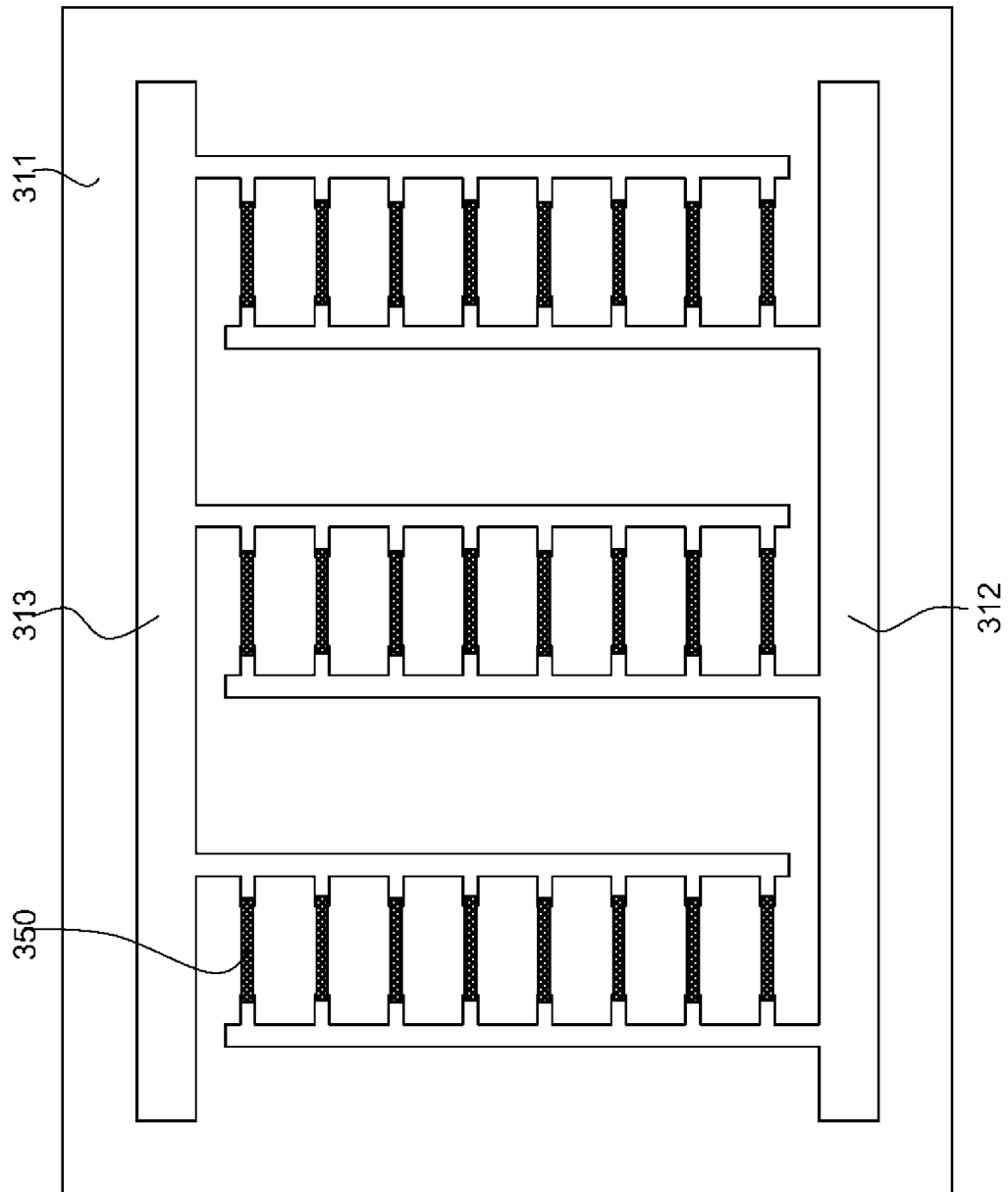
[図34A]



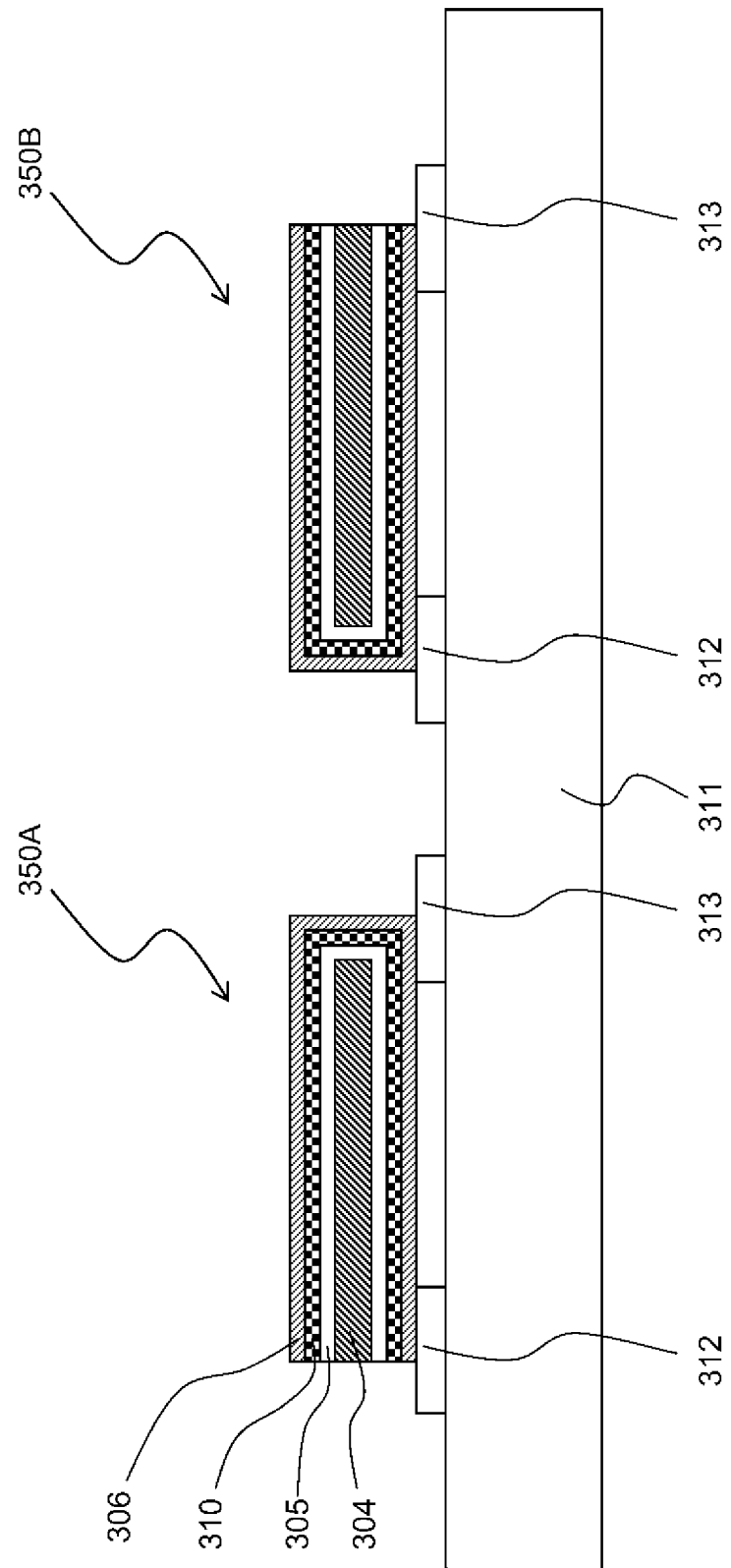
[図34B]



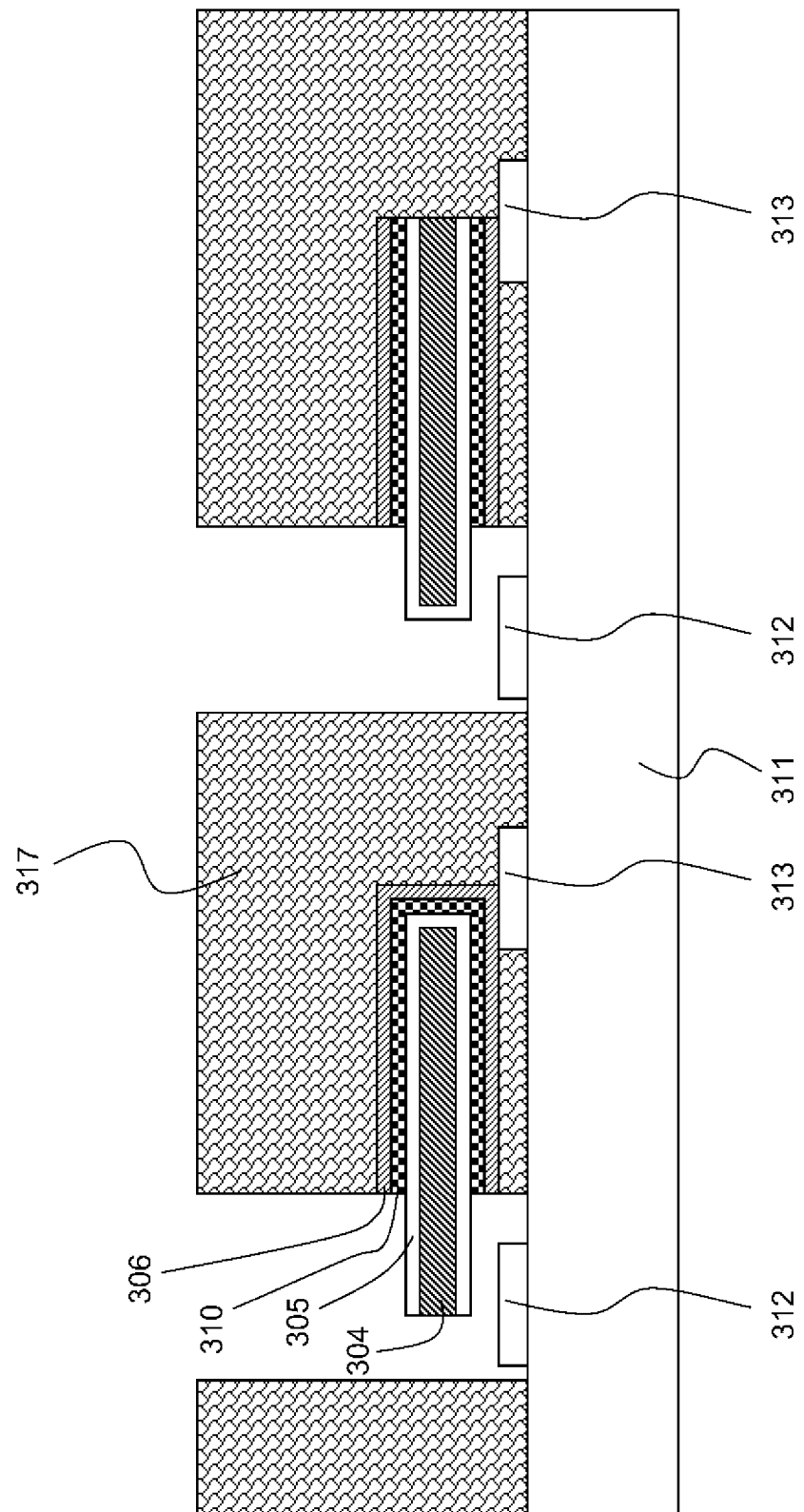
[図35]



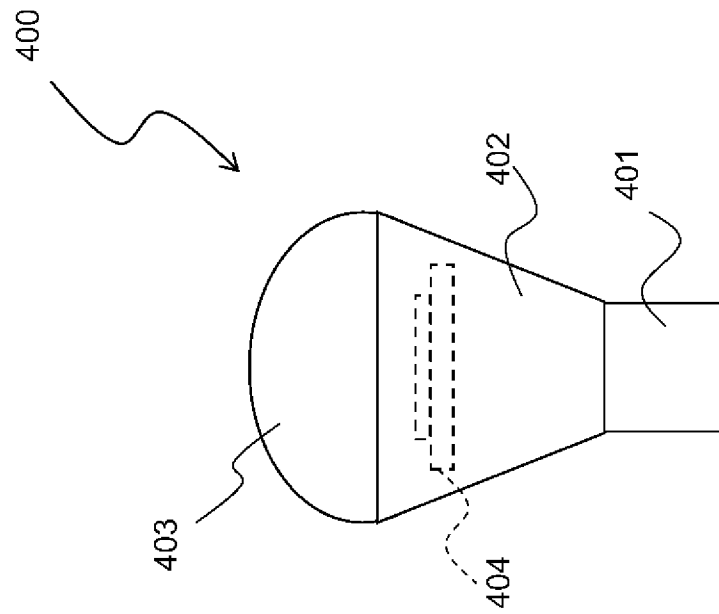
[図36]



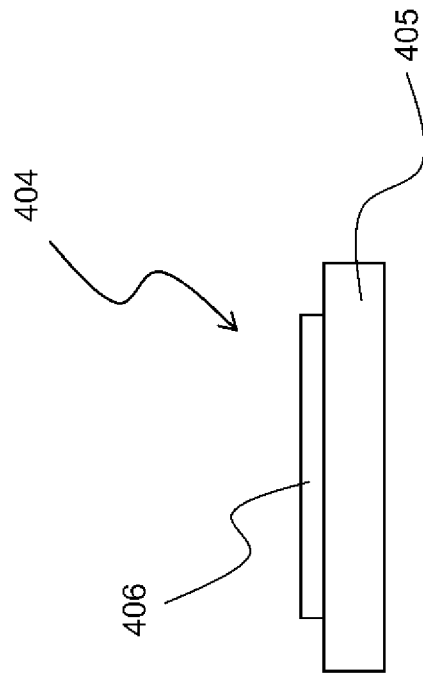
[図37]



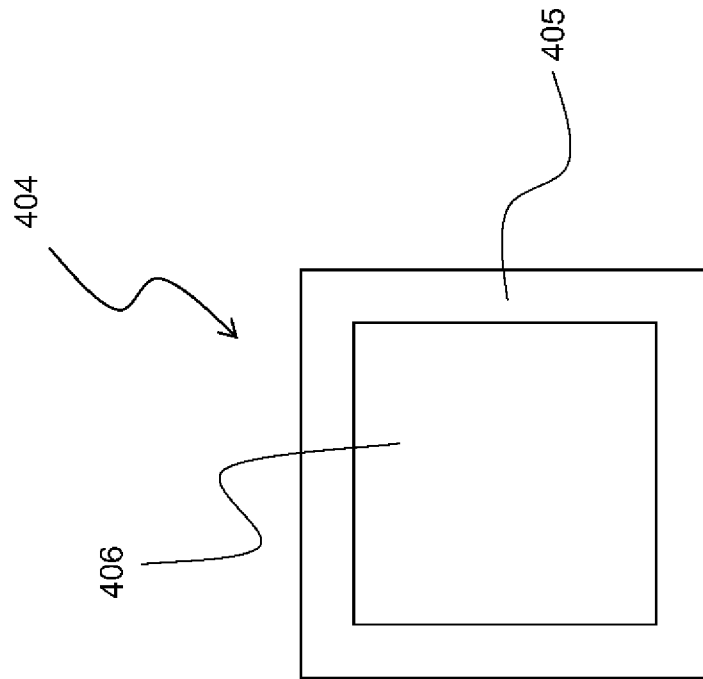
[図40]



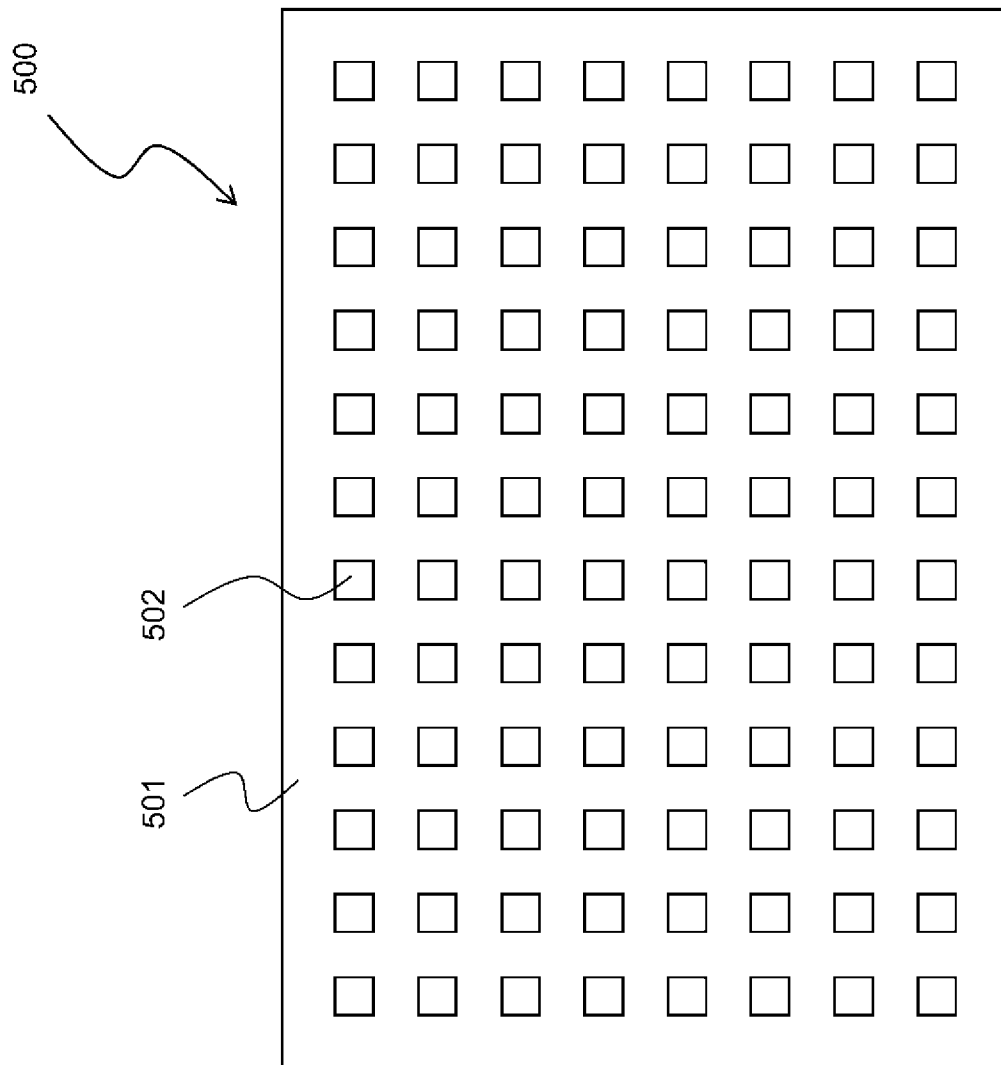
[図41]



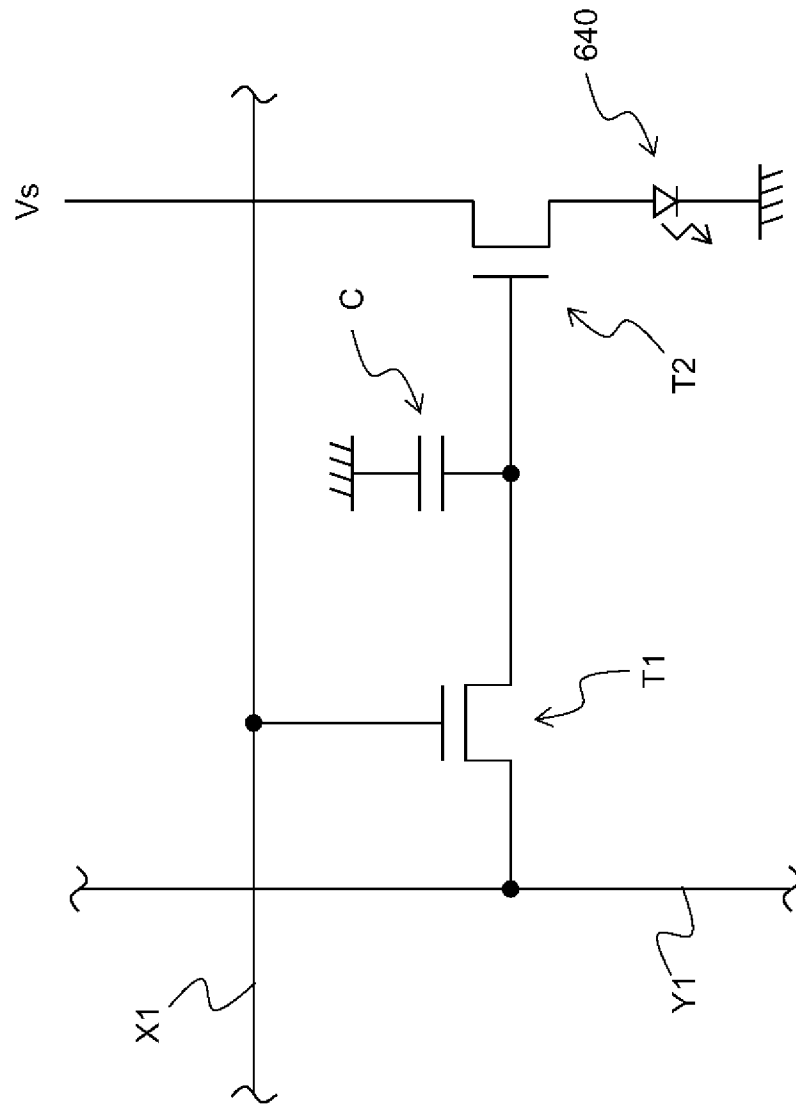
[図42]



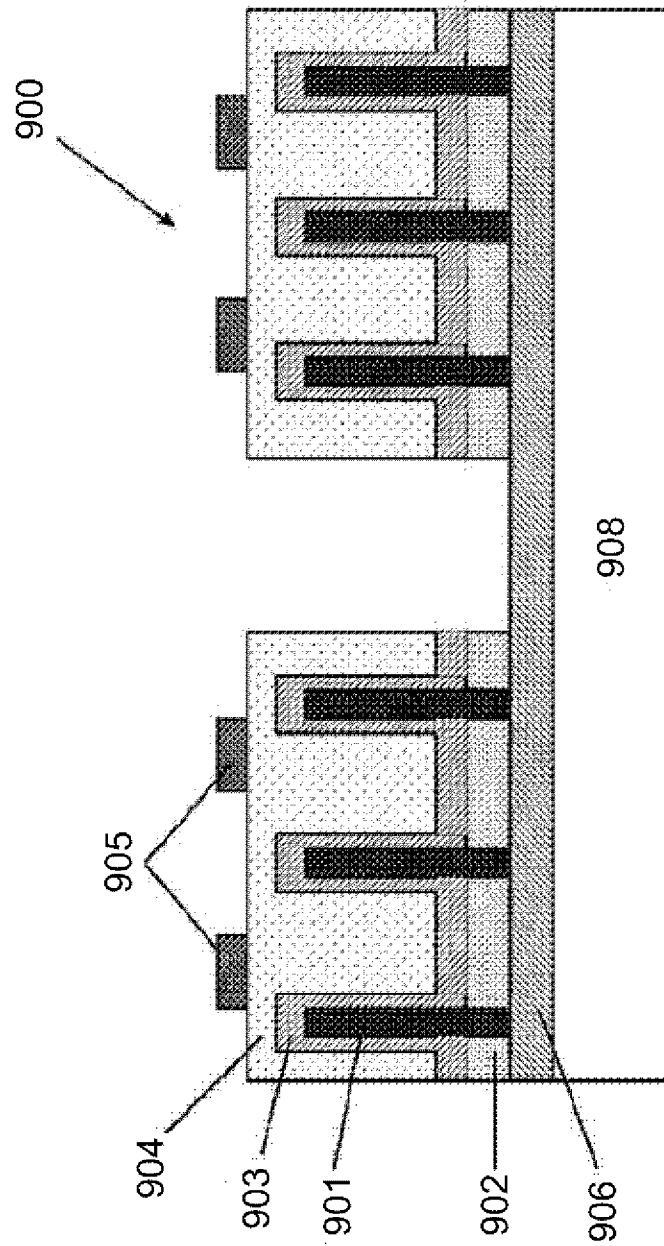
[図43]



[図44]



[図45]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064088

A. CLASSIFICATION OF SUBJECT MATTER

H01L33/24(2010.01)i, G01J1/02(2006.01)i, H01L27/14(2006.01)i, H01L31/04(2006.01)i, H01L31/10(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L33/00-33/64, G01J1/00-1/60, G01J11/00, H01L21/339, H01L27/14-27/148, H01L31/04-31/06, H01L31/10, H01L29/762, H01L51/42, H01S5/00-5/50, B82B1/00, B82B3/00, B82Y40/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2012
Kokai Jitsuyo Shinan Koho	1971-2012	Toroku Jitsuyo Shinan Koho	1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	WO 2011/067872 A1 (National University Corporation Hokkaido University),	1-6, 8, 10, 14, 18, 20
Y	09 June 2011 (09.06.2011), paragraphs [0024] to [0029], [0065] to [0072], [0083], [0161] (Family: none)	7, 9, 11-13, 15-17, 19
X	Katsuhiro TOMIOKA, et al., GaAs/AlGaAs Core Multishell Nanowire-Based Light-Emitting	1, 3, 5, 6, 8, 10, 14
Y	Diodes on Si, NANO LETTERS, 2010.05.12, Volume 10, Issue 5, pp.1639-1644	7, 9, 11-13, 15-17, 19
A		2, 4, 18, 20

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
24 August, 2012 (24.08.12)

Date of mailing of the international search report
04 September, 2012 (04.09.12)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/064088

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2002-134838 A (Mitsubishi Electric Corp.), 10 May 2002 (10.05.2002), paragraphs [0015], [0022], [0041] & US 2002/0051475 A1 & TW 507406 B	7 1-6, 8-20
Y A	JP 2010-058988 A (National University Corporation Hokkaido University), 18 March 2010 (18.03.2010), paragraphs [0012] to [0016] (Family: none)	9, 17 1-8, 10-16, 18-20
Y A	JP 2009-289947 A (Kyocera Corp.), 10 December 2009 (10.12.2009), paragraphs [0035] to [0038] (Family: none)	11, 13 1-10, 12, 14-20
Y A	JP 2000-106454 A (Interuniversitair Micro- Electronica Centrum VZW), 11 April 2000 (11.04.2000), paragraphs [0047], [0048] & EP 0977280 A2 & US 6504180 B1	11, 13 1-10, 12, 14-20
Y A	Masahiro AKIYAMA, Growth of single Domain GaAs layer on (100)-Oriented Si Substrate by MOCVD, JAPANESE JOURNAL OF APPLIED PHYSICS, 1984.11, Volume 23, Number 11, pp.L843-845	12, 15 1-11, 13, 14, 16-20
Y A	JP 2011-109063 A (Sharp Corp.), 02 June 2011 (02.06.2011), paragraphs [0007], [0083] to [0103]; fig. 5 to 9 & US 2011/0254043 A1 & CN 102074631 A & KR 10-2011-0043461 A	16, 19 1-15, 17, 18, 20
P, X A	WO 2011/105397 A1 (National University Corporation Hokkaido University, Sharp Corp.), 01 September 2011 (01.09.2011), paragraphs [0028], [0040], [0090] to [0107] (Family: none)	1, 3, 5-10, 14, 17, 18, 20 2, 4, 11-13, 15, 16, 19

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L33/24(2010.01)i, G01J1/02(2006.01)i, H01L27/14(2006.01)i, H01L31/04(2006.01)i,
H01L31/10(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L33/00-33/64, G01J1/00-1/60, G01J11/00, H01L21/339, H01L27/14-27/148, H01L31/04-31/06, H01L31/10,
H01L29/762, H01L 51/42, H01S5/00-5/50, B82B1/00, B82B3/00, B82Y40/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	WO 2 0 1 1 / 0 6 7 8 7 2 A 1 (国立大学法人北海道大学) 2 0 1 1 . 0 6 . 0 9、[0 0 2 4] - [0 0 2 9]、[0 0 6 5] - [0 0 7 2]、[0 0 8 3]、[0 1 6 1] (ファミリーなし)	1 - 6、 8、1 0、 1 4、1 8、 2 0
Y		7、9、 1 1 - 1 3、 1 5 - 1 7、 1 9

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

2 4 . 0 8 . 2 0 1 2

国際調査報告の発送日

0 4 . 0 9 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

清水 靖記

2 K

3 6 0 5

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	Katsuhiro TOMIOKA, et al., GaAs/AlGaAs Core Multishell Nanowire-Based Light-Emitting Diodes on Si, NANO LETTERS, 2010.05.12, Volume 10, Issue 5, pp.1639-1644	1、3、5、 6、8、10、 14
Y		7、9、 11-13、 15-17、 19
A		2、4、18 20
Y	J P 2002-134838 A (三菱電機株式会社)	7
A	2002.05.10、【0015】、【0022】、【0041】 & US 2002/0051475 A1 & TW 507406 B	1-6、 8-20
Y	J P 2010-058988 A (国立大学法人北海道大学)	9、17
A	2010.03.18、【0012】-【0016】 (ファミリーなし)	1-8、 10-16、 18-20
Y	J P 2009-289947 A (京セラ株式会社)	11、13
A	2009.12.10、【0035】-【0038】 (ファミリーなし)	1-10、 12、 14-20
Y	J P 2000-106454 A (アンテルユニヴェルシテール・マイクロエレクトロニカ・サントリウム・ヴェー・ゼッド・ドゥブルヴェ)	11、13
A	2000.04.11、【0047】、【0048】 & EP 0977280 A2 & US 6504180 B1	1-10、 12、 14-20

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	Masahiro AKIYAMA, Growth of single Domain GaAs layer on (100)-Oriented Si Substrate by MOCVD, JAPANESE JOURNAL OF APPLIED PHYSICS, 1984.11, Volume 23, Number 11, pp.L843-845	12、15 1-11、 13、14、 16-20
Y A	J P 2011-109063 A (シャープ株式会社) 2011.06.02、【0007】、【0083】-【0103】、 【図5】-【図9】 & US 2011/0254043 A1 & CN 102074631 A & KR 10-2011-0043461 A	16、19 1-15、 17、18、 20
P、X A	WO 2011/105397 A1 (国立大学法人北海道大学 シャープ株式会社) 2011.09.01、[0028]、[0040]、 [0090]-[0107] (ファミリーなし)	1、3、 5-10、 14、17、 18、20 2、4、 11-13、 15、16、 19