



(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.

G11C 16/14 (2006.01)

(45) 공고일자 2006년11월27일

(11) 등록번호 10-0650088

(24) 등록일자 2006년11월20일

(21) 출원번호	10-2004-7019353	(65) 공개번호	10-2005-0013999
(22) 출원일자	2004년11월29일	(43) 공개일자	2005년02월05일
심사청구일자	2004년11월29일		
번역문 제출일자	2004년11월29일		
(86) 국제출원번호	PCT/US2003/016856	(87) 국제공개번호	WO 2003/102962
국제출원일자	2003년05월29일	국제공개일자	2003년12월11일

(30) 우선권주장 10/159,885 2002년05월29일 미국(US)

(73) 특허권자 마이크론 테크놀로지, 인크.  
미국 83716-9632 아이다호주 보이스 피.오. 박스 6 사우쓰 폐드럴 웨이 8000(72) 발명자 미호네아, 앤드레이  
미국 83702 아이다호주 보이스 엔. 24번 스트리트 3177천, 첸  
미국 83706 아이다호주 보이스 에스오. 죠지타운 웨이 2354(74) 대리인 주성민  
백만기  
이중희**심사관 : 조명관**

전체 청구항 수 : 총 52 항

**(54) 플래쉬 메모리 소거 방법 및 장치****(57) 요약**

본 발명은 터널 산화물내에 트랩된 정공이 감소되는 비휘발성 메모리의 소거를 위한 방법 및 장치에 관한 것이다.

**대표도**

도 8

**특허청구의 범위****청구항 1.**

제어 게이트, 플로팅 게이트, 소스, 드레인 및 기판을 포함하는 비휘발성 메모리셀을 소거하는 방법에 있어서,  
소거 기간 동안, 공통 전압에 대하여 네가티브인 전압 펄스를 상기 제어 게이트에 공급하는 단계와,  
상기 소거 기간보다 지속시간이 더 짧은 제2 기간 동안, 상기 공통 전압에 대하여 포지티브인 전압 펄스를 상기 소스에 공  
급하는 단계와,  
상기 제2 기간의 끝에서 상기 포지티브 전압 펄스를 방전하는 단계  
를 포함하고,  
상기 제2 기간의 끝에서 상기 포지티브 전압 펄스를 방전하는 단계는 상기 네가티브 전압 펄스의 크기를 효과적으로 증가  
시키는 방법.

## 청구항 2.

제1항에 있어서,

상기 네가티브 및 포지티브 전압 펄스에 대한 시간 길이를 조절하여 소스 소거 및 채널 소거의 상대적인 기여도를 획득해  
서 데이터 보유와 소거 속도 간의 원하는 균형을 달성하는 단계를 더 포함하는 방법.

## 청구항 3.

제2항에 있어서,

소스 소거 및 채널 소거의 상대적인 기여도를 조절하여, 소거 알고리듬에서 데이터 보유와 소거 속도 간의 원하는 균형을  
달성하는 단계를 더 포함하는 방법.

## 청구항 4.

제3항에 있어서,

상기 데이터 보유와 소거 속도 간의 원하는 균형은 제조 공정 동안 구성될 수 있는 방법.

## 청구항 5.

제3항에 있어서,

상기 데이터 보유와 소거 속도 간의 원하는 균형은 사용자에 의해 조절될 수 있는 방법.

## 청구항 6.

제1항에 있어서,

상기 제2 기간은 상기 소거 기간보다 약 2ms만큼 짧은 방법.

### 청구항 7.

제1항에 있어서,

상기 네가티브 전압 펄스의 크기의 증가는 3 V보다 큰 방법.

### 청구항 8.

각각의 소스, 드레인, 플로팅 게이트 및 제어 게이트를 포함하는 메모리 내의 비휘발성 메모리 셀들을 소거하는 방법에 있어서,

제1 시간에서 시작하여, 공통 전압에 대하여 네가티브인 전압을 상기 메모리 셀들 중 하나 이상의 셀의 제어 게이트에 인가하는 단계와,

상기 제1 시간과 거의 동일한 시간에 시작하여, 상기 공통 전압에 대하여 포지티브인 전압을 상기 하나 이상의 셀 각각의 소스에 인가하는 단계와,

상기 제1 시간 후의 제2 시간에, 상기 포지티브 전압을 방전하는 단계와,

상기 제2 시간에 상기 네가티브 전압을 증가시키는 단계와,

상기 제2 시간 후의 제3 시간에, 상기 네가티브 전압을 방전하는 단계

를 포함하는 방법.

### 청구항 9.

제8항에 있어서,

상기 제2 시간에서의 상기 네가티브 전압의 증가는, 상기 포지티브 전압 펄스가 상기 제어 게이트에 결합되도록, 상기 제2 시간에서 상기 포지티브 전압 펄스를 급격하게 방전시킴으로써 달성되는 방법.

### 청구항 10.

제8항에 있어서,

상기 네가티브 전압의 진폭은, 워드선 용량에 비하여 낮은 기생 드레인 용량을 갖는 워드선 구동 트랜지스터를 사용하여 효과적으로 증가되는 방법.

### 청구항 11.

제10항에 있어서,

상기 낮은 기생 드레인 용량은 상기 워드선 구동 트랜지스터의 도핑 농도를 조절함으로써 얻어지는 방법.

### 청구항 12.

제11항에 있어서,

상기 워드선 구동 트랜지스터의 도핑 농도를 조절하는 것은, 상기 워드선 구동 트랜지스터의 드레인이나 상기 드레인 부근의 채널 영역, 또는 양자 모두의 도핑 농도를 낮게 하는 것을 포함하는 방법.

### 청구항 13.

각각의 소스, 드레인, 플로팅 게이트 및 제어 게이트를 포함하는 비휘발성 메모리셀들을 소거하는 방법에 있어서,

제1 시간에 시작하여, 공통 전압에 대하여 제1 극성을 갖는 전압을 상기 메모리셀들 중 하나 이상의 셀의 제어 게이트에 인가하는 단계와,

근사적으로 상기 제1 시간에 시작하여, 상기 공통 전압에 대하여 제2 극성을 갖는 전압을 상기 하나 이상의 셀 각각의 소스에 인가하는 단계와,

상기 제1 시간 후의 제2 시간에, 상기 제2 극성의 전압을 방전하는 단계와,

상기 제2 시간에 시작하여, 상기 제1 극성의 전압이 플로팅하는 것을 허용하는 단계와,

상기 제2 시간보다 적어도  $2 \mu s$  후의 제3 시간에서 상기 제1 극성의 전압을 방전하는 단계  
를 포함하는 방법.

### 청구항 14.

제13항에 있어서,

상기 제1 극성은 네가티브이고, 상기 제2 극성은 포지티브인 방법.

### 청구항 15.

제13항에 있어서,

상기 제1 전압은 4 내지 6V인 방법.

### 청구항 16.

제15항에 있어서,

상기 제2 전압은 -8 내지 -13V인 방법.

### 청구항 17.

제13항에 있어서,

상기 네가티브 전압의 진폭은 워드선 용량에 비하여 낮은 기생 드레인 용량을 갖는 워드선 구동 트랜지스터를 사용하여 효과적으로 증가되는 방법.

### 청구항 18.

제17항에 있어서,

상기 워드선 구동 트랜지스터의 기생 드레인 용량은 상기 워드선 구동 트랜지스터를 저농도 도핑함으로써 낮아지는 방법.

### 청구항 19.

제17항에 있어서,

상기 워드선 구동 트랜지스터의 기생 드레인 용량은 게이트 스페이서를 포함시킴으로써 낮아지는 방법.

### 청구항 20.

제13항에 있어서,

낮은 드레인 누설을 갖는 워드선 구동 트랜지스터를 사용하여, 상기 제2 극성의 전압의 방전 후에 상기 제1 극성의 전압의 방전을 감소시키는 단계를 더 포함하는 방법.

### 청구항 21.

제어 게이트, 플로팅 게이트, 소스, 드레인 및 기판을 포함하는 비휘발성 메모리셀을 소거하는 방법에 있어서,

사전결정된 제1 기간 동안, 공통 전압에 대하여 포지티브인 전압을 상기 소스에 인가하는 단계와,

상기 공통 전압에 대하여 네가티브인 전압을 상기 제어 게이트에 인가하는 단계와,

상기 사전결정된 제1 기간의 끝에서 상기 포지티브 전압을 방전하는 단계와,

상기 사전결정된 제1 기간의 끝에서 상기 네가티브 전압에 대한 임의의 전압 조정을 디스에이블시키는 단계와,

상기 네가티브 전압의 방전 시간을 상기 사전결정된 제1 기간의 끝으로부터 사전결정된 지연 기간만큼 연장하는 단계를 포함하는 방법.

### 청구항 22.

제21항에 있어서,

상기 네가티브 전압의 증가는, 상기 사전결정된 제1 기간의 끝에서 상기 포지티브 전압을 급속하게 방전시킴으로써 상기 사전결정된 지연 기간 동안 행해지는 방법.

### 청구항 23.

제21항에 있어서,

상기 사전결정된 지연 기간 동안의 상기 네가티브 전압의 진폭은, 워드선 용량에 비하여 낮은 기생 드레인 용량을 갖는 워드선 구동 트랜지스터를 사용함으로써 증가되는 방법.

#### 청구항 24.

제21항에 있어서,

상기 사전결정된 지연 기간 동안, 상기 플로팅 게이트와 상기 소스 사이의 터널 산화물로부터 정공들이 제거되는 방법.

#### 청구항 25.

제어 게이트, 플로팅 게이트, 소스, 드레인 및 기판을 포함하는 메모리셀을 소거하는 방법에 있어서,

공통 전압에 대하여 네가티브인 전압을 상기 제어 게이트에 인가하는 단계와,

상기 공통 전압에 대하여 포지티브인 전압을 상기 소스에 인가하는 단계와,

상기 포지티브 전압을 방전하는 단계와,

상기 포지티브 전압이 방전된 것과 동시에, 상기 네가티브 전압을 증가시키는 단계와,

상기 네가티브 전압의 증가가 달성된 후, 상기 네가티브 전압을 방전하는 단계

를 포함하는 방법.

#### 청구항 26.

제25항에 있어서,

상기 네가티브 전압은 상기 포지티브 전압을 급격하게 방전함으로써 효과적으로 증가되는 방법.

#### 청구항 27.

제26항에 있어서,

상기 네가티브 및 포지티브 전압의 시간 길이를 조정하여 소스 소거 및 채널 소거의 상대적 기여를 획득해서 데이터 보유와 소거 속도 간에 요구되는 균형을 달성하는 단계를 더 포함하는 방법.

#### 청구항 28.

제26항에 있어서,

소스 소거와 채널 소거의 상대적 기여를 조정하여, 소거 알고리듬에서 데이터 보유와 소거 속도 사이의 원하는 균형을 달성하는 단계를 더 포함하는 방법.

#### 청구항 29.

제28항에 있어서,

상기 데이터 보유와 소거 속도 사이의 원하는 균형은 알고리듬 퓨즈(algorithm fuse)에 의해 구성가능한 방법.

### 청구항 30.

제28항에 있어서,

상기 데이터 보유와 소거 속도 사이의 원하는 균형은 사용자에 의해 조정가능한 방법.

### 청구항 31.

제26항에 있어서,

상기 네가티브 전압의 증가는 상기 플로팅 게이트와 상기 소스 사이의 터널링 산화물 내에 트래핑된 정공을 중화하는 방법.

### 청구항 32.

제어 게이트, 소스, 드레인 및 기판을 포함하는 메모리 셀을 소거하는 방법에 있어서,

소거 기간 동안 상기 제어 게이트에 네가티브 펄스를 인가하는 단계- 상기 네가티브 펄스는 게이트-기판 사이의 네가티브 전압임 -와,

상기 소거 기간의 거의 초기에 상기 소스에 포지티브 펄스를 인가하는 단계- 상기 포지티브 펄스는 소스-기판 사이의 포지티브 전압임 -와,

제1 사전결정된 기간 후에 상기 포지티브 펄스를 방전하는 단계와,

상기 소거 기간보다 더 긴 제2 사전결정된 기간 후에 상기 네가티브 펄스를 방전하는 단계

를 포함하는 방법.

### 청구항 33.

제32항에 있어서,

플로팅 게이트와 채널 영역 사이에 위치한 터널 산화물 내에 트래핑된 다수의 정공들이 상기 사전결정된 지연 기간동안 감소되는 방법.

### 청구항 34.

제32항에 있어서,

상기 네가티브 전압은 상기 포지티브 펄스의 방전의 결과로서 상기 사전결정된 지연 기간동안 증가되는 방법.

### 청구항 35.

소스, 드레인, 제어 게이트, 플로팅 게이트 및 기판을 포함하는 적어도 하나의 메모리 셀과,

메모리 제어 회로와,

워드선과,

다수의 워드선 구동 트랜지스터들을 포함하고,

상기 메모리 제어 회로는 제1 사전결정된 기간동안 상기 소스와 공통 전압 영역 사이에 포지티브 전압을 인가하고, 제2 사전결정된 기간동안 상기 게이트와 공통 전압 영역 사이에 네가티브 전압을 인가하며, 상기 제2 사전결정된 기간은 상기 제1 사전결정된 기간과 거의 동시에 시작하고 상기 제1 사전결정된 기간 종료 후에 사전결정된 지연만큼 경과후에 종료하는

플래시 메모리.

### 청구항 36.

제35항에 있어서,

상기 포지티브 전압은 상기 제1 사전결정된 기간의 종료 시에 급속하게 방전되는 플래시 메모리.

### 청구항 37.

제35항에 있어서,

상기 네가티브 전압의 크기는 상기 사전결정된 지연 동안 효과적으로 증가하는 플래시 메모리.

### 청구항 38.

제37항에 있어서,

상기 네가티브 전압의 크기는 상기 사전결정된 지연 동안 약 5V만큼 증가하는 플래시 메모리.

### 청구항 39.

제37항에 있어서,

상기 네가티브 전압의 크기는 상기 사전결정된 지연 동안 효과적으로 증가하는 플래시 메모리.

### 청구항 40.

제37항에 있어서,

상기 소스와 공통 전압 영역 사이에 인가된 포지티브 전압은 3 내지 6V인 플래시 메모리.

### 청구항 41.

제40항에 있어서,

워드선 용량과 비교하여 낮은 기생 드레인 용량을 가지는 워드선 구동 트랜지스터를 더 포함하는 플래시 메모리.

#### 청구항 42.

제41항에 있어서,

상기 낮은 기생 드레인 용량은 LDD 영역에 의해 적어도 부분적으로 달성되는 플래시 메모리.

#### 청구항 43.

제41항에 있어서,

상기 낮은 기생 드레인 용량은 게이트 스페이서에 의해 적어도 부분적으로 달성되는 플래시 메모리.

#### 청구항 44.

제40항에 있어서,

상기 게이트와 공통 전압 영역 사이에서 상기 사전결정된 지연 전에 인가된 네가티브 전압은 약 10 V인 플래시 메모리.

#### 청구항 45.

소스, 제어 게이트, 플로팅 게이트, 드레인 및 기판을 포함하는 플래시 메모리 셀을 소거하는 방법에 있어서,

공통 전압에 대하여 포지티브인 제1 사전결정된 지속 기간의 전압 펄스를 상기 소스에 인가하는 단계와,

상기 공통 전압에 대하여 네가티브이고, 상기 제1 사전결정된 지속 기간보다 더 긴 제2 사전결정된 지속 기간을 갖는 전압 펄스를 상기 제어 게이트에 거의 동시에 인가하는 단계

를 포함하는 방법.

#### 청구항 46.

제45항에 있어서,

상기 네가티브 전압은 상기 포지티브 전압이 방전된 후에 효과적으로 증가되는 방법.

#### 청구항 47.

소스, 제어 게이트, 플로팅 게이트, 드레인 및 기판을 포함하는 메모리 장치의 터널 산화물 내의 정공을 감소시키는 방법에 있어서,

소스 전압의 감소를 이용하여 상기 제어 게이트와 공통 기준 전압 사이에 인가되는 네가티브 전압의 크기를 증가시키는 단계

를 포함하는 방법.

### 청구항 48.

제47항에 있어서,

상기 소스 전압의 감소는 급속하게 일어나는 방법.

### 청구항 49.

제47항에 있어서,

상기 네가티브 전압의 증가는 용량성 결합에 의해 발생되는 방법.

### 청구항 50.

제47항에 있어서,

상기 네가티브 전압의 증가는 워드선과 포지티브 전원 전압 사이에 캐패시터를 제공함으로써 증가되는 방법.

### 청구항 51.

소스, 제어 게이트, 플로팅 게이트, 드레인 및 기판을 포함하는 메모리 장치의 터널 산화물 내의 정공을 감소시키는 방법에 있어서,

공통 전압에 대하여 포지티브인 상기 소스에 인가되는 전압의 감소를 이용하여, 상기 공통 전압에 대하여 네가티브인 전압을 상기 제어 게이트에 결합시키는 단계

를 포함하는 방법.

### 청구항 52.

제51항에 있어서,

상기 결합은 캐패시터에 의해 증가되는 방법.

**명세서**

#### **기술분야**

본 발명은 전반적으로 비휘발성 메모리 장치를 소거하는 방법 및 장치에 관한 것으로, 특히 플래쉬 메모리 셀의 터널 산화물내에 트랩된 정공의 수를 줄일 수 있는 비휘발성 메모리 장치의 메모리 어레이의 소거 동작에 대한 방법 및 장치에 관한 것이다.

#### **배경기술**

도 1은 통상적인 플래쉬 메모리 셀(100)의 단면도를 도시한다. 메모리 셀(100)은 기판(102), 소스(104), 제어 게이트(108), 실리콘 이산화물( $\text{SiO}_2$ )의 절연층(110)에 의해서 전기적으로 격리되는 플로팅 게이트(106) 및 드레인(112)을 포함한다. 따라서, 메모리 셀(100)은 기본적으로 플로팅 게이트가 추가된 n 채널 트랜지스터이다. 플로팅 게이트(106)의 전기적 액세스는 주변의  $\text{SiO}_2$  층 및 소스(104), 드레인(112), 채널(105) 및 제어 게이트(108)의 캐패시터 네트워크를 통해서만 발생한다. 플로팅 게이트(106)상에 존재하는 전하는 고유의  $\text{Si}-\text{SiO}_2$  에너지 장벽 높이에 기인하여 유지되며 이는 메모리 셀의 비휘발성 특성을 야기한다.

플래쉬 메모리 셀을 프로그래밍하는 것은 전하(즉, 전자)가 플로팅 게이트(106)에 첨가되는 것을 의미한다. 높은 제어 게이트 전압과 함께 높은 드레인-소스 전압이 인가된다. 게이트 전압은 채널을 반전시키며, 드레인 바이어스는 드레인을 향하는 전하를 가속시킨다. 채널을 통과하는 프로세스에서, 다소의 전자들은 실리콘 격자와 충돌하여  $\text{Si}-\text{SiO}_2$  계면을 향하여 다시 방향을 돌릴 것이다. 게이트 전압에 의해서 생성된 전기장(field)의 도움으로, 이들 전자들 중 몇몇은 산화물을 통과할 것이며, 플로팅 게이트에 첨가될 것이다. 프로그래밍이 완료된 후에, 플로팅 게이트에 첨가된 전자들은 셀의 문턱 전압을 상승시킬 것이다. 프로그래밍은 선택적인 동작이며, 각각의 개별적인 셀 상에서 수행된다.

플래쉬 메모리 셀의 판독은 아래와 같이 이루어진다. 프로그래밍된 셀들에 대하여, 셀들의 턴온 전압  $V_t$ 는 플로팅 게이트 상의 증가된 전하에 의해서 증가된다. 제어 게이트 전압을 인가하고 드레인 전류를 모니터링함으로써, 플로팅 게이트상에 전하가 존재하는 셀들과 전하가 존재하지 않는 셀들 간의 차이가 결정될 수 있다. 감지 증폭기는 셀 드레인 전류를 기준 셀(전형적으로 제조 테스트 동안에 기준 레벨로 프로그래밍된 플래쉬 셀)의 드레인 전류와 비교한다. 소거된 셀은 기준 셀 보다 많은 셀 전류를 가지므로 논리값 "1"이 되며, 프로그래밍된 셀은 기준 셀 보다 적은 전류를 흐르게 하여 논리값 "0"이 된다.

플래쉬 셀을 소거하는 것은 전자(전하)가 플로팅 게이트(106)로부터 제거되는 것을 의미한다. 플래쉬 메모리를 소거하는 것은 많은 셀에 동시에 전기적 전압을 인가함으로써 수행되어 셀들은 "순간"적으로 소거된다. 플래쉬 메모리내의 전형적인 소거 동작은 소스(104)에 포지티브 전압을 인가하고, 네가티브 또는 접지 전압을 제어 게이트(108)에 인가하며, 메모리 셀의 기판(102)을 접지에 유지함으로써 수행될 수 있을 것이다. 드레인(112)은 플로팅 할 수 있다. 이러한 조건하에서, 높은 전장( $8 - 10 \text{ MV/cm}$ )이 플로팅 게이트와 소스 사이에 존재한다. 소스 접합은 소거 동안에 게이트 다이오드 조건을 겪으며,  $\text{SiO}_2$ 를 몇 Å 뚫고 나온 전자들은 소스로 이동한다. 소거가 완료된 후에, 전자들이 플로팅 게이트로부터 제거되어, 셀 문턱 전압  $V_t$ 가 감소된다. 각각의 개별적인 셀에 대하여 프로그래밍이 선택적인 반면에, 많은 셀들이 동시에 소거되는 소거에 있어서는 그러하지 아니하다.

플래쉬 메모리내의 스트레스 유도 누설 전류(SILC)는 비정상적으로 낮은 전압에서 플로팅 게이트로부터 이를 둘러싸는 절연 산화물을 통해서 터널링이 존재하는 경우에 발생한다. 이는 메모리 셀이 판독, 기록 및 소거 동작이 여러번 순환된 후에, 즉 스트레스를 받은 후에 플래쉬 메모리 셀의 터널 산화물내에 트랩되는 정공들로부터 기인할 수 있으며, 메모리의 성능을 심하게 저하시킬 수 있다. SLIC는 플래쉬 메모리 장치의 설계자 및 제조자에게 주된 도전의 대상이 되며, 장치 크기가 계속하여 감소되고 플로팅 게이트를 둘러싸는 절연 산화물이 보다 얇게되어감에 따라 보다 큰 도전의 대상이 될 것이다.

SILC의 문제점을 풀기위한 다양한 해결책이 제안되어왔다. 예컨대, 차례로 N 웰 내부에 있는 P 웰 내부에 메모리 셀이 제조되는 트리플 웰 채널 소거 플래쉬 메모리가 제안되었다. 불행하게도, 트리플 웰 구조는 프로세스 복잡도 및 메모리 영역을 증가시킨다. 따라서, 장치가 순환됨에 따라 SLIC를 줄이는 플래쉬 메모리 셀을 위한 방법 및 장치에 대한 요구가 존재하게 된다.

상기된 이유 및 아래에 기술되는 추가적인 이유에 기인하여, 본 명세서를 읽고서 이해할 때에 플래쉬 메모리를 소거하는 개선된 방법 및 장치가 필요함이 본 발명의 기술분야의 당업자에게 자명해질 것이다. 통상적인 플래쉬 메모리의 상기된 문제점들 및 다른 문제점들이 본 발명에 의해서 적어도 부분적으로 해결되며, 이는 본 명세서를 읽고 연구함으로써 이해될 것이다.

## 발명의 상세한 설명

비록 특정 전자 소자를 이용하는 다양한 실시예가 본 명세서에 기술되지만, 본 기술분야의 당업자는 본 발명을 실시하는 데에 다른 회로 소자가 이용될 수 있으며, 본 발명이 본 명세서에 개시된 회로 소자의 장치에 한정되지는 않음을 이해할 것이다. 더욱기, 본 기술 분야에서 본 발명이 플래쉬 메모리 회로가 아닌 다른 장치내의 메모리 소거에도 이용될 수 있음을 이해할 것이다. 따라서, 본 발명은 플래쉬 메모리를 소거하기 위한 방법 및 장치에 한정되지는 않는다.

도 1은 n+ 타입 소스(104), p 타입 채널(105), n+ 타입 드레인(112) 및 p 타입 기판(102)을 포함하는 통상적인 플로팅 게이트 메모리 셀(100)을 도시한다. 플로팅 게이트(106)는 채널(105) 위에서 절연 유전층(110)과 얇은 터널 산화물(114)사이에 개재된다. 플로팅 게이트(106)는 플래쉬 메모리내의 메모리 저장 소자이며, 메모리 셀의 다른 소자들과 전기적으로 절연되어 있다. 제어 게이트(108)는 절연 유전체(110) 상부에 위치하며, 플로팅 게이트(106) 위에 위치한다.

도 2는 본 발명의 플래쉬 메모리(200)의 개략도를 도시한다. 플래쉬 메모리(200)는 판독, 기록 및 소거 같은 메모리의 동작을 제어하는 제어 회로(202), 열 디코더(204), 감지 증폭기/비트선 드라이버(206), 열 멀티플렉서(218), 워드선(212), 메모리 어레이(210), 비트선(208) 및 워드선 드라이버(216)를 가지는 행 디코더(214)를 포함한다.

통상적인 플래쉬 메모리 소거 동작의 전압 펄스 시퀀스의 예가 도 3에 도시되어 있다. 이로부터 알 수 있는 바와 같이, 소스-드레인 전압은 약 5 내지 6V까지 증가되는 반면에, 이와 동시에 게이트-기판 전압은 약 -10V까지 감소된다. 이러한 전위차는 약 10ms 동안 유지되며, 그 후에 급격하게 방전되어 0이 된다. 이러한 전압값들의 조합은 플로팅 게이트(106)와 소스(104)사이의 터널 산화물(114)에 전기장을 유도해서 전자들을 플로팅 게이트(106)로부터 외부로 이동시키는 터널링을 야기하여 메모리 셀을 효과적으로 소거한다. 그러나, 이와 동시에 바디(102)와 소스(104) 사이의 접합상의 역 바이어스는 터널 산화물(114)에 정공을 주입하고, 이를 정공들 중 몇몇은 터널 산화물(114)내에 트랩된다. 트랩된 정공들 중 몇몇은 소거 동작의 마지막에, 그리고/또는 이어지는 프로그래밍 후에도 중화되지 않은 상태로 남는다. 터널 산화물(114)내에 트랩된 정공들은 플로팅 게이트(106)로부터 터널 산화물(114)내로의 저전계 전자 주입에 대한 장벽을 효과적으로 감소시켜 플래쉬 셀에 대한 SILC 및 SILC 관련 전하 손실 또는 이득을 야기시킬 수 있다.

병렬로 접속된 폴리실리콘 1 게이트를 가지는 4096 플래쉬 메모리 셀의 어레이 내의 SILC의 예가 도 4에 도시되어 있다. 곡선(201)은, 기판이 네가티브 전압이며 소스가 접지일 때 어레이의 플래쉬 메모리 셀의 폴리실리콘 1 게이트의 전압 스위프(V 스위프)에서 스트레스받지 않은 플래쉬 어레이에 대한 터널 I-V 특성(IP1 대 VP1)을 나타낸다. 곡선(201)에 나타난 바와 같이, -10V의 게이트-기판 전위가 존재한 후에야 스트레스받지 않은 플래쉬 어레이내에서 누설 전류가 시작된다. 곡선(202)은 스트레스, 즉 플로팅 게이트의 셀 어레이상의 연속적인 소거 프로그램 사이클의 적용의 결과를 나타낸다. 이러한 예에서, 스트레스는 일정한 전압 스트레스에 의해서 시뮬레이션되며, 여기서 게이트-기판은 -10V로 고정되고, 소스-기판은 6V로 고정되며, 높은 역접합 바이어스가 200초동안 유지된다. 곡선(202)은 누설 전류의 온셋(onset)이 어레이에 스트레스를 가한 후 약 -7V의 비정상적으로 낮은 전압에서 발생할 것임을 나타낸다. 곡선(203, 204 및 205)은 스트레스 전압이 제거되고, 게이트 전압이 추가적인 네가티브 값으로 스위프(sweep)하고 기판 및 소스가 접지에 유지되는 연속적인 V 스위프를 나타낸다. 곡선(203, 204 및 205)은 소스-기판 접합 양단이 0V에서 어레이가 게이트 V 스위프를 겪은 후에 SILC가 억제되며, 터널링의 온셋이 바람직하게 보다 높은 네가티브 게이트-기판 전압으로 시프트됨을 나타낸다. 각각의 연속적인 V 스위프 곡선에서, 터널링의 온셋은 보다 높은 전압으로 뒤틀어가며, 따라서 SILC는 보다 효과적으로 억제된다.

상기된 결과에 근거하여, SILC의 생성 및 억제를 위한 양질의 모델이 설계될 수 있다. 게이팅된 소스 다이오드가 높은 역 바이어스를 겪고, 게이트 산화물에 낮은 터널링 전류가 존재하는 경우에 SILC는 생성되며/생성되거나 개선된다. 이들 조건은 정공의 생성과 게이트 산화물 내부에의 주입에 유리하다. 반면에, 게이팅된 소스 다이오드가 게이트 산화물에서 높은 전자 터널링 전류를 겪게되고, 소스 접합에 대해서는 0 또는 낮은 역전류 바이어스가 걸리는 경우에 SILC는 억제될 수 있을 것이다.

상기 모델에 근거하여 다양한 접근 방법이 제안될 수 있을 것이다. 소거 펄스 동안 터널 산화물내에 트랩된 정공을 중화하기 위한 한가지 가능한 방법은 소거 펄스의 마지막에서 높은 네가티브 게이트 전압 및 낮거나 0인 포지티브 소스 전압으로 균일 터널링의 조건을 적용하는 것이다. 이러한 종래 기술의 접근 방식은 도 5에 도시된다. 이로부터 알 수 있는 바와 같이, 2개의 포지티브 6V 펄스가 각기 약 3ms 동안 10ms의 소거 기간을 가지는 소스(Vs)에 인가된다. 또한, 포지티브 6V 펄스가 제 2의 포지티브 소스 펄스와 동시에 기판(Vsub)에 인가된다. 게이트-기판 전압(VG)은 전체 10ms 기간동안 네가티브 10V로 유지된다. 포지티브 전압 펄스를 기판에 인가하게 되면 소거 동작이 단일 단계 채널 소거내에서 수행될 수 있도록 한다. 그러나, 이것은 트리플 웰 내부에 메모리 어레이를 구성하는 복잡함 또한 요구한다.

채널 소거 조건은 정규의 소거 펄스 이후에 소스가 기판(접지)과 등전위로 바이어스되는 동안 높은 네가티브 값의 추가적인 전압 펄스를 게이트(워드선)에 인가함으로써 구현될 수도 있다. 이러한 절차가 도 6에 도시되어 있다. 이로부터 알 수 있는 바와 같이, 약 10ms의 기간동안 약 5V의 포지티브 펄스가 소스와 기판 사이에 인가된다. 동시에, 게이트 기판 전압은 네가티브 10V까지 인가된다. 10ms의 마지막 부분에서 소스-기판 전압이 0으로 감소될 때에, 게이트와 기판 사이의 전압은 네가티브 15V까지 증가되며, 이 전위로 추가적인 5ms동안 유지된다. 이러한 접근 방식은 어레이를 둘러싸는 트리플 웰이 없더라도 플래쉬 메모리상에서 실시될 수 있지만, 추가적인 소거 시간 및 높은 네가티브 전압의 공급을 요구하는 단점을 가진다.

도 7a에 도시된 더 편리한 접근은 정규 소거 펄스의 끝에서 기판 전위(또는 다른 공통 전압 영역)를 향해 소스를 방전시키면서, 제어 게이트(워드선)에 대한 네가티브 전압은 그대로 유지하는 것이다. 도시된 바와 같이, 약 5V의 포지티브 펄스가 약 10ms 동안 소스와 기판 사이에 인가된다. 이와 동시에, 게이트-기판 전압은 -10V로 되어 10ms 기간 동안 유지된다. 10ms 기간의 종료시 소스-기판 전위는 수분의 1 ms 안에 급속히 방전되지만, 네가티브 게이트-기판 전압의 방전은 1-100ms의 범위의 시간 동안 지연된다. 이러한 기간 동안, 네가티브 전압의 플로팅이 허용되고, 네가티브 펌프에 의해 제공되는 전압의 임의의 조절이 불가능하게 된다. 이에 따라 발생하는 과잉 네가티브 워드선 전압은 이하의 단락들에서 “네가티브 게이트 부트스트랩(negative gate bootstrap)”이라 지칭한다. 이 경우, 빠르게 떨어지는 소스-기판 전압은 플로팅 게이트 및 제어 게이트(워드선)에 결합되어 결국 이들을 네가티브 펌프에 의해 제공되는 전압 이하로 더 네가티브하게 만든다. 따라서, 제로 전압의 소스 대 기판 바이어스와 함께 워드선 및 플로팅 게이트에 대한 비교적 높은 네가티브 전압의 바람직한 조건은 더 높은 네가티브 전압을 발생시키거나 소거 동작에 여분의 시간을 추가할 필요 없이 과도적으로 실현될 것이다.

도 7a는 소스(VSSub)의 강제 방전이 수분의 1ms 또는 그 보다 빠르게 발생하는 경우 게이트 전압(VGSub)에 대한 예측 거동을 나타낸다. 소스(VSSub)의 방전 후, 그리고 게이트의 액티브 방전 전의 과잉 네가티브 게이트 전압의 양 및 이의 VGSub에 대한 파형의 점차적인 감쇠는 플로팅 상태로 남을 때 VSSub 과도 전류와 제어 게이트(워드선) 상의 전압에 대한 후속적인 자연 감쇠의 용량성 결합을 나타낸다. 감쇠율은 게이트들의 총 누설 전류에 의존하며, 총 누설 전류는 셀 제어 게이트 또는 워드선을 구동하는 메모리 어레이의 주변 회로의 트랜지스터들의 구조 및 레이아웃에 의해 결정된다. 도 4에 도시된 바와 같이 터널 산화막을 통한 제어 게이트의 임의의 누설은 제어 게이트에 대한 누설에 기여하지 않으므로 도 7a의 VGSub 감쇠율에 영향을 미치지 않는다.

주변 회로의 관련 워드선 드라이버들이 각 행 상의 메모리 셀들의 소스와 제어 게이트(워드선) 사이의 용량에 비해 낮은 기생 용량 및 낮은 누설 전류를 갖도록 고안된 정도로, 과잉 네가티브 전압(VGSub)은 실질적인 감쇠없이 더 크게 더 오래 유지될 수 있다. 미미한 기생 용량 및 VSSub의 고속 방전의 제한 내에서, 과잉 네가티브 게이트 전압의 최대 진폭은 소스 전압의 진폭과 동일한 절대값을 가질 것이다. 반면, 워드선 드라이버들의 누설 전류가 이상적으로 제로인 경우에는 과잉 네가티브 게이트 전압은 게이트가 외부 회로에 의해 접지 전위로 강제 방전되지 않는 한 무한히 감쇠 없이 유지되는 것으로 가정될 것이다.

따라서, 메모리 회로의 설계가 전술한 3가지 조건, 즉

1. VSSub에 대한 1ms 보다 짧은 고속 방전,
2. 워드선 드라이버에 대한 1-10 fF 또는 그 이하 수준의 낮은 기생 용량, 및
3. 동 워드선 드라이버에 대한 pA 수준의 낮은 드레인 누설 전류

를 충족시키는 경우, 도 7a의 파형들에 의해 나타나는 각 소거 펄스는 소스 소거 및 채널 소거의 두 소거 메카니즘의 연속으로 간주될 수 있으며, 각 메카니즘에 대한 상대적인 지속 기간은 특정 메모리 설계에 대한 사양에 맞도록 설계자에 의해 조정될 수 있다.

특정 메모리 애플리케이션이 각 특정 셀에 대한 빠른 소거 및 매우 엄격하지 않은 유지 제한을 요구하는 경우, 이러한 메모리는 소스 소거 시간에 비해 짧은 채널 소거 시간을 갖도록 설계될 수 있다. 소스 소거는 동일 인가 전압에서 인가 전압에 대한 보다 양호한 결합 계수로 인하여 채널 소거보다 내재적으로 더 효율적이다. 따라서, 이러한 설계는 총 소거 시간을 더 짧게 하지만, 소스 소거 메카니즘에 의해 발생하는 정공들이 소거 펄스의 후속 채널 소거 부분에서 중화될 시간이 더 짧아

지기 때문에 메모리 유지는 더 열악하게 된다. 이러한 설계는, 빠른 소거 프로그램 속도가 추구되고, 내재적으로 약한 유지를 보정하기 위하여 추가 패리티 코드와 같은 데이터 보정 수단이 사용될 수 있는 고밀도 데이터 저장 메모리에 이로울 수 있다.

스펙트럼의 다른 끝에서, 특정 메모리가 매우 양호한 유지를 필요로 하지만 소건 시간에 대해서는 엄격한 제한을 요구하지 않는 경우, 소거 폴스 내의 소스 소거 시간은 1ms 이하로 줄고, 100ms 이상의 긴 채널 소거 시간이 이어질 수 있다. 이러한 방식으로, 각 셀의 플로팅 게이트에 저장된 전자들의 대부분은 소거 폴스의 채널 소거 부분 동안 터널링하여 빠져 나가며, 보다 긴 소거 시간으로 인하여 소스 소거와 관련된 정공 트랩핑 현상은 효과적으로 방지될 것이다. 이러한 접근은 소거 및 리프로그래밍 동작이 거의 발생하지 않고 빠른 시간 속도를 요구하지는 않지만 오랜 기간 동안 저장 데이터의 유지가 중요한 코드 저장 애플리케이션에 유용할 수 있다.

네가티브 게이트 소거는 모두 P 채널 워드선 드라이버 트랜지스터를 포함하거나 트리플 웰 내에 N 채널 풀다운 트랜지스터들을 구비한 CMOS 드라이버들을 포함하는 행 디코더를 사용하여 플래시 메모리에서 구현될 수 있다. 이하에서는, P 채널 워드선 드라이버들을 구비한 메모리에 대한 “네가티브 게이트 부트스트랩”的 가능한 구현이 설명된다. 동일한 아이디어가 조금 변경되어 트리플 웰 N 채널 워드선 드라이버들을 구비한 메모리에 적용될 수 있다.

도 8은 풀업 트랜지스터(702) 및 풀다운 트랜지스터(704)를 포함하는 도 2의 메모리(200)와 같은 메모리 장치에 대한 행 디코더에서 모두 P 채널 드라이버 회로를 갖는 설계를 나타낸다. 이 회로는 메모리 장치의 메모리 셀들(706)에 결합된 워드선(703)을 구동한다. 전압들(VH, VL)은 각각 “하이” 및 “로우” 전원 전압 레일을 나타낸다. 이들의 절대값은 판독, 프로그램 및 소거와 같은 각 메모리 기능에 특정되며, 이들의 상대적인 차이(VH-VL)는 항상 포지티브 값이다. A 및 B로 각각 표시된 풀업 및 풀다운 신호에 대한 값은 메모리 기능에, 그리고 특정 행의 선택 또는 비선택 조건에 특정된다.

구체적으로, 메모리 블록의 모든 행은 소거 기능에서 선택되며, 따라서 신호 A 및 B는 소거될 블록 내의 모든 워드선에 대해 동일한 값을 취한다. 이러한 값들의 가능한 세트는

$VH=3.3V$ ,  $VL=-10V$ ,  $A=3.3V$ ,  $B=-10V$ 이다.

이것은 워드선 전압이 P 채널 트랜지스터의 임계 전압에 따라  $-8.5V$  내지  $-9V$ 가 되게 한다.

소거 모드에서 워드선에 대한 “네가티브 부트스트랩”的 상기 아이디어를 구현하기 위하여, 도 8의 개략도의 변수 VH, VL, A, B는 도 7b 또는 7c 아래의 역학을 따라 설정될 수 있다.

도 8의 플래시 메모리 어레이 내의 용량 성분( $C_{ws}$ ,  $C_{wch}$ )은 각각 모든 메모리 셀의 워드선과 소스 사이의 용량 및 모든 메모리 셀의 워드선과 채널 사이의 용량을 나타낸다. 소거 동안, 채널은 축적 상태가 되고, 따라서 블록 내의 모든 메모리 셀에 대한 공통 기관에 전기적으로 접속된다.

도 7a, 7b, 7c의 소스 폴스(VSSub)의 하강 에지는  $C_{ws}$ 를 통한 용량 결합에 의해 VGSub 상에 네가티브 부트스트랩(네가티브 과전압)을 유도한다. 드라이버 트랜지스터의 기생 용량을 무시할 경우, 네가티브 전압 초과의 크기는 다음과 같이 계산될 수 있다.

$$|\Delta(VGSub)| = VSSub * C_{ws} / (C_{ws} + C_{wch})$$

따라서, 네가티브 부트스트랩은  $C_{ws}$ 가 증가할 때, 그리고/또는  $C_{wch}$ 가 감소할 때 향상된다.

도 7b에서와 같이 소거가 구현되는 경우, 도 8의 행 디코더 내의 모든 P 채널 트랜지스터에 대한 기생 용량 성분( $C_{gd}$ ,  $C_j$ )은 “네가티브 부트스트랩” 효과에서 워드선의 용량 결합을 강화하기 위하여 감소될 필요가 있다. 게이트-드레인 기생 용량( $C_{gd}$ )은 게이트에 의한 드레인 확산의 중첩 성분 및 드레인 표면과 게이트 스택 층벽 사이의 가장자리 전계(fringing field)에 관련된 성분을 갖는다. 이들 성분은 모두 게이트 층벽과 인접 드레인 확산 사이에 위치하는 산화물 스페이서의 도움으로 감소될 수 있다. 드레인 확산을 위한 낮은 도핑 농도 및/또는 채널(N 웰) 내의 낮은 도핑 농도를 사용함으로써 낮은 드레인-바디 접합 용량( $C_j$ )이 얻어질 수 있다.

한편, 도 7c의 역학은 소거를 위해 구현될 수 있다. 전압 VH 및 VL은 도 7c에서 VSSub 펠스의 끝에서 감소된다. 이 경우, 풀다운 트랜지스터(704)에 대한  $C_{gd}$ (워드선과 신호 B 사이의 용량 결합)를 제외한 도 8의 모든 기생 용량은 사실 “네가티브 부트스트랩”을 위한 결합을 돋고 있으며, 최소화될 필요가 없다. 이 경우, 네가티브 부트스트랩을 위한 결합은 도 8에 도시된 바와 같이 회로 내의 VH 전원과 워드선 사이에 여분의 캐패시터(710)를 제공함으로서 더욱 증가될 수 있다.

소거 펠스의 채널 소거 부분 동안 파잉 네가티브 전압(VGSub)의 유지는 워드선을 구동하는 P 채널 트랜지스터의 드레인-바디 누설 전류에 의해 나쁜 영향을 받는다. 이러한 누설 전류는 도 8에서 트랜지스터(N 웨л)의 소스/드레인 확산과 바디 사이의 가변 전류 발생기(708)로 표시된다. 실제로, 이러한 누설 전류의 중요한 성분은 게이트 유도 드레인 누설 전류(GIDL)로 알려져 있으며, 게이트와 드레인 사이의 전압 강하와 함께 크게 증가한다. 따라서, GIDL은 소거시 게이트-드레인 전압 강하가 큰 도 8의 풀업 P 채널 트랜지스터(702)에 대해서만 중요하다. 이러한 전압 강하는 도 7c에 따른 소거 역학에 대해서 작으며, 이러한 방법은 파잉 네가티브 게이트 전압에 대한 결합 및 유지 양쪽에서 이점을 제공한다.

트랜지스터 구조의 측면에서, 게이트 스페이서 및/또는 드레인 확산을 위한 낮은 도핑 농도와 같이 기생 게이트-드레인 용량을 줄이기 위한 전술한 특징들은 GIDL을 줄이는 데에도 효과적이다. 도 9는 모든 성분들이 도시된 기생 용량들( $C_{gd}$ ,  $C_j$ )과 관련된 예시적인 P 채널 MOSFET 구조(802)를 나타낸다. 기생 용량을 최소화하고 GIDL을 줄이기 위하여, 워드선 구동 트랜지스터는 저농도 드레인(LDD) 영역이 도 9에 도시된 바와 같이 존재하여 기생용량을 최소화할 수 있도록 제조되어야 한다. 또한, 기생 용량을 줄이기 위하여 저유전율  $\text{SiO}_2$  게이트 스페이서가 추가될 수 있다. 또한, 기생 용량을 줄이기 위하여 당업자들에게 친숙한 다른 기술들이 적용될 수도 있다.

따라서, 전술한 바로부터 알 수 있듯이, 메모리 장치는 일정한 지정 소거 시간 및 유지 성능에 따라 설계될 수 있다. 한편, 소스 소거 및 채널 소거의 각각의 지속 기간이 제어 파라미터 전용의 특수 기능 레지스터 또는 기타 불휘발성 메모리에 저장된 알고리즘 코드에 의해 조정될 수 있는 새로운 종류의 메모리가 설계될 수 있다. 이러한 방법으로, 제조자는 일반적인 메모리 부분을 구축할 수 있으며, 제조 테스트 시에 소거 메카니즘의 지속 기간을 조정하거나 장치가 최종 사용을 위해 시스템 내에 조립되기 전 또는 후에 사용자가 그러한 조정을 행하게 할 수 있다.

## 결론

플래시 메모리를 소거하기 위한 방법 및 장치가 설명되었다. 본 방법은 소거 기간 동안 메모리 셀의 제어 게이트에 네가티브 전압 펠스를 공급하는 단계, 상기 소거 기간보다 지속 기간이 짧은 기간 동안 상기 메모리 셀의 소스에 포지티브 전압 펠스를 공급하는 단계 및 제2 기간의 종료시에 상기 포지티브 전압 펠스를 방전시키는 단계를 포함하고, 상기 제2 기간의 종료시에 상기 포지티브 전압 펠스를 방전시키는 단계는 상기 네가티브 전압 펠스의 크기를 효과적으로 증가시킨다.

본 명세서에서 특정 실시예들이 도시되고 설명되었지만, 동일 목적을 달성할 수 있는 것으로 예측되는 임의의 구성이 도시된 특정 실시예를 대체할 수 있다는 것을 당업자는 이해할 것이다. 본 출원은 본 발명의 임의의 적용 또는 변형을 커버하는 것을 의도한다. 따라서, 본 발명은 명백히 청구범위 및 그 균등물에 의해서만 제한되는 것으로 의도된다.

## 도면의 간단한 설명

도 1은 종래 기술의 플래쉬 메모리 셀의 블럭도.

도 2는 본 발명의 일 실시예의 플래쉬 메모리의 간단화된 개략도.

도 3은 통상적인 플래쉬 메모리의 소스 소거 동작에 대한 펠스 시퀀스의 예를 도시하는 그래프.

도 4는 플래쉬 메모리 셀의 어레이상의 연속적인 소거 프로그램 싸이클의 애플리케이션으로부터의 스트레스 유발 누설 전류(SILC)를 나타내는 그래프.

도 5는 채널 소거의 추가적인 단계를 나타내는 트리플 웨л 내부에 형성된 플래쉬 메모리의 소거 동작에 대한 펠스 시퀀스의 종래 기술의 예.

도 6은 본 발명에 따른 트랩된 정공을 중화하기 위한 플래쉬 메모리의 소거 동작에 대한 펠스 시퀀스의 예를 도시하는 그래프.

도 7a는 본 발명에 따라 높은 네가티브 전압 소스를 요구하지 않는, 트랩된 정공을 중화하기 위한 플래쉬 메모리의 소거 동작에 대한 웨尔斯 시퀀스의 예를 도시하는 도면.

도 7b는 본 발명에 따른 플래쉬 메모리의 소거 동작에 대한 웨尔斯 시퀀스의 추가적인 예를 나타내는 그래프.

도 7c는 플래쉬 메모리의 소거 동작에 대한 웨尔斯 시퀀스의 추가적인 예를 도시하는 그래프.

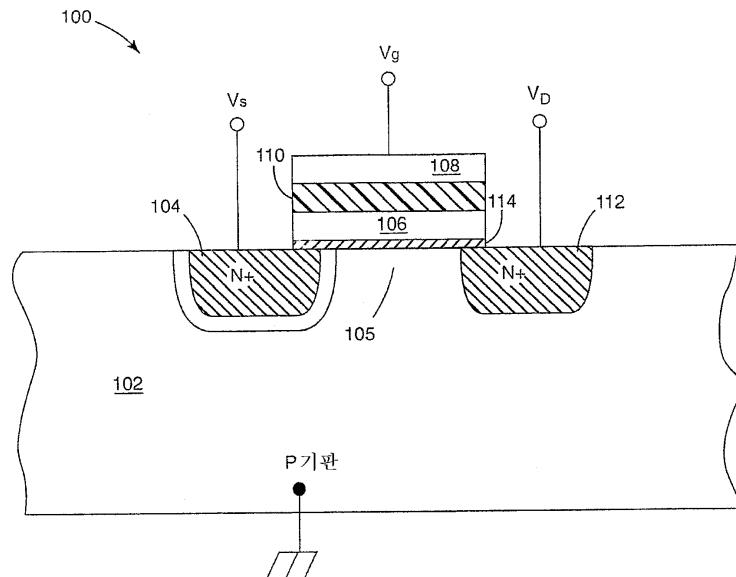
도 8은 P 채널 워드선 드라이버를 가지는 플래쉬 메모리의 개략도.

도 9는 기생 용량과 관련되는 구성요소를 나타내는 P 채널 트랜지스터의 측단면도.

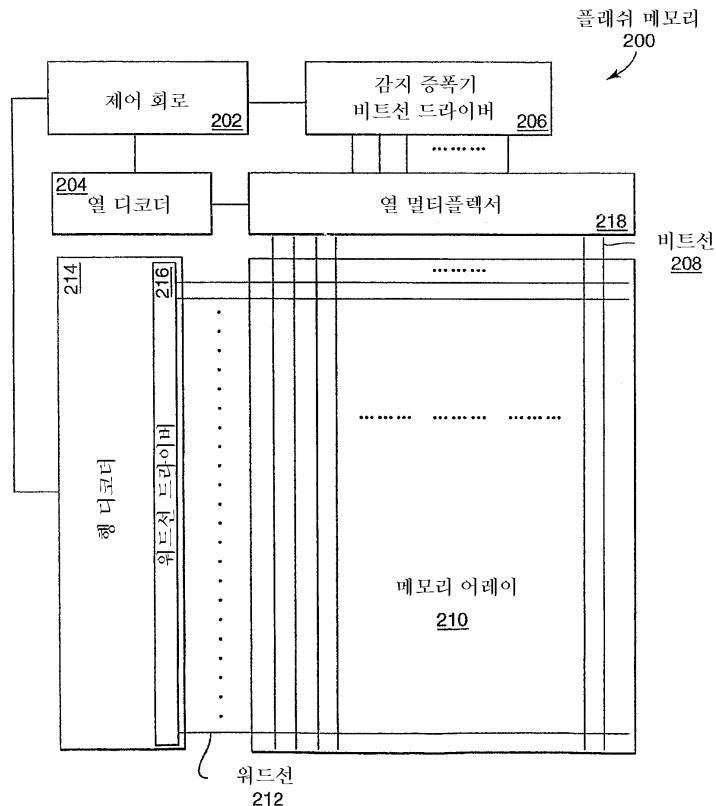
도면

도면1

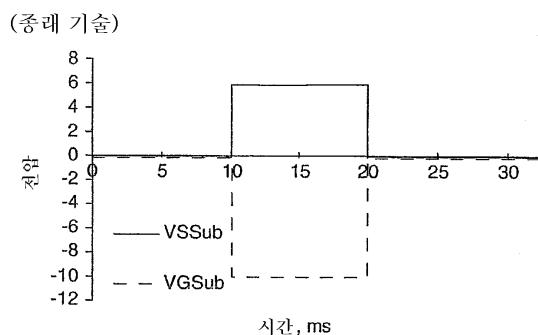
(종래 기술)



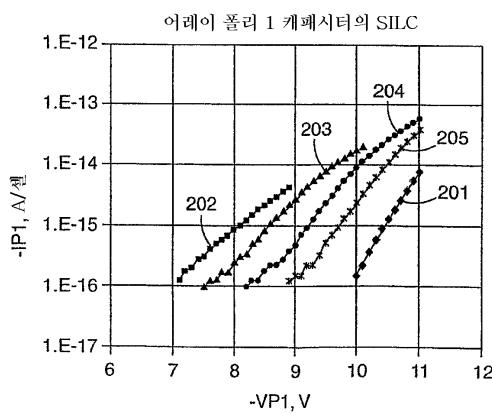
도면2



도면3



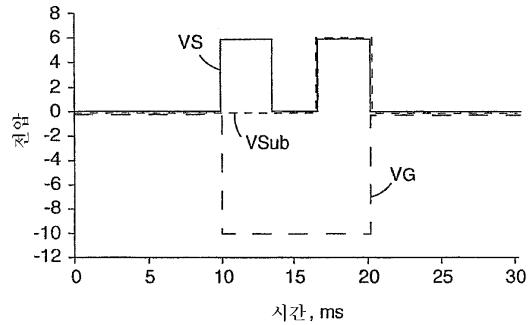
도면4



## 도면5

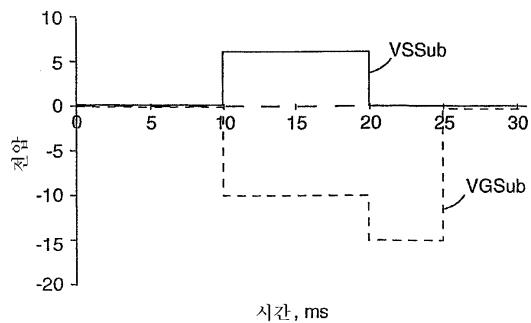
(종래 기술)

소스 소거 + 채널 소거 시퀀스



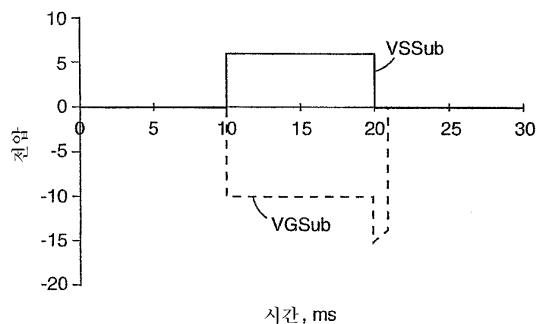
## 도면6

소스 소거 + 채널 소거 시퀀스

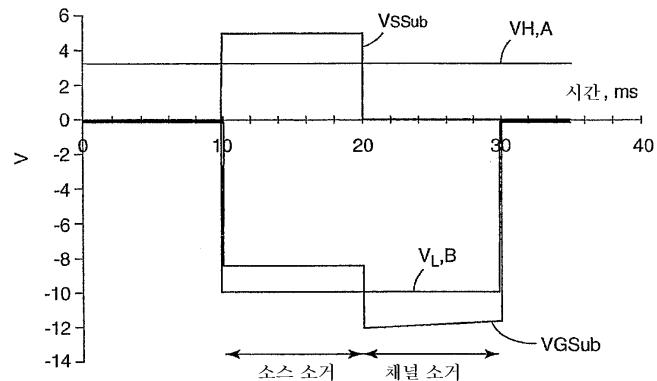


## 도면7a

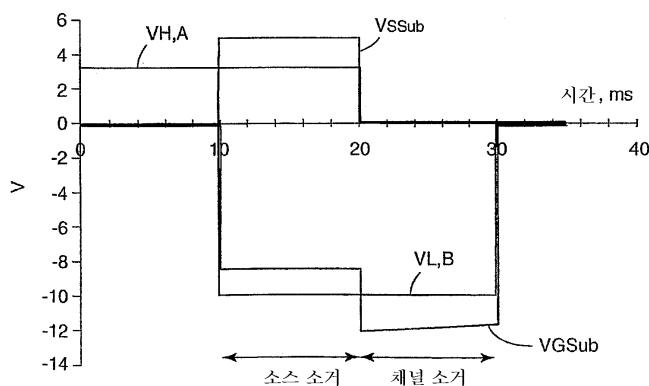
지연된 케이트 방전에 의한 소스 소거



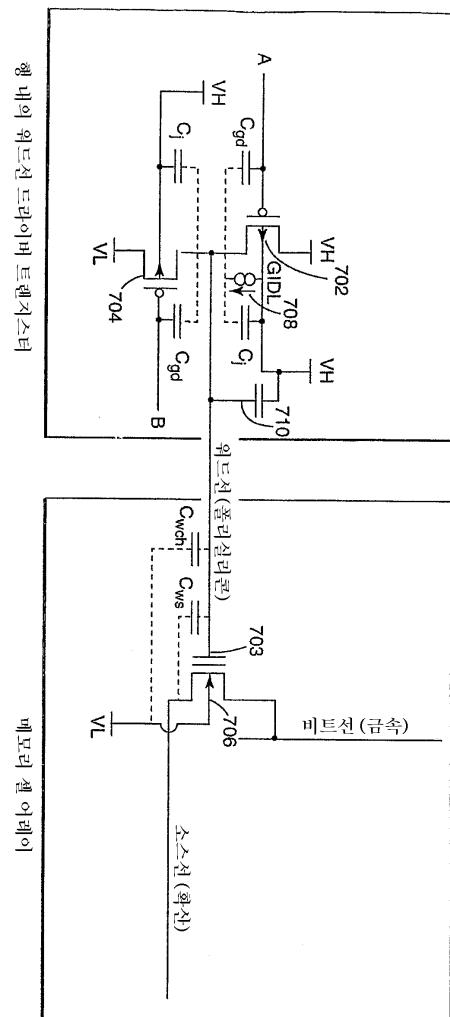
도면7b



도면7c



도면8



도면9

