

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2005-189680

(P2005-189680A)

(43) 公開日 平成17年7月14日(2005.7.14)

(51) Int. Cl.⁷

G09G 3/30
G09G 3/20
H03K 17/16
H03K 17/687
H05B 33/14

F I

G09G 3/30 J
G09G 3/20 611A
G09G 3/20 622B
G09G 3/20 623B
G09G 3/20 623F

テーマコード(参考)

3K007
5C080
5J055

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願2003-433459 (P2003-433459)

(22) 出願日 平成15年12月26日(2003.12.26)

(71) 出願人 000002185

ソニー株式会社
東京都品川区北品川6丁目7番35号

(74) 代理人 100102185

弁理士 多田 繁範

(72) 発明者 山下 淳一

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(72) 発明者 内野 勝秀

東京都品川区北品川6丁目7番35号 ソニー株式会社内

Fターム(参考) 3K007 AB03 AB18 BA06 DB03 GA00
5C080 AA06 BB05 DD22 DD26 JJ02
JJ03 JJ04

最終頁に続く

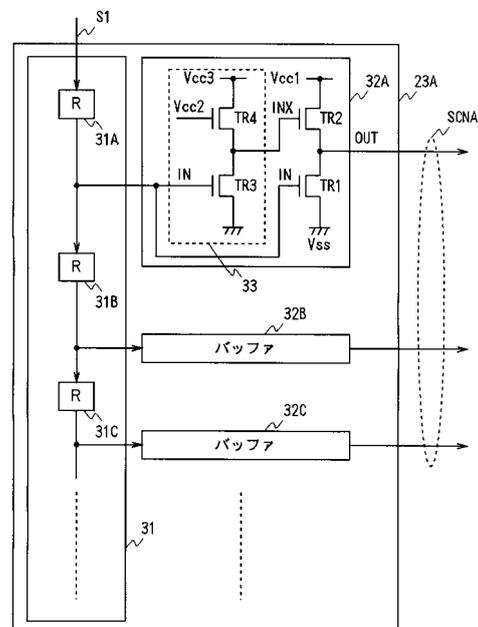
(54) 【発明の名称】 バッファ回路、ディスプレイ装置の駆動回路、ディスプレイ装置

(57) 【要約】

【課題】 本発明は、バッファ回路、ディスプレイ装置の駆動回路、ディスプレイ装置に関し、例えば有機EL素子によるフラットディスプレイ装置に適用して、駆動信号の出力段のレイアウトに供する面積を小さくして消費電力を低減することができるようにする。

【解決手段】 本発明は、単一チャンネルの1組のトランジスタTR1、TR2のドレインソースを接続して正側電源Vcc1及び負側電源Vssの間に配置し、これら1組のトランジスタTR1、TR2を相補的に信号レベルが変化する駆動信号IN、INXにより駆動する。

【選択図】 図1



【特許請求の範囲】**【請求項 1】**

駆動信号の出力段のバッファ回路であって、

正側電源にソース又はドレインを接続し、ドレイン又はソースが出力端に設定されてなる正側電源側のトランジスタと、

前記正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した前記正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、

前記正側電源側のトランジスタのゲートに前記駆動信号又は前記駆動信号の逆極性の信号を入力し、

前記負側電源側のトランジスタのゲートに前記駆動信号の逆極性の信号又は前記駆動信号を入力する

ことを特徴とするバッファ回路。

10

【請求項 2】

前記駆動信号より前記駆動信号の逆極性の信号を生成するインバータ回路、又は前記駆動信号の逆極性の信号より前記駆動信号を生成するインバータ回路を有し、

前記インバータ回路が、前記正側電源側のトランジスタと同一チャンネル型のトランジスタにより形成された

ことを特徴とする請求項 1 に記載のバッファ回路。

20

【請求項 3】

画素をマトリックス状に配置してなる画素部を駆動するディスプレイ装置の駆動回路において、

前記画素部の水平方向に延長する走査線にバッファ回路を介して駆動信号を出力し、

前記バッファ回路は、

正側電源にソース又はドレインを接続し、ドレイン又はソースが前記駆動信号の出力端に設定されてなる正側電源側のトランジスタと、

前記正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した前記正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、

前記正側電源側のトランジスタのゲートに前記駆動信号又は前記駆動信号の逆極性の信号を入力し、

前記負側電源側のトランジスタのゲートに前記駆動信号の逆極性の信号又は前記駆動信号を入力する

ことを特徴とするディスプレイ装置の駆動回路。

30

【請求項 4】

前記駆動信号より前記駆動信号の逆極性の信号を生成するインバータ回路、又は前記駆動信号の逆極性の信号より前記駆動信号を生成するインバータ回路を有し、

前記インバータ回路が、前記正側電源側のトランジスタと同一チャンネル型のトランジスタにより形成された

ことを特徴とする請求項 3 に記載のディスプレイ装置の駆動回路。

40

【請求項 5】

画素をマトリックス状に配置してなる画素部を駆動するディスプレイ装置の駆動回路において、

前記画素部の垂直方向に延長する信号線について、連続する所定本数の信号線に対して 1 つのデジタルアナログ変換回路が割り当てられ、

前記デジタルアナログ変換回路の出力信号を前記所定本数の信号線に順次振り分けて前記信号線を駆動し、

前記信号線への振り分けが、前記信号線にそれぞれ接続されたトランジスタのバッファ回路を介した駆動信号によるオンオフ制御により実行され、

前記バッファ回路は、

50

正側電源にソース又はドレインを接続し、ドレイン又はソースが前記駆動信号の出力端に設定されてなる正側電源側のトランジスタと、

前記正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した前記正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、

前記正側電源側のトランジスタのゲートに前記駆動信号又は前記駆動信号の逆極性の信号を入力し、

前記負側電源側のトランジスタのゲートに前記駆動信号の逆極性の信号又は前記駆動信号を入力する

ことを特徴とするディスプレイ装置の駆動回路。

10

【請求項6】

前記駆動信号より前記駆動信号の逆極性の信号を生成するインバータ回路、又は前記駆動信号の逆極性の信号より前記駆動信号を生成するインバータ回路を有し、

前記インバータ回路が、前記正側電源側のトランジスタと同一チャンネル型のトランジスタにより形成された

ことを特徴とする請求項5に記載のディスプレイ装置の駆動回路。

【請求項7】

画素をマトリクス状に配置してなる画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記駆動回路は、

20

前記画素部の水平方向に延長する走査線にバッファ回路を介して駆動信号を出力し、

前記バッファ回路は、

正側電源にソース又はドレインを接続し、ドレイン又はソースが前記駆動信号の出力端に設定されてなる正側電源側のトランジスタと、

前記正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した前記正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、

前記正側電源側のトランジスタのゲートに前記駆動信号又は前記駆動信号の逆極性の信号を入力し、

前記負側電源側のトランジスタのゲートに前記駆動信号の逆極性の信号又は前記駆動信号を入力する

30

ことを特徴とするディスプレイ装置。

【請求項8】

画素をマトリクス状に配置してなる画素部と、前記画素部を駆動する駆動回路とを有するディスプレイ装置において、

前記駆動回路は、

前記画素部の垂直方向に延長する信号線について、連続する所定本数の信号線に対して1つのデジタルアナログ変換回路が割り当てられ、

前記デジタルアナログ変換回路の出力信号を前記所定本数の信号線に順次振り分けて前記信号線を駆動し、

40

前記信号線への振り分けが、前記信号線にそれぞれ接続されたトランジスタのバッファ回路を介した駆動信号によるオンオフ制御により実行され、

前記バッファ回路は、

正側電源にソース又はドレインを接続し、ドレイン又はソースが前記駆動信号の出力端に設定されてなる正側電源側のトランジスタと、

前記正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した前記正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、

前記正側電源側のトランジスタのゲートに前記駆動信号又は前記駆動信号の逆極性の信号を入力し、

50

前記負側電源側のトランジスタのゲートに前記駆動信号の逆極性の信号又は前記駆動信号を入力する

ことを特徴とするディスプレイ装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、バッファ回路、ディスプレイ装置の駆動回路、ディスプレイ装置に関し、例えば有機EL (Electro Luminescence) 素子によるディスプレイ装置に適用することができる。本発明は、単一チャンネルの1組のトランジスタのドレインソースを接続して正側電源及び負側電源の間に配置し、これら1組のトランジスタを相補的に信号レベルが変化する駆動信号により駆動することにより、レイアウトに供する面積を小さくして消費電力を低減することができるようにする。

10

【背景技術】

【0002】

従来、ディスプレイ装置においては、例えば特開平5-265411号公報に開示されているように、垂直駆動回路に設けたシフトレジスタ回路により順次駆動信号を転送して各ラインの駆動信号を生成し、このようにして生成した駆動信号によりそれぞれバッファ回路を用いて各画素を駆動するようになされ、このバッファ回路にPチャンネル型MOSトランジスタ、Nチャンネル型MOSトランジスタによるインバータ回路が適用されるようになされている。

20

【0003】

すなわち図5に示すように、このようなディスプレイ装置1においては、画素をマトリックス状に配置してなる画素部2がアモルファスシリコンによるTF T (Thin Film Transistor) を用いてガラス基板3上に形成される。またアモルファスシリコンによるTF Tにおいては、Pチャンネル型のトランジスタを作成することができない欠点があり、さらに単結晶シリコン、ポリシリコンによるトランジスタに比して、移動度が1/100程度と小さいことにより、この種のディスプレイ装置1においては、単結晶シリコン、ポリシリコン等を用いて、別工程により、この画素部2の各画素をライン単位で順次駆動する垂直駆動回路4A及び4Bによる集積回路が形成され、この垂直駆動回路4A及び4Bの集積回路が、各画素の階調を設定する水平駆動回路5の集積回路と共にこのガラス基板3の周囲に配置されて形成されるようになされている。

30

【0004】

これに対してアモルファスシリコンによるTF Tを用いたインバータ回路においては、図6に示すように、Nチャンネル型によるトランジスタTR1、TR2により形成される。すなわちこれら1組のトランジスタTR1、TR2のドレインソースを接続して、これらトランジスタTR1、TR2を正側電源Vcc1及び負側電源Vss間に配置し、正側電源Vcc1側のトランジスタTR2のゲートを所定の正側電源Vcc2に接続する。このインバータ回路においては、図7(A)に示すような入力信号INを、負側電源Vss側のトランジスタTR1のゲートに入力し、またこれらトランジスタTR1及びTR2の接続中点より出力信号OUT (図7(B)) を出力する。ここでこのインバータ回路においては、トランジスタTR2のゲートに供給される正側電源Vcc2が、正側電源Vcc1の電圧に対して、トランジスタTR2のしきい値電圧Vth以上大きな電圧に設定され、これにより動作時におけるトランジスタTR2のカットオフを有効に回避して出力電圧OUTのHレベルを正側電源Vcc1の電圧に保持し、また出力信号OUTにおけるトランジエントのなまりを防止するようになされている。

40

【0005】

ところで図6に示すTF Tによるインバータ回路によりバッファ回路を構成してディスプレイ装置の駆動回路を形成すれば、ガラス基板上に水平駆動回路、垂直駆動回路を一体に形成し得、その分、全体構成を簡略化し、さらには作成工程を簡略化することができる

50

と考えられる。

【0006】

しかしながら図6に示すインバータ回路においては、常時、正側電源 V_{cc1} 側のトランジスタ T_{R2} がオン状態に保持されて、負側電源 V_{ss} 側のトランジスタ T_{R1} が入力信号 I_N の論理レベルに応じてオンオフ動作することにより、出力信号 O_{UT} のLレベルにあつては、トランジスタ T_{R1} 、 T_{R2} のオン抵抗比により正側電源 V_{cc1} 、負側電源 V_{ss} の電位差を分圧した信号レベルになる。これにより出力信号 O_{UT} のLレベルを十分に立ち下げるためには、負側電源 V_{ss} 側のトランジスタ T_{R1} の形状を、正側電源 V_{cc1} 側のトランジスタ T_{R2} に比して十分に大型化し、これらトランジスタ T_{R1} 、 T_{R2} のオン抵抗比を十分に大きくすることが必要になる。具体的には、これらトランジスタ T_{R1} 、 T_{R2} のチャンネル幅を $1000/7$ [μm]、 $10/7$ [μm]程度により作成することが必要になる。これによりこのようなTFTによるインバータ回路においては、レイアウトに大きな面積が必要となる問題がある。

10

【0007】

これに対してディスプレイ装置1において、このようなインバータ回路の駆動対象においては、画素部の形状の大型化、高解像度化により、寄生容量が増大する。また上述したようにトランジスタ T_{R2} を大型化すると、その分、インバータ回路の出力容量 C_p も増大する。このような負荷の容量が増大した場合に、高い過渡応答特性を確保するためには、インバータ回路における出力インピーダンスを一段と小さくすることが必要であり、このためには、トランジスタ T_{R1} 、 T_{R2} の双方をさらに大型化してトランジスタ T_{R1} 、 T_{R2} のオン抵抗を一段と小さくすることが必要になる。具体的に、トランジスタ T_{R2} のチャンネル幅を上述した値の100倍の $1000/7$ [μm]に設定すると、トランジスタ T_{R1} のチャンネル幅にあつては、 $100000/7$ [μm]程度に設定することが必要になり、さらに一段とインバータ回路のレイアウトに大きな面積が必要となる。

20

【0008】

このようにインバータ回路のレイアウトに大きな面積が必要となると、ディスプレイ装置においては、狭額縁化が困難になり、得られるパネルサイズも制限されてしまう。

【0009】

また図6のインバータ回路においては、正側電源 V_{cc1} 側のトランジスタ T_{R2} が常時オン状態に設定されていることにより、トランジスタ T_{R1} がオン状態になると、トランジスタ T_{R2} 、 T_{R1} にいわゆる貫通電流が流れ、これにより消費電力が増大する問題もある。

30

【特許文献1】特開平5-265411号公報

【発明の開示】

【発明が解決しようとする課題】

【0010】

本発明は以上の点を考慮してなされたもので、レイアウトに供する面積を小さくして消費電力を低減することができるバッファ回路、このバッファ回路によるディスプレイ装置の駆動回路、ディスプレイ装置を提案しようとするものである。

【課題を解決するための手段】

40

【0011】

かかる課題を解決するため請求項1の発明においては、駆動信号の出力段のバッファ回路に適用して、正側電源にソース又はドレインを接続し、ドレイン又はソースが出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力する。

【0012】

また請求項2の発明においては、請求項1の構成において、駆動信号より駆動信号の逆

50

極性の信号を生成するインバータ回路、又は駆動信号の逆極性の信号より駆動信号を生成するインバータ回路を有し、インバータ回路が、正側電源側のトランジスタと同一チャンネル型のトランジスタにより形成されてなるようにする。

【0013】

また請求項3の発明においては、画素をマトリックス状に配置してなる画素部を駆動するディスプレイ装置の駆動回路に適用して、画素部の水平方向に延長する走査線にバッファ回路を介して駆動信号を出力し、バッファ回路は、正側電源にソース又はドレインを接続し、ドレイン又はソースが駆動信号の出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力する。

10

【0014】

また請求項5の発明においては、画素をマトリックス状に配置してなる画素部を駆動するディスプレイ装置の駆動回路に適用して、画素部の垂直方向に延長する信号線について、連続する所定本数の信号線に対して1つのデジタルアナログ変換回路が割り当てられ、デジタルアナログ変換回路の出力信号を所定本数の信号線に順次振り分けて信号線を駆動し、信号線への振り分けが、信号線にそれぞれ接続されたトランジスタのバッファ回路を介した駆動信号によるオンオフ制御により実行され、バッファ回路は、正側電源にソース又はドレインを接続し、ドレイン又はソースが駆動信号の出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力する。

20

【0015】

また請求項7の発明においては、画素をマトリックス状に配置してなる画素部と、画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、駆動回路は、画素部の水平方向に延長する走査線にバッファ回路を介して駆動信号を出力し、バッファ回路は、正側電源にソース又はドレインを接続し、ドレイン又はソースが駆動信号の出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力する。

30

【0016】

また請求項8の発明においては、画素をマトリックス状に配置してなる画素部と、画素部を駆動する駆動回路とを有するディスプレイ装置に適用して、駆動回路は、画素部の垂直方向に延長する信号線について、連続する所定本数の信号線に対して1つのデジタルアナログ変換回路が割り当てられ、デジタルアナログ変換回路の出力信号を所定本数の信号線に順次振り分けて信号線を駆動し、信号線への振り分けが、信号線にそれぞれ接続されたトランジスタのバッファ回路を介した駆動信号によるオンオフ制御により実行され、バッファ回路は、正側電源にソース又はドレインを接続し、ドレイン又はソースが駆動信号の出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力する。

40

50

【 0 0 1 7 】

請求項 1 の構成により、駆動信号の出力段のバッファ回路に適用して、正側電源にソース又はドレインを接続し、ドレイン又はソースが出力端に設定されてなる正側電源側のトランジスタと、正側電源側のトランジスタのドレイン又はソースに、ソース又はドレインを接続し、負側電源にドレイン又はソースを接続した正側電源側のトランジスタと同一チャンネル型の負側電源側のトランジスタとを有し、正側電源側のトランジスタのゲートに駆動信号又は駆動信号の逆極性の信号を入力し、負側電源側のトランジスタのゲートに駆動信号の逆極性の信号又は駆動信号を入力すれば、これらトランジスタを相補的にオンオフ動作させて駆動信号を出力することができる。これにより大きな容量による駆動対象を駆動する場合にあっても、これらトランジスタを小型に形成して、十分な過渡応答特性を確保し、さらには十分な信号レベルによる H レベル、L レベルを確保することができ、さらには消費電力を低減することができる。

10

【 0 0 1 8 】

また請求項 2 の構成により、請求項 1 の構成において、駆動信号より駆動信号の逆極性の信号を生成するインバータ回路、又は駆動信号の逆極性の信号より駆動信号を生成するインバータ回路を有し、インバータ回路が、正側電源側のトランジスタと同一チャンネル型のトランジスタにより形成されてなるようにすれば、単に駆動信号又は駆動信号の逆極性の信号を供給するだけでバッファ回路を形成することができる。

【 0 0 1 9 】

これにより請求項 3、請求項 5 の構成によれば、それぞれ走査線、信号線の駆動回路に適用して、レイアウトに供する面積を小さくして消費電力を低減することができるバッファ回路による駆動回路を提供することができる。また請求項 7、請求項 8 の構成によれば、このような駆動回路によるディスプレイ装置を提供することができる。

20

【 発明の効果 】

【 0 0 2 0 】

本発明によれば、駆動信号の出力段に適用してレイアウトに供する面積を小さくして消費電力を低減することができる。

【 発明を実施するための最良の形態 】

【 0 0 2 1 】

以下、適宜図面を参照しながら本発明の実施例を詳述する。

30

【 実施例 1 】

【 0 0 2 2 】

(1) 実施例の構成

図 2 は、本発明の実施例に係るディスプレイ装置を示すブロック図である。このディスプレイ装置 2 1 は、有機 EL 素子による画素をマトリクス状に配置してなる画素部 2 2、この画素部 2 2 に水平方向に延長するように設けられた走査線 S C N A、S C N B を介して画素部 2 2 に駆動信号を出力する垂直駆動回路 2 3 A、2 3 B、この画素部 2 2 に垂直方向に延長するように設けられた信号線 S I G R、S I G G、S I G B を介して各画素の階調を設定する水平駆動回路 2 4 がアモルファスシリコンによる N チャンネル型の T F T によりガラス基板 2 5 上に一体に作成されるようになされている。このディスプレイ装置 2 1 は、垂直駆動回路 2 3 A、2 3 B、水平駆動回路 2 4 の動作に必要な各種駆動信号、クロック等をタイミングジェネレータ (T G) 2 6 により生成してこのガラス基板 2 5 上の垂直駆動回路 2 3 A、2 3 B、水平駆動回路 2 4 に供給し、また各画素の階調を指示する階調データ D 1 を水平駆動回路 2 4 に供給し、これにより所望の画像を表示するようになされている。

40

【 0 0 2 3 】

図 1 は、垂直駆動回路 2 3 A を示す接続図である。垂直駆動回路 2 3 A は、タイミングジェネレータ 2 6 から出力される駆動信号 S 1 をシフトレジスタ 3 1 に入力し、このシフトレジスタ 3 1 を構成するラッチ回路 3 1 A、3 1 B、3 1 C、... によりこの駆動信号 S 1 を順次画素部 2 2 の垂直方向に転送し、各ラッチ回路 3 1 A、3 1 B、3 1 C、... により

50

の出力信号をそれぞれバッファ回路 3 2 A、3 2 B、3 2 C、...により画素部 2 2 の各走査線 S C N A に出力する。なお垂直駆動回路 2 3 B においては、この転送に供するタイミングジェネレータ 2 6 から出力される駆動信号が異なる点を除いて、垂直駆動回路 2 3 A と同一に構成されることにより、以下においては垂直駆動回路 2 3 B についての説明は省略する。

【 0 0 2 4 】

すなわちこの垂直駆動回路 2 3 A において、シフトレジスタ 3 1 は、所定のクロックにより入力信号をラッチして出力するラッチ回路 3 1 A、3 1 B、3 1 C、...を直列接続して形成され、先頭段のラッチ回路 3 1 A にタイミングジェネレータ 2 6 で生成される駆動信号 S 1 が入力され、これによりこの駆動信号 S 1 をクロックを基準にして順次転送して各走査線 S C N A の駆動信号を生成するようになされている。

10

【 0 0 2 5 】

バッファ回路 3 2 A、3 2 B、3 2 C、...は、それぞれ各ラッチ回路 3 1 A、3 1 B、3 1 C、...の出力信号により対応する走査線 S C N A を駆動し、この実施例では、インバータ回路により形成されるようになされている。ここでこれらバッファ回路 3 2 A、3 2 B、3 2 C、...は、入力信号が異なる点を除いて、同一に構成されることにより、以下においては、先頭段のバッファ回路 3 2 A について詳細に説明し、次段以降のバッファ回路 3 2 B、3 2 C、...については、重複した説明は省略する。

【 0 0 2 6 】

ここでバッファ回路 3 2 A は、Nチャンネル型のトランジスタ T R 2 のドレインを正側電源 V c c 1 に接続し、また同様の Nチャンネル型のトランジスタ T R 1 のドレインをトランジスタ T R 2 のソースに接続し、さらにこのトランジスタ T R 1 のソースを負側電源 V s s に接続する。これによりバッファ回路 3 2 A は、同一チャンネルのトランジスタ T R 1、T R 2 を直列に接続して正側電源 V c c 1 及び負側電源 V s s 間に配置するようになされている。なおこの実施例では、この負側電源 V s s がアースに設定されるようになされている。

20

【 0 0 2 7 】

さらにバッファ回路 3 2 A は、図 3 に示すように、この負側電源 V s s 側のトランジスタ T R 1 のゲートに、対応するラッチ回路 3 1 A からの入力信号 I N (図 3 (A)) が入力されるのに対し、正側電源 V c c 1 側のトランジスタ T R 2 のゲートには、この入力信号 I N の反転信号 I N X (図 3 (B)) が入力されるようになされ、これにより入力信号 I N の論理レベルに応じてトランジスタ T R 1 及び T R 2 を相補的にオンオフ動作させるようになされている。バッファ回路 3 2 A は、これらトランジスタ T R 1 及び T R 2 の接続中点出力 O U T を対応する走査線 S C N A に出力するようになされている。なおこのようにしてトランジスタ T R 1、T R 2 を相補的にオンオフ動作させて、トランジスタ T R 1、T R 2 をそれぞれオン状態、オフ状態に設定した状態で、出力信号 O U T がカットオフしないように、反転信号 I N X の論理 H レベルにおいては、正側電源 V c c 1 に対してトランジスタ T R 2 のしきい値電圧 V t h より高い電圧に設定されるようになされている。これによりバッファ回路 3 2 A においては、寄生容量の大きな走査線 S C N A を駆動する場合であっても、トランジスタ T R 1、T R 2 の形状を大型化することなく、高い過渡

30

40

【 0 0 2 8 】

さらにこのバッファ回路 3 2 A は、このような入力信号 I N の反転信号 I N X が、トランジスタ T R 3、T R 4 によるインバータ回路 3 3 により形成される。すなわちインバータ回路 3 3 は、トランジスタ T R 1 及び T R 2 と同様に、Nチャンネル型のトランジスタ T R 3、T R 4 を直列に接続して正側電源 V c c 3 及び負側電源 V s s 間に配置するようになされ、正側電源 V c c 3 側のトランジスタ T R 3 のゲートが所定の正側電源 V c c 2 に接続され、また負側電源 V s s 側のトランジスタ T R 4 のゲートに入力信号 I N が入力される。インバータ回路 3 3 は、これらトランジスタ T R 3 及び T R 4 の接続中点出力を

50

入力信号 I_N の反転信号 I_{NX} としてトランジスタ T_{R2} のゲートに出力するようになされている。なおバッファ回路 32A においては、上述したように、正側電源 V_{cc1} に対してトランジスタ T_{R2} のしきい値電圧 V_{th} より高い電圧に反転信号 I_{NX} の論理レベルを設定するように、正側電源 V_{cc2} 、 V_{cc3} が設定されるようになされている。

【0029】

バッファ回路 32A においては、これらトランジスタ $T_{R1} \sim T_{R4}$ が、通常のトランジスタと同様に、ゲート長 $1000/7$ (μm) 程度により形成されるようになされている。

【0030】

これに対して図 4 は、水平駆動回路 24 を示すブロック図である。ここでこのディスプレイ装置 21 の画素部 22 においては、赤色、緑色、青色の画素が水平方向に順次循環的に繰り返されて、垂直方向には赤色、緑色、青色の画素がそれぞれ連続するいわゆる縦ストライプにより形成され、これによりそれぞれ赤色の画素を駆動する赤色用の信号線 S_{IGR} 、緑色の画素を駆動する信号線 S_{IGG} 、青色の画素を駆動する信号線 S_{IGB} が順次循環的に繰り返されるようになされている。水平駆動回路 24 は、水平方向に連続する赤色、緑色、青色による 3 つの画素を組にして、信号線 S_{IGR} 、 S_{IGG} 、 S_{IGB} を駆動する。このためこのディスプレイ装置 21 では、赤色の画素について階調を指示する階調データ D_1 が 1 ライン分連続した後、緑色の画素について階調を指示する階調データ D_1 が 1 ライン分連続し、さらに青色の画素について階調を指示する階調データ D_1 が 1 ライン分連続し、これらが繰り返されて水平駆動回路 24 に入力されるようになされている。

【0031】

水平駆動回路 24 において、ラッチ回路 (R) 41A、41B、... は、水平方向に連続する赤色、緑色、青色による 3 つの画素の組に対応して設けられ、このようにして入力される階調データ D_1 を順次循環的にラッチして出力する。デジタルアナログ変換回路 (D/A) 42A、42B、... は、それぞれラッチ回路 41A、41B、... のラッチ結果をデジタルアナログ変換処理して出力する。トランジスタ T_{RR} 、 T_{RG} 、 T_{RB} は、それぞれセレクト信号 S_{ELR} 、 S_{ELG} 、 S_{ELB} により制御されて順次循環的にオン動作し、デジタルアナログ変換回路 42A、42B、... の出力信号をそれぞれ赤色用の信号線 S_{IGR} 、 S_{IGG} 、 S_{IGB} に出力する。これにより水平駆動回路 24 では、ラッチ回路 41A、41B、...、デジタルアナログ変換回路 42A、42B、... を 3 つの信号線 S_{IGR} 、 S_{IGG} 、 S_{IGB} で共用するようになされ、その分、構成を簡略化するようになされている。

【0032】

しかしながらこのようにしてデジタルアナログ変換回路 42A、42B、... の出力信号をトランジスタ T_{RR} 、 T_{RG} 、 T_{RB} により各信号線 S_{IGR} 、 S_{IGG} 、 S_{IGB} に振り分けるようにして、これらトランジスタ T_{RR} 、 T_{RG} 、 T_{RB} を制御するセレクト信号 S_{ELR} 、 S_{ELG} 、 S_{ELB} においては、水平方向に連続する赤色、緑色、青色の画素に対応してそれぞれ設けられた多数のトランジスタ T_{RR} 、 T_{RG} 、 T_{RB} を駆動することが必要になる。このためこの実施例においては、垂直駆動回路 23A、23B について上述したインバータ回路によるバッファ回路と同一構成によるバッファ回路 43R、43G、43B を介してこれらセレクト信号 S_{ELR} 、 S_{ELG} 、 S_{ELB} がそれぞれトランジスタ T_{RR} 、 T_{RG} 、 T_{RB} のゲートに供給される。

【0033】

すなわちこの水平駆動回路 24 では、各水平走査期間の開始のタイミングで一定期間の間立ち上がる基準信号 S_H を、ラッチ回路 44R、44G、44B により順次転送し、これによりセレクト信号 S_{ELR} 、 S_{ELG} 、 S_{ELB} を生成する。水平駆動回路 24 は、このセレクト信号 S_{ELR} 、 S_{ELG} 、 S_{ELB} をそれぞれバッファ回路 43R、43G、43B を介してトランジスタ T_{RR} 、 T_{RG} 、 T_{RB} のゲートに供給する。

【0034】

10

20

30

40

50

(2) 実施例の動作

以上の構成において、このディスプレイ装置21は(図2)、垂直駆動回路23A、23Bにより走査線SCNA、SCNBを駆動して、信号線SIGR、SIGG、SIGBにより画素部22の各画素の階調が設定され、これにより所望の画像が表示される。ディスプレイ装置21では(図1)、このような走査線SCNA、SCNBの駆動に供する駆動信号OUTが、タイミングジェネレータ26から出力される駆動信号S1をシフトレジスタ31を構成するラッチ回路31A、31B、31C、...で順次転送して形成され、バッファ回路32A、32B、32C、...を介してこの駆動信号が走査線SCNA、SCNBに出力される。

【0035】

ディスプレイ装置21では、このバッファ回路32A、32B、32C、...が、ソース及びドレインを接続してなるNチャンネル型のTFTであるトランジスタTR1、TR2を正側電源Vcc1及び負側電源Vss間に直列に設け、これらトランジスタTR1、TR2が駆動信号IN及び駆動信号INと逆極性の信号INXにより駆動される。これによりディスプレイ装置21では、このトランジスタTR1、TR2が相補的にオンオフ動作して走査線SCNA、SCNBを駆動し、負側電源Vss側のトランジスタTR1のオン動作により走査線SCNA、SCNB、このトランジスタTR2等の容量に保持されてなる電荷をトランジスタTR2により放電させて走査線SCNA、SCNBをLレベルに立ち下げ、またこれとは逆に、正側電源Vcc1側のトランジスタTR2のオン動作により走査線SCNA、SCNB、トランジスタTR2等の容量をトランジスタTR1により充電して走査線SCNA、SCNBをHレベルに立ち上げる。

【0036】

これによりこのディスプレイ装置21では、トランジスタTR1、TR2を大型化することなく、十分に高速度な過渡応答特性を確保して、走査線SCNA、SCNBの論理レベルを十分に立ち上げ、また立ち下げることができ、これらによりこのバッファ回路32A、32B、32C、...を走査線SCNA、SCNBへの駆動信号の出力段に適用してバッファ回路32A、32B、32C、...のレイアウトに供する面積を小さくすることができるようになされている。従ってその分、垂直駆動回路23A、23Bを小面積により作成して、ディスプレイ装置21を狭額縁化することができるようになされている。

【0037】

またこのようにトランジスタTR1、TR2においては、相補的にオンオフ動作することにより、双方のトランジスタTR1、TR2がオン状態に設定されて生じる貫通電流については、これを防止し得、その分、消費電力を低減することができるようになされている。

【0038】

ディスプレイ装置21では(図3)、さらに連続する複数の信号線である赤色、緑色、青色用の3つの信号線SIGR、SIGG、SIGBを組にして、これら3つの信号線SIGR、SIGG、SIGBに1つのデジタルアナログ変換回路42A、42B、...が割り当てられ、このデジタルアナログ変換回路42A、42B、...の出力信号をこれら複数の信号線SIGR、SIGG、SIGBに順次振り分けて信号線SIGR、SIGG、SIGBが駆動される。ディスプレイ装置21では、この信号線SIGR、SIGG、SIGBへの振り分けが、信号線SIGR、SIGG、SIGBにそれぞれ接続されたトランジスタTRR、TRG、TRBの、バッファ回路43R、43G、43Bを介した駆動信号によるオンオフ制御により実行される。

【0039】

しかしてこのように各信号線SIGR、SIGG、SIGBにトランジスタTRR、TRG、TRBを設けて、このトランジスタTRR、TRG、TRBをオンオフ制御する場合であっても、画素部の形状の大型化、高解像度化により、駆動に供するトランジスタの数が増大し、大きな容量に係る負荷を充放電してトランジスタTRR、TRG、TRBのゲート電圧を立ち上げ、立ち下げてこれらトランジスタTRR、TRG、TRBをオンオ

10

20

30

40

50

フ制御することが必要になる。

【0040】

しかしながらこの実施例においては、これらトランジスタTRR、TRG、TRBのオンオフ制御についても、垂直駆動回路23A、23Bの出力段に設けられてなるバッファ回路32A、32B、...と同様のバッファ回路43R、43G、43Bを介して実行され、これによりこの水平駆動回路24に関しても、レイアウトに供する面積を小さくして狭額縁化することができ、また消費電力を低減することができるようになされている。

【0041】

(3) 実施例の効果

以上の構成によれば、単一チャンネルの1組のトランジスタのドレインソースを接続して正側電源及び負側電源の間に配置し、これら1組のトランジスタを相補的に信号レベルが変化する駆動信号により駆動することにより、レイアウトに供する面積を小さくして消費電力を低減することができる。

【0042】

またこのような構成に係るバッファ回路に、同一のチャンネルによるトランジスタによりインバータ回路を設け、駆動信号の逆極性の信号を生成することにより、バッファ回路に対して単に駆動信号を供給するだけの簡易な構成により、レイアウトに供する面積を小さくして消費電力を低減することができる。

【0043】

またこのようなバッファ回路を、走査線を駆動する垂直駆動回路に適用することにより、垂直駆動回路を小さい面積により作成してディスプレイ装置を狭額縁化することができ、さらにはディスプレイ装置の消費電力を少なくすることができる。

【0044】

またデジタルアナログ変換回路の出力信号をトランジスタの制御により複数の信号線に振り分けるようにして、このトランジスタの制御に供する駆動信号の出力段にこのバッファ回路を適用することにより、水平駆動回路を小さい面積により作成してディスプレイ装置を狭額縁化することができ、さらにはディスプレイ装置の消費電力を少なくすることができる。

【実施例2】

【0045】

なお上述の実施例においては、インバータ回路によるバッファ回路により入力信号の反転信号を出力する場合に本発明を適用する場合について述べたが、本発明はこれに限らず、入力信号と同一極性により信号出力する場合にも広く適用することができる。なおこの場合、バッファ回路においては、図1に示す構成において、入力信号により正側電源Vc1側のトランジスタTR2を駆動し、インバータ回路33の出力信号により負側電源Vs側のトランジスタTR1を駆動して、入力信号INと同一極性による出力信号OUTを出力することができる。

【0046】

また上述の実施例においては、バッファ回路に設けたインバータ回路により入力信号と逆極性の信号を生成する場合について述べたが、本発明はこれに限らず、例えばラッチ回路から直接極性の異なる出力信号を入力するようにしてインバータ回路を省略する場合等、極性の異なる信号の生成においては、垂直駆動回路の各部、水平駆動回路の各部、タイミングジェネレータ等で生成するようにしてもよい。

【0047】

また上述の実施例においては、Nチャンネル型のトランジスタのみによりバッファ回路を形成する場合について述べたが、本発明はこれに限らず、例えばPチャンネル型のトランジスタのみによりバッファ回路を形成する場合にも広く適用することができる。なおこの場合、ソースとドレインとの接続関係は上述した実施例1とは逆の接続関係となる。

【0048】

また上述の実施例においては、本発明を有機EL素子によるディスプレイ装置に適用す

10

20

30

40

50

る場合について述べたが、本発明はこれに限らず、液晶によるディスプレイ装置等、さらには各種の駆動回路に広く適用することができる。

【0049】

また上述の実施例においては、アモルファスシリコンによるTFTによるバッファ回路に本発明を適用する場合について述べたが、本発明はこれに限らず、ポリシリコン、単結晶シリコンによるバッファ回路、駆動回路に広く適用することができる。

【産業上の利用可能性】

【0050】

本発明は、例えば有機EL素子によるディスプレイ装置に適用することができる。

【図面の簡単な説明】

10

【0051】

【図1】本発明の実施例1に係るディスプレイ装置に適用される垂直駆動回路を示す接続図である。

【図2】本発明の実施例1に係るディスプレイ装置を示すブロック図である。

【図3】図1の垂直駆動回路におけるバッファ回路の動作の説明に供するタイムチャートである。

【図4】図2のディスプレイ装置に適用される水平駆動回路を示す接続図である。

【図5】従来のディスプレイ装置を示すブロック図である。

【図6】従来のTFTによるバッファ回路を示す接続図である。

【図7】図6のバッファ回路の動作の説明に供するタイムチャートである。

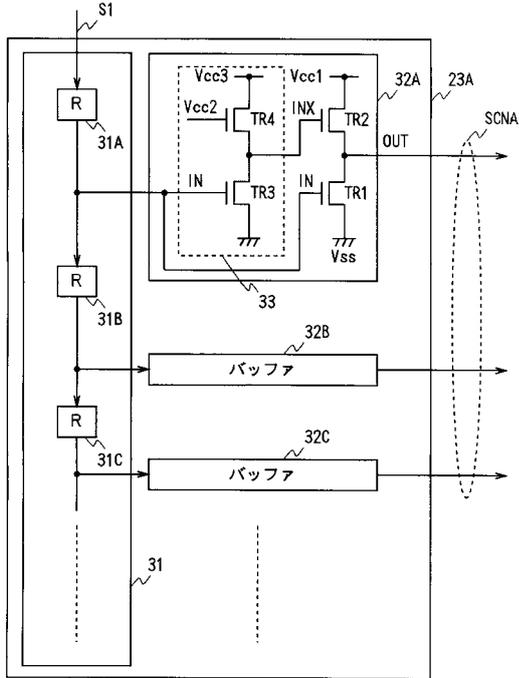
20

【符号の説明】

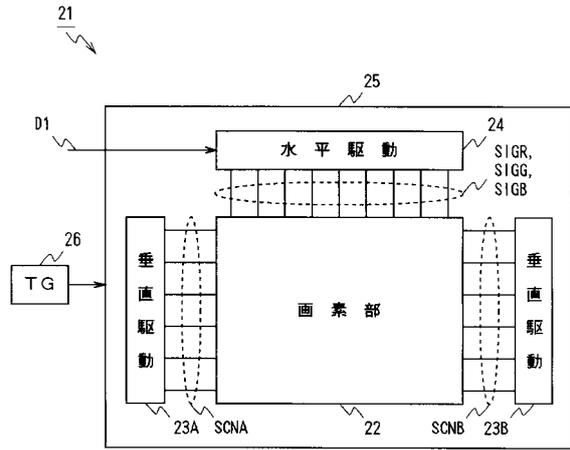
【0052】

1、21...ディスプレイ装置、2、22...画素部、3、25...ガラス基板、4A、4B、23A、23B...垂直駆動回路、5、24...水平駆動回路、31A~31C、41A、41B、44R、44G、44B...ラッチ回路、32A~32C、43R、43G、43B...バッファ回路、33...インバータ回路、42A、42B...デジタルアナログ変換回路、TR1~TR4、TRR、TRG、TRB...トランジスタ

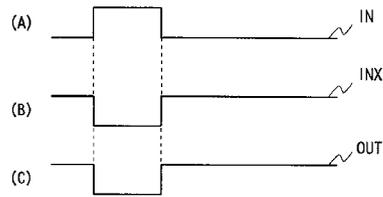
【図1】



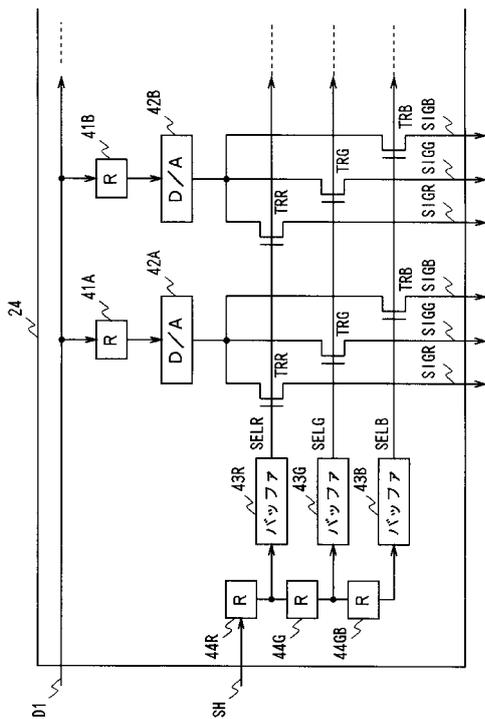
【図2】



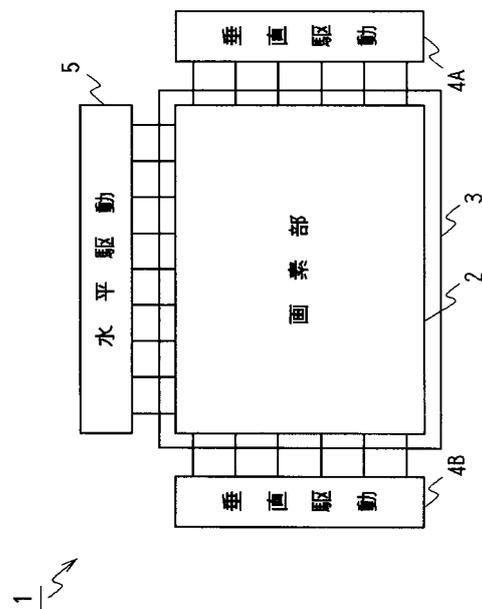
【図3】



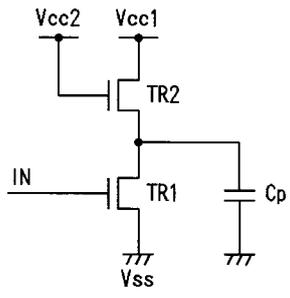
【図4】



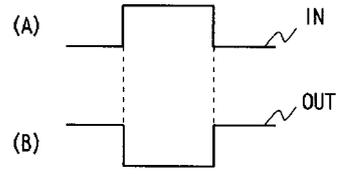
【図5】



【 図 6 】



【 図 7 】



フロントページの続き

(51)Int.Cl. ⁷	F I	テーマコード(参考)
	H 0 3 K 17/16	L
	H 0 5 B 33/14	A
	H 0 3 K 17/687	F

Fターム(参考) 5J055 AX27 AX45 AX55 AX64 BX16 CX29 DX12 DX72 DX83 EX07
EY21 EZ07 EZ24 EZ68 FX12 FX17 FX35 GX01 GX02