(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0135314
(43) 공개일자 2024년09월10일

(51) 국제특허분류(Int. Cl.)
H01L 29/16 (2024.01) *H01L 29/45* (2006.01)
H01L 29/786 (2006.01)
(52) CPC특허분류
H01L 29/1606 (2013.01)
H01L 29/458 (2013.01)
(21) 출원번호 10-2023-0028766
(22) 출원일자 2023년03월03일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
경희대학교 산학협력단
경기도 용인시 기흥구 덕영대로 1732 (서천동, 경희대학교 국제캠퍼스내)
(72) 발명자
이창석
경기도 수원시 권선구 금호로 285, 107동 301호 (서둔동, 힐스테이트수원테라스)
이승현
경기도 용인시 기흥구 덕영대로 1732 (서천동)
(뒷면에 계속)
(74) 대리인
리앤목특허법인

전체 청구항 수 : 총 20 항

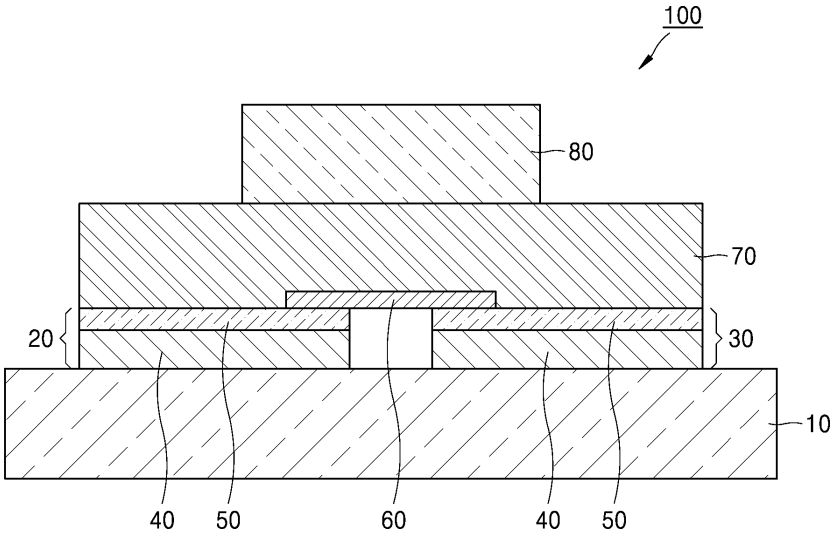
(54) 발명의 명칭 **직성장 그래핀을 포함하는 트랜지스터 구조체 및 이를 포함하는 반도체 소자**

(57) 요 약

직성장 그래핀을 포함하는 트랜지스터 구조체 및 이를 포함하는 반도체 소자 가 개시된다. 개시된 직성장 그래핀을 포함하는 트랜지스터 구조체 및 이를 포함하는 반도체 소자는 기판, 기판에 이격되어 배치되는 소스 전극 및 드레인 전극, 소스 전극 및 드레인 전극 상에 연결되어 배치되는 채널층, 채널층에 마련되는 게이트 절연층, 게이트 절연층에 마련되는 게이트 전극을 포함하고, 소스 전극 및 드레인 전극은 그래핀층 및 금속층을 포함하고, 그래핀층은 기판상에 직성장하여 형성된다.

개시된 트랜지스터 구조체 및 반도체 소자의 소스 전극 및 드레인 전극은 그래핀층과 금속층이 조합된 형태를 가지며, 이는 전극의 접촉 저항을 낮추고 반도체 소자 성능을 향상시킨다.

대 표 도 - 도1



(52) CPC특허분류
H01L 29/78618 (2013.01)
(72) 발명자
설민수
경기도 수원시 영통구 삼성로 130 (매탄동삼성전자소재단지연구2동)
김도희
경기도 용인시 기흥구 덕영대로 1732 (서천동)
배준성
경기도 용인시 기흥구 덕영대로 1732 (서천동)
유혜윤
경기도 용인시 기흥구 덕영대로 1732 (서천동)
김상원
경기도 수원시 영통구 삼성로 130 (삼성전자종합기술원)
변경은
경기도 성남시 분당구 미금로 177, 313동 504호 (구미동, 까치마을)

명 세 서

청구범위

청구항 1

기판;

상기 기판에 이격되어 배치되는 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 상에 연결되어 배치되는 채널층;

상기 채널층에 마련되는 게이트 절연층;

상기 게이트 절연층에 마련되는 게이트 전극;

상기 채널층은 이차원 반도체 물질을 포함하고,

상기 소스 전극 및 드레인 전극은 그래핀층 및 금속층을 포함하고,

상기 그래핀층은 상기 기판상에 직성장하여 형성되며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치되는 트랜지스터 구조체.

청구항 2

제 1 항에 있어서,

상기 그래핀층 및 상기 금속층은 상기 기판 및 상기 채널층 사이에 배치되며, 상기 기판으로부터 순서대로 적층되는 트랜지스터 구조체.

청구항 3

제 1 항에 있어서,

상기 소스 전극 및 드레인 전극의 두께는 5nm 미만인 트랜지스터 구조체.

청구항 4

제 1 항에 있어서,

상기 그래핀층 및 상기 기판 사이에 마련되는 질화층을 더 포함하는 트랜지스터 구조체.

청구항 5

제 4 항에 있어서,

상기 질화층은 질화 붕소(h-BN)를 포함하는 트랜지스터 구조체.

청구항 6

제 1 항에 있어서,

상기 게이트 전극은 상기 그래핀층 및 금속층을 포함하며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치되는 트랜지스터 구조체.

청구항 7

제 1 항에 있어서,

상기 그래핀층의 내부는 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 N, S, B, P, O 및 F 중 적어도 하나를 포함하는 트랜지스터 구조체.

청구항 8

제 1 항에 있어서,

상기 그래핀층의 표면은 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 Pd, Ti, W, Al, Ni, Cu, Ru, Ag, Au 및 Pt 중 적어도 하나를 포함하는 트랜지스터 구조체.

청구항 9

제 1 항에 있어서,

상기 금속층은 Rd 및 Pd 중 적어도 하나를 포함하는 트랜지스터 구조체.

청구항 10

제 1 항에 있어서,

상기 채널층은 TMD(Transition Metal Dichalcogenide)를 포함하는 트랜지스터 구조체.

청구항 11

제 10 항에 있어서,

상기 TMD(Transition Metal Dichalcogenide)는 Mo, W, Nb, V, Ta, Ti, Zr, Hf, Tc, Re, Cu, Ga, In, Sn, Ge 및 Pb 으로 이루어진 그룹에서 선택된 하나의 금속 원소와 S, Se 및 Te으로 이루어진 그룹에서 선택된 하나의 칼코겐 원소를 포함하는 트랜지스터 구조체.

청구항 12

제1 항에 있어서,

상기 게이트 전극은 텅스텐(W), 몰리브덴(Mo), 루테늄(Ru), 폴리 실리콘, TiN, 및 금속성 이차원 물질 중에서 적어도 하나의 도전성 재료 또는 이들의 조합을 포함하는 트랜지스터 구조체.

청구항 13

제 12 항에 있어서,

상기 금속성 이차원 물질은 그래핀, TaS2, TaSe2, NbS2, NbSe2, PdTe2, PtTe2, NbTe2, TiSe2, VSe2, AuSe, 및 MoTe2 중에서 적어도 하나를 포함하는 트랜지스터 구조체.

청구항 14

트랜지스터 구조체; 및

상기 트랜지스터 구조체에 마련되는 복수의 커패시터;를 포함하며,

상기 트랜지스터 구조체는,

기판;

상기 기판에 이격되어 배치되는 소스 전극 및 드레인 전극;

상기 소스 전극 및 드레인 전극 상에 연결되어 배치되는 채널층;

상기 채널층에 마련되는 게이트 절연층;

상기 게이트 절연층에 마련되는 게이트 전극;

상기 채널층은 이차원 반도체 물질을 포함하고,

상기 소스 전극 및 드레인 전극은 그래핀층 및 금속층을 포함하고,

상기 그래핀층은 상기 기판상에 직성장하여 형성되며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치되는 반도체 소자.

청구항 15

제 14 항에 있어서,

상기 그래핀층은 상기 기판 및 상기 금속층 사이에 배치되는 반도체 소자.

청구항 16

제 14 항에 있어서,

상기 소스 전극 및 드레인 전극의 두께는 5nm 미만인 반도체 소자.

청구항 17

제 14 항에 있어서,

상기 그래핀층 및 상기 기판 사이에 마련되는 질화층을 더 포함하는 반도체 소자.

청구항 18

제 17 항에 있어서,

상기 질화층은 질화 붕소(h-BN)를 포함하는 반도체 소자.

청구항 19

제 14 항에 있어서,

상기 그래핀층의 내부는 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 N, S, B, P, O 및 F 중 적어도 하나를 포함하는 반도체 소자.

청구항 20

제 14 항에 있어서,

상기 그래핀층의 표면은 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 Pd, Ti, W, Al, Ni, Cu, Ru, Ag, Au 및 Pt 중 적어도 하나를 포함하는 반도체 소자.

발명의 설명

기 술 분 야

[0001] 본 개시는 직성장 그래핀을 포함하는 트랜지스터 구조체 및 이를 포함하는 반도체 소자에 관한 것이다.

배 경 기 술

[0002] 트랜지스터는 전기적인 스위칭 역할을 하는 반도체 소자로서 메모리, 구동 IC 등과 같은 다양한 반도체 제품에 사용되고 있다. 반도체 소자의 크기가 줄어들게 되면 하나의 웨이퍼에 집적될 수 있는 반도체 소자의 개수가 늘어나게 되고 반도체 소자의 구동 속도도 빨라지기 때문에 반도체 소자의 크기를 줄이기 위한 연구가 활발하게 진행되고 있다.

[0003] 최근에는 반도체 소자의 크기를 줄이기 위한 방안으로 2차원 물질을 이용하는 연구가 진행되고 있다. 2차원 물질은 1nm 이하의 얇은 두께에서도 안정적이고 우수한 특성을 가지고 있어서 반도체 소자의 크기가 줄어듬에 따른 성능 저하의 한계를 극복할 수 있는 물질로 각광을 받고 있다.

[0004] 반도체 소자의 박막 소재로 주목받고 있는 그래핀의 경우, 접합부 성능 저하로 응용 측면에서 어려움이 크고, 이를 극복하기 위한 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0005] 예시적인 실시예는 직성장 그래핀을 포함하는 트랜지스터 구조체 및 이를 포함하는 반도체 소자를 제공한다.

과제의 해결 수단

[0006] 일 측면에 있어서,

[0007] 기판;

[0008] 상기 기판에 이격되어 배치되는 소스 전극 및 드레인 전극;

[0009] 상기 소스 전극 및 드레인 전극 상에 연결되어 배치되는 채널층;

[0010] 상기 채널층에 마련되는 게이트 절연층;

[0011] 상기 게이트 절연층에 마련되는 게이트 전극;

[0012] 상기 채널층은 이차원 반도체 물질을 포함하고,

[0013] 상기 소스 전극 및 드레인 전극은 그래핀층 및 금속층을 포함하고,

[0014] 상기 그래핀층은 상기 기판상에 직성장하여 형성되며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치되는 트랜지스터 구조체가 제공된다.

[0015] 상기 그래핀층 및 상기 금속층은 상기 기판 및 상기 채널층 사이에 배치되며, 상기 기판으로부터 순서대로 적층될 수 있다.

[0016] 상기 소스 전극 및 드레인 전극의 두께는 5nm 미만일 수 있다.

[0017] 상기 그래핀층 및 상기 기판 사이에 마련되는 질화층을 더 포함할 수 있다.

[0018] 상기 질화층은 질화 붕소(h-BN)를 포함할 수 있다.

[0019] 상기 게이트 전극은 상기 그래핀층 및 금속층을 포함하며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치될 수 있다.

[0020] 상기 그래핀층의 내부는 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 N, S, B, P, O 및 F 중 적어도 하나를 포함할 수 있다.

[0021] 상기 그래핀층의 표면은 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 Pd, Ti, W, Al, Ni, Cu, Ru, Ag, Au 및 Pt 중 적어도 하나를 포함할 수 있다.

[0022] 상기 금속층은 Rd 및 Pd 중 적어도 하나를 포함할 수 있다.

[0023] 상기 채널층은 TMD(Transition Metal Dichalcogenide)를 포함할 수 있다.

[0024] 상기 TMD(Transition Metal Dichalcogenide)는 Mo, W, Nb, V, Ta, Ti, Zr, Hf, Tc, Re, Cu, Ga, In, Sn, Ge 및 Pb 으로 이루어진 그룹에서 선택된 하나의 금속 원소와 S, Se 및 Te으로 이루어진 그룹에서 선택된 하나의 칼코겐 원소를 포함할 수 있다.

[0025] 상기 게이트 전극은 텅스텐(W), 몰리브덴(Mo), 루테늄(Ru), 폴리 실리콘, TiN, 및 금속성 이차원 물질 중에서 적어도 하나의 도전성 재료 또는 이들의 조합을 포함할 수 있다.

[0026] 상기 금속성 이차원 물질은 그래핀, TaS2, TaSe2, NbS2, NbSe2, PdTe2, PtTe2, NbTe2, TiSe2, VSe2, AuSe, 및 MoTe2 중에서 적어도 하나를 포함할 수 있다.

[0027] 또 다른 측면에 있어서,

[0028] 트랜지스터 구조체; 및

[0029] 상기 트랜지스터 구조체에 마련되는 복수의 커패시터;를 포함하며,

[0030] 상기 트랜지스터 구조체는,

[0031] 기판;

[0032] 상기 기판에 이격되어 배치되는 소스 전극 및 드레인 전극;

[0033] 상기 소스 전극 및 드레인 전극 상에 연결되어 배치되는 채널층;

[0034] 상기 채널층에 마련되는 게이트 절연층;

[0035] 상기 게이트 절연층에 마련되는 게이트 전극;

[0036] 상기 채널층은 이차원 반도체 물질을 포함하고,

[0037] 상기 소스 전극 및 드레인 전극은 그래핀층 및 금속층을 포함하고,

[0038] 상기 그래핀층은 상기 기판상에 직성장하여 형성되며, 상기 그래핀층 및 금속층은 상기 기판의 표면에 대하여 수직 방향으로 나란히 배치되는 반도체 소자가 제공된다.

[0039] 상기 그래핀층은 상기 기판 및 상기 금속층 사이에 배치될 수 있다.

[0040] 상기 소스 전극 및 드레인 전극의 두께는 5nm 미만일 수 있다.

[0041] 상기 그래핀층 및 상기 기판 사이에 마련되는 질화층을 더 포함할 수 있다.

[0042] 상기 질화층은 질화 붕소(h-BN)를 포함할 수 있다.

[0043] 상기 그래핀층의 내부는 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 N, S, B, P, O 및 F 중 적어도 하나를 포함할 수 있다.

[0044] 상기 그래핀층의 표면은 소정의 도펀트로 도핑될 수 있고, 상기 도펀트는 Pd, Ti, W, Al, Ni, Cu, Ru, Ag, Au 및 Pt 중 적어도 하나를 포함할 수 있다.

발명의 효과

[0045] 예시적인 실시예에 따른 트랜지스터는 기판 상에 직성장한 그래핀층 및 금속층이 조합된 전극을 포함하여, 접촉 저항을 감소시킬 수 있다.

[0046] 예시적인 실시예에 따른 트랜지스터를 포함하는 반도체 소자는 기판 상에 직성장한 그래핀층 및 금속층이 조합된 전극을 포함하여, 기판 및 전극 사이의 접촉 저항을 감소시킬 수 있다.

도면의 간단한 설명

[0047] 도 1은 예시적인 실시예에 따른 트랜지스터를 도시한 단면도이다.

도 2는 또 다른 예시적인 실시예에 따른 트랜지스터를 도시한 단면도이다.

도 3은 또 다른 예시적인 실시예에 따른 트랜지스터를 도시한 단면도이다.

도 4는 예시적인 실시예에 따른 인버터를 도시한 단면도이다.

도 5a 및 도 5b는 예시적인 실시예에 따른 회로도이다.

도 6 및 도 7은 예시적인 실시예에 따른 전자 장치에 적용될 수 있는 소자 아키텍처를 개략적으로 도시한 개념도들이다.

발명을 실시하기 위한 구체적인 내용

[0048] 이하, 첨부된 도면을 참조하여 예시적인 실시예들에 대해 상세히 설명하기로 한다. 이하의 도면들에서 동일한 참조부호는 동일한 구성요소를 지칭하며, 도면상에서 각 구성요소의 크기는 설명의 명료성과 편의상 과장되어 있을 수 있다. 한편, 이하에 설명되는 실시예는 단지 예시적인 것에 불과하며, 이러한 실시예들로부터 다양한 변형이 가능하다.

[0049] 이하에서, "상부" 나 "상"이라고 기재된 것은 접촉하여 바로 위, 아래, 좌, 우에 있는 것뿐만 아니라 비접촉으로 위, 아래, 좌, 우에 있는 것도 포함할 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[0050] “상기”의 용어 및 이와 유사한 지시 용어의 사용은 단수 및 복수 모두에 해당하는 것일 수 있다. 방법을 구성하는 단계들에 대하여 명백하게 순서를 기재하거나 반하는 기재가 없다면, 이러한 단계들은 적당한 순서로 행해질 수 있으며, 반드시 기재된 순서에 한정되는 것은 아니다.

[0051] 또한, 명세서에 기재된 “...부”, “모듈” 등의 용어는 적어도 하나의 기능이나 동작을 처리하는 단위를 의미하며, 이는 하드웨어 또는 소프트웨어로 구현되거나 하드웨어와 소프트웨어의 결합으로 구현될 수 있다.

[0052] 제1, 제2 등의 용어는 다양한 구성 요소들을 설명하는데 사용될 수 있지만, 구성 요소들은 용어들에 의하여 한정되어서는 안된다. 용어들은 하나의 구성 요소를 다른 구성 요소로부터 구별하는 목적으로만 사용된다.

[0053] 도면에 도시된 구성 요소들 간의 선들의 연결 또는 연결 부재들은 기능적인 연결 및/또는 물리적 또는 회로적 연결들을 예시적으로 나타낸 것으로서, 실제 장치에서는 대체 가능하거나 추가의 다양한 기능적인 연결, 물리적인 연결, 또는 회로 연결들로서 나타내어질 수 있다.

[0054] 모든 예들 또는 예시적인 용어의 사용은 단순히 기술적 사상을 상세히 설명하기 위한 것으로서 청구범위에 의해 한정되지 않는 이상 이러한 예들 또는 예시적인 용어로 인해 범위가 한정되는 것은 아니다.

[0055] 그래핀(graphene)은 탄소원자들이 2차원적으로 연결되어 육각형 벌집 구조를 가지는 물질로서 원자 크기 수준의 매우 얇은 두께를 가지고 있다. 이러한 그래핀은 실리콘(Si)에 비해 높은 전기 이동도 및 우수한 열특성을 가지며, 화학적으로 안정하고, 표면적이 넓다는 장점을 가지고 있다. 이러한 그래핀은 금속 배리어로 사용될 수 있다. 반도체 공정 도입을 위해서는 비촉매 기판 위에 그래핀의 직성장(directly grown graphene on target substrate)이 요구된다. 직성장 그래핀의 금속 배리어로의 응용 가능성을 높이기 위해서는 그래핀 상부에 증착되는 메인 금속 물질의 저항이 기존의 배리어 금속 위에 증착되는 메인 금속 물질의 저항보다 낮을 필요가 있다.

[0056] 이하의 실시예들에서는 반도체 기판에 그래핀을 직성장하여, 그래핀과 금속이 결합된 전극이 포함된 트랜지스터 및 이를 포함하는 반도체 소자에 대하여 설명한다.

[0057] 도 1은 예시적인 실시예에 따른 트랜지스터 구조체(100)를 도시한 단면도이다.

[0058] 도 1에 도시된 트랜지스터 구조체(100)는 예를 들어 전계효과 트랜지스터(FET; Field Effect Transistor)를 포함할 수 있다.

[0059] 도 1을 참조하면, 기판(10)에 서로 이격되어 배치되는 소스 전극(20) 및 드레인 전극(30)이 배치될 수 있다. 소스 전극(20) 및 드레인 전극(30) 상에는 두 전극을 연결하여 배치되는 채널층(60)이 있고, 채널층(60) 상에는 게이트 절연층(70) 및 게이트 전극(80)이 배치되어 있다. 소스 전극(20) 및 드레인 전극(30) 각각에는 그래핀층(40) 및 금속층(50)이 포함되어 있고, 그래핀층(40) 및 금속층(50) 각각은 기판(10)의 표면에 대하여 수직 방향으로 나란히 배치될 수 있다.

[0060] 기판(10)은 반도체 물질, 금속 물질, 또는 절연 물질을 포함할 수 있다. 기판(10)은 예를 들면, 반도체 물질을 포함할 수 있다. 반도체 물질은 예를 들면, IV족 반도체 물질, 또는 반도체 화합물을 포함할 수 있다. 구체적인 예로서, 기판(10)은, Si, Ge, Sn, C 중 적어도 하나 이상을 포함하는 IV족 반도체 물질, B, Ga, In, Al 중에서 적어도 하나 이상의 물질과 N, P, As, Sb, S, Se, Te 중에서 적어도 하나 이상의 물질이 결합한 III-V족 화합물 반도체 물질 또는, Be, Mg, Cd, Zn 중에서 적어도 하나 이상의 물질과 O, S, Se, Te 중에서 적어도 하나 이상의 물질이 결합한 II-VI 족 화합물 반도체 물질을 포함할 수 있다. 기판(10)은 금속 물질을 포함할 수 있다. 금속 물질은 예를 들면, Cu, Mo, Ni, Al, W, Ru, Co, Mn, Ti, Ta, Au, Hf, Zr, Zn, Y, Cr, Gd, Rh, Ir, Os, TiN 및 TaN 중에서 적어도 하나를 포함할 수 있다. 또한, 기판(10)은 절연 물질을 포함할 수 있다. 절연 물질은 예를 들면, 산화물, 질화물, 또는 탄화물 등을 포함할 수 있다. 구체적인 예로서, 기판(10)은 Si, Ge, Al, Hf, Zr, La 중 적어도 하나를 포함하는 산화물 또는, Si 질화물을 포함할 수 있다. 하지만, 이상에서 언급된 기판(10)의 물질들은 단지 예시적인 것으로, 이외에도 기판(10)은 다른 다양한 물질을 포함할 수 있다.

[0061] 한편, 기판(10)은 도펀트(dopant)를 더 포함할 수도 있다. 예를 들어, 기판(10)이 반도체 물질을 포함하는 경우, 도핑될 수 있다. 예를 들어, 기판(10)은 IV족 반도체 물질을 포함하고, 예컨대, B, P, As 등으로 주로 도핑할 수 있다. 기판(10)은 III-V족 반도체 물질을 포함하고 예컨대, Si, C, Te, Se, Mo 등으로 도핑할 수 있다.

[0062] 예를 들어, 기판(10)은, 단결정 실리콘, 비정질 실리콘, 폴리실리콘, 실리콘 산화물 중 적어도 하나, 전술한 다양한 반도체 물질 또는 반도체 화합물, 금속 물질 또는 절연 물질을 포함할 수 있다.

[0063] 기판(10)에는 소스 전극(20) 및 드레인 전극(30)이 배치될 수 있다.

[0064] 소스 전극(20) 및 드레인 전극(30)은 그래핀층(40) 및 금속층(50)을 포함할 수 있다. 그래핀층(40)은 기판(10) 상에 직성장(directly grown)되어 형성될 수 있다.

[0065] 직성장 그래핀(directly grown graphene)은 기판(10)의 표면에 직접 성장되고, 그 표면 에너지가 증가되도록 조절될 수 있다. 직성장 그래핀은 100nm 이하의 도메인 크기를 가지는 나노결정질 그래핀을 포함하도록 형성될 수 있으나, 반드시 이에 한정되지는 않는다.

[0066] 본 실시예에 있어서, 직성장 그래핀의 표면 에너지 제어는, 그래핀 직성장시 도펀트 가스 주입, 그래핀 직성장 후 플라즈마 가스를 이용한 플라즈마 처리 및 그래핀 직성장후 UV-오존 처리 중 어느 하나에 의해 이루어질 수 있다. 예를 들어, 그래핀 직성장시, N 성분을 포함하는 도핑 가스를 주입하여 도펀트 예컨대, N성분이 도핑된 직성장 그래핀을 형성할 수 있다. 또한, 그래핀 직성장후, 예를 들어 N 성분을 포함하는 가스로 직성장 그래핀을 플라즈마 처리할 수 있다. 또한, 그래핀 직성장후, 직성장 그래핀을 UV-오존 처리 할 수 있다. 이외에도, 그래핀 직성장후 HF 등의 습식 화학 처리(wet chemical treatment) 등의 후처리를 통해 직성장 그래핀의 표면 에너지를 조절할 수 있다.

[0067] 이러한, 그래핀 직성장시 도핑 가스 주입, 그래핀 직성장 후 후속 처리에 의해 직성장 그래핀의 표면 에너지를 변화시킬 수 있으며, 점착성이나 저항 등의 특성이 개선되도록 증가하는 방향으로 표면 에너지가 조절된 직성장 그래핀을 포함하는 그래핀층(40)을 형성할 수 있다.

[0068] 소스 전극(20) 및 드레인 전극(30)은 상술한 직성장 그래핀이 포함된 그래핀층(40), 금속층(50) 또는 그래핀층(40) 및 금속층(50)이 조합된 층을 포함할 수 있다.

[0069] 소스 전극(20) 및 드레인 전극(30) 각각에 포함되어 있는 그래핀층(40) 및 금속층(50)은 기판(10)의 표면에 대하여 수직 방향으로 나란히 배치될 수 있다.

[0070] 그래핀층(40) 및 금속층(50)은 기판(10) 및 채널층(60) 사이에 배치될 수 있으며, 기판(10)으로부터 기판(10)의 표면의 수직 방향으로 순서대로 배치될 수 있다. 그래핀층(40)의 상부에 금속층(50)이 배치될 수 있다.

[0071] 소스 전극(20) 및 드레인 전극(30)에 포함되어 있는 그래핀층(40)은 채널층(60)과의 접촉 저항(contact resistance) 감소를 위하여, 소정의 도펀트로 도핑될 수 있다. 그래핀층(40)은 소정의 도펀트를 이용하여 그래핀층의 표면 및 내부에서 도핑될 수 있다.

[0072] 그래핀층(40)의 내부는 소정의 도펀트로 도핑될 수 있고, 소정의 도펀트는 N, S, B, P, O 및 F 중 적어도 하나를 포함할 수 있으나, 반드시 이에 한정되지는 않는다.

[0073] 그래핀층(40)의 표면은 Pd, Ti, W, Al, Ni, Cu, Ru, Ag, Au 및 Pt 중 적어도 하나를 포함하는 도펀트로 도핑될 수 있으나, 반드시 이에 한정되지는 않는다. 상술한 그래핀층(40)의 도핑은 그래핀층(40)이 포함된 전극과 채널층 사이의 접촉 저항 감소를 위함이다.

[0074] 금속층(50)은 그래핀층(40)의 일면에 형성될 수 있으며, 상술한 도펀트에 의한 그래핀층(40)의 도핑에 의하여 형성될 수도 있다. 금속층(50)은 CMOS 형성에 용이하며, 반응성이 낮은 물질인 Rd 및 Pd 중 적어도 하나를 포함할 수 있으나, 반드시 이에 한정되지는 않는다.

[0075] 소스 전극(20) 및 드레인 전극(30)의 전체 두께는 약 1nm 이상 5nm 이하일 수 있으나, 반드시 이에 한정되는 것은 아니다. 소스 전극 및 드레인 전극의 두께는 초박막 구조를 형성할 수 있으며, 트랜지스터의 소형화에 기여할 수 있다.

[0076] 채널층(60)은 이차원 반도체 물질을 포함할 수 있다. 이차원 반도체 물질은 구성 원자들이 이차원적으로 결합된 층상 구조를 가지는 이차원 물질을 의미한다. 이차원 반도체 물질은 전기적 성질이 우수하며 두께가 나노 스케일로 얇아지는 경우에도 그 특성이 크게 변하지 않고 높은 이동도를 유지할 수 있다.

[0077] 이차원 반도체 물질은 대략 0.5eV 이상 3.0eV 이하의 밴드갭을 가지는 물질을 포함할 수 있다. 예를 들어, 이차원 반도체 물질은 TMD(Transition Metal Dichalcogenide) 또는 흑린(black phosphorus)을 포함할 수 있다. 하지만 이에 한정되는 것은 아니다. TMD는 반도체 특성을 가지는 이차원 물질로서 전이금속과 칼코겐(chalcogen) 원소의 화합물이다. 여기서, 전이 금속은 예를 들면, Mo, W, Nb, V, Ta, Ti, Zr, Hf, Co, Tc 및 Re 중 적어도 하나를 포함할 수 있으며, 칼코겐 원소는 예를 들면, S, Se 및 Te 중 적어도 하나를 포함할 수 있다. 구체적인 예로서, TMD는 MoS2, MoSe2, MoTe2, WS2, WSe2, WTe2, ZrS2, ZrSe2, HfS2, HfSe2, NbSe2, ReSe2 등을 포함할 수 있다. 하지만, 이에 한정되지는 않는다. 흑린은 인(P) 원자들이 2차원적으로 결합된 구조를 가지는 반도체 물질이다.

[0078] 채널층(60)은 소스 전극(20) 및 드레인 전극(30) 사이에 배치될 수 있으며, 양 전극을 연결하여 배치될 수

있다. 채널층(60)은 소스 전극(20) 및 드레인 전극(30)과 같은 평면에 배치될 수도 있고, 양 전극 각각의 상부에 배치될 수도 있다.

[0079] 게이트 전극(80)은 게이트 절연층(70)상에 배치될 수 있다. 게이트 전극(80)은 그래핀층(40) 및 금속층(50)을 포함하며, 상술한 그래핀층(40) 및 금속층(50)은 기판(10)의 표면에 대하여 수직 방향으로 나란히 배치될 수 있다.

[0080] 게이트 전극(80)은 그래핀층(40) 대신 금속 이차원 물질을 포함할 수 있고, 예를 들어 TaS2, NbSe2 및 TiSe2를 포함할 수 있으나, 반드시 이에 한정되지는 않는다.

[0081] 게이트 전극(80)은 텅스텐(W), 몰리브덴(Mo), 루테늄(Ru), 폴리 실리콘, TiN, 및 금속성 이차원 물질 중에서 적어도 하나의 도전성 재료 또는 이들의 조합을 포함할 수 있고, 상술한 금속성 이차원 물질은 그래핀, TaS2, TaSe2, NbS2, NbSe2, PdTe2, PtTe2, NbTe2, TiSe2, VSe2, AuSe, 및 MoTe2 중에서 적어도 하나를 포함할 수 있으나, 반드시 이에 한정되지는 않는다.

[0082] 도 2는 또 다른 예시적인 실시예에 따른 트랜지스터를 도시한 단면도이다.

[0083] 도 2에서 설명되는 예시적인 실시예에 따른 트랜지스터 구조체(100)는 도 1에서 설명한 구성요소와 같은 구성을 포함할 수 있다.

[0084] 예시적인 실시예에 따른 트랜지스터 구조체(100)의 채널층(60)은 소스 전극(20) 및 드레인 전극(30)을 연결하며, 소스 전극(20) 및 드레인 전극(30)의 일측면을 따라 연장되어 배치되고, 기판(10)의 표면의 일부를 덮게 배치될 수 있다. 채널층(60)은 TMD와 같은 이차원 반도체 물질을 포함할 수 있고, 이하의 내용은 상술한 바와 같다.

[0085] 도 3은 또 다른 예시적인 실시예에 따른 트랜지스터를 도시한 단면도이다.

[0086] 도 3을 참조하면, 도 1에서 설명한 트랜지스터의 구조에서 질화층(90)을 더 포함하는 트랜지스터에 대한 설명이다.

[0087] 예시적인 실시예에 따르는 트랜지스터 구조체(100)의 그래핀층(40)의 일면에 배치되며, 채널층(60)의 반대면에 질화층(90)이 형성될 수 있다. 구체적으로, 질화층(90은)은 그래핀층(40) 및 기판(10) 사이에 마련될 수 있다. 채널층(60)의 일측면에 형성되는 질화층(90)은 후술할 표면산란 효과를 감소시킬 수 있다.

[0088] 반도체 소자에서는 전자들이 게이트 전압에 따라 이동도가 변화될 수 있다. 반전층 전하는 수직전계에 의하여 유도될 수 있고, 이동하는 전자들은 양의 게이트 전압에 의하여 표면으로 유도될 수 있다. 다시 말해, 채널층을 통하여 소스 전극에서 드레인 전극으로 이동할 때, 이동하는 전자들은 표면으로 끌리게 되고, 이러한 효과를 표면산란 효과라고 하며, 전자의 이동도를 감소시키는 원인 중 하나일 수 있다.

[0089] 질화층(90)은 질소 원소를 포함하는 물질을 포함할 수 있으며, 예를 들어 질화 붕소(h-BN)를 포함할 수 있으나 반드시 이에 한정되지는 않는다.

[0090] 도 4는 예시적인 실시예에 따른 인버터를 도시한 단면도이다.

[0091] 예시적인 실시예에 따르는 인버터는 CMOS 인버터(Complementary metal oxide semiconductor inverter)가 될 수 있다. CMOS 인버터는 NMOSFET과 PMOSFET의 게이트가 연결되어 입력 전압(Vin)을 받고, NMOSFET과 PMOSFET의 드레인이 연결되어 출력 전압(Vout)이 나오는 구조이다.

[0092] 도 4를 참조하면, 인버터는 기판(10a)에 배치되는 채널층(60a,60b), 각 채널층에 마련되는 소스 전극(20a,20b), 드레인 전극(30a,30b), 공통 게이트 절연층(70a), 공통 게이트 전극(common gate)(80a)이 포함할 수 있다.

[0093] 채널층(60a,60b)은 각각 서로 다른 극성을 포함할 수 있고, 예를 들어 제1 채널층(60a)가 n형 채널이라면, 제2 채널층(60b)는 p형 채널일 수 있다.

[0094] 공통 게이트 전극(common gate)가 적용된 인버터는 두 개의 트랜지스터 및 두 개의 저항이 포함된 하나의 전자 소자를 형성할 수 있고, 채널층(60a,60b)은 전극 상부에 배치될 수도 있고, 동일 평면상에 배치될 수도 있다.

[0095] 도 5a 및 도 5b는 예시적인 실시예에 따른 회로도이다.

[0096] 도 5a 및 도 5b를 참조하면, 복수의 트랜지스터 및 복수의 저항이 포함된 회로 모식도이다.

[0097] 하나의 트랜지스터 및 하나의 저항이 연결된 전자 소자뿐만 아니라, 복수의 트랜지스터 및 복수의 저항이 포함

된 전자 소자도 포함될 수 있다. 복수의 트랜지스터 및 복수의 저항은 2T2R, 3T3R을 포함할 수 있으나, 반드시 이에 한정되지 않는다.

[0098] 도 6 및 도 7은 예시적인 실시예들에 따른 전자 장치에 적용될 수 있는 소자 아키텍처(architecture)를 개략적으로 보여주는 개념도이다.

[0099] 도 6을 참고하면, 소자 아키텍처(architecture)(1000)는 메모리 유닛(memory unit)(1010), ALU(arithmetic logic unit)(1020) 및 제어 유닛(control unit)(1030)을 포함할 수 있다. 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)은 전기적으로 연결될 수 있다. 예를 들어, 전자 소자 아키텍처(architecture)(1000)는 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)를 포함하는 하나의 칩으로 구현될 수 있다. 구체적으로, 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)은 온-칩(on-chip)에서 메탈 라인(metal line)으로 상호 연결되어 직접 통신할 수 있다. 메모리 유닛(1010), ALU(1020) 및 제어 유닛(1030)은 하나의 기판 상에 모놀리식(monolithic)하게 집적되어 하나의 칩을 구성할 수도 있다. 소자 아키텍처(1000)에는 입출력 소자(2000)가 연결될 수 있다. 또한, 메모리 유닛(1010)은 메인 메모리 및 캐시 메모리를 모두 포함할 수 있다. 여기서, 메인 메모리는 전술한 DRAM 소자를 포함할 수 있다. 이러한 소자 아키텍처(1000)는 on-chip memory processing unit일 수 있다.

[0100] 도 7을 참고하면, 캐시 메모리(cache memory)(1510), ALU(1520) 및 제어 유닛(1530)이 CPU(Central Processing Unit,1500)을 구성할 수 있고, 캐시 메모리(1510)는 SRAM(static random access memory)으로 이루어질 수 있다. CPU(1500)와 별개로, 메인 메모리(1600) 및 보조 스토리지(1700)가 구비될 수도 있다. 메인 메모리(1600)는 전술한 DRAM 소자를 포함할 수 있다. 경우에 따라, 소자 아키텍처(architecture)는 서브-유닛들(sub-units)의 구분없이, 하나의 칩에서 컴퓨팅(computing) 단위 소자들과 메모리 단위 소자들이 상호 인접하는 형태로 구현될 수 있다.

[0101] 경우에 따라, 전자 소자 아키텍처(architecture)는 서브-유닛들(sub-units)의 구분없이, 하나의 칩에서 컴퓨팅(computing) 단위 소자들과 메모리 단위 소자들이 상호 인접하는 형태로 구현될 수 있다. 이상에서 실시예들이 설명되었으나, 이는 단지 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형이 가능하다.

[0102] 상술한 반도체 소자 및 이를 포함하는 전자 장치는 도면에 도시된 실시예를 참고로 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 것이다. 그러므로 개시된 실시예들은 한정적인 관점이 아니라 설명적인 관점에서 고려되어야 한다. 권리범위는 전술한 설명이 아니라 특허청구범위에 나타나 있으며, 그와 동등한 범위 내에 있는 모든 차이점은 권리범위에 포함된 것으로 해석되어야 할 것이다.

[0103] 이상에서 실시예가 설명되었으나, 이는 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형이 가능하다.

부호의 설명

[0104] 100 트랜지스터 구조체

10 기판

20 소스 전극

30 드레인 전극

40 그래핀층

50 금속층

60 채널층

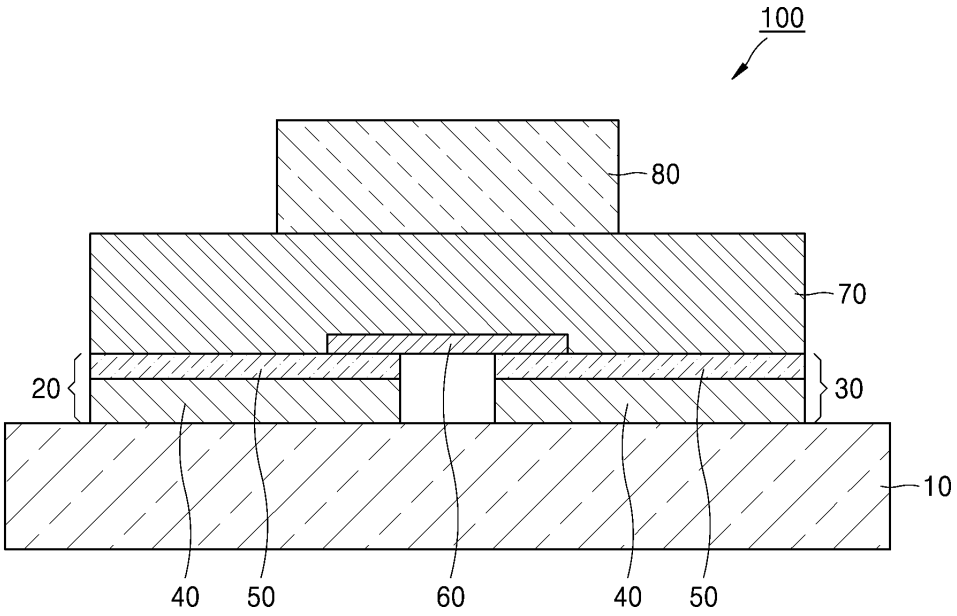
70 게이트 절연층

80 게이트 전극

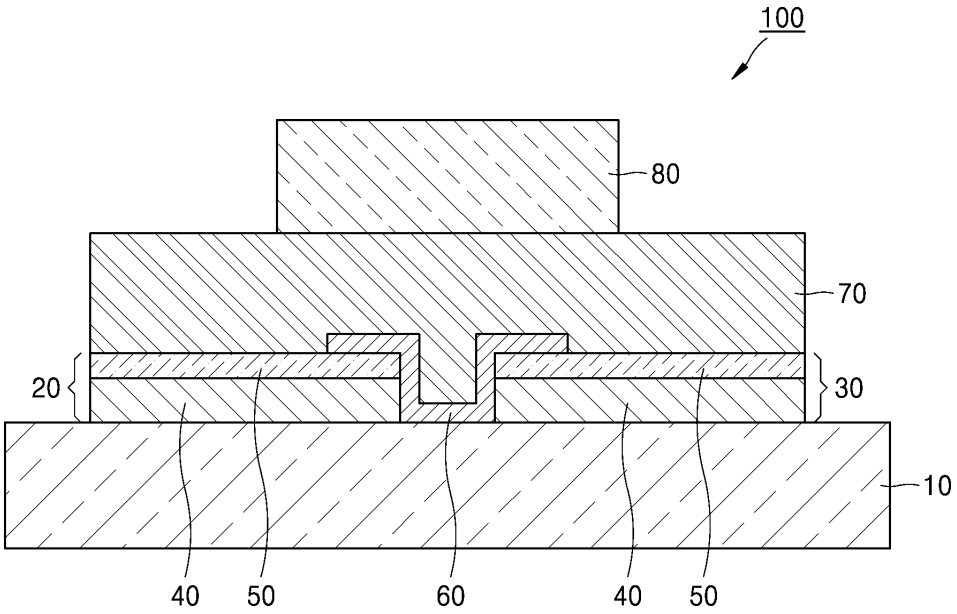
90 질화층

도면

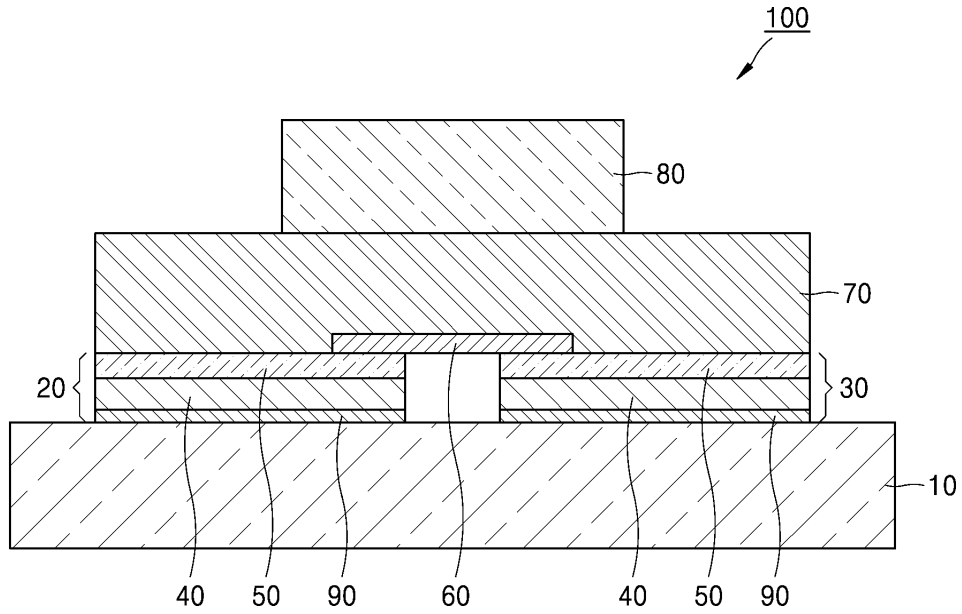
도면1



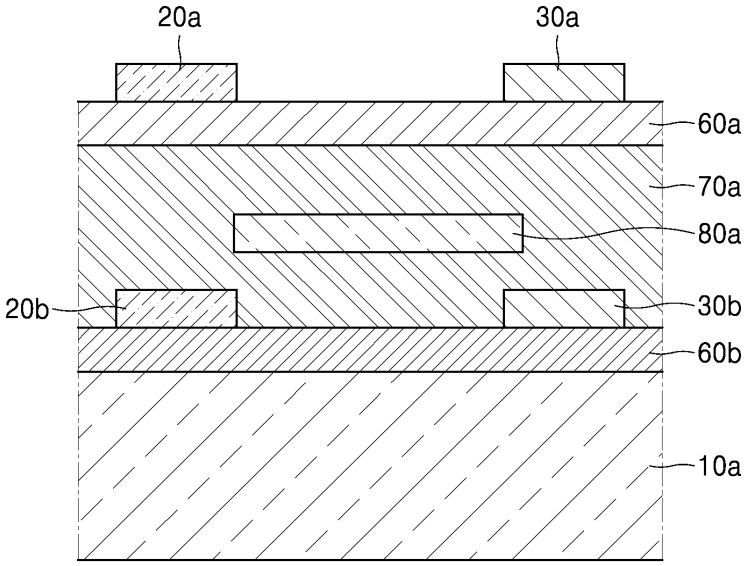
도면2



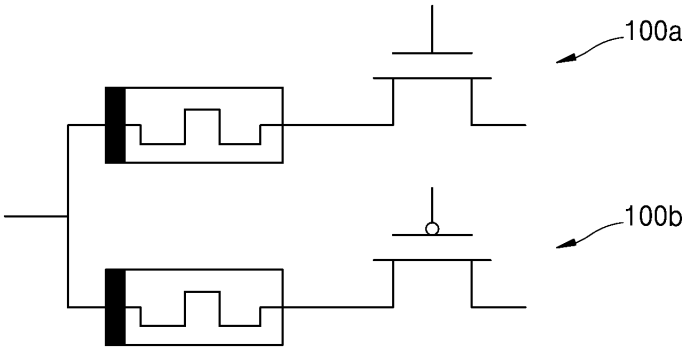
도면3


100
80
70
20
30
10
40
50
90
60
40
50
90

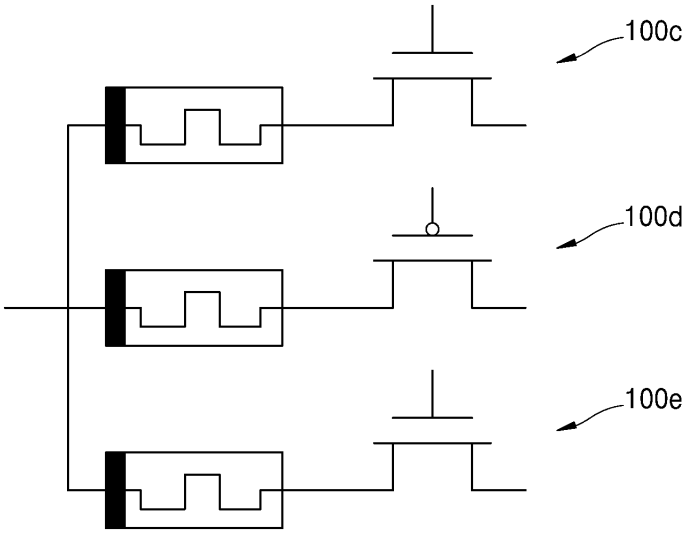
도면4


20a
30a
60a
70a
80a
20b
30b
60b
10a

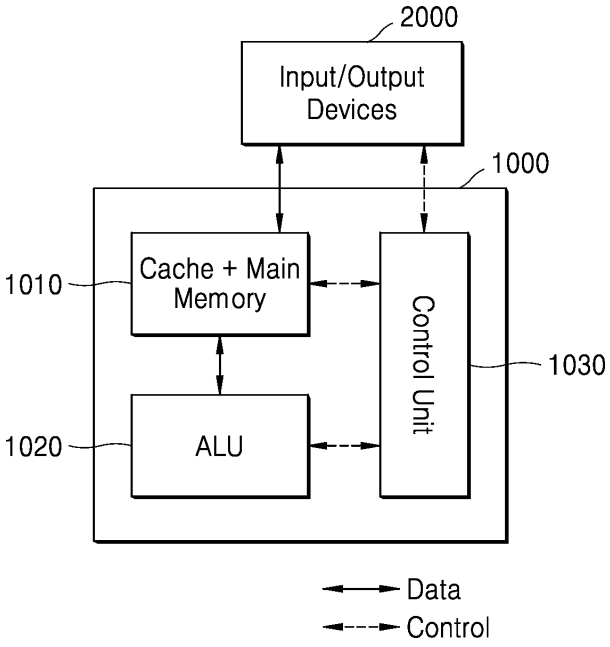
도면5a


100a
100b

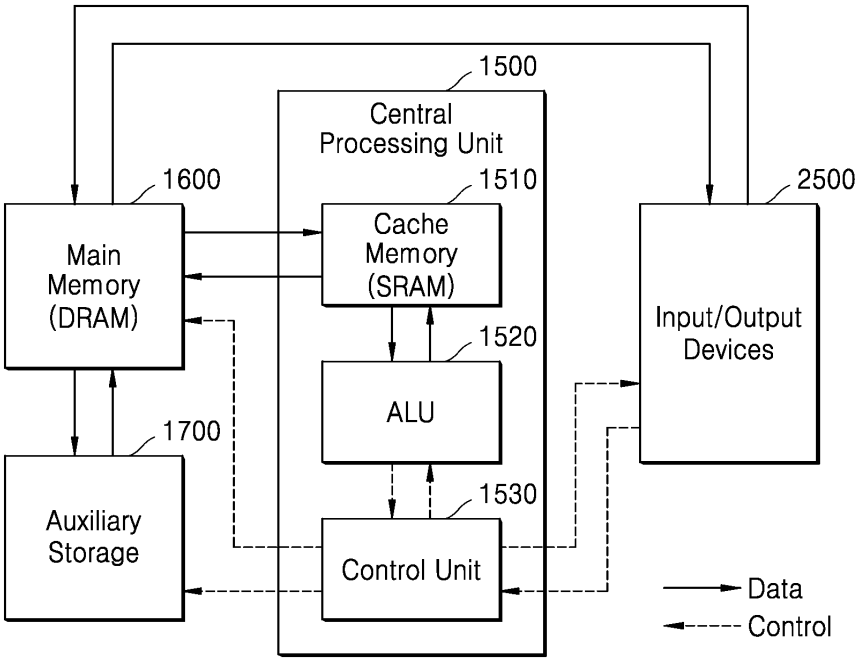
도면5b


100c
100d
100e

도면6


2000
Input/Output Devices
1000
1010
Cache + Main Memory
Control Unit
1030
1020
ALU
Data
Control

도면7


1500
Central
Processing Unit
1600
1510
2500
Main
Memory
(DRAM)
Cache
Memory
(SRAM)
Input/Output
Devices
1520
ALU
1700
1530
Auxiliary
Storage
Control Unit
Data
Control