

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年4月28日(2016.4.28)

【公表番号】特表2015-510272(P2015-510272A)

【公表日】平成27年4月2日(2015.4.2)

【年通号数】公開・登録公報2015-022

【出願番号】特願2014-556614(P2014-556614)

【国際特許分類】

H 01 L	29/06	(2006.01)
H 01 L	29/12	(2006.01)
H 01 L	29/78	(2006.01)
H 01 L	29/739	(2006.01)
H 01 L	29/861	(2006.01)
H 01 L	29/868	(2006.01)
H 01 L	29/744	(2006.01)
H 01 L	29/74	(2006.01)
H 01 L	21/331	(2006.01)
H 01 L	29/73	(2006.01)

【F I】

H 01 L	29/06	3 0 1 M
H 01 L	29/78	6 5 2 T
H 01 L	29/78	6 5 3 A
H 01 L	29/78	6 5 5 F
H 01 L	29/91	D
H 01 L	29/91	E
H 01 L	29/78	6 5 2 N
H 01 L	29/06	3 0 1 V
H 01 L	29/74	C
H 01 L	29/74	V
H 01 L	29/72	Z

【手続補正書】

【提出日】平成28年3月9日(2016.3.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

少なくとも10キロボルト(kV)の阻止電圧と、10ミリオーム平方センチメートル($m \cdot cm^2$)未満のオン抵抗と、を有する炭化ケイ素(SiC)半導体素子。

【請求項2】

前記オン抵抗は微分オン抵抗である、請求項1に記載のSiC半導体素子。

【請求項3】

平滑斜面に近似する多段負ベベル端部終端を備える、請求項1に記載のSiC半導体素子。

【請求項4】

前記微分オン抵抗は5m $\cdot cm^2$ 未満である、請求項2に記載のSiC半導体素子。

【請求項 5】

前記阻止電圧は 10 kV 以上 15 kV 以下の範囲である、請求項 2 に記載の SiC 半導体素子。

【請求項 6】

前記 微分 オン抵抗は $5 \text{ m} \cdot \text{cm}^2$ 未満である、請求項 5 に記載の SiC 半導体素子。

【請求項 7】

平滑斜面に近似する多段負ベベル端部終端を備える、請求項 2 に記載の SiC 半導体素子。

【請求項 8】

前記多段負ベベル端部終端は少なくとも 5 つの段を備える、請求項 7 に記載の SiC 半導体素子。

【請求項 9】

前記多段負ベベル端部終端は少なくとも 10 の段を備える、請求項 7 に記載の SiC 半導体素子。

【請求項 10】

前記多段負ベベル端部終端は少なくとも 15 の段を備える、請求項 7 に記載の SiC 半導体素子。

【請求項 11】

前記 SiC 半導体素子の前記阻止電圧は 10 kV 以上 25 kV 以下の範囲である、請求項 7 に記載の SiC 半導体素子。

【請求項 12】

前記 SiC 半導体素子の前記阻止電圧は 12 kV 以上 25 kV 以下の範囲である、請求項 7 に記載の SiC 半導体素子。

【請求項 13】

前記多段負ベベル端部終端の傾斜角は 15 度以下である、請求項 7 に記載の SiC 半導体素子。

【請求項 14】

前記 SiC 半導体素子はサイリスタであり、該サイリスタは、
第 1 導電型の基板と、

該基板の表面上にある、第 2 導電型のドリフト層と、

該ドリフト層の、前記基板とは反対側の表面上にある、前記第 1 導電型の基層と、

該基層の、前記ドリフト層とは反対側の表面上にある、前記第 2 導電型のアノードメサと、

前記基層の前記表面において形成されたゲート領域と、
を備え、

前記多段負ベベル端部終端は、前記ゲート領域に隣接する、前記アノードメサとは反対側の前記基層において形成される、

請求項 7 に記載の SiC 半導体素子。

【請求項 15】

前記 SiC 半導体素子は、バイポーラ接合トランジスタ (BJT: Bipolar Junction Transistor) であり、該 BJT は、

第 1 導電型の基板と、

該基板の表面上にある、前記第 1 導電型のドリフト層と、

該ドリフト層の、前記基板とは反対側の表面上にある、第 2 導電型の基層と、

該基層の、前記ドリフト層とは反対側の表面において形成された、前記第 2 導電型のベース領域と、

前記基層の、前記ドリフト層とは反対側であり前記ベース領域に隣接する前記表面上にある、エミッタメサと、

を備え、

前記多段負ベベル端部終端は、前記ベース領域に隣接する、前記エミッタメサとは反対

側の前記基層において形成される、

請求項3に記載のSiC半導体素子。

【請求項16】

前記SiC半導体素子は、バイポーラ接合トランジスタ(BJT: Bipolar Junction Transistor)であり、該BJTは、

第1導電型の基板と、

該基板の表面上にある、第2導電型のドリフト層と、

該ドリフト層の、前記基板とは反対側の表面上にある、前記第1導電型の基層と、

該基層の、前記ドリフト層とは反対側の表面上にある、前記第2導電型のエミッタ領域と、

該エミッタ領域に隣接して前記ドリフト層の中まで延在する前記BJTの表面において形成された、ゲートトレンチと、

を備え、

前記多段負ベベル端部終端は、前記エミッタ領域に隣接する、前記ゲートトレンチとは反対側の前記基層において形成される、

請求項3に記載のSiC半導体素子。

【請求項17】

前記SiC半導体素子はPINダイオードであり、該PINダイオードは、

第1導電型の基板と、

該基板の表面上にある、前記第1導電型のドリフト層と、

該ドリフト層の、前記基板とは反対側の表面上にある、第2導電型の半導体層と、

前記第2導電型の前記半導体層の、前記ドリフト層とは反対側の表面上にある、アノードメサと、

該アノードメサの、前記ドリフト層とは反対側の表面上にある、アノードコンタクトと、

前記基板の、前記ドリフト層とは反対側の表面上にある、カソードコンタクトと、を備え、

前記多段負ベベル端部終端は、前記アノードメサに隣接する前記第2導電型の前記半導体層において形成される、

請求項7に記載のSiC半導体素子。

【請求項18】

前記SiC半導体素子は、バイポーラ接合トランジスタ(BJT: Bipolar Junction Transistor)である、請求項1に記載のSiC半導体素子。

【請求項19】

少なくとも15キロボルト(kV)の阻止電圧と、15ミリオーム平方センチメートル(m²・cm²)未満のオン抵抗と、を有する炭化ケイ素(SiC)半導体素子。

【請求項20】

前記オン抵抗は微分オン抵抗である、請求項19に記載のSiC半導体素子。

【請求項21】

前記微分オン抵抗は7m²・cm²未満である、請求項20に記載のSiC半導体素子。

【請求項22】

前記阻止電圧は15kV以上20kV以下の範囲である、請求項20に記載のSiC半導体素子。

【請求項23】

前記微分オン抵抗は7m²・cm²未満である、請求項22に記載のSiC半導体素子。

【請求項24】

平滑斜面に近似する多段負ベベル端部終端を備える、請求項20に記載のSiC半導体素子。

【請求項 2 5】

少なくとも 20 キロボルト (kV) の阻止電圧と、 20 ミリオーム平方センチメートル (m · cm²) 未満のオン抵抗と、を有する炭化ケイ素 (SiC) 半導体素子。

【請求項 2 6】

前記オン抵抗は微分オン抵抗である、請求項 2 5 に記載の SiC 半導体素子。

【請求項 2 7】

前記微分オン抵抗は 10 m · cm² 未満である、請求項 2 6 に記載の SiC 半導体素子。

【請求項 2 8】

前記阻止電圧は 20 kV 以上 25 kV 以下の範囲である、請求項 2 6 に記載の SiC 半導体素子。

【請求項 2 9】

前記微分オン抵抗は 10 m · cm² 未満である、請求項 2 8 に記載の SiC 半導体素子。

【請求項 3 0】

平滑斜面に近似する多段負ベベル端部終端を備える、請求項 2 6 に記載の SiC 半導体素子。

【請求項 3 1】

前記 SiC 半導体素子は、サイリスタ、絶縁ゲートバイポーラトランジスタ (IGBT) 、および PIN ダイオードからなる群の 1 つである、請求項 2 に記載の SiC 半導体素子。