(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 17 日(17.04.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/058028 A1

(51) 国際特許分類:
H01L 21/8238 (2006.01) *H01L 27/06* (2006.01)
H01L 21/822 (2006.01) *H01L 27/092* (2006.01)
H01L 27/04 (2006.01)

(21) 国際出願番号: PCT/JP2013/077641

(22) 国際出願日: 2013 年 10 月 10 日(10.10.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-227527 2012 年 10 月 12 日(12.10.2012) JP

(71) 出願人: 富士電機株式会社(FUJI ELECTRIC CO., LTD.) [JP/JP]; 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 Kanagawa (JP).

(72) 発明者: 上西 顕寛(JONISHI, Akihiro); 〒2109530 神奈川県川崎市川崎区田辺新田１番１号 富士電機株式会社内 Kanagawa (JP).

(74) 代理人: 酒井 昭徳(SAKAI, Akinori); 〒1006020 東京都千代田区霞が関３丁目２番５号 霞が関ビルディング２０階 酒井総合特許事務所 Tokyo (JP).

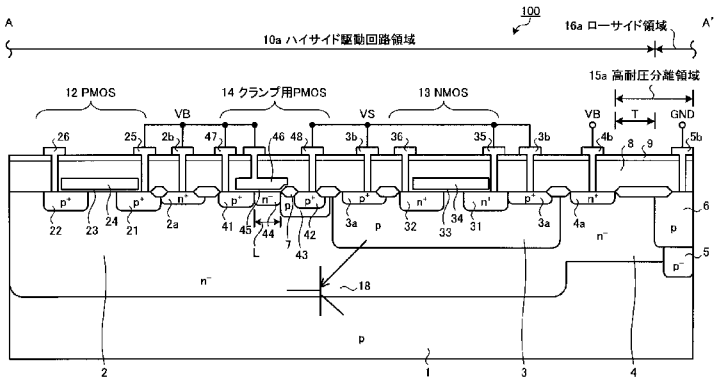
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR DEVICE

(54) 発明の名称 : 半導体装置



10a High-side drive circuit region
14 Clamping PMOS
15a High withstand voltage isolation region
16a Low-side region

(57) **Abstract**: A p diffusion region (3) is selectively provided on the surface layer of an n^- diffusion region (2) provided on the front surface side of a p-type bulk substrate (1). In the n^- diffusion region (2), a power supply potential (VB) is applied, and a PMOS (12) of a high-side drive circuit and a clamping PMOS (14) are disposed. In the p diffusion region (3), an intermediate potential (VS) is applied, and an NMOS (13) of the high-side drive circuit is disposed. The high-side drive circuit operates at a potential between the intermediate potential (VS) and the power supply potential (VB), with the intermediate potential (VS) as the reference potential. The threshold voltage of the clamping PMOS (14) is approximately -0.1 V to -0.6 V. A p^+ source region (41) and a gate electrode (46) of the clamping PMOS (14) are connected to a VB electrode (2b). A p^+ drain region (42) of the clamping PMOS (14) is connected to a VS electrode (3b). Consequently, breakdown due to surge can be prevented.

(57) 要約: ｐ型バルク基板（１）のおもて面側に設けられたｎ-拡散領域（２）の表面層には、ｐ拡散領域（３）が選択的に設けられる。ｎ-拡散領域（２）には、電源電位（ＶＢ）が印加され、ハイサイド駆動回路のＰＭＯＳ（１２）と、クランプ用ＰＭＯＳ（１４）とが配置される。ｐ拡散領域（３）には、中間電位（ＶＳ）が印加され、ハイサイド駆動回路のＮＭＯＳ（１３）が配置される。ハイサイド駆動回路は、中間電位（ＶＳ）を基準電位として、中間電位（ＶＳ）と電源電位（ＶＢ）との間の電位で動作する。クランプ用ＰＭＯＳ（１４）の閾値電圧は－０．１Ｖ～－０．６Ｖ程度である。クランプ用ＰＭＯＳ（１４）のｐ+ソース領域（４１）およびゲート電極（４６）はＶＢ電極（２ｂ）に接続される。クランプ用ＰＭＯＳ（１４）のｐ+ドレイン領域（４２）はＶＳ電極（３ｂ）に接続される。これにより、サージによる破壊を防止することができる。

WO 2014/058028 A1

明　細　書

発明の名称 ： 半導体装置

技術分野

［0001］　この発明は、半導体装置に関する。

背景技術

［0002］　従来、産業用インバータにおいて電力変換用ブリッジ回路を構成するＩＧＢＴ（絶縁ゲート型バイポーラトランジスタ）等のスイッチング素子のゲート駆動に用いる半導体素子として、入力側と出力側とを電気的に絶縁するトランスやフォトカプラが公知である。また、近年、主に低容量のインバータ用途において、低コスト化のために、入力側と出力側とを電気的に絶縁しない高耐圧ＩＣ（ＨＶＩＣ）が用いられている（例えば、下記非特許文献１，２参照）。

［0003］　従来の高耐圧ＩＣの回路構成について説明する。図２３は、従来の高耐圧ＩＣを示す回路図である。図２３に示す高耐圧ＩＣ２００は、電力変換用ブリッジ回路の一相分を構成する第１，２ＩＧＢＴ１０１，１０２を駆動する回路である。第１，２ＩＧＢＴ１０１，１０２は、高圧の主電源（正極側）Ｖｄｃと、この主電源の負極側であるグランド電位ＧＮＤとの間に直列に接続される。ＶＳ端子は、第１ＩＧＢＴ１０１と第２ＩＧＢＴ１０２との接続点１０５に接続される。接続点１０５は、第１，２ＩＧＢＴ１０１，１０２で構成されるブリッジ回路の出力点である。

［0004］　高耐圧ＩＣ２００は、一般的に、ハイサイド駆動回路１１０、ローサイド駆動回路（不図示）、レベルシフタ１１５、制御回路１１６を備える。ハイサイド駆動回路１１０は、ゲート駆動回路１１１、レベルシフト抵抗１１９などを備える。ゲート駆動回路１１１は、ハイサイド側のｐチャネルＭＯＳＦＥＴ（絶縁ゲート型電界効果トランジスタ、以下、ＰＭＯＳとする）１１２と、ローサイド側のｎチャネルＭＯＳＦＥＴ（以下、ＮＭＯＳとする）１１３とが相補うように接続されたＣＭＯＳ（相補型ＭＯＳ）回路よりなる。

符号１０３，１０４，１１７はＦＷＤ（還流ダイオード）である。

[0005] 制御回路１１６は、グランド電位ＧＮＤを基準として動作し、第１ＩＧＢＴ１０１をオン・オフするためのローサイドレベルのオン・オフ信号、および第２ＩＧＢＴ１０２をオン・オフするためのローサイドレベルのオン・オフ信号を生成する。レベルシフタ１１５は、制御回路１１６によって生成されたローサイドレベルのオン・オフ信号を、第１ＩＧＢＴ１０１のゲートに入力されるハイサイドレベルのオン・オフ信号に変換する。

[0006] ハイサイド側の第１ＩＧＢＴ１０１を駆動する場合の高耐圧ＩＣ２００の動作について説明する。制御回路１１６によって第１ＩＧＢＴ１０１をオン・オフするためのローサイドレベルのオン・オフ信号が生成される。このローサイドレベルのオン・オフ信号は、レベルシフタ１１５によりハイサイドレベルのオン・オフ信号に変換された後、ハイサイド駆動回路１１０に入力される。ハイサイド駆動回路１１０は、中間電位ＶＳを基準電位として、中間電位ＶＳと電源電位ＶＢとの間の電位で動作する。電源電位ＶＢは、中間電位ＶＳよりも例えば１５Ｖ程度高くなっている。

[0007] 制御回路１１６からハイサイド駆動回路１１０に入力されたオン・オフ信号は、ＮＯＴ回路およびその後段のゲート駆動回路１１１を介してハイサイド側の第１ＩＧＢＴ１０１のゲートに入力される。第１ＩＧＢＴ１０１は、制御回路１１６からのオン・オフ信号に基づいてオン・オフされる。高耐圧ＩＣ２００の動作中、ＶＳ端子に印加される中間電位ＶＳは０ＶからＶｄｃまでの間で変動する。

[0008] このような高耐圧ＩＣ２００を低コストで作製（製造）する方法として、安価なバルク基板を用いることができ、かつ特別な素子分離プロセスを必要としない自己分離技術を用いたＩＣプロセスが適している。自己分離型ＩＣプロセスによって作製された高耐圧ＩＣ２００の構造について説明する。図２４は、従来の高耐圧ＩＣの平面構造を模式的に示す平面図である。図２５は、図２４の切断線ＡＡ－ＡＡ’における断面構造を示す断面図である。

[0009] 図２４，２５に示すように、ｐ型バルク基板２０１には、ハイサイド駆動

回路が配置されたハイサイド駆動回路領域２１０、ハイサイド駆動回路領域２１０を囲む高耐圧分離領域２１５、高耐圧分離領域２１５を囲むローサイド領域２１６が設けられている。高耐圧分離領域２１５には、レベルシフタ１１５が配置される。ローサイド領域２１６は、ハイサイド駆動回路領域２１０と、高耐圧分離領域２１５の、レベルシフタ１１５が形成された部分とを除いた部分である。ローサイド領域２１６には、制御回路１１６が配置される。ハイサイド駆動回路領域２１０は、高耐圧分離領域２１５によってローサイド領域２１６と分離され、ローサイド領域２１６よりも６００Ｖ以上の高電位が印加可能となっている。

[0010] ｐ型バルク基板２０１の表面層には、ｎ⁻拡散領域２０２が選択的に形成されている。ｎ⁻拡散領域２０２は、ハイサイド駆動回路領域２１０から高耐圧分離領域２１５にわたって設けられている。ｎ⁻拡散領域２０２には、ハイサイド駆動回路領域２１０においてハイサイド駆動回路が形成されている。具体的には、ｎ⁻拡散領域２０２の表面層には、ゲート駆動回路を構成する横型のＰＭＯＳ２１２および横型のＮＭＯＳ２１３が形成されている。

[0011] ＮＭＯＳ２１３は、ｎ⁻拡散領域２０２の表面層に設けられたｐ⁻拡散領域２０３に形成される。また、ｐ型バルク基板２０１の表面層の、ｎ⁻拡散領域２０２の外側には、ローサイド領域２１６内にｐ⁻領域２０４が設けられている。ｐ型バルク基板２０１およびｐ⁻領域（以下、ｐ⁻ＧＮＤ領域とする）２０４にはグランド電位ＧＮＤが印加される。ｎ⁻拡散領域２０２には、ハイサイド電源電位ＶＢが印加される。ｐ⁻拡散領域２０３には中間電位ＶＳが印加される。

[0012] このような高耐圧ＩＣとして、高電位ゲート駆動回路部と、レベルシフト回路部とを同一の他導電型半導体基板上に備え、前記高電位ゲート駆動回路部には少なくとも一つの横型ＭＯＳＦＥＴが形成され、前記半導体基板の主面に平行方向に選択的に、かつ前記横型ＭＯＳＦＥＴのソース領域およびドレイン領域の下方に、寄生素子抑制用の埋め込み絶縁膜を有する装置が提案されている（例えば、下記特許文献１参照。）。

[0013] また、別の高耐圧ＩＣとして、次の装置が提案されている。入出力端子と接地端子の間に接続された静電保護回路としてのｓｇＰＭＯＳトランジスタを備えている。トランジスタはソースとゲートが入出力端子に接続され、ドレインが接地端子に接続されている。トランジスタのドレインは第１Ｐ型ドレイン拡散層と第２Ｐ型ドレイン拡散層からなる二重拡散構造を備えている（例えば、下記特許文献２参照。）。

[0014] また、別の高耐圧ＩＣとして、次の装置が提案されている。高耐圧素子が形成された高耐圧素子領域と、低耐圧素子が形成された低耐圧素子領域とが規定されたｐ$^-$半導体基板を含む。ｐ$^-$半導体基板の上には、ｎ$^+$埋込み拡散層、ｎ$^-$エピタキシャル層が形成されている（例えば、下記特許文献３（第０００３段落、第５図）参照。）。

先行技術文献

特許文献

[0015] 特許文献1：特開２００８－２８８４７６号公報

特許文献2：特開２００９－１０５３９２号公報

特許文献3：特開２００７－２２０７６６号公報

非特許文献

[0016] 非特許文献1：ティー・フジヒラ（Ｔ．ＦＵＪＩＨＩＲＡ）、外４名、プロポーザル　オブ　ニュー　インターコネクション　テクニック　フォア　ベリー　ハイーボルテージ　ＩＣ’ｓ（Ｐｒｏｐｏｓａｌ　ｏｆ　Ｎｅｗ　Ｉｎｔｅｒｃｏｎｎｅｃｔｉｏｎ　Ｔｅｃｈｎｉｑｕｅ　ｆｏｒ　Ｖｅｒｙ　Ｈｉｇｈ－Ｖｏｌｔａｇｅ　ＩＣ’ｓ）、ジャパニーズ　ジャーナル　オブ　アプライド　フィジクス（Ｊａｐａｎｅｓｅ　Ｊｏｕｒｎａｌ　ｏｆ　Ａｐｐｌｉｅｄ　Ｐｈｙｓｉｃｓ）、１９９６年１１月、第３５巻（第１版）、第１１号、ｐ．５６５５－５６６３

非特許文献2：ジョナサン・アダムス（Ｊｏｎａｔｈａｎ　Ａｄａｍｓ）、“コントロールＩＣ用ブートストラップ回路部品の選定”、［ｏｎｌｉｎｅ］、インターナショナル・レクティファイアー・ジャパン株式会社（Ｉｎｔｅ

ｒｎａｔｉｏｎａｌ　Ｒｅｃｔｉｆｉｅｒ　Ｊａｐａｎ）、［平成２４年９月２４日検索］、インターネット＜ｈｔｔｐ：／／ｗｗｗ．ｉｒｆ－ｊａｐａｎ．ｃｏｍ／ｔｅｃｈｎｉｃａｌ－ｉｎｆｏ／ｄｅｓｉｇｎｔｐ／ｄｔ９８－２ｊ．ｐｄｆ＞

発明の概要

発明が解決しようとする課題

[0017] しかしながら、自己分離型ＩＣプロセスによって作製された高耐圧ＩＣ２００では、ハイサイド駆動回路領域２１０内に、p^-拡散領域２０３、n^-拡散領域２０２およびｐ型バルク基板２０１からなる寄生ｐｎｐバイポーラトランジスタ１１８が形成される。寄生ｐｎｐバイポーラトランジスタ１１８のベース、エミッタおよびコレクタは、それぞれ、ＶＢ端子、ＶＳ端子、ＧＮＤ端子に接続された状態となる。

[0018] 高耐圧ＩＣ２００の通常動作において、電源電位ＶＢは中間電位ＶＳよりも高いため、寄生ｐｎｐバイポーラトランジスタ１１８は動作しない。しかし、負電圧サージにより電源電位ＶＢが中間電位ＶＳよりもシリコンｐｎ接合の拡散電位である０．６Ｖ以上低下した場合、すなわちＶＢ＜（ＶＳ－０．６［Ｖ］）の電位関係になった場合、寄生ｐｎｐバイポーラトランジスタ１１８がオン状態となる。これにより、高電圧（～Ｖｄｃの高電位側電位）が印加されたＶＳ端子とＧＮＤ端子との間に大電流が流れるため、大電流による発熱によって高耐圧ＩＣ２００が破壊される虞がある。

[0019] このようなサージによる破壊を回避するため、通常、上記非特許文献２で提案されるように、ｐ型バルク基板２０１の外部に外付け部品としてＶＢ端子とＶＳ端子との間に接続されたバイパスコンデンサが配置される。しかしながら、レイアウト設計やコスト上の制約によりバイパスコンデンサを配置することができなかったり、レイアウト設計の制約により高耐圧ＩＣ２００から離れた位置に配置されることで十分に効果が得られないという問題がある。

[0020] この発明は、上述した従来技術による問題点を解消するため、サージによ

る破壊を防止することができる半導体装置を提供することを目的とする。

課題を解決するための手段

[0021] 上述した課題を解決し、本発明の目的を達成するため、この発明にかかる半導体装置は、次の特徴を有する。第１導電型の半導体層の表面層に、第１電位が印加される第２導電型の第１半導体領域が設けられている。前記第１半導体領域の内部に、第２電位が印加される第１導電型の第２半導体領域が設けられている。前記第１半導体領域および前記第２半導体領域に、前記第２電位を基準電位とし、前記第２電位よりも高い前記第１電位との間の電位で動作する回路が設けられている。前記第１半導体領域の内部に選択的に設けられた第１導電型のソース領域、前記第１半導体領域の内部に選択的に設けられた第１導電型のドレイン領域、および、前記第１半導体領域の、前記ソース領域と前記ドレイン領域とに挟まれた部分の表面にゲート絶縁膜を介して設けられたゲート電極を有する絶縁ゲート型電界効果トランジスタが設けられている。前記絶縁ゲート型電界効果トランジスタの閾値電圧は－０．１Ｖ～－０．６Ｖである。前記ソース領域および前記ゲート電極は前記第１半導体領域に電気的に接続されている。前記ドレイン領域は前記第２半導体領域に電気的に接続されている。

[0022] また、この発明にかかる半導体装置は、上述した発明において、絶縁体を介して、前記ゲート電極の前記ゲート絶縁膜側に対して反対側に対向する導電体をさらに備える。前記導電体は、前記ドレイン領域に電気的に接続されていることを特徴とする。

[0023] また、この発明にかかる半導体装置は、上述した発明において、前記絶縁体は、高誘電体材料でできていることを特徴とする。

[0024] また、この発明にかかる半導体装置は、上述した発明において、前記絶縁体は、酸化ジルコニウム、酸化ハフニウムまたは酸化ランタンでできていることを特徴とする。

[0025] 上述した発明によれば、ハイサイド駆動回路の電源電位ＶＢが印加されるＶＢ電極にゲートおよびソースが電気的に接続され、ハイサイド駆動回路の

基準電位となる中間電位ＶＳが印加されるＶＳ電極にドレインが電気的に接続されたクランプ用ＰＭＯＳ（絶縁ゲート型電界効果トランジスタ）をハイサイド駆動回路領域（第１半導体領域）に設けることで、負電圧サージが印加されたときにクランプ用ＰＭＯＳに電流を流すことができる。これにより、負電圧サージが印加されたときに電源電位ＶＢが中間電位ＶＳよりもシリコンｐｎ接合の拡散電位である０．６Ｖ以上低下することを抑制することができる。したがって、ｐ型バルク基板を用いて自己分離型ＩＣプロセスによって作製した高耐圧ＩＣにおいて、負電圧サージによる寄生ｐｎｐバイポーラトランジスタの動作を抑制することができる。このため、高電圧（Ｖｄｃの高電位側電位）が印加されたＶＳ端子とＧＮＤ端子との間に大電流が流れることを防止することができる。

発明の効果

[0026] 本発明にかかる半導体装置によれば、サージによる破壊を防止することができるという効果を奏する。

図面の簡単な説明

[0027] [図1]図１は、実施の形態１にかかる半導体装置を示す回路図である。

[図2]図２は、実施の形態１にかかる半導体装置の平面構造を模式的に示す平面図である。

[図3]図３は、図２の切断線Ａ－Ａ’における断面構造を示す断面図である。

[図4]図４は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図5]図５は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図6]図６は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図7]図７は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図8]図８は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面

図である。

[図9]図９は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図10]図１０は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図11]図１１は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図12]図１２は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図13]図１３は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図14]図１４は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図15]図１５は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図16]図１６は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図17]図１７は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。

[図18]図１８は、実施の形態２にかかる半導体装置を示す回路図である。

[図19]図１９は、実施の形態２にかかる半導体装置の断面構造を模式的に示す平面図である。

[図20]図２０は、クランプ用のｐチャネルＭＯＳＦＥＴの電気的特性を示す特性図である。

[図21]図２１は、クランプ用のｐチャネルＭＯＳＦＥＴのオン時の電気的特性を示す特性図である。

[図22]図２２は、実施例にかかる半導体装置の負電圧サージ印加時の電気的特性を示す特性図である。

[図23]図２３は、従来の高耐圧ＩＣを示す回路図である。

[図24]図２４は、従来の高耐圧ＩＣの平面構造を模式的に示す平面図である。

[図25]図２５は、図２４の切断線ＡＡ－ＡＡ’における断面構造を示す断面図である。

発明を実施するための形態

[0028] 以下に添付図面を参照して、この発明にかかる半導体装置の好適な実施の形態を詳細に説明する。本明細書および添付図面においては、ｎまたはｐを冠記した層や領域では、それぞれ電子または正孔が多数キャリアであることを意味する。また、ｎやｐに付す＋およびーは、それぞれそれが付されていない層や領域よりも高不純物濃度および低不純物濃度であることを意味する。なお、以下の実施の形態の説明および添付図面において、同様の構成には同一の符号を付し、重複する説明を省略する。

[0029] （実施の形態１）

実施の形態１にかかる半導体装置の構造について説明する。図１は、実施の形態１にかかる半導体装置を示す回路図である。図１に示す実施の形態１にかかる半導体装置は、電力変換用ブリッジ回路（主回路）の一相分を構成する第１，２ＩＧＢＴ１０１，１０２を駆動する高耐圧ＩＣ１００である。図１に示すように、高耐圧ＩＣ１００は、ハイサイド駆動回路１０、ローサイド駆動回路（不図示）、クランプ用のエンハンストメント型ｐチャネルＭＯＳＦＥＴ（以下、クランプ用ＰＭＯＳとする）１４、レベルシフタ１５、制御回路１６を備える。

[0030] ハイサイド駆動回路１０は、ゲート駆動回路１１、ＮＯＴ回路、レベルシフト抵抗１９などを備える。第１，２ＩＧＢＴ１０１，１０２は、高圧の主電源（正極側）Ｖｄｃと、この主電源の負極側であるグランド電位ＧＮＤとの間に直列に接続されている。ＶＳ端子は、第１ＩＧＢＴ１０１と第２ＩＧＢＴ１０２との接続点１０５に接続される。接続点１０５は、第１，２ＩＧＢＴ１０１，１０２で構成される電力変換用ブリッジ回路の出力点であり、

例えば負荷であるモータなどが接続される。

[0031] 高耐圧ＩＣ１００の動作中、ＶＳ端子に印加される中間電位ＶＳは、第１ＩＧＢＴ１０１と第２ＩＧＢＴ１０２とが相補にオン・オフ（ｏｎ・ｏｆｆ）されることによって、主電源Ｖｄｃの高電位側電位（例えば４００Ｖ程度）と低電位側電位（グランド電位ＧＮＤ）との間で上昇および下降を繰り返し、０Ｖから数百Ｖまでの間で変動する。電源電位ＶＢは、中間電位ＶＳよりも１５Ｖ程度高くなっており、基板電位（グランド電位ＧＮＤ）よりも４１５Ｖ程度高くなっている。

[0032] ハイサイド駆動回路１０は、ＶＳ端子に印加される電位（中間電位）ＶＳを基準電位として、中間電位ＶＳと電源電位ＶＢとの間の電位で動作し、ハイサイド側の第１ＩＧＢＴ１０１を駆動する。具体的には、ハイサイド駆動回路１０は、レベルシフト抵抗１９の電圧降下を信号として、ＮＯＴ回路およびその後段のゲート駆動回路１１を介してハイサイド側の第１ＩＧＢＴ１０１のゲートにオン・オフ信号を入力する。

[0033] ゲート駆動回路１１は、ハイサイド側のｐチャネルＭＯＳＦＥＴ（ＰＭＯＳ）１２と、ローサイド側のｎチャネルＭＯＳＦＥＴ（ＮＭＯＳ）１３とが相補うように接続されたＣＭＯＳ回路よりなる。具体的には、ＰＭＯＳ１２のソースはＶＢ端子に接続され、ＰＭＯＳ１２のドレインはＮＭＯＳ１３のドレインに接続されている。ＮＭＯＳ１３のソースはＶＳ端子に接続されている。ＰＭＯＳ１２とＮＭＯＳ１３との接続点は、第１ＩＧＢＴ１０１のゲートに接続されている。

[0034] また、ＶＢ端子とＶＳ端子との間には、クランプ用ＰＭＯＳ１４が接続されている。具体的には、クランプ用ＰＭＯＳ１４のソースおよびゲートはＶＢ端子に接続されている。クランプ用ＰＭＯＳ１４のドレインは、ＶＳ端子に接続されている。クランプ用ＰＭＯＳ１４の閾値電圧は、－０．１Ｖ～－０．６Ｖ程度である。クランプ用ＰＭＯＳ１４の耐圧は１５Ｖ以上であるのが好ましい。なお、ここでいう閾値電圧とは、ゲート電圧を０Ｖから上昇あるいは降下させた際に、チャネルが弱反転状態から強反転状態に変わる時の

ゲート電圧のことである。

[0035] 制御回路１６は、グランド電位ＧＮＤを基準として動作し、第１ＩＧＢＴ１０１をオン・オフするためのローサイドレベルのオン・オフ信号、および第２ＩＧＢＴ１０２をオン・オフするためのローサイドレベルのオン・オフ信号を生成する。レベルシフタ１５は、制御回路１６によって生成されたローサイドレベルのオン・オフ信号を、第１ＩＧＢＴ１０１のゲートに入力されるハイサイドレベルのオン・オフ信号に変換する。符号１０３，１０４，１７はＦＷＤ（還流ダイオード）である。

[0036] 高耐圧ＩＣ１００は、例えばｐ型バルク基板上に自己分離技術を用いたＩＣプロセスによって製造される。高耐圧ＩＣ１００の平面構造について説明する。図２は、実施の形態１にかかる半導体装置の平面構造を模式的に示す平面図である。図２に示すように、ｐ型バルク基板１上には、ハイサイド駆動回路１０が配置されたハイサイド駆動回路領域１０ａ、ハイサイド駆動回路１０の耐圧を確保する高耐圧分離領域１５ａ、高耐圧分離領域１５ａを囲むローサイド領域１６ａが設けられている。

[0037] ハイサイド駆動回路領域１０ａの周囲には、ハイサイド駆動回路領域１０ａを囲むように高耐圧分離領域１５ａが配置される。ハイサイド駆動回路領域１０ａは、高耐圧分離領域１５ａによってローサイド領域１６ａと分離され、ローサイド領域１６ａよりも６００Ｖ以上の高電位が印加可能となっている。ハイサイド駆動回路領域１０ａには、例えばハイサイド駆動回路領域１０ａと高耐圧分離領域１５ａとの境界付近においてハイサイド駆動回路１０を囲むようにＶＢ電極４ｂが配置される。

[0038] ハイサイド駆動回路領域１０ａ内には、高耐圧ＩＣ１００の設計条件に応じて図示省略するＶＢ電極およびＶＳ電極が選択的に配置される。ハイサイド駆動回路領域１０ａ内にＶＢ電極およびＶＳ電極を配置することにより、ノイズとなるキャリアを引き抜くことができる。高耐圧分離領域１５ａには、レベルシフタ１５が配置される。ローサイド領域１６ａは、ハイサイド駆動回路領域１０ａと、高耐圧分離領域１５ａの、レベルシフタ１５が形成さ

れた部分とを除いた部分である。ローサイド領域１６ａには、制御回路１６が配置される。レベルシフタ１５をローサイド領域１６ａに形成することもできる。

[0039] 次に、高耐圧ＩＣ１００の断面構造について説明する。図３は、図２の切断線Ａ－Ａ’における断面構造を示す断面図である。図３に示すように、高耐圧ＩＣ１００は、ｐ型バルク基板１に自己分離型ＩＣプロセスによって作製された素子分離構造を有する。ｐ型バルク基板１の表面層には、n^-拡散領域２が選択的に形成されている。n^-拡散領域２は、ハイサイド駆動回路領域１０ａに設けられている。n^-拡散領域２の拡散深さは、例えば１０μｍ程度であってもよい。n^-拡散領域２の表面層には、ｐ拡散領域３が選択的に設けられている。

[0040] n^-拡散領域２およびｐ拡散領域３には、ハイサイド駆動回路１０が設けられている。n^-拡散領域２には、クランプ用ＰＭＯＳ１４が設けられている。図３には、ハイサイド駆動回路１０の構成部のうち、ゲート駆動回路１１を構成する横型のｐチャネルＭＯＳＦＥＴ（ＰＭＯＳ）１２および横型のｎチャネルＭＯＳＦＥＴ（ＮＭＯＳ）１３を示す。n^-拡散領域２には、n^-拡散領域２の内部に設けられたn^+高濃度領域２ａを介して電気的に接続されたＶＢ電極２ｂから電源電位ＶＢが印加される。ｐ拡散領域３には、ｐ拡散領域３の内部に設けられたp^+高濃度領域３ａを介して電気的に接続されたＶＳ電極３ｂから中間電位ＶＳ（接続点１０５の電位）が印加される。

[0041] 具体的には、ＰＭＯＳ１２は、n^-拡散領域２の表面層に形成されている。ＰＭＯＳ１２は、p^+ソース領域２１、p^+ドレイン領域２２、ゲート絶縁膜２３、ゲート電極２４、ソース電極２５およびドレイン電極２６を備える。p^+ソース領域２１およびp^+ドレイン領域２２は、n^-拡散領域２の内部に互いに離れて設けられる。p^+ソース領域２１およびp^+ドレイン領域２２の拡散深さは、ｐ拡散領域３の拡散深さよりも浅い。ゲート電極２４は、n^-拡散領域２の、p^+ソース領域２１とp^+ドレイン領域２２とに挟まれた部分の表面にゲート絶縁膜２３を介して設けられている。ソース電極２５およびドレイン電極

２６は、それぞれｐ+ソース領域２１およびｐ+ドレイン領域２２に電気的に接続されている。ソース電極２５は、例えばアルミニウム配線によってＶＢ電極２ｂに接続される。

[0042] ＮＭＯＳ１３は、ｐ拡散領域３の表面層に形成されている。ＮＭＯＳ１３は、ｎ+ソース領域３１、ｎ+ドレイン領域３２、ゲート絶縁膜３３、ゲート電極３４、ソース電極３５およびドレイン電極３６を備える。ｎ+ソース領域３１およびｎ+ドレイン領域３２は、ｐ拡散領域３の内部に互いに離れて設けられている。ゲート電極３４は、ｐ拡散領域３の、ｎ+ソース領域３１とｎ+ドレイン領域３２とに挟まれた部分の表面にゲート絶縁膜３３を介して設けられている。ソース電極３５およびドレイン電極３６は、それぞれｎ+ソース領域３１およびｎ+ドレイン領域３２に電気的に接続されている。ソース電極３５は、例えばアルミニウム配線によってＶＳ電極３ｂに接続される。

[0043] クランプ用ＰＭＯＳ１４は、ｎ-拡散領域２の表面層に形成されている。クランプ用ＰＭＯＳ１４は、ｐ+ソース領域４１、ｐ+ドレイン領域４２、ｐドレインドリフト領域４３、ｎ-チャネル領域４４、ゲート絶縁膜４５、ゲート電極４６、ソース電極４７およびドレイン電極４８を備える。クランプ用ＰＭＯＳ１４において、ｐ+ソース領域４１およびｐ+ドレイン領域４２は、ｎ-拡散領域２の内部に互いに離れて設けられている。ｐ+ソース領域４１およびｐ+ドレイン領域４２の拡散深さは、ｐ拡散領域３の拡散深さよりも浅い。ｐドレインドリフト領域４３は、ｐ+ドレイン領域４２を覆うようにｎ-拡散領域２の内部に設けられている。

[0044] ｎ-チャネル領域４４は、ｐ+ソース領域４１とｐドレインドリフト領域４３との間に設けられている。ゲート電極４６は、ｎ-拡散領域２の、ｐ+ソース領域４１とｐ+ドレイン領域４２とに挟まれた部分の表面にゲート絶縁膜４５を介して設けられている。ソース電極４７およびドレイン電極４８は、それぞれｐ+ソース領域４１およびｐ+ドレイン領域４２に電気的に接続されている。ゲート電極４６およびソース電極４７は、例えばアルミニウム配線によってＶＢ電極２ｂに接続される。ドレイン電極４８は、例えばアルミニウム配線

によってＶＳ電極３ｂに接続される。

[0045] クランプ用ＰＭＯＳ１４のチャネル長Ｌおよびチャネル幅Wは、それぞれ、例えば１．７μｍおよび２５０００μｍであってもよい。クランプ用ＰＭＯＳ１４のチャネル長Ｌとは、p^+ソース領域４１とｐドレインドリフト領域４３との間の最短距離である。クランプ用ＰＭＯＳ１４のチャネル幅Wは、チャネル長Ｌに直交する方向のチャネル部の幅である。図３では、ＰＭＯＳ１２とＮＭＯＳ１３との間にクランプ用ＰＭＯＳ１４を図示しているが、クランプ用ＰＭＯＳ１４はハイサイド駆動回路領域１０ａ内に配置され、ＶＢ端子とＶＳ端子との間に電気的に接続されていればよい。また、クランプ用ＰＭＯＳ１４の配置面積が広い程、より本発明の効果が得られる。

[0046] また、ｐ型バルク基板１の表面層の、n^-拡散領域２の外側には、例えばn^-拡散領域２よりも浅い深さでn^-拡散領域４が設けられている。n^-拡散領域４は、n^-拡散領域２に接し、かつn^-拡散領域２の周囲を囲む。n^-拡散領域４には、n^-拡散領域４内部のn^+高濃度領域４ａを介して電気的に接続されたＶＢ電極４ｂから電源電位ＶＢが印加される。n^+高濃度領域４ａおよびＶＢ電極４ｂは、ハイサイド駆動回路領域１０ａの周囲を囲む。n^-拡散領域２から、n^+高濃度領域４ａの外側の端部までがハイサイド駆動回路領域１０ａである。

[0047] ｐ型バルク基板１の表面層のn^-拡散領域４の外側には、n^-拡散領域４の周囲を囲み、かつn^-拡散領域４に接するp^-領域５が設けられている。n^-拡散領域４およびp^-領域５の内部には、n^-拡散領域４とp^-領域５との境界にｐ領域６が設けられている。p^-領域（以下、p^-ＧＮＤ領域とする）５およびｐ領域（以下、ｐＧＮＤ領域とする）６には、ｐＧＮＤ領域６内部のp^+高濃度領域（不図示）を介して電気的に接続されたＧＮＤ電極５ｂからグランド電位ＧＮＤが印加される。p^-ＧＮＤ領域５およびｐＧＮＤ領域６は、ｐ型バルク基板１をグランド電位ＧＮＤに固定する機能を有する。

[0048] n^-拡散領域４、p^-ＧＮＤ領域５およびｐＧＮＤ領域６は、高耐圧分離領域１５ａを構成する。具体的には、n^+高濃度領域４ａの外側の端部からp^-ＧＮ

Ｄ領域５の外側の端部までが高耐圧分離領域１５ａである。n^+高濃度領域４ａの外側の端部からｐＧＮＤ領域６の内側の端部までの距離Ｔは、耐圧６００Ｖである場合に１００μｍ程度であり、耐圧１２００Ｖである場合に２００μｍ程度である。

[0049] n^+高濃度領域４ａの外側の端部から外側の、シフトレジスタ（不図示）が形成された部分を除いた部分がローサイド領域１６ａである。符号７はＬＯＣＯＳ（Ｌｏｃａｌ Ｏｘｉｄａｔｉｏｎ ｏｆ Ｓｉｌｉｃｏｎ）などの局部絶縁膜である。符号８はＢＰＳＧ（Ｂｏｒｏ Ｐｈｏｓｐｈｏ Ｓｉｌｉｃａｔｅ Ｇｌａｓｓ）等の層間絶縁膜である。符号９はシリコン窒化膜（Si_3N_4膜）などからなるパッシベーション膜である。

[0050] また、高耐圧ＩＣ１００は、後述するように自己分離技術を用いたＩＣプロセス（自己分離型ＩＣプロセス）によって作製される。このため、ハイサイド駆動回路領域１０ａ内には、ｐ拡散領域３をエミッタとし、n^-拡散領域２をベースとし、ｐ型バルク基板１をコレクタとする寄生ｐｎｐバイポーラトランジスタ１８が形成される。寄生ｐｎｐバイポーラトランジスタ１８のベース、エミッタおよびコレクタは、それぞれ、ＶＢ端子、ＶＳ端子、ＧＮＤ端子に接続された状態となる。

[0051] 次に、高耐圧ＩＣ１００の製造方法について説明する。主に、クランプ用ＰＭＯＳ１４の製造工程について説明する。図４～１７は、実施の形態１にかかる半導体装置の製造途中の状態を示す断面図である。まず、図４に示すように、比抵抗が例えば３００Ωｃｍ程度のシリコンからなるｐ型バルク基板１を用意する。次に、ｐ型バルク基板１の表面にレジストマスク５１を形成し、n^-拡散領域２の形成領域に対応する部分を露出させる。

[0052] 次に、レジストマスク５１をマスクとして例えばリン（Ｐ）などのｎ型不純物の第１イオン注入６１を行う。図４において、ｐ型バルク基板１表面近傍の点線は、第１イオン注入６１されたｎ型不純物をあらわしている（図５，６においても同様）。第１イオン注入６１の加速電圧およびドーズ量は、それぞれ、例えば５０ｋｅＶ程度および２．０×10^{13}／cm^2程度であっても

よい。

[0053] 次に、図５に示すように、レジストマスク５１の除去後、ｐ型バルク基板１の表面にレジストマスク５２を形成し、ｎ⁻拡散領域４の形成領域に対応する部分を露出させる。次に、レジストマスク５２をマスクとして例えばリンなどのｎ型不純物の第２イオン注入６２を行う。第２イオン注入６２の加速電圧およびドーズ量は、それぞれ、例えば５０ｋｅＶ程度および４．０×１０^{12}／ｃｍ^{2}程度であってもよい。図５において、ｐ型バルク基板１表面近傍の点線（第１イオン注入６１されたｎ型不純物を示す点線よりも細かい点線）は、第２イオン注入６２されたｎ型不純物をあらわしている（図６においても同様）。

[0054] 次に、図６に示すように、レジストマスク５２の除去後、ｐ型バルク基板１の表面にレジストマスク５３を形成し、ｐ⁻ＧＮＤ領域５の形成領域に対応する部分を露出させる。次に、レジストマスク５３をマスクとして例えばボロン（Ｂ）などのｐ型不純物の第３イオン注入６３を行う。第３イオン注入６３の加速電圧およびドーズ量は、それぞれ、例えば５０ｋｅＶ程度および３．０×１０^{12}／ｃｍ^{2}程度であってもよい。

[0055] 図６において、ｐ型バルク基板１表面近傍の点線（第１，２イオン注入６１，６２されたｎ型不純物を示す点線よりも粗い点線）は、第３イオン注入６３されたｐ型不純物をあらわしている。次に、レジストマスク５３の除去後、例えば窒素（N_2）雰囲気下において１２００℃程度の温度の熱処理を３００分程度行い、ｐ型バルク基板１に第１～３イオン注入６１～６３されたｎ型不純物およびｐ型不純物を熱拡散させる。これにより、図７に示すように、ｎ⁻拡散領域２、ｎ⁻拡散領域４およびｐ⁻ＧＮＤ領域５が形成される。

[0056] 次に、図８に示すように、ｐ型バルク基板１の、ｎ⁻拡散領域２が形成された側の表面（以下、単に表面とする）にレジストマスク５４を形成し、ｐＧＮＤ領域６の形成領域に対応する部分を露出させる。次に、レジストマスク５４をマスクとして例えばボロンなどのｐ型不純物の第４イオン注入６４を行う。第４イオン注入６４の加速電圧およびドーズ量は、それぞれ、例えば

５０ｋｅＶ程度および４．０×１０^{13}／ｃｍ^{2}程度であってもよい。図８において、ｐ$^{-}$ＧＮＤ領域５表面近傍の点線は、第４イオン注入６４されたｐ型不純物をあらわしている（図９においても同様）。

[0057] 次に、図９に示すように、レジストマスク５４の除去後、ｐ型バルク基板１の表面にレジストマスク５５を形成し、ｐ拡散領域３の形成領域に対応する部分を露出させる。次に、レジストマスク５５をマスクとして例えばボロンなどのｐ型不純物の第５イオン注入６５を行う。第５イオン注入６５の加速電圧およびドーズ量は、それぞれ、例えば５０ｋｅＶ程度および５．０×１０^{13}／ｃｍ^{2}程度であってもよい。

[0058] 図９において、ｎ$^{-}$拡散領域２表面近傍の点線（第４イオン注入６４されたｐ型不純物を示す点線よりも粗い点線）は、第５イオン注入６５されたｐ型不純物をあらわしている。次に、レジストマスク５５の除去後、例えば窒素雰囲気下において１１５０℃程度の温度の熱処理を２４０分程度行い、ｐ型バルク基板１に第４，５イオン注入６４，６５されたｐ型不純物を熱拡散させる。これにより、図１０に示すように、ｐ拡散領域３およびｐＧＮＤ領域６が形成される。

[0059] 次に、図１１に示すように、ｐ型バルク基板１の表面にレジストマスク５６を形成し、クランプ用ＰＭＯＳ１４のｐドレインドリフト領域４３の形成領域に対応する部分を露出させる。次に、レジストマスク５６をマスクとして例えばボロンなどのｐ型不純物の第６イオン注入６６を行う。第６イオン注入６６の加速電圧およびドーズ量は、それぞれ、例えば５０ｋｅＶ程度および４．０×１０^{13}／ｃｍ^{2}程度であってもよい。図１１において、ｎ$^{-}$拡散領域２表面近傍の点線は、第６イオン注入６６されたｐ型不純物をあらわしている。

[0060] 次に、レジストマスク５６の除去後、例えば窒素雰囲気下において１１５０℃程度の温度の熱処理を９０分程度行い、ｐ型バルク基板１に第６イオン注入６６されたｐ型不純物を熱拡散させる。これにより、図１２に示すように、ｐドレインドリフト領域４３が形成される。次に、図１３に示すように

、酸素（O_2）雰囲気下に１０００℃程度の温度の熱酸化処理を９０分程度行い、局部絶縁膜７を形成する。

[0061] 次に、図１４に示すように、ｐ型バルク基板１の表面にレジストマスク５７を形成し、クランプ用ＰＭＯＳ１４のｎ⁻チャネル領域４４の形成領域に対応する部分を露出させる。次に、レジストマスク５７をマスクとして例えばボロンなどのｐ型不純物の第７イオン注入６７を行う。第７イオン注入６７の加速電圧およびドーズ量は、それぞれ、例えば１２０ｋｅＶ程度および１．０×10^{12}／ｃm^2程度であってもよい。図１４において、ｎ⁻拡散領域２表面近傍の点線は、第７イオン注入６７されたｐ型不純物をあらわしている。第７イオン注入６７されたｐ型不純物によって、ｎ⁻拡散領域２の、ｎ⁻チャネル領域４４の形成領域に対応する部分のｎ型不純物濃度が低くなる。

[0062] 次に、図１５に示すように、酸素雰囲気下で熱酸化することにより、ｐ型バルク基板１の表面に厚さ５０Åのシリコン酸化膜７１を形成する。シリコン酸化膜７１は、ゲート絶縁膜２３，３３，４５となる。次に、減圧ＣＶＤ（化学気相成長）法により、シリコン酸化膜７１上に厚さ３０００Åのドープドポリシリコン膜７２を形成してパターニングする。これにより、ゲート電極２４，３４，４６が形成される。

[0063] 次に、図１６に示すように、ｐ型バルク基板１の表面にレジストマスク５８を形成し、クランプ用ＰＭＯＳ１４のｐ⁺ソース領域４１およびｐ⁺ドレイン領域４２の形成領域とｐ⁺高濃度領域３ａの形成領域とに対応する部分を露出させる。次に、レジストマスク５８をマスクとして例えばボロンなどのｐ型不純物の第８イオン注入６８を行う。第８イオン注入６８の加速電圧およびドーズ量は、それぞれ、例えば６５ｋｅＶ程度および３．０×10^{15}／ｃm^2程度であってもよい。このとき、ｐＧＮＤ領域６内部の図示省略するｐ⁺高濃度領域の形成領域に対応する部分にも第８イオン注入６８を行う。図１６において、ｎ⁻拡散領域２、ｐ拡散領域３およびｐドレインドリフト領域４３の表面近傍の点線は、第８イオン注入６８されたｐ型不純物をあらわしている（図１７においても同様）。

[0064] 次に、図１７に示すように、レジストマスク５８の除去後、ｐ型バルク基板１の表面にレジストマスク５９を形成し、n^+高濃度領域２ａおよびn^+高濃度領域４ａの形成領域に対応する部分を露出させる。次に、レジストマスク５９をマスクとして例えば砒素（Ａｓ）などのｎ型不純物の第９イオン注入６９を行う。第９イオン注入６９の加速電圧およびドーズ量は、それぞれ、例えば６５ｋｅＶ程度および4.0×10^{15}／cm^2程度であってもよい。図１７において、n^-拡散領域２およびn^-拡散領域４の表面近傍の点線（第８イオン注入６８されたｐ型不純物を示す点線よりも細かい点線）は、第９イオン注入６９されたｎ型不純物をあらわしている。

[0065] 次に、レジストマスク５９の除去後、熱処理を行い、ｐ型バルク基板１に第７～９イオン注入６７～６９されたｎ型不純物およびｐ型不純物を熱拡散させる。これにより、図３に示すように、n^-チャネル領域４４、p^+ソース領域４１、p^+ドレイン領域４２、p^+高濃度領域３ａ、n^+高濃度領域２ａ、n^+高濃度領域４ａ、および、ｐＧＮＤ領域６内部の図示省略するp^+高濃度領域が形成される。次に、ＣＶＤ法により厚さ１．０μｍの層間絶縁膜８を堆積する。次に、フォトリソグラフィにより層間絶縁膜８を選択的に除去し、複数のコンタクトホールを形成する。

[0066] 次に、層間絶縁膜８上に例えば厚さ１．０μｍのアルミニウム（Ａｌ）膜を堆積する。アルミニウム膜は、各コンタクトホールを介してp^+ソース領域４１、p^+ドレイン領域４２、p^+高濃度領域３ａ、n^+高濃度領域２ａ、n^+高濃度領域４ａ、および、ｐＧＮＤ領域６内部の図示省略するp^+高濃度領域に接する。次に、アルミニウム膜をパターニングし、ソース電極４７、ドレイン電極４８、ＶＢ電極２ｂ、ＶＳ電極３ｂ、ＧＮＤ電極５ｂ、およびアルミニウム配線（不図示）を形成する。

[0067] 次に、プラズマＣＶＤ法により厚さ１．０μｍのパッシベーション膜９を形成することにより、図１～３に示す高耐圧ＩＣ１００が完成する。ＰＭＯＳ１２、ＮＭＯＳ１３、抵抗、コンデンサなどは、上述した高耐圧ＩＣ１００の製造方法に一般的な製造工程を追加することによって、クランプ用ＰＭ

ＯＳ１４の形成されたｐ型バルク基板１上に形成される。ＰＭＯＳ１２、ＮＭＯＳ１３、抵抗、キャパシタ（容量）などを形成するタイミングは、高耐圧ＩＣ１００の設計条件に合わせて種々変更可能である。ＰＭＯＳ１２およびＮＭＯＳ１３の各領域は、例えばクランプ用ＰＭＯＳ１４の、拡散深さおよび不純物濃度が等しい領域とともに形成してもよい。

[0068] 次に、ハイサイド側の第１ＩＧＢＴ１０１を駆動する場合の高耐圧ＩＣ１００の動作について説明する。制御回路１６によってローサイドレベルのオン・オフ信号が生成される。このローサイドレベルのオン・オフ信号は、レベルシフタ１５を介してハイサイド駆動回路１０に入力される。ハイサイド駆動回路１０は、中間電位ＶＳを基準電位として、中間電位ＶＳと電源電位ＶＢとの間の電位で動作する。高耐圧ＩＣ１００の動作中、ＶＳ端子に印加される電位は０Ｖから数百Ｖまで変化する。電源電位ＶＢは、中間電位ＶＳよりも例えば１５Ｖ程度高くなっている。

[0069] ハイサイド駆動回路１０に入力されたオン・オフ信号は、ＮＯＴ回路およびその後段のゲート駆動回路１１を介してハイサイド側の第１ＩＧＢＴ１０１のゲートに入力される。第１ＩＧＢＴ１０１は、制御回路１６からのオン・オフ信号に基づいてオン・オフされる。高耐圧ＩＣ１００の通常動作において電源電位ＶＢが中間電位ＶＳよりも高いため、寄生ｐｎｐバイポーラトランジスタ１８は動作しない。また、電源電位ＶＢが中間電位ＶＳよりも高いため、クランプ用ＰＭＯＳ１４はオフ状態であり、クランプ用ＰＭＯＳ１４に電流は流れない。

[0070] 一方、負電圧サージが印加され、電源電位ＶＢが中間電位ＶＳよりもクランプ用ＰＭＯＳ１４の閾値電圧の絶対値以上低下した場合、クランプ用ＰＭＯＳ１４がオン状態となり、クランプ用ＰＭＯＳ１４を介してＶＳ電極３ｂからＶＢ電極２ｂ，４ｂへ電流が流れる。これにより、寄生ｐｎｐバイポーラトランジスタ１８のベースーエミッタ間に流れるベース電流を低減することができる。電源電位ＶＢが中間電位ＶＳよりも０．６Ｖ以上低下した場合にクランプ用ＰＭＯＳ１４に流れる電流は、主に、p^+ドレイン領域４２とバ

ックゲートであるn^-拡散領域２とによって形成される寄生ｐｎダイオードがターンオンすることによるものである。

[0071] また、電源電位ＶＢが中間電位ＶＳよりもクランプ用ＰＭＯＳ１４の閾値電圧の絶対値以上０．６Ｖ以下低下した場合にクランプ用ＰＭＯＳ１４に流れる電流は、クランプ用ＰＭＯＳ１４のチャネル電流によるものである。クランプ用ＰＭＯＳ１４のチャネル電流が流れる理由について説明する。クランプ用ＰＭＯＳ１４を、p^+ソース領域４１をドレインとし、p^+ドレイン領域４２をソースとし、n^-拡散領域２をバックゲートとした同一構造のＰＭＯＳ（以下、逆クランプ用ＰＭＯＳとする）と仮定する。チャネルは双方向性を有するため、逆クランプ用ＰＭＯＳであっても、通常のＭＯＳＦＥＴと同様にソースに対して閾値電圧以下のゲート電圧を印加することによりソースからドレインへとドレイン電流を流すことができる。

[0072] 高耐圧ＩＣ１００において逆クランプ用ＰＭＯＳは、ドレイン、ゲート、およびバックゲートがＶＢ端子に接続され、ソースがＶＳ端子に接続された状態となっている。したがって、電源電位ＶＢが中間電位ＶＳよりもクランプ用ＰＭＯＳ１４の閾値電圧の絶対値以上低下した場合、逆クランプ用ＰＭＯＳのゲートーソース間に閾値電圧の絶対値以上の電圧が印加されることとなるため、逆クランプ用ＰＭＯＳはオン状態となり、クランプ用ＰＭＯＳ１４のチャネル電流が流れる。このとき、電源電位ＶＢの低下により逆クランプ用ＰＭＯＳのバックゲートであるn^-拡散領域２の電位が低下するため、逆クランプ用ＰＭＯＳの閾値電圧は、バックゲート効果によりクランプ用ＰＭＯＳ１４の閾値電圧よりも低下している。

[0073] 以上、説明したように、実施の形態１によれば、ハイサイド駆動回路の電源電位ＶＢが印加されるＶＢ電極にゲートおよびソースが電気的に接続され、ハイサイド駆動回路の基準電位となる中間電位ＶＳが印加されるＶＳ電極にドレイン電極が電気的に接続された閾値電圧－０．１Ｖ～－０．６Ｖ程度のクランプ用ＰＭＯＳをハイサイド駆動回路領域に設けることで、負電圧サージが印加されたときにクランプ用ＰＭＯＳに電流を流すことができる。こ

れにより、負電圧サージが印加された場合に、電源電位ＶＢが中間電位ＶＳよりもシリコンｐｎ接合の拡散電位である０．６Ｖ以上低下することを抑制することができる。したがって、ｐ型バルク基板を用いて自己分離型ＩＣプロセスによって作製した高耐圧ＩＣにおいて、負電圧サージによる寄生ｐｎｐバイポーラトランジスタの動作を抑制することができる。このため、高電圧（～Ｖｄｃの高電位側電位）が印加されたＶＳ端子とＧＮＤ端子との間に大電流が流れることを防止することができ、高耐圧ＩＣが破壊されることを防止することができる。

[0074] また、実施の形態１によれば、安価なバルク基板を用いて、特別な素子分離プロセスを必要としない自己分離型ＩＣプロセスによってイオン注入および熱拡散のみによって低コストで高耐圧ＩＣを作製することができる。また、外付け部品として、ＶＢ端子とＶＳ端子との間に接続するバイパスコンデンサを設ける必要がなくなる。これによって、安価な高耐圧ＩＣを提供することができる。

[0075] また、実施の形態１によれば、ゲート駆動回路を構成するＰＭＯＳやＮＭＯＳとともに、ハイサイド駆動回路領域内にクランプ用ＰＭＯＳを形成することができる。このため、負電圧サージによる破壊を回避する効果を向上させることができる。また、ハイサイド駆動回路領域内にクランプ用ＰＭＯＳを形成することができるため、ＶＢ端子とＶＳ端子との間に外付け部品として接続するバイパスコンデンサが設けられない場合や距離が離れている場合でも負電圧サージによる破壊を回避する効果を向上させることができレイアウト設計の自由度が高くなる。

[0076]（実施の形態２）

実施の形態２にかかる半導体装置の構造について説明する。図１８は、実施の形態２にかかる半導体装置を示す回路図である。図１９は、実施の形態２にかかる半導体装置の断面構造を模式的に示す平面図である。実施の形態２にかかる半導体装置の平面構造は、実施の形態１にかかる半導体装置の平面構造と同様である。すなわち、図１９には、図２の切断線Ａ－Ａ’におけ

る断面構造を示す。実施の形態２にかかる高耐圧ＩＣ１２０が実施の形態１にかかる高耐圧ＩＣ１００と異なる点は、ＶＢ端子とＶＳ端子との間にバイパスコンデンサ８１が接続されている点である（図１８）。

[0077] 図１９に示すように、バイパスコンデンサ８１は、層間絶縁膜８内の、クランプ用ＰＭＯＳ１４のゲート電極４６付近に形成される。具体的には、バイパスコンデンサ８１は、クランプ用ＰＭＯＳ１４のゲート電極４６、絶縁膜８３および導電体（以下、コンデンサ電極とする）８２で構成されている。コンデンサ電極８２は、ゲート電極４６のゲート絶縁膜４５側に対して反対側に絶縁膜８３を介して設けられている。また、コンデンサ電極８２は、例えばアルミニウム配線によってＶＳ電極３ｂに接続される。すなわち、コンデンサ電極８２は、クランプ用ＰＭＯＳ１４のp^+ドレイン領域４２と低抵抗な状態で電気的に接続されている。

[0078] 絶縁膜８３は、例えば、酸化ジルコニウム（ZrO_2）、酸化ハフニウム（HfO_2）または酸化ランタン（La_2O_3）等の高誘電体材料でできているのが望ましい。その理由は、バイパスコンデンサ８１の容量を大きくすることができるからである。絶縁膜８３の厚さは、例えば２５０Åであってもよい。バイパスコンデンサ８１を設けることにより、負電圧サージが印加され、電源電位ＶＢが中間電位ＶＳよりもクランプ用ＰＭＯＳ１４の閾値電圧の絶対値以上低下した場合、クランプ用ＰＭＯＳ１４だけでなく、バイパスコンデンサ８１を介してＶＳ電極３ｂからＶＢ電極２ｂ，４ｂへ電流を流すことができる。

[0079] 以上、説明したように、実施の形態２によれば、実施の形態１と同様の効果を得ることができる。また、実施の形態２によれば、バイパスコンデンサを設けることにより、電源電位ＶＢが中間電位ＶＳよりも低下することを抑制することができる。このため、実施の形態２にかかる半導体装置は、例えば、インテリジェント・パワー・モジュール（ＩＰＭ）など、従来、その内部にバイパスコンデンサを設けない構成の装置において高い効果を奏する。また、実施の形態２によれば、ゲート駆動回路を構成するＰＭＯＳやＮＭＯ

Ｓとともに、ハイサイド駆動回路領域内にバイパスコンデンサを形成することができる。このため、外付け部品としてバイパスコンデンサを接続する場合よりも負電圧サージによる破壊を回避する効果を向上させることができる。

[0080] （実施例）

次に、本発明にかかる半導体装置のクランプ用ＰＭＯＳ１４の動作について、実施の形態１にかかる高耐圧ＩＣ（以下、実施例とする）を用いて検証した。図２０は、クランプ用のｐチャネルＭＯＳＦＥＴの電気的特性を示す特性図である。図２０には、クランプ用ＰＭＯＳ１４のゲートーソース間電圧Ｖｇｓが０Ｖのときの、ドレイン電流と、ドレインーソース間電圧（ＶＳ端子－ＶＢ端子間電圧）との関係を示す。クランプ用ＰＭＯＳ１４の閾値電圧を－０．１５Ｖとした。寄生ｐｎｐバイポーラトランジスタ１８の面積は、一般的な高耐圧ＩＣの場合の０．２mm^2とした。図２０に示すように、ドレインーソース間電圧がクランプ用ＰＭＯＳ１４の閾値電圧の絶対値未満、すなわち０．１５Ｖ未満である場合、クランプ用ＰＭＯＳ１４のドレインーソース間に電流は流れない。

[0081] 一方、クランプ用ＰＭＯＳ１４のドレイン電位がソース電位よりも０．１５Ｖ以上高くなった場合、n^-チャネル領域４４に反転層が形成され、クランプ用ＰＭＯＳ１４のドレインーソース間に電流が流れる。ドレインーソース間電圧が０．０Ｖ～０．６Ｖのときに流れる電流は、クランプ用ＰＭＯＳ１４のチャネル電流である（ドレインーソース間電圧０．６Ｖを矢印９１で示す）。また、ドレインーソース間電圧が０．６Ｖ以上のときに流れる電流は、クランプ用ＰＭＯＳ１４のp^+ドレイン領域４２とn^-拡散領域２とによって形成される寄生ｐｎダイオードに流れる電流である。

[0082] 図２１は、クランプ用のｐチャネルＭＯＳＦＥＴのオン時の電気的特性を示す特性図である。図２２は、実施例にかかる半導体装置の負電圧サージ印加時の電気的特性を示す特性図である。図２１の横軸のＶＳ端子－ＶＢ端子間電圧とは、中間電位ＶＳから電源電位ＶＢを減じた値（＝中間電位ＶＳ－

電源電位ＶＢ）である。図２２の縦軸のＶＢ端子－ＶＳ端子間電圧とは、電源電位ＶＢから中間電位ＶＳを減じた値（＝電源電位ＶＢ－中間電位ＶＳ）である。図２１に示すように、従来の高耐圧ＩＣ（図２３参照、以下、従来例とする）のようにクランプ用ＰＭＯＳ１４を備えていない場合、サージ電圧が印加され寄生ｐｎｐバイポーラトランジスタ１１８のベースーエミッタ間に１０ｍＡのベース電流（サージ電流）が流れた場合、電源電位ＶＢが中間電位ＶＳよりも０．６５Ｖ低くなることが確認された。したがって、図２２に示すように、従来例では、電源電位ＶＢが中間電位ＶＳよりも０．６Ｖ以上低下することが確認された。

[0083] 一方、実施の形態１にかかる高耐圧ＩＣ（実施例）においては、クランプ用ＰＭＯＳ１４のドレイン電極４８がＶＳ電極３ｂに接続され、ソース電極４７がＶＢ電極２ｂに接続されることにより、電源電位ＶＢが中間電位ＶＳよりも０．１５Ｖ低下したときに、クランプ用ＰＭＯＳ１４を介してＶＳ電極３ｂからＶＢ電極２ｂへドレイン電流（サージ電流）が流れ、電源電位ＶＢが中間電位ＶＳよりも０．５０Ｖしか低下しないことが確認された。すなわち、実施例においては、寄生ｐｎｐバイポーラトランジスタ１８のベース電流を従来例よりも１／１００（＝１．０×10^{-4}／１．０×10^{-2}）に抑えることができることが確認された。したがって、実施例においては、図２２に示すように、電源電位ＶＢが中間電位ＶＳよりも０．６Ｖ以上低下しないため、寄生ｐｎｐバイポーラトランジスタ１８が動作しないことが確認された。

[0084] 以上において本発明は種々変更可能であり、上述した各実施の形態において、例えば各部の寸法は要求される仕様等に応じて種々設定される。

産業上の利用可能性

[0085] 以上のように、本発明にかかる半導体装置は、インバータなどの電力変換装置や種々の産業用機械などの電源装置などに使用されるパワー半導体装置に有用である。

符号の説明

[0086] １　ｐ型バルク基板

２，４　ｎ$^{-}$拡散領域

２ａ，４ａ　ｎ$^{+}$高濃度領域

２ｂ，４ｂ　ＶＢ電極

３　ｐ拡散領域

３ａ　ｐ$^{+}$高濃度領域

３ｂ　ＶＳ電極

５　ｐ$^{-}$ＧＮＤ領域

５ｂ　ＧＮＤ電極

６　ｐＧＮＤ領域

７　局部絶縁膜

８　層間絶縁膜

９　パッシベーション膜

１０　ハイサイド駆動回路

１０ａ　ハイサイド駆動回路領域

１１　ゲート駆動回路

１２　ｐチャネルＭＯＳＦＥＴ（ＰＭＯＳ）

１３　ｎチャネルＭＯＳＦＥＴ（ＮＭＯＳ）

１４　クランプ用のｐチャネルＭＯＳＦＥＴ（クランプ用ＰＭＯＳ）

１５　レベルシフタ

１５ａ　高耐圧分離領域

１６　制御回路

１６ａ　ローサイド領域

１７，１０３，１０４　ＦＷＤ

１８　寄生ｐｎｐバイポーラトランジスタ

１９　レベルシフト抵抗

２１，３１，４１　ソース領域

２２，３２，４２　ドレイン領域

２３，３３，４５　ゲート絶縁膜

２４，３４，４６　ゲート電極

２５，３５，４７　ソース電極

２６，３６，４８　ドレイン電極

４３　ｐドレインドリフト領域

４４　チャネル領域

８１　バイパスコンデンサ

８２　コンデンサ電極

８３　絶縁膜

１００　高耐圧ＩＣ

１０１　第１ＩＧＢＴ

１０２　第２ＩＧＢＴ

１０５　接続点

ＧＮＤ　グランド電位

Ｌ　クランプ用ＰＭＯＳのチャネル長

Ｔ　n^+高濃度領域の外側の端部からｐＧＮＤ領域の内側の端部までの距離

ＶＢ　電源電位

ＶＳ　中間電位

Ｖｄｃ　主電源

請求の範囲

[請求項1] 第１導電型の半導体層と、

前記半導体層の表面層に設けられ、第１電位が印加される第２導電型の第１半導体領域と、

前記第１半導体領域の内部に設けられ、第２電位が印加される第１導電型の第２半導体領域と、

前記第１半導体領域および前記第２半導体領域に設けられ、前記第２電位を基準電位とし、前記第２電位よりも高い前記第１電位との間の電位で動作する回路と、

前記第１半導体領域の内部に選択的に設けられた第１導電型のソース領域、前記第１半導体領域の内部に選択的に設けられた第１導電型のドレイン領域、および、前記第１半導体領域の、前記ソース領域と前記ドレイン領域とに挟まれた部分の表面にゲート絶縁膜を介して設けられたゲート電極を有する絶縁ゲート型電界効果トランジスタと、

を備え、

前記絶縁ゲート型電界効果トランジスタの閾値電圧は－０．１Ｖ～－０．６Ｖであり、

前記ソース領域および前記ゲート電極は前記第１半導体領域に電気的に接続され、

前記ドレイン領域は前記第２半導体領域に電気的に接続されていることを特徴とする半導体装置。

[請求項2] 絶縁体を介して、前記ゲート電極の前記ゲート絶縁膜側に対して反対側に対向する導電体をさらに備え、

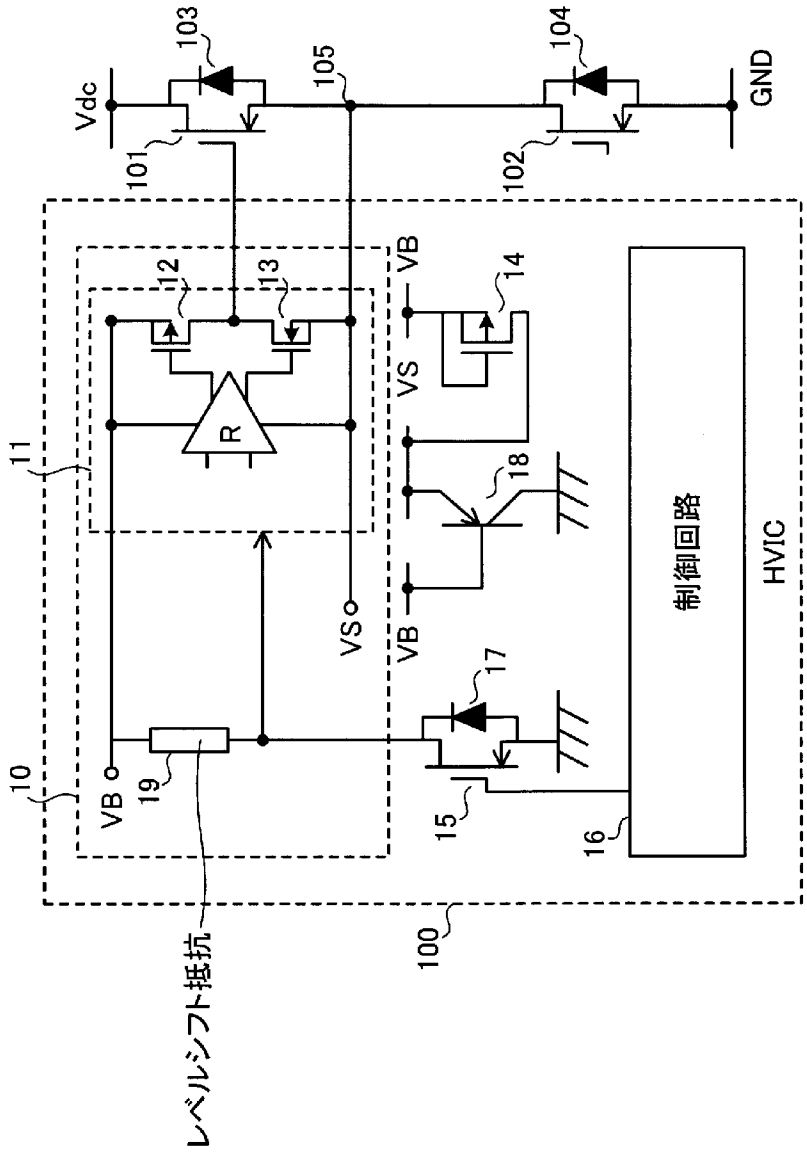
前記導電体は、前記ドレイン領域に電気的に接続されていることを特徴とする請求項１に記載の半導体装置。

[請求項3] 前記絶縁体は、高誘電体材料でできていることを特徴とする請求項２に記載の半導体装置。

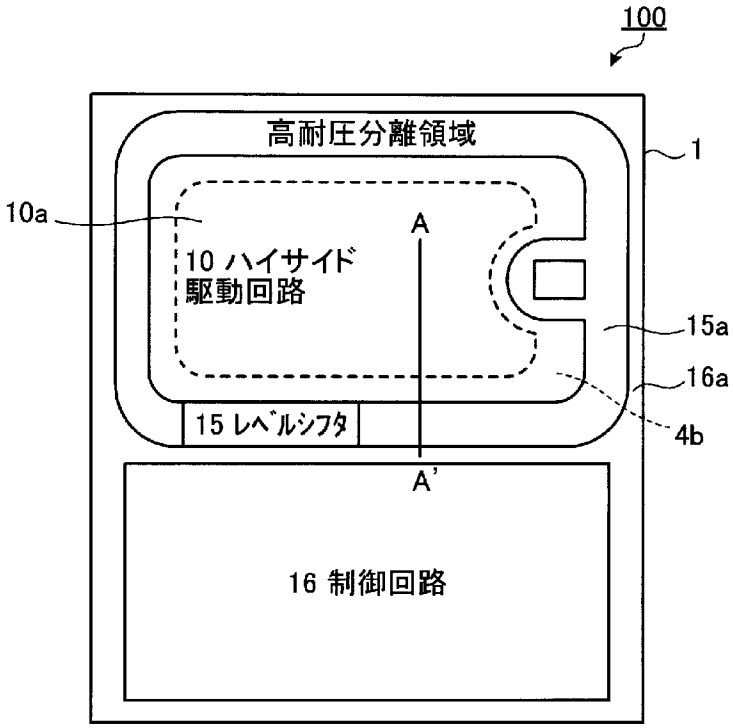
[請求項4] 前記絶縁体は、酸化ジルコニウム、酸化ハフニウムまたは酸化ラン

タンでできていることを特徴とする請求項２または３に記載の半導体装置。

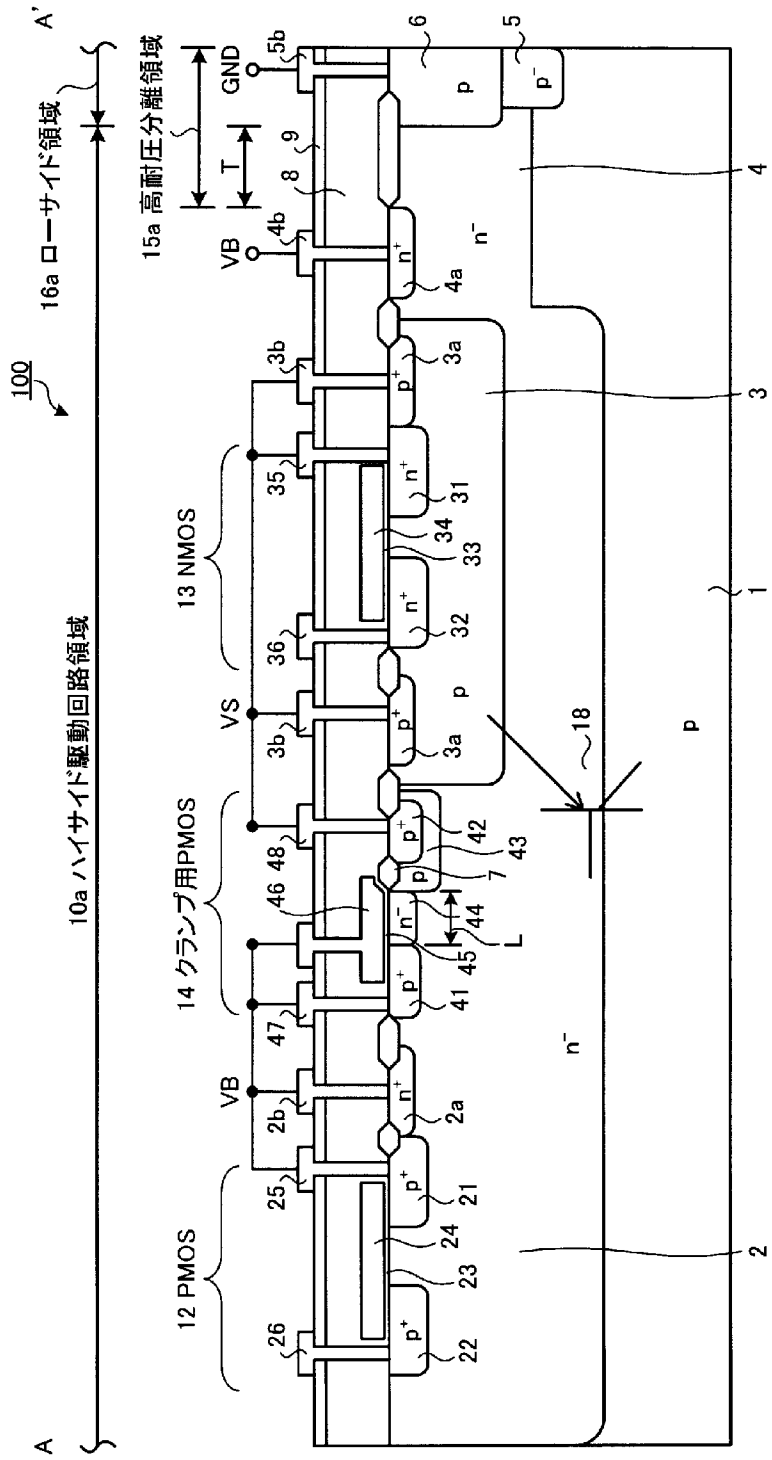
[図1]


Vdc
103
105
104
GND
101
102
VB
12
13
14
VS
R
11
18
制御回路
HVIC
VS
VB
17
10
VB
19
15
16
100
レベルシフト抵抗

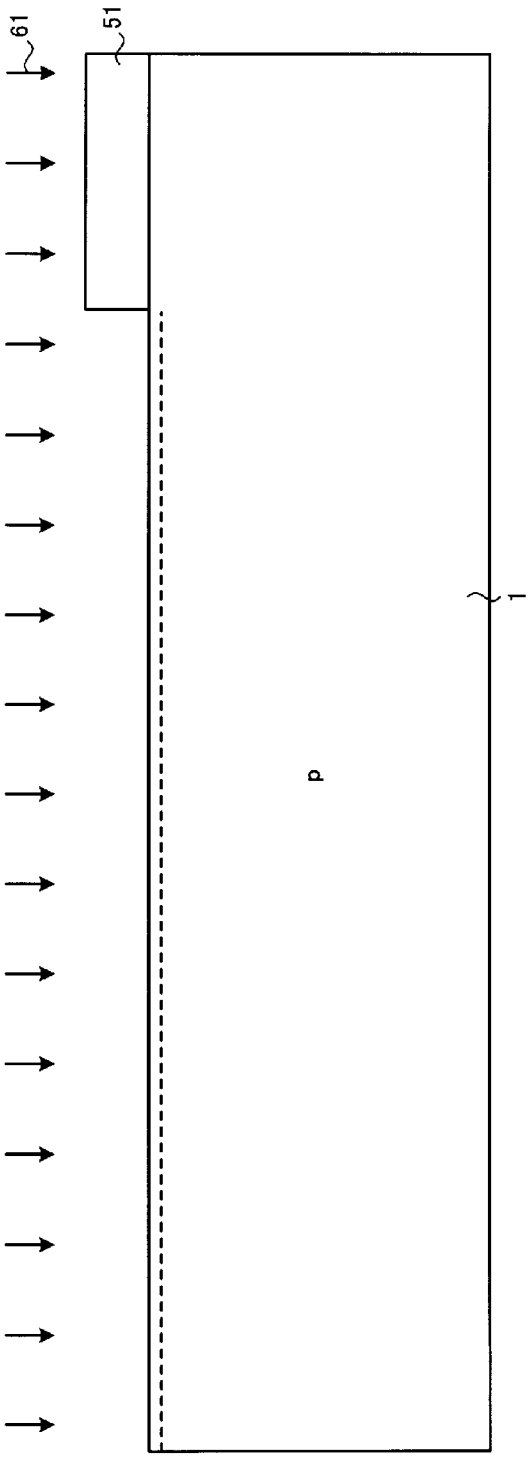
[図2]



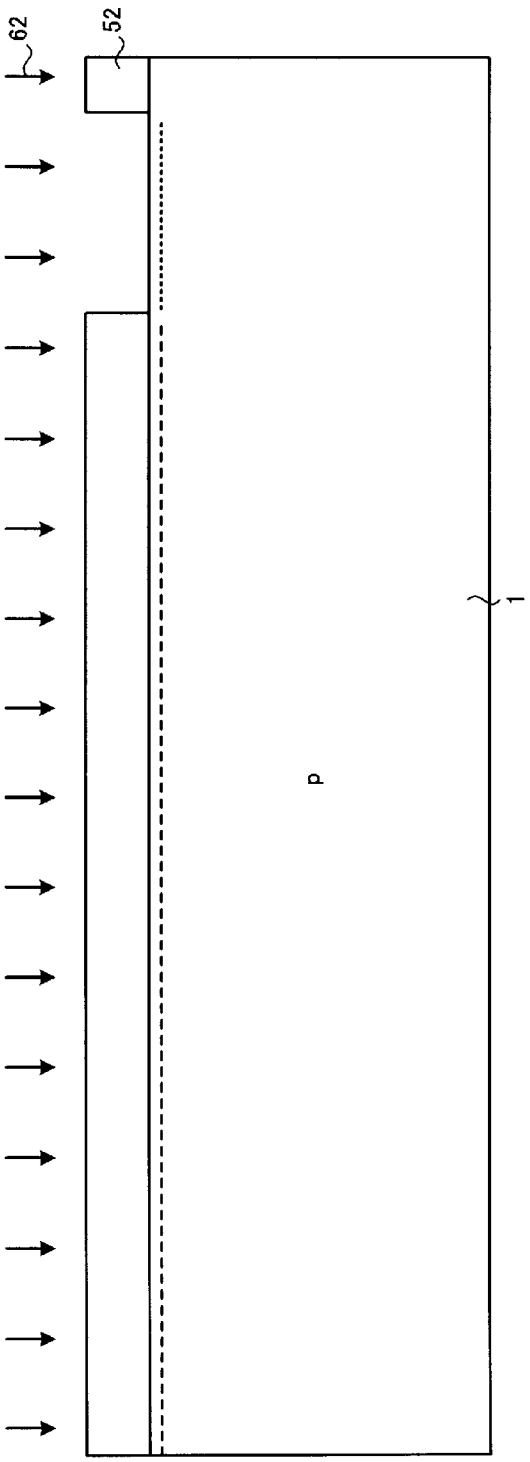
[図3]


100
A
A'
10a ハイサイド駆動回路領域
16a ローサイド領域
15a 高耐圧分離領域
T
GND
VB
VS
12 PMOS
13 NMOS
14 クランプ用PMOS
L
p
p⁻
n⁻
n⁺
p⁺
1
2
3
4
5
6
7
8
9
18
21
22
23
24
25
26
31
32
33
34
35
36
41
42
43
44
45
46
47
48
2a
2b
3a
3b
4a
4b
5b

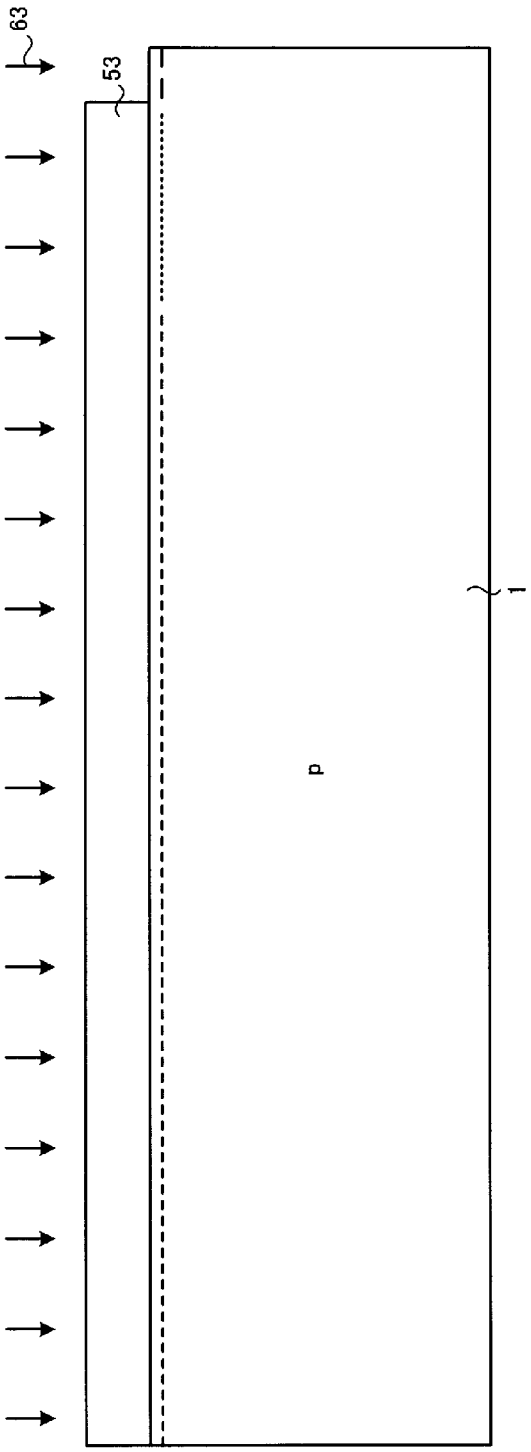
[図4]



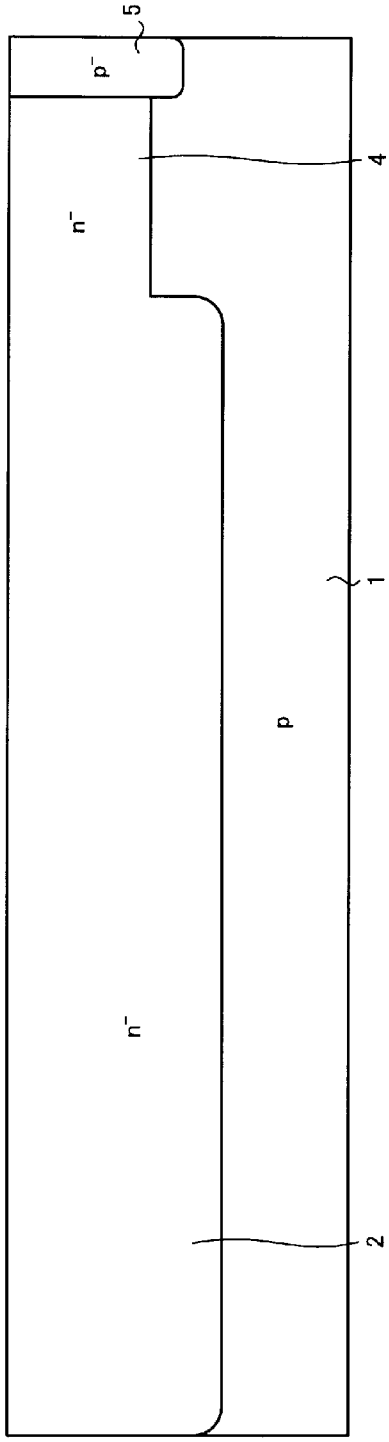
[図5]



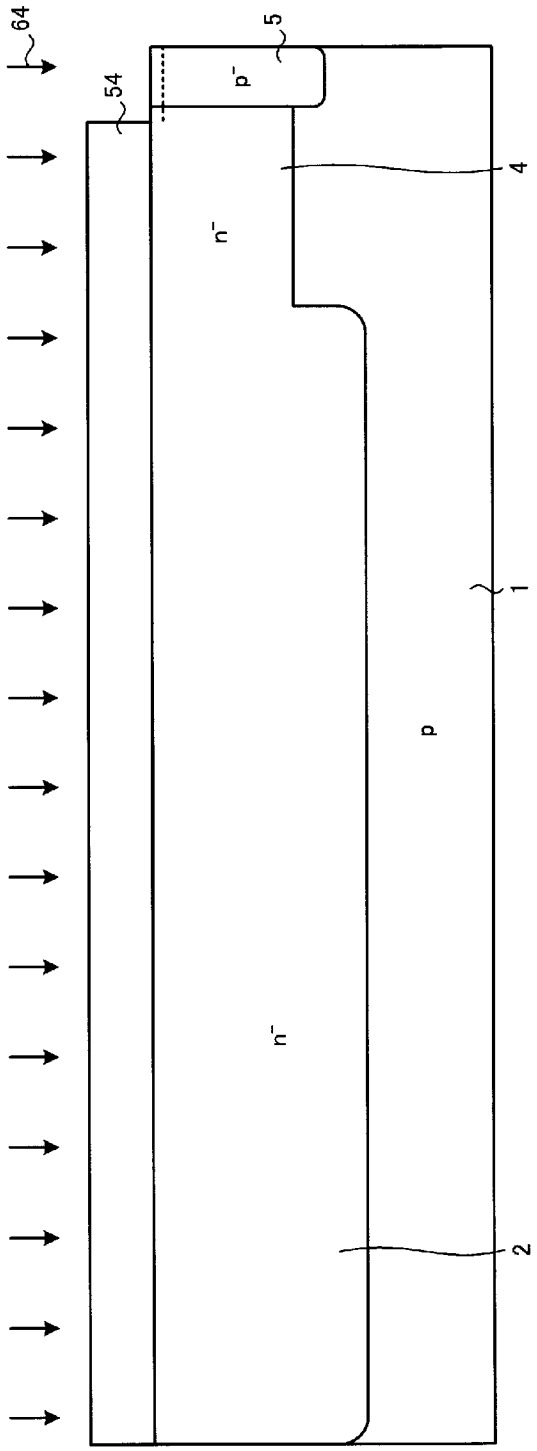
[図6]



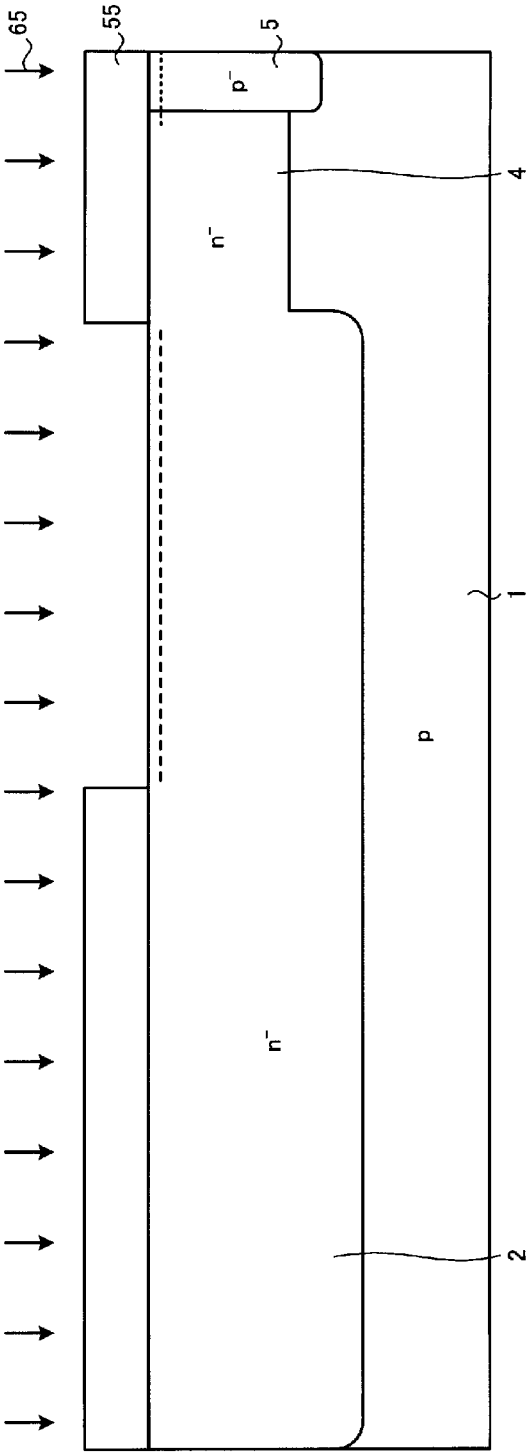
[図7]



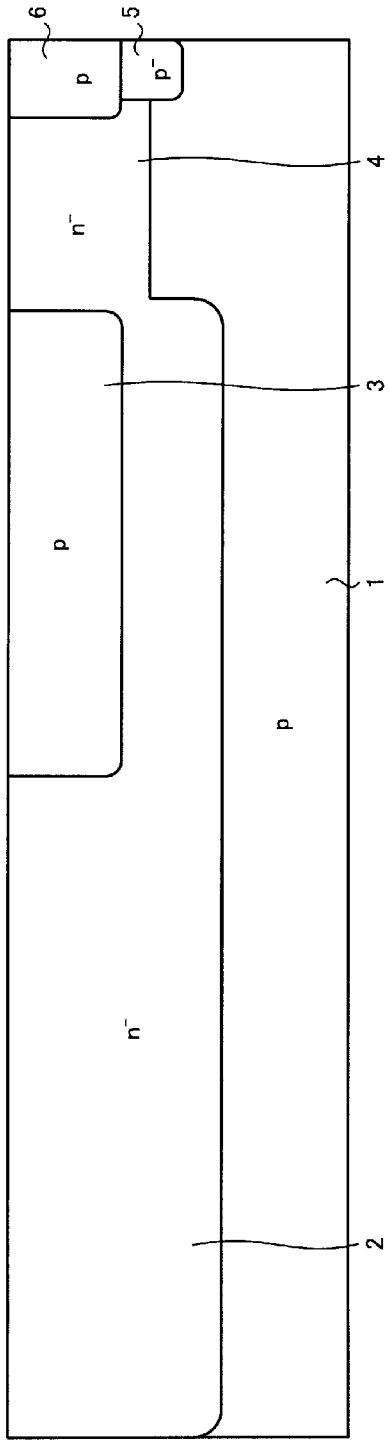
[図8]



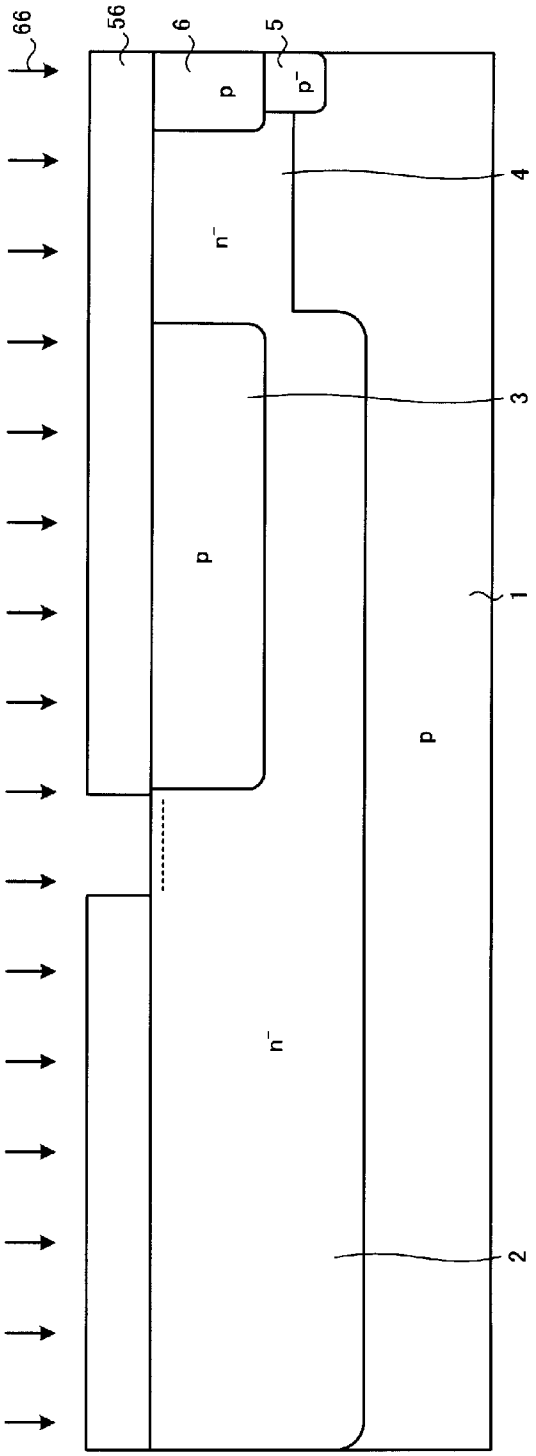
[図9]



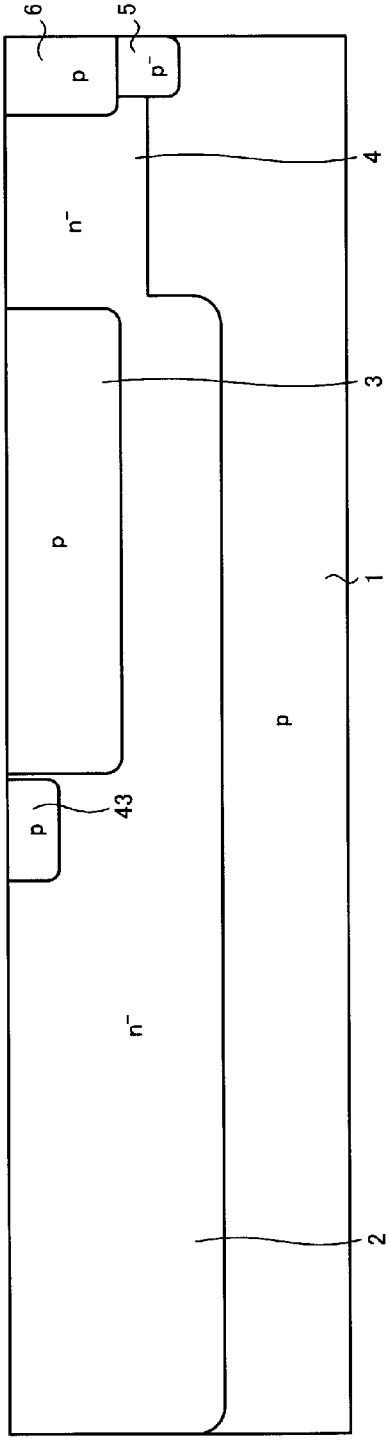
[図10]



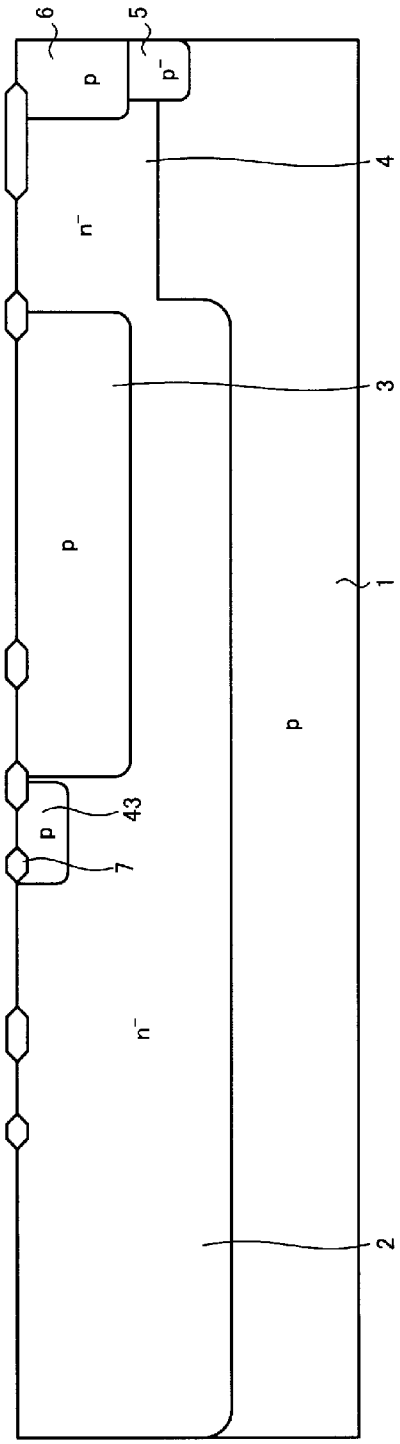
[図11]



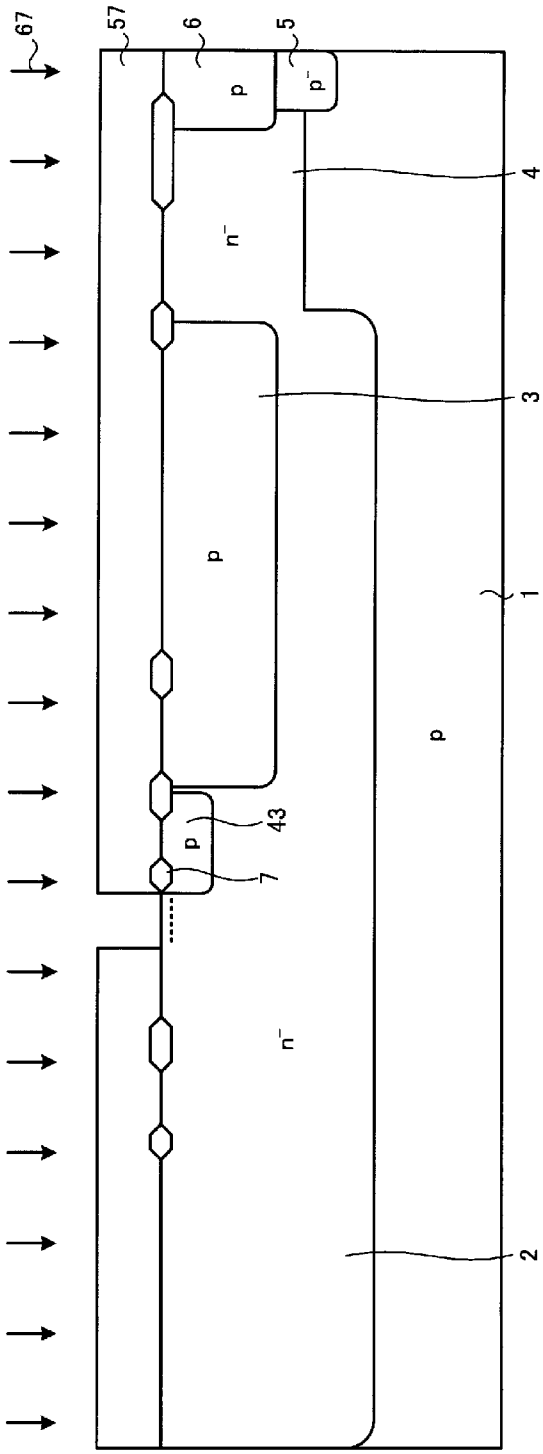
[図12]



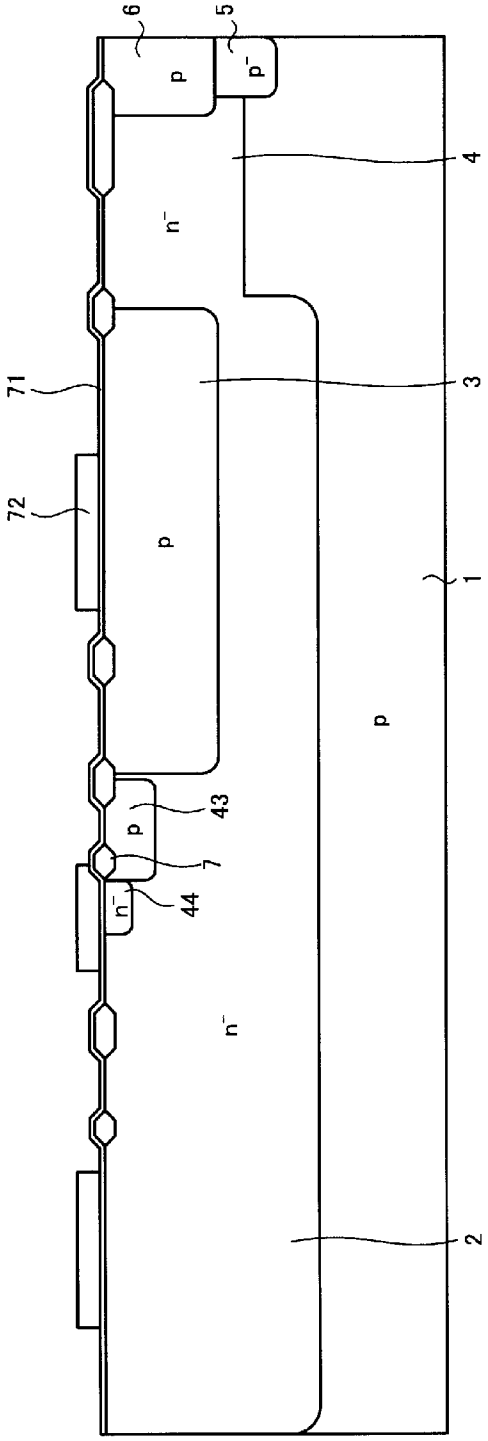
[図13]



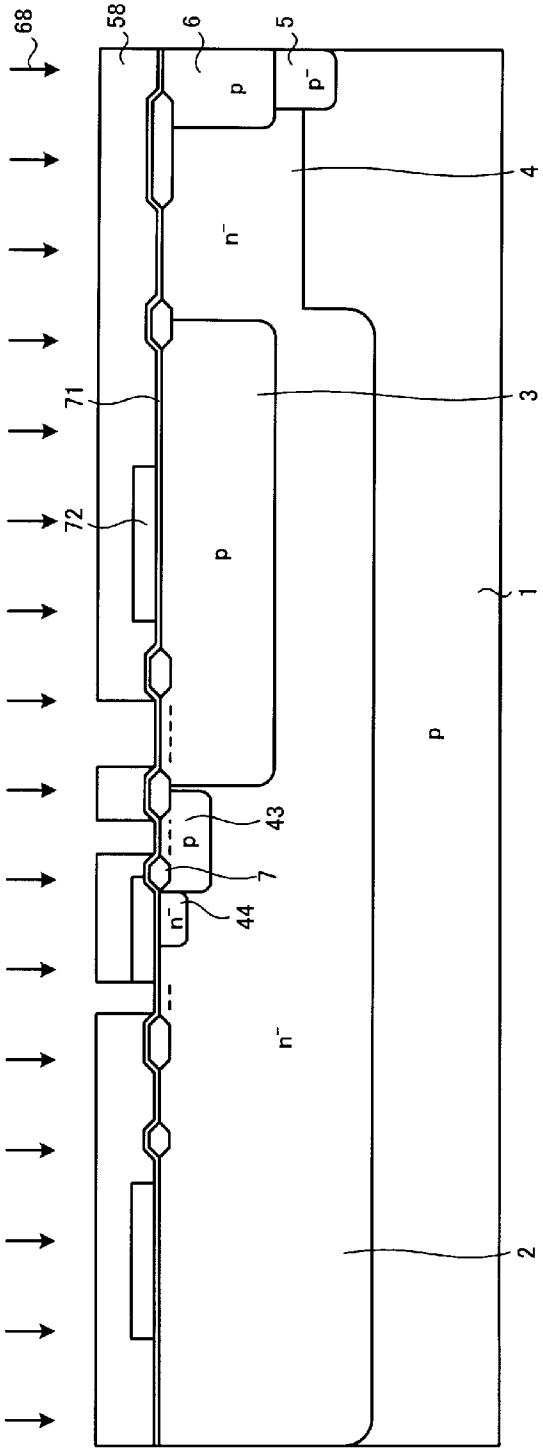
[図14]



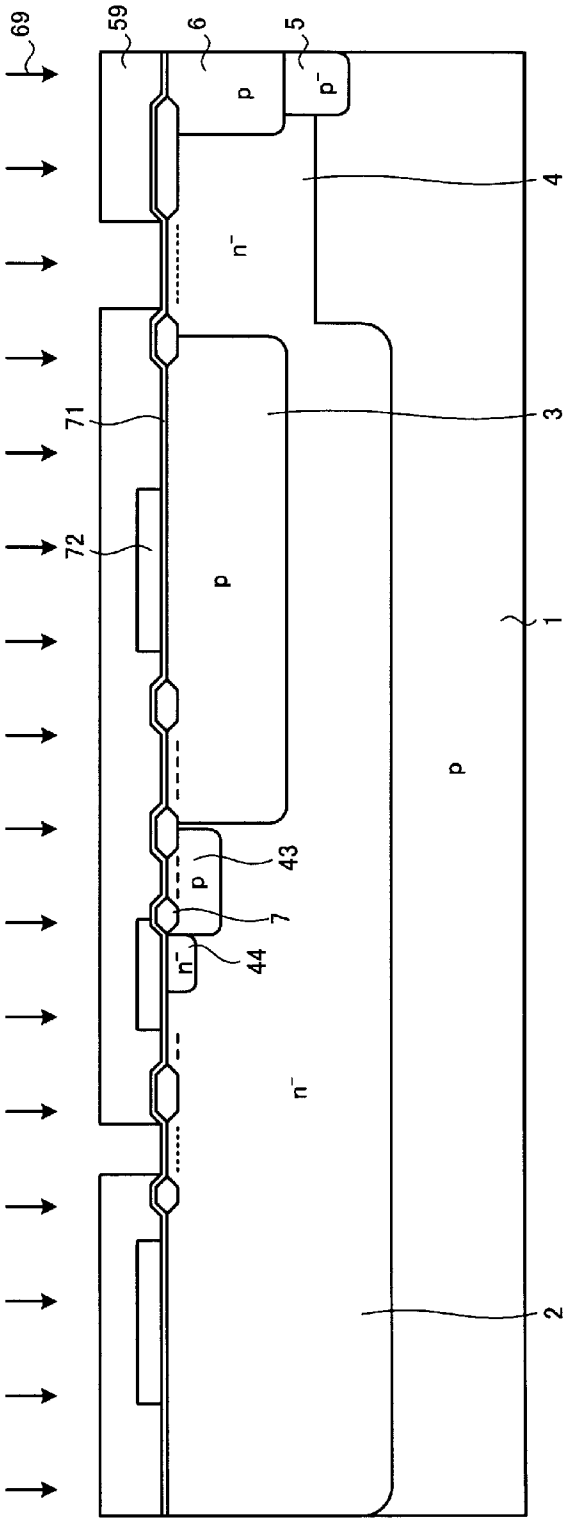
[図15]



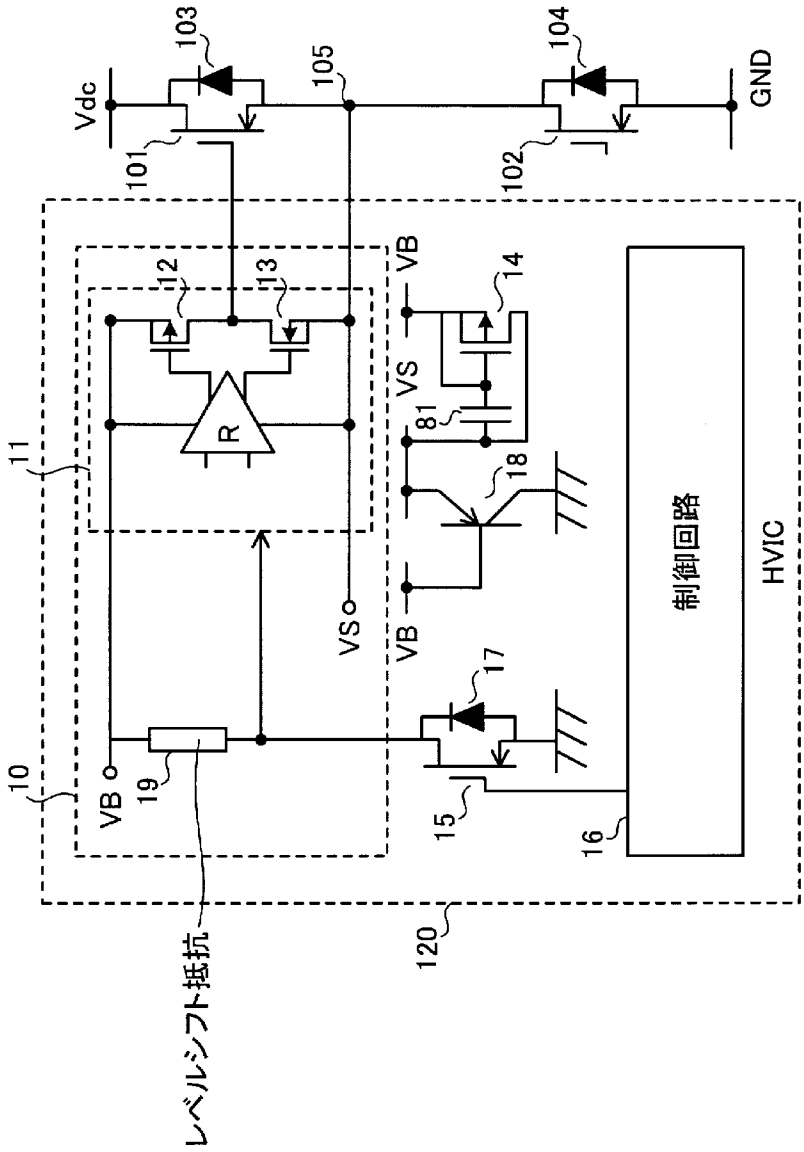
[図16]



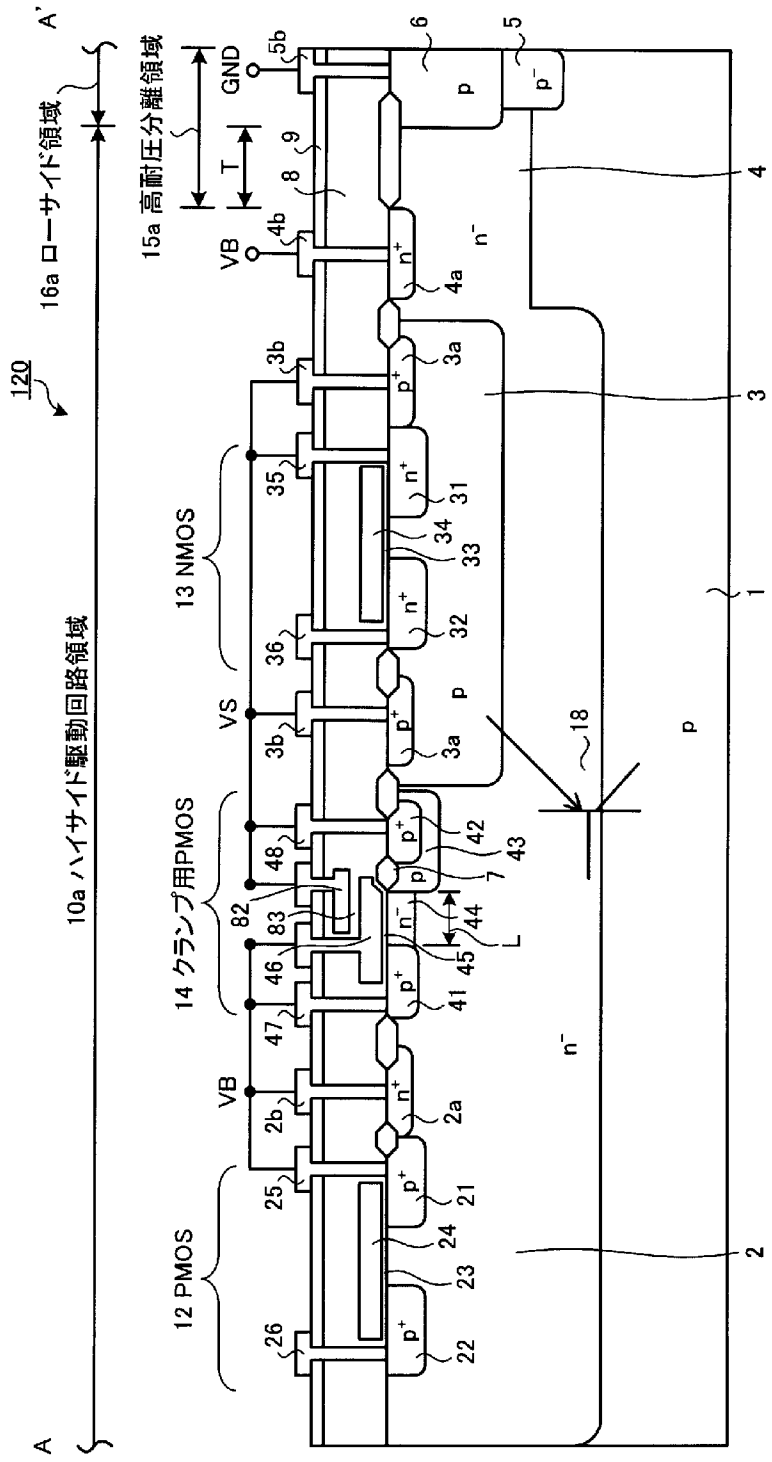
[図17]



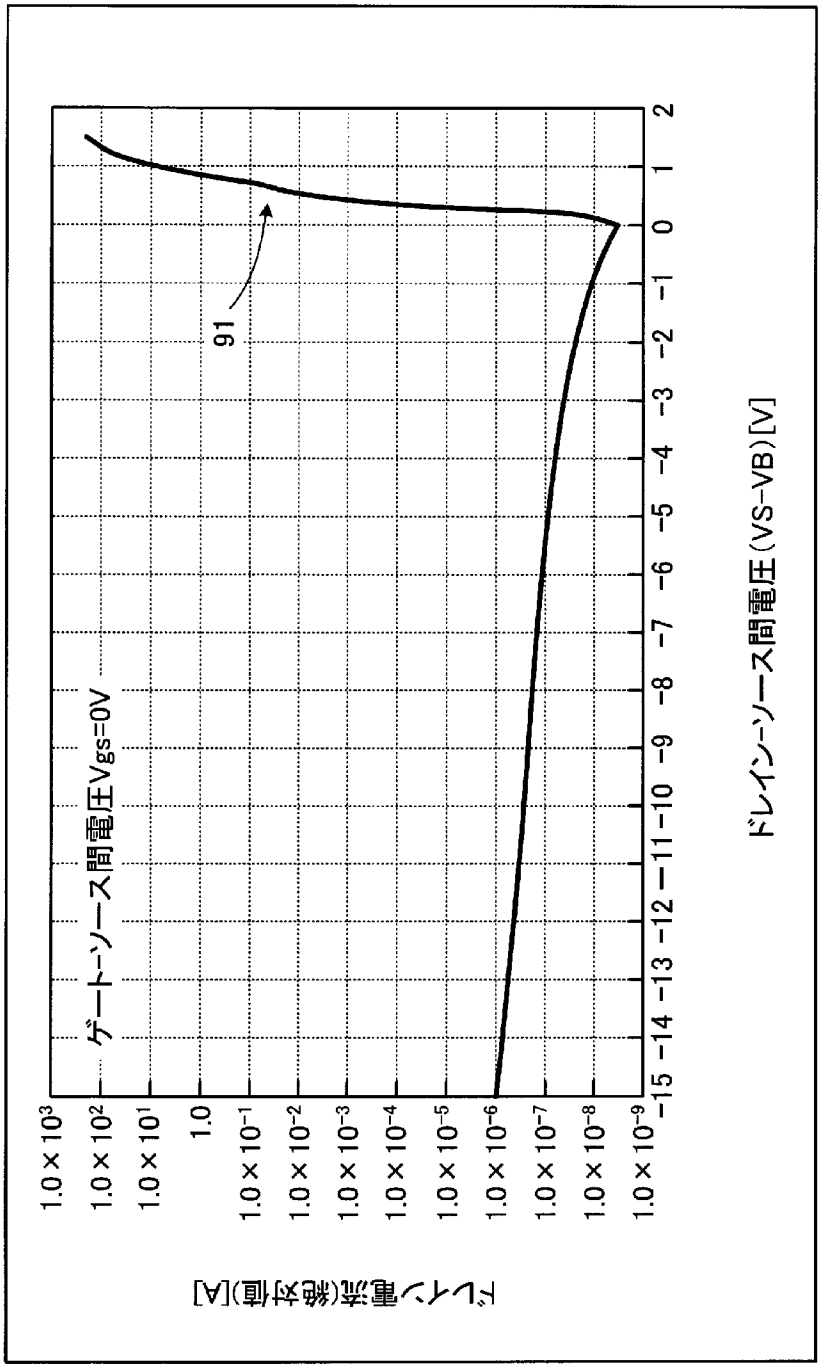
[図18]


Vdc
103
105
104
GND
101
102
VB
12
13
14
VS
81
R
11
18
制御回路
HVIC
VS
VB
17
10
VB
19
15
16
120
レベルシフト抵抗

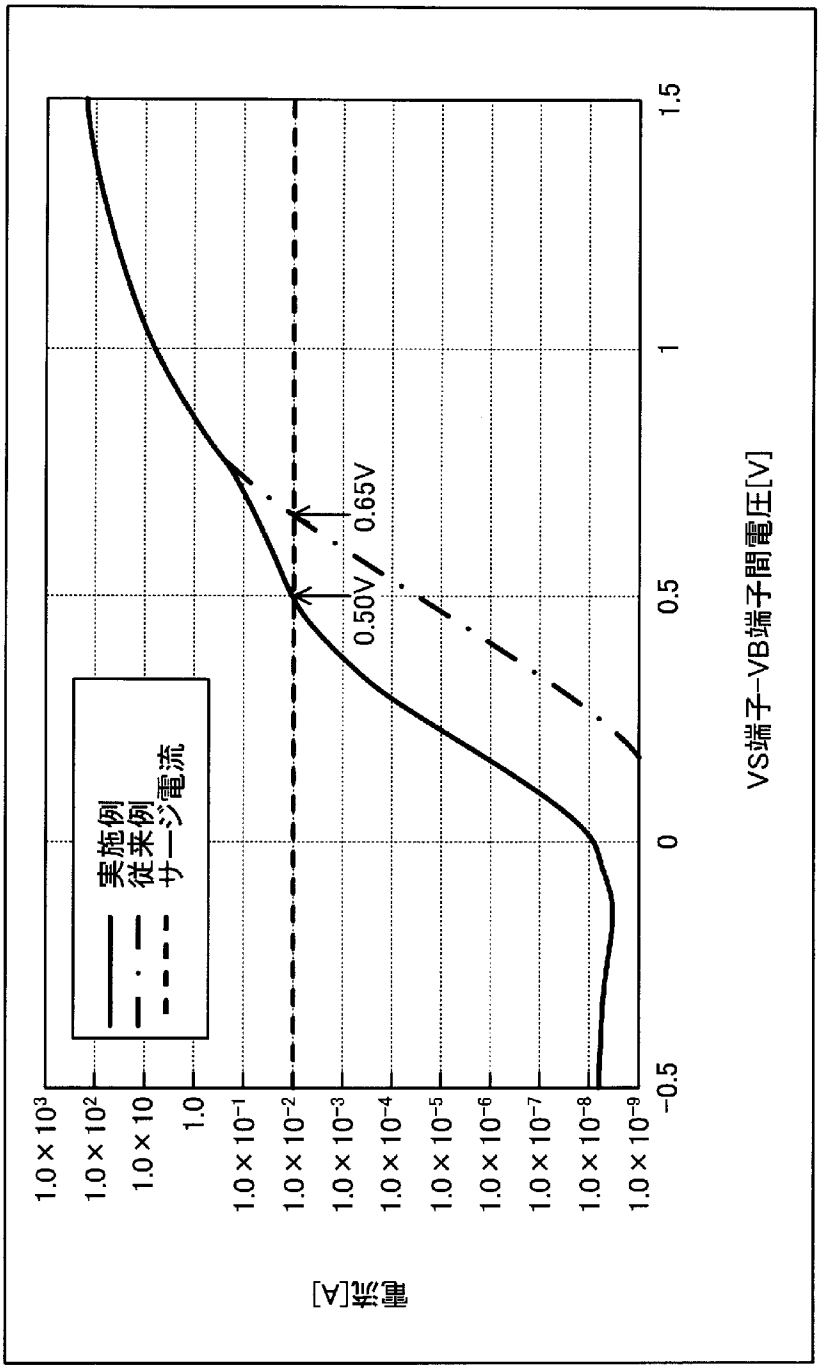
[図19]


120
A
A'
10a ハイサイド駆動回路領域
16a ローサイド領域
15a 高耐圧分離領域
T
GND
VB
VS
12 PMOS
13 NMOS
14 クランプ用PMOS
p
p⁻
n⁻
n⁺
p⁺
L
1
2
3
4
5
6
7
8
9
18
21
22
23
24
25
26
31
32
33
34
35
36
41
42
43
44
45
46
47
48
82
83
2a
2b
3a
3b
4a
4b
5b

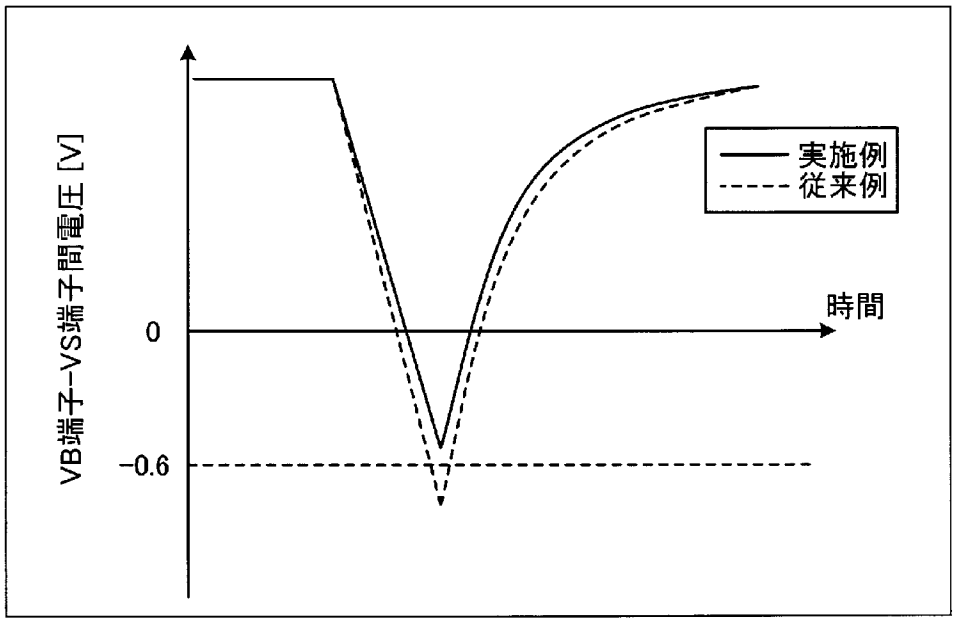
[図20]


ドレイン電流(絶対値)[A]
1.0×10^3
1.0×10^2
1.0×10^1
1.0
1.0×10^-1
1.0×10^-2
1.0×10^-3
1.0×10^-4
1.0×10^-5
1.0×10^-6
1.0×10^-7
1.0×10^-8
1.0×10^-9
2 1 0 -1 -2 -3 -4 -5 -6 -7 -8 -9 -10 -11 -12 -13 -14 -15
ドレイン-ソース間電圧(VS-VB)[V]
ゲート-ソース間電圧Vgs=0V
91

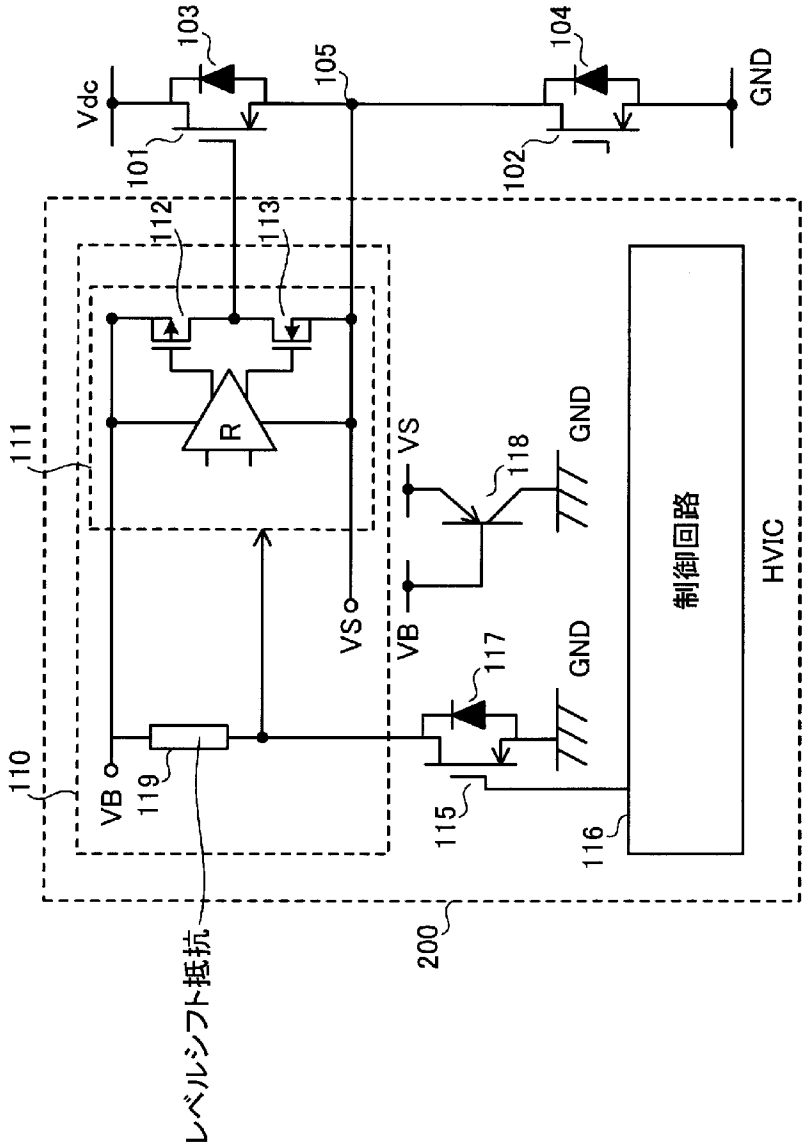
[図21]


電流[A]
1.0×10^3
1.0×10^2
1.0×10
1.0
1.0×10^-1
1.0×10^-2
1.0×10^-3
1.0×10^-4
1.0×10^-5
1.0×10^-6
1.0×10^-7
1.0×10^-8
1.0×10^-9
-0.5
0
0.5
1
1.5
VS端子−VB端子間電圧[V]
0.50V
0.65V
実施例
従来例
サージ電流

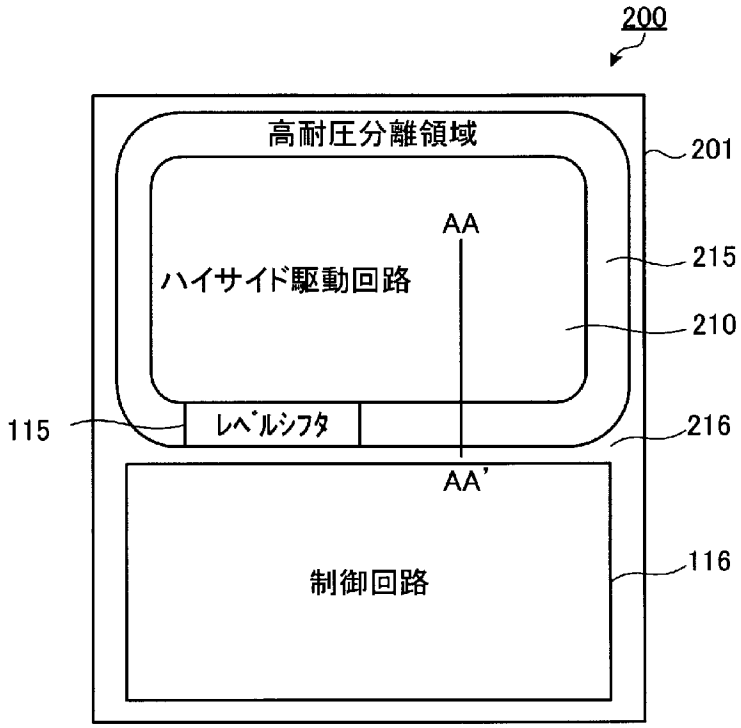
[図22]



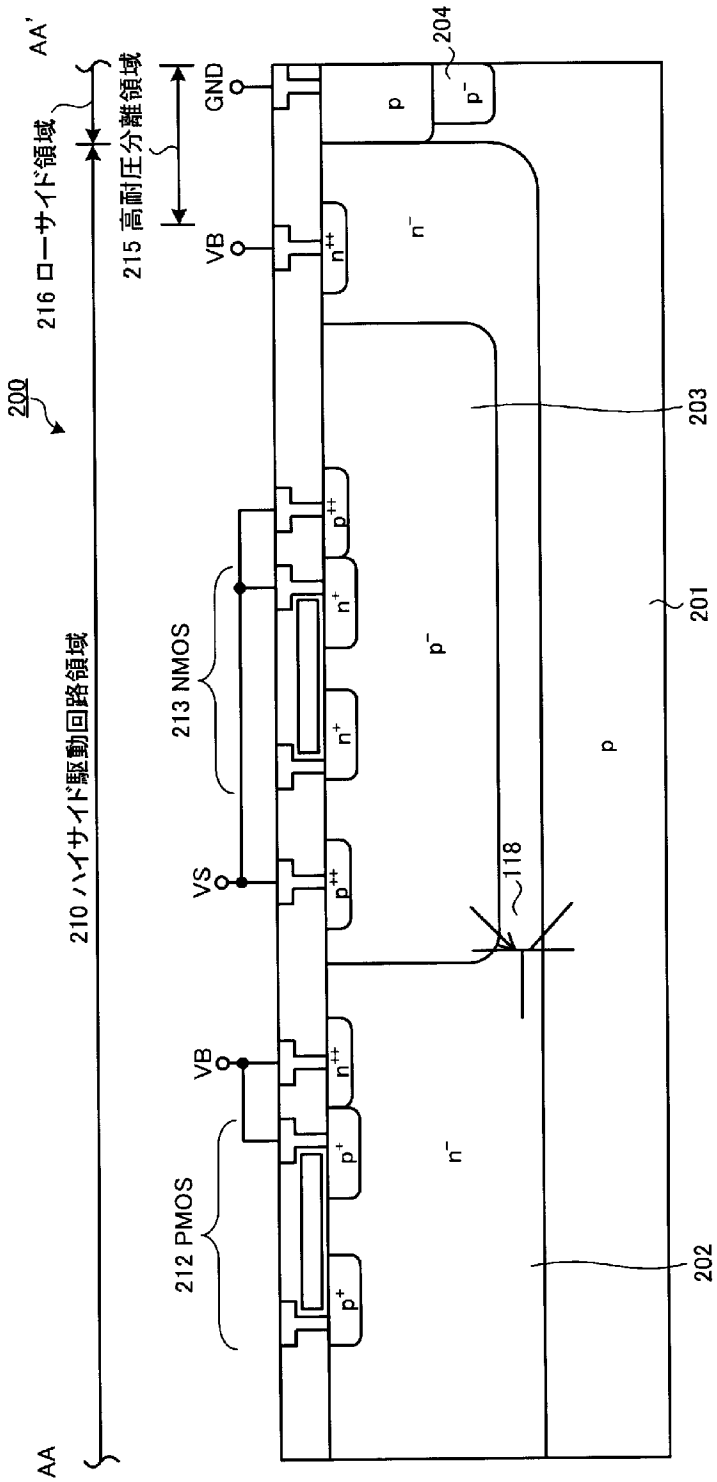
[図23]


Vdc
103
105
104
GND
101
102
112
113
111
R
VS
118
GND
制御回路
HVIC
VS
VB
117
GND
110
VB
119
115
116
200
レベルシフト抵抗

[図24]


200
高耐圧分離領域
201
AA
215
ハイサイド駆動回路
210
115
レベルシフタ
216
AA'
制御回路
116

[図25]


AA'
216 ローサイド領域
215 高耐圧分離領域
GND
VB
204
200
210 ハイサイド駆動回路領域
213 NMOS
VS
VB
212 PMOS
118
203
201
202
AA

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/077641

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/8238(2006.01)i, *H01L21/822*(2006.01)i, *H01L27/04*(2006.01)i, *H01L27/06*(2006.01)i, *H01L27/092*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/8238, H01L21/822, H01L27/04, H01L27/06, H01L27/092

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2014
Kokai Jitsuyo Shinan Koho 1971-2014 Toroku Jitsuyo Shinan Koho 1994-2014

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 10-125802 A (Sanken Electric Co., Ltd.), 15 May 1998 (15.05.1998), paragraphs [0009] to [0025]; fig. 5, 6 (Family: none)	1 2-4
A	JP 03-073567 A (NEC Corp.), 28 March 1991 (28.03.1991), entire text; all drawings (Family: none)	1-4

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
07 January, 2014 (07.01.14)	14 January, 2014 (14.01.14)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７７６４１

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238(2006.01)i, H01L21/822(2006.01)i, H01L27/04(2006.01)i, H01L27/06(2006.01)i, H01L27/092(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/8238, H01L21/822, H01L27/04, H01L27/06, H01L27/092

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１４年
日本国実用新案登録公報	１９９６－２０１４年
日本国登録実用新案公報	１９９４－２０１４年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
X	JP 10-125802 A (サンケン電気株式会社) 1998.05.15, 段落[0009]-段落[0025], 図5, 図6 (ファミリーなし)	1
A		2-4
A	JP 03-073567 A (日本電気株式会社) 1991.03.28, 全文全図 (ファミリーなし)	1-4

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０７．０１．２０１４	１４．０１．２０１４

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　５Ｆ　５２９３
棚田　一也
電話番号　０３－３５８１－１１０１　内線　３５１６