

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2020年8月6日(06.08.2020)



(10) 国際公開番号
WO 2020/158583 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 27/146 (2006.01)
H01L 21/768 (2006.01) H04N 5/345 (2011.01)
H01L 23/522 (2006.01) H04N 5/378 (2011.01)
- (21) 国際出願番号: PCT/JP2020/002412
- (22) 国際出願日: 2020年1月23日(23.01.2020)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2019-016465 2019年1月31日(31.01.2019) JP
特願 2019-086853 2019年4月26日(26.04.2019) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION)

(72) 発明者: 丹羽 篤親(NIWA, Atsumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

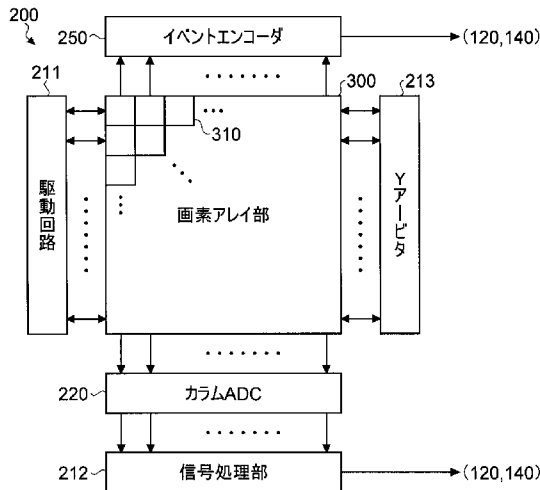
(72) 発明者: 丹羽 篤親(NIWA, Atsumi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 本田 元就(HONDA, Motonari); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

(74) 代理人: 特許業務法人酒井国際特許事務所 (SAKAI INTERNATIONAL PATENT OFFICE); 〒1000013 東京都千代田区霞が

(54) Title: SOLID-STATE IMAGING DEVICE, AND IMAGING DEVICE

(54) 発明の名称: 固体撮像装置及び撮像装置

[図3]



- 211 Drive circuit
- 212 Signal processor
- 213 Y arbiter
- 220 Column ADC
- 250 Event encoder
- 300 Pixel array unit

(57) Abstract: The present invention reduces temporal displacement between detection of an event and acquisition of a gradient. A solid-state imaging device according to one embodiment of the present invention comprises: a pixel array unit (300) provided with a plurality of pixel blocks (310) arrayed in a matrix form; and a drive circuit (211) that causes a first pixel block in which address event ignition is detected, among the plurality of pixel blocks, to generate a pixel signal. Each of the pixel blocks comprises a first photoelectric conversion element (331) that generates an electric charge



WO 2020/158583 A1

関 3 丁 目 8 番 1 号 虎 の 門 三 井 ビ ル
ディング Tokyo (JP).

- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

corresponding to the amount of incident light, a detection unit (400) that detects the address event ignition on the basis of the electric charge generated by the first photoelectric conversion element, a second photoelectric conversion element (321) that generates an electric charge corresponding to the amount of incident light, and a pixel circuit (322, 323, 324, 325, 326) that generates a pixel signal based on the electric charge generated by the second photoelectric conversion element.

(57) 要約 : イベント検出と階調取得との時間的なずれを低減する。実施形態に係る固体撮像装置は、行列状に配列する複数の画素ブロック (310) を備える画素アレイ部 (300) と、前記複数の画素ブロックのうち、アドレスイベントの発火が検出された第1画素ブロックに画素信号を生成させる駆動回路 (211) とを備え、前記画素ブロックそれぞれは、入射光量に応じた電荷を発生させる第1光電変換素子 (331) と、前記第1光電変換素子に発生した電荷に基づいて前記アドレスイベントの発火を検出する検出部 (400) と、入射光量に応じた電荷を発生させる第2光電変換素子 (321) と、前記第2光電変換素子に発生した電荷に基づく画素信号を生成する画素回路 (322、323、324、325、326) とを備える。

明 細 書

発明の名称： 固体撮像装置及び撮像装置

技術分野

[0001] 本開示は、固体撮像装置及び撮像装置に関する。

背景技術

[0002] 従来より、垂直同期信号などの同期信号に同期して画像データ（フレーム）を撮像する同期型の固体撮像装置が、撮像装置などにおいて用いられている。この一般的な同期型の固体撮像装置では、同期信号の周期（例えば、1／60秒）ごとにしか画像データを取得することができないため、交通やロボットなどに関する分野において、より高速な処理が要求された場合に対応することが困難になる。そこで、受光量が閾値を超えたことをアドレスイベントとしてリアルタイムに検出する検出回路を画素毎に設けた非同期型の固体撮像装置が提案されている。画素毎にアドレスイベントを検出する非同期型の固体撮像装置は、DVS（Dynamic Vision Sensor）とも称される。

[0003] また、近年では、アドレスイベントの検出と合せて階調画像を取得するDVSも開発されてきている。

先行技術文献

特許文献

[0004] 特許文献1：特表2017-535999号公報

発明の概要

発明が解決しようとする課題

[0005] アドレスイベントの検出と合せて階調画像を取得するDVSとしては、画素毎ではなく画素ブロック毎に検出回路を配置し、画素ブロック単位でイベントを検出しつつ、1画素単位で階調取得を行う方法が提案されている。しかしながら、このような方法では、同一の画素を用いてイベント検出と階調取得との両方を時分割で行なう必要があるため、変化が高速なシーン等では、イベント検出と階調取得との時間的なずれから、撮影したい被写体の階調

画像を取得することができないという可能性が存在する。

[0006] そこで本開示では、イベント検出と階調取得との時間的なずれを低減することが可能な固体撮像装置及び撮像装置を提案する。

課題を解決するための手段

[0007] 上記の課題を解決するために、本開示に係る一形態の固体撮像装置は、行列状に配列する複数の画素ブロックを備える画素アレイ部と、前記複数の画素ブロックのうち、アドレスイベントの発火が検出された第1画素ブロックに画素信号を生成させる駆動回路とを備え、前記画素ブロックそれぞれは、入射光量に応じた電荷を発生させる第1光電変換素子と、前記第1光電変換素子に発生した電荷に基づいて前記アドレスイベントの発火を検出する検出部と、入射光量に応じた電荷を発生させる第2光電変換素子と、前記第2光電変換素子に発生した電荷に基づく画素信号を生成する画素回路とを備える。

図面の簡単な説明

[0008] [図1]第1の実施形態に係る撮像装置の概略構成例を示すブロック図である。
[図2]第1の実施形態に係る固体撮像装置の積層構造例を示す図である。
[図3]第1の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。
[図4]第1の実施形態に係る画素ブロックの概略構成例を示すブロック図である。
[図5]図4に示す画素ブロックを図3に示す積層チップにあてはめた場合の積層構成例を示す図である。
[図6]第1の実施形態に係る画素アレイ部における画素ブロックの平面レイアウト例を示す平面図である。
[図7]第1の実施形態に係る階調画素の回路構成例を示す回路図である。
[図8]第1の実施形態に係るイベント画素の回路構成例を示す回路図である。
[図9]第1の実施形態に係るアドレスイベント検出回路の概略構成例を示すブロック図である。

[図10]第1の実施形態に係る電流電圧変換部の概略構成例を示す回路図である。

[図11]第1の実施形態に係る電流電圧変換部の他の概略構成例を示す回路図である。

[図12]第1の実施形態に係る減算器及び量子化器の概略構成例を示す回路図である。

[図13]第1の実施形態に係る転送部の概略構成例を示す回路図である。

[図14]第1の実施形態に係るカラムADCの概略構成例を示すブロック図である。

[図15]第1の実施形態に係るAD変換部の概略構成例を示すブロック図である。

[図16]第1の実施形態に係る制御回路の概略構成例を示すブロック図である。

[図17]第1の実施形態に係る固体撮像装置の概略動作例を示すフローチャートである。

[図18]第1の実施形態の第1変形例に係る画素ブロックの回路構成例を示す回路図である。

[図19]第1の実施形態の第2変形例に係る固体撮像装置の概略構成例を示すブロック図である。

[図20]第1の実施形態の第2変形例に係る画素ブロックの概略構成例を示すブロック図である。

[図21]第2の実施形態に係るAD変換部の概略構成例を示すブロック図である。

[図22]第2の実施形態に係る制御回路の概略構成例を示すブロック図である。

[図23]第2の実施形態に係る画素信号読出し時の読出し制御の一例を説明するための図である。

[図24]第3の実施形態の第1例に係る画素アレイ部及びカラムADCの一部のレイアウト例を示す平面図である。

[図25]第3の実施形態の第2例に係る画素アレイ部及びカラムADCの一部のレイアウト例を示す平面図である。

[図26]第3の実施形態の第3例に係る画素アレイ部及びカラムADCの一部のレイアウト例を示す平面図である。

[図27]第4の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。

[図28]第4の実施形態に係るYアービタの概略構成例を示すブロック図である。

[図29]第4の実施形態に係るイベント処理部の概略構成例を示すブロック図である。

[図30]第4の実施形態に係る階調画素制御部の概略構成例を示すブロック図である。

[図31]第5の実施形態に係るイベント検出動作の一例を示すフローチャートである。

[図32]第5の実施形態に係る周期的読出し動作の一例を示すフローチャートである。

[図33]第5の実施形態に係る階調画像データ更新動作の一例を示すフローチャートである。

[図34]第5の実施形態に係る固体撮像装置の動作例を示すタイミングチャートである。

[図35]図34における2行目の画素ブロックに着目した階調値の更新を説明するためのタイミングチャートである。

[図36]第6の実施形態に係るイベント処理部の概略構成例を示すブロック図である。

[図37]第6の実施形態に係る固体撮像装置の動作例を示すタイミングチャートである。

[図38]第7の実施形態に係る画素ブロックの概略構成例を示すブロック図である。

[図39]第7の実施形態に係る画素信号読出し動作の一例を示すタイミングチャートである。

[図40]第7の実施形態の変形例に係る画素信号読出し動作の一例を示すタイミングチャートである。

[図41]第8の実施形態に係る画素ブロックの概略構成例を示す模式図である。

[図42]第8の実施形態の変形例に係る画素ブロックの概略構成例を示す模式図である。

[図43]車両制御システムの概略的な構成の一例を示すブロック図である。

[図44]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

発明を実施するための形態

[0009] 以下に、本開示の一実施形態について図面に基づいて詳細に説明する。なお、以下の実施形態において、同一の部位には同一の符号を付することにより重複する説明を省略する。

[0010] また、以下に示す項目順序に従って本開示を説明する。

1. 第1の実施形態

1. 1 撮像装置の構成例

1. 2 固体撮像装置の積層構成例

1. 3 固体撮像装置の概略構成例

1. 4 画素ブロックの構成例

1. 4. 1 画素ブロックの積層構成例

1. 4. 2 画素アレイ部における画素ブロックの平面レイアウト

例

1. 4. 3 階調画素の回路構成例

1. 4. 4 イベント画素の回路構成例

1. 4. 5 アドレスイベント検出回路の機能例

1. 4. 6 アドレスイベント検出回路の構成例

1. 4. 6. 1 電流電圧変換部の構成例

- 1. 4. 6. 1. 1 電流電圧変換部の変形例
- 1. 4. 7 減算器及び量子化器の構成例
- 1. 4. 8 転送部の構成例
- 1. 4. 9 カラムADCの構成例
 - 1. 4. 9. 1 AD変換部の構成例
 - 1. 4. 9. 2 制御回路の構成例
- 1. 5 固体撮像装置の動作例
- 1. 6 作用・効果
- 1. 7 第1変形例
- 1. 8 第2変形例
- 2. 第2の実施形態
 - 2. 1 AD変換部の構成例
 - 2. 2 制御回路の構成例
 - 2. 3 画素信号読出し時の切替制御例
 - 2. 4 作用・効果
- 3. 第3の実施形態
 - 3. 1 第1例
 - 3. 2 第2例
 - 3. 3 第3例
- 4. 第4の実施形態
 - 4. 1 固体撮像装置の概略構成例
 - 4. 2 Yアービタの概略構成例
 - 4. 3 イベント処理部の概略構成例
 - 4. 4 階調画素制御部の概略構成例
 - 4. 5 作用・効果
- 5. 第5の実施形態
 - 5. 1 固体撮像装置の動作例
 - 5. 1. 1 イベント検出動作例

- 5. 1. 2 周期的読出し動作例
- 5. 2 階調画像データ更新動作例
 - 5. 2. 1 フローチャート
 - 5. 2. 2 タイミングチャート
- 5. 3 作用・効果
- 6. 第6の実施形態
 - 6. 1 イベント処理部の概略構成例
 - 6. 2 階調画像データ更新動作例
 - 6. 3 作用・効果
- 7. 第7の実施形態
 - 7. 1 画素ブロックの構成例
 - 7. 2 画素信号読出し動作例
 - 7. 3 作用・効果
 - 7. 4 変形例
- 8. 第8の実施形態
 - 8. 1 変形例
- 9. 移動体への応用例

[0011] 1. 第1の実施形態

まず、第1の実施形態について、図面を参照して詳細に説明する。

[0012] 1. 1 撮像装置の構成例

図1は、第1の実施形態に係る撮像装置の概略構成例を示すブロック図である。図1に示すように、撮像装置100は、光学系110と、固体撮像装置200と、記録部120と、制御部130と、外部インターフェース（I/F）140とを備える。撮像装置100としては、産業用ロボットに搭載されるカメラや、車載カメラなどが想定される。

[0013] 光学系110は、例えば、レンズ等を含み、入射光の像を固体撮像装置200の受光面に結像させる。

[0014] 固体撮像装置200は、アドレスイベントの発火の有無を検出しつつ、入

射光を光電変換して画像データを撮像する。アドレスイベントの発火の有無を示す検出結果（以下、イベント検出データという）と、入射光量に応じた輝度値の画像データ（以下、階調画像データという）とは、例えば、記録部120に入力されてもよいし、外部I/F140を介して外部のホスト150等へ出力されてもよい。

[0015] 外部I/F140は、例えば、無線LAN (Local Area Network) や有線LANの他、CAN (Controller Area Network)、LIN (Local Interconnect Network)、FlexRay (登録商標) 等の任意の規格に準拠した通信ネットワークを介して外部のホスト150と通信を確立するための通信アダプタであってよい。

[0016] ここで、ホスト150は、例えば、撮像装置100が自動車等に実装される場合には、自動車等に搭載されているECU (Engine Control Unit) などであってよい。また、撮像装置100が家庭内ペットロボットなどの自律移動ロボットやロボット掃除機や無人航空機や追従運搬ロボットなどの自律移動体に搭載されている場合には、ホスト150は、その自律移動体を制御する制御装置等であってよい。その他、ホスト150は、例えば、パーソナルコンピュータなどの情報処理装置であってもよい。

[0017] 記録部120は、例えば、フラッシュメモリなどの不揮発性メモリ等で構成され、固体撮像装置200から入力されたイベント検出データ及び階調画像データやその他各種データを記録する。

[0018] 制御部130は、例えば、CPU (Central Processing Unit) などの情報処理装置で構成され、固体撮像装置200を制御してイベント検出データ及び階調画像データを取得させる。

[0019] 1. 2 固体撮像装置の積層構成例

図2は、第1の実施形態に係る固体撮像装置の積層構造例を示す図である。図2に示すように、固体撮像装置200は、受光チップ201と検出チップ202とが上下に積層された積層チップの構造を備える。受光チップ201と検出チップ202との接合には、例えば、それぞれの接合面を平坦化し

て両者を電子間力で貼り合わせる、いわゆる直接接合を用いることができる。ただし、これに限定されず、例えば、互いの接合面に形成された銅（Cu）製の電極パッド同士をボンディングする、いわゆるCu-Cu接合や、その他、バンプ接合などを用いることも可能である。

[0020] また、受光チップ201と検出チップ202とは、例えば、半導体基板を貫通するTSV（Through-Silicon Via）などの接続部を介して電氣的に接続される。TSVを用いた接続には、例えば、受光チップ201に設けられたTSVと受光チップ201から検出チップ202にかけて設けられたTSVとの2つのTSVをチップ外表で接続する、いわゆるツインTSV方式や、受光チップ201から検出チップ202まで貫通するTSVで両者を接続する、いわゆるシェアードTSV方式などを採用することができる。

[0021] ただし、受光チップ201と検出チップ202との接合にCu-Cu接合やバンプ接合を用いた場合には、Cu-Cu接合部やバンプ接合部を介して両者が電氣的に接続される。

[0022] 1. 3 固体撮像装置の概略構成例

図3は、第1の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。図3に示すように、固体撮像装置200は、駆動回路211と、信号処理部212と、Yアービタ（調停部）213と、カラムADC（変換部）220と、イベントエンコーダ250と、画素アレイ部300とを備える。

[0023] 画素アレイ部300は、複数の画素ブロック310が二次元格子状（行列状ともいう）に配列された構成を備える。以下、水平方向に配列された画素ブロックの集合を「行」と称し、行に垂直な方向に配列された画素ブロックの集合を「列」と称する。画素アレイ部300における各画素ブロック310の行方向の位置は、Xアドレスによって特定され、列方向の位置はYアドレスによって特定される。

[0024] 各画素ブロック310は、入射光を光電変換することで、その入射光量に応じた電圧値のアナログの画素信号を生成する。また、画素ブロック310

は、入射光量の変化量が所定の閾値を超えたか否かに基づいて、アドレスイベントの発火の有無を検出する。

[0025] アドレスイベントの発火を検出した画素ブロック310は、リクエストをYアービタ213に出力する。また、画素ブロック310は、リクエストに対する応答をYアービタから受け取ると、アドレスイベントの検出結果を示す検出信号を駆動回路211及びカラムADC220に送信する。

[0026] Yアービタ213は、画素ブロック310からリクエストを調停することで、リクエストの送信元である画素ブロック310がそれぞれ属する行に対する読出し順序を決定し、決定した読出し順序に基づいて、リクエストの送信元である画素ブロック310がそれぞれ属する行に含まれる全ての画素ブロック310に対して、応答を返す。なお、以下の説明では、リクエストを調停して読出し順序を決定することを、「読出し順序を調停する」という。

[0027] 駆動回路211は、検出信号を出力した画素ブロック310それぞれを駆動することで、画素ブロック310それぞれが接続された垂直信号線308に光電変換素子321への入射光量に応じた電圧値の画素信号を出現させる。

[0028] カラムADC220は、行ごとに、各列の垂直信号線308に出現したアナログの画素信号をデジタルの画素信号に変換することで、画素信号をカラム並列に読み出す。そして、カラムADC220は、読み出したデジタルの画素信号を信号処理部212に供給する。

[0029] 信号処理部212は、カラムADC220からの画素信号に対して、CDS (Correlated Double Sampling) 処理等の所定の信号処理を実行し、信号処理後の画素信号からなる階調画像データを外部へ出力する。

[0030] イベントエンコーダ250は、画素アレイ部300における行ごとに、いずれの画素ブロック310でオンイベントが発生したか、及び、いずれの画素ブロック310でオフイベントが発生したかを示すデータを生成する。例えば、イベントエンコーダ250は、ある画素ブロック310からリクエストを受信すると、この画素ブロック310でオンイベント又はオフイベント

が発生したことで、当該画素ブロック310の画素アレイ部300における位置を特定するXアドレス及びYアドレスとを含むイベント検出データを生成する。

[0031] その際、イベントエンコーダ250は、オンイベント又はオフイベントの発火が検出された際の時間に関する情報（タイムスタンプ）も、イベント検出データに含める。そして、イベントエンコーダ250は、生成したイベント検出データを外部へ出力される。

[0032] 1. 4 画素ブロックの構成例

図4は、第1の実施形態に係る画素ブロックの概略構成例を示すブロック図である。図4に示すように、画素ブロック310は、階調情報である画素信号を生成するための階調画素320と、アドレスイベントの発火の有無を検出するためのイベント画素330と、イベント画素330からの光電流に基づいてアドレスイベントの発火の有無を検出するアドレスイベント検出回路（検出部）400とを備える。

[0033] 1. 4. 1 画素ブロックの積層構成例

図5は、図4に示す画素ブロックを図3に示す積層チップにあてはめた場合の積層構成例を示す図である。図5に示すように、画素ブロック310のうち、例えば、階調画素320及びイベント画素330は、受光チップ201に配置され、アドレスイベント検出回路400は、検出チップ202に配置される。

[0034] ただし、これに限定されず、例えば、階調画素320における回路構成の一部を検出チップ202へ配置するなど、種々変形することが可能である。

[0035] 1. 4. 2 画素アレイ部における画素ブロックの平面レイアウト例

図6は、第1の実施形態に係る画素アレイ部における画素ブロックの平面レイアウト例を示す平面図である。図6に示すように、画素アレイ部300は、行列状に配列した複数の画素ブロック310を備える。また、画素アレイ部300には、検出信号線306及び307と、垂直信号線308と、イネーブル信号線309とが、列方向に沿って列ごとに配線される。画素ブ

ック310のそれぞれは、対応する列の検出信号線306及び307と、垂直信号線308と、イネーブル信号線309とに接続される。

[0036] 1. 4. 3 階調画素の回路構成例

図7は、第1の実施形態に係る階調画素320の回路構成例を示す回路図である。図7に示すように、階調画素320は、光電変換素子321と、転送トランジスタ322と、浮遊拡散層323と、リセットトランジスタ324と、増幅トランジスタ325と、選択トランジスタ326とを備え、光電流に応じた電圧のアナログ信号を画素信号Vsigとして生成する。階調画素320における光電変換素子321以外の構成は、画素回路とも称される。転送トランジスタ、リセットトランジスタ324、増幅トランジスタ325及び選択トランジスタ326は、例えば、N型のMOS (Metal-Oxide-Semiconductor) トランジスタであってよい。

[0037] 光電変換素子（第2光電変換素子）321は、例えば、フォトダイオードなどで構成され、入射光を光電変換して電荷を生成する。転送トランジスタ322は、駆動回路211からの転送信号TRGに従って、光電変換素子321から浮遊拡散層323へ電荷を転送する。

[0038] 浮遊拡散層323は、蓄積している電荷の量に応じた電圧を生成する電荷蓄積部である。リセットトランジスタ324は、駆動回路211からのリセット信号RSTに従って、浮遊拡散層323の電荷を放出（初期化）する。増幅トランジスタ325は、浮遊拡散層323の電圧を増幅する。選択トランジスタ326は、駆動回路211からの選択信号SELに従って、増幅された電圧の信号を画素信号Vsigとして垂直信号線308に出現させる。垂直信号線308に出現した画素信号Vsigは、例えば、カラムADC220により読み出されて、デジタルの画素信号に変換される。

[0039] 1. 4. 4 イベント画素の回路構成例

図8は、第1の実施形態に係るイベント画素の回路構成例を示す回路図である。図8に示すように、イベント画素330は、光電変換素子331を備える。

[0040] 光電変換素子（第1光電変換素子）331は、光電変換素子321と同様に、例えば、フォトダイオードなどで構成され、入射光を光電変換して電荷を生成する。光電変換素子331が光電変換することで発生した電荷は、光電流としてアドレスイベント検出回路400へ供給される。

[0041] 1. 4. 5 アドレスイベント検出回路の機能例

また、図8に示されているアドレスイベント検出回路400は、光電変換素子331から流出した光電流の変化量が所定の閾値を超えたか否かにより、アドレスイベントの発火の有無を検出する。このアドレスイベントは、例えば、入射光量に応じた光電流の変化量が上限の閾値を超えた旨を示すオンイベントと、その変化量が下限の閾値を下回った旨を示すオフイベントとからなる。言い換えれば、アドレスイベントは、入射光量の変化量が下限から上限までの所定の範囲外であるときに検出される。また、アドレスイベントの検出信号は、例えば、オンイベントの検出結果を示す1ビットと、オフイベントの検出結果を示す1ビットからなる。なお、アドレスイベント検出回路400は、オンイベントのみを検出することもできる。

[0042] アドレスイベント検出回路400は、アドレスイベントが生じた際に、Yアービタ213へ、検出信号の送信を要求するリクエストを送信する。そして、Yアービタ213から、リクエストに対する応答を受け取ると、アドレスイベント検出回路400は、検出信号DET+及びDET-を駆動回路211及びカラムADC220へ送信する。ここで、検出信号DET+は、オンイベントの有無の検出結果を示す信号であり、例えば、検出信号線306を介してカラムADC220へ送信される。また、検出信号DET-は、オフイベントの有無の検出結果を示す信号であり、例えば、検出信号線307を介してカラムADC220へ送信される。

[0043] また、アドレスイベント検出回路400は、選択信号SELに同期して、カラムイネーブル信号COIENをイネーブルに設定し、その信号をイネーブル信号線309を介してカラムADC220へ送信する。ここで、カラムイネーブル信号COIENは、対応する列の画素信号に対するAD（Analog

to Digital) 変換を有効または無効にするための信号である。

[0044] 駆動回路 211 は、ある行でアドレスイベントが検出されると、その行を選択信号 SEL 等により駆動する。駆動された行内の画素ブロック 310 のそれぞれは、画素信号 Vsig を垂直信号線 308 に出現させる。垂直信号線 308 に出現した画素信号 Vsig は、カラム ADC 220 により読み出され、デジタルの画素信号へ変換される。

[0045] また、駆動された行のうちアドレスイベントを検出した画素ブロック 310 は、イネーブルに設定されたカラムイネーブル信号 COL EN をカラム ADC 220 へ送信する。一方、アドレスイベントを検出していない画素ブロック 310 のカラムイネーブル信号 COL EN は、ディセーブルに設定される。

[0046] 1. 4. 6 アドレスイベント検出回路の構成例

図 9 は、第 1 の実施形態に係るアドレスイベント検出回路の概略構成例を示すブロック図である。図 9 に示すように、アドレスイベント検出回路 400 は、電流電圧変換部 410、バッファ 420、減算器 430、量子化器 440 及び転送部 450 を備える。

[0047] 電流電圧変換部 410 は、イベント画素 330 からの光電流を、その対数の電圧信号に変換する。そして、電流電圧変換部 410 は、電圧信号をバッファ 420 に供給する。

[0048] バッファ 420 は、電流電圧変換部 410 からの電圧信号を減算器 430 へ出力する。このバッファ 420 により、後段を駆動する駆動力を向上させることができる。また、バッファ 420 により、後段のスイッチング動作に伴うノイズのアイソレーションを確保することができる。

[0049] 減算器 430 は、駆動回路 211 からの行駆動信号に従ってバッファ 420 からの電圧信号のレベルを低下させる。そして、減算器 430 は、低下後の電圧信号を量子化器 440 に供給する。

[0050] 量子化器 440 は、減算器 430 からの電圧信号をデジタル信号に量子化して検出信号として転送部 450 へ出力する。

[0051] 転送部450は、量子化器440からの検出信号を信号処理部212等に転送する。この転送部450は、アドレスイベントが検出された際に、検出信号の送信を要求するリクエストをYアービタ213及びイベントエンコーダ250に送信する。そして、転送部450は、リクエストに対する応答をYアービタ213から受け取ると、検出信号DET+及びDET-を駆動回路211及びカラムADC220に供給する。また、選択信号SELが送信された際に転送部450は、イネーブルに設定したカラムイネーブル信号C_o I E NをカラムADC220へ送信する。

[0052] 1. 4. 6. 1 電流電圧変換部の構成例

図10は、第1の実施形態に係る電流電圧変換部の概略構成例を示す回路図である。図10に示すように、電流電圧変換部410は、LG (LoG) トランジスタ411と、増幅トランジスタ413と、負荷MOSトランジスタ412とを備える。LGトランジスタ411及び増幅トランジスタ413には、例えば、N型のMOSトランジスタを用いることができる。一方、負荷MOSトランジスタ412は、定電流回路であり、これには、P型のMOSトランジスタを用いることができる。

[0053] LGトランジスタ411のソースは、イベント画素330における光電変換素子331のカソードに接続され、ドレインは電源端子に接続される。負荷MOSトランジスタ412及び増幅トランジスタ413は、電源端子と接地端子との間において、直列に接続される。また、負荷MOSトランジスタ412及び増幅トランジスタ413の接続点は、LGトランジスタ411のゲートとバッファ420の入力端子とに接続される。また、負荷MOSトランジスタ412のゲートには、所定のバイアス電圧V_{b i a s}が印加される。

[0054] LGトランジスタ411及び増幅トランジスタ413のドレインは電源側に接続されており、このような回路はソースフォロワと呼ばれる。これらのループ状に接続された2つのソースフォロワにより、光電変換素子331からの光電流は、その対数の電圧信号に変換される。また、負荷MOSトラン

ジスタ412は、一定の電流を増幅トランジスタ413に供給する。

[0055] なお、図10に示す構成において、例えば、LGトランジスタ411と増幅トランジスタ413とは、図5に示す受光チップ201に配置されてもよい。

[0056] 1. 4. 6. 1. 1 電流電圧変換部の変形例

なお、図10に例示するような、ソースフォロワ型の電流電圧変換部410に代えて、図11に例示するような、ゲインブースト型の電流電圧変換部410Aを用いることも可能である。

[0057] 図11に示すように、電流電圧変換部410Aでは、LGトランジスタ411のソース及び増幅トランジスタ413のゲートは、例えば、イベント画素330における光電変換素子331のカソードに接続される。また、LGトランジスタ411のドレインは、例えば、LGトランジスタ414のソース及び増幅トランジスタ413のゲートに接続される。LGトランジスタ414のドレインは、例えば、電源端子VDDに接続される。

[0058] また、例えば、増幅トランジスタ415のソースはLGトランジスタ411のゲート及び増幅トランジスタ413のドレインに接続される。増幅トランジスタ415のドレインは、例えば、負荷MOSトランジスタ412を介して電源端子VDDに接続される。

[0059] このような構成においても、光電変換素子331からの光電流が、その電荷量に応じた対数値の電圧信号に変換される。なお、LGトランジスタ411及び414と、増幅トランジスタ413及び415とは、それぞれ例えばN型のMOSトランジスタで構成されてよい。

[0060] なお、図11に示す構成において、例えば、LGトランジスタ411及び414と増幅トランジスタ413及び415とは、図5に示す受光チップ201に配置されてもよい。

[0061] 1. 4. 7 減算器及び量子化器の構成例

図12は、第1の実施形態に係る減算器及び量子化器の概略構成例を示す回路図である。図12に示すように、減算器430は、コンデンサ431及

び433と、インバータ432と、スイッチ434とを備える。また、量子化器440は、コンパレータ441及び442を備える。

[0062] コンデンサ431の一端は、バッファ420の出力端子に接続され、他端は、インバータ432の入力端子に接続される。コンデンサ433は、インバータ432に並列に接続される。スイッチ434は、コンデンサ433の両端を接続する経路を駆動回路211からのオートゼロ信号AZに従って開閉する。

[0063] インバータ432は、コンデンサ431を介して入力された電圧信号を反転する。このインバータ432は反転した信号をコンパレータ441の非反転入力端子(+)に出力する。

[0064] スイッチ434をオンした際にコンデンサ431のバッファ420側に電圧信号 V_{init} が入力され、その逆側は仮想接地端子となる。この仮想接地端子の電位を便宜上、ゼロとする。このとき、コンデンサ431に蓄積されている電位 Q_{init} は、コンデンサ431の容量を C_1 とすると、次の式(1)により表される。一方、コンデンサ433の両端は、短絡されているため、その蓄積電荷はゼロとなる。

$$Q_{init} = C_1 \times V_{init} \quad \dots (1)$$

[0065] 次に、スイッチ434がオフされて、コンデンサ431のバッファ420側の電圧が変化して V_{after} になった場合を考えると、コンデンサ431に蓄積される電荷 Q_{after} は、次の式(2)により表される。

$$Q_{after} = C_1 \times V_{after} \quad \dots (2)$$

[0066] 一方、コンデンサ433に蓄積される電荷 Q_2 は、出力電圧を V_{out} とすると、次の式(3)により表される。

$$Q_2 = -C_2 \times V_{out} \quad \dots (3)$$

[0067] このとき、コンデンサ431及び433の総電荷量は変化しないため、次の式(4)が成立する。

$$Q_{init} = Q_{after} + Q_2 \quad \dots (4)$$

[0068] 式(4)に式(1)乃至式(3)を代入して変形すると、次の式(5)が

得られる。

$$V_{out} = - (C1 / C2) \times (V_{after} - V_{init}) \quad \dots (5)$$

[0069] 式(5)は、電圧信号の減算動作を表し、減算結果の利得は $C1 / C2$ となる。通常、利得を最大化することが望まれるため、 $C1$ を大きく、 $C2$ を小さく設計することが好ましい。一方、 $C2$ が小さすぎると、 kTC ノイズが増大し、ノイズ特性が悪化するおそれがあるため、 $C2$ の容量削減は、ノイズを許容することができる範囲に制限される。また、画素ブロックごとに減算器430を含むアドレスイベント検出回路400が搭載されるため、容量 $C1$ や $C2$ には、面積上の制約がある。これらを考慮して、容量 $C1$ 及び $C2$ の値が決定される。

[0070] コンパレータ441は、減算器430からの電圧信号と、反転入力端子(−)に印加された上限電圧 V_{bon} とを比較する。ここで、上限電圧 V_{bon} は、上限閾値を示す電圧である。コンパレータ441は、比較結果 $COMP+$ を転送部450に出力する。コンパレータ441により、オンイベントが生じた場合にハイレベルの比較結果 $COMP+$ が出力され、オンイベントが無い場合にローレベルの比較結果 $COMP+$ が出力される。

[0071] コンパレータ442は、減算器430からの電圧信号と、反転入力端子(−)に印加された下限電圧 V_{boff} とを比較する。ここで、下限電圧 V_{boff} は、下限閾値を示す電圧である。コンパレータ442は、比較結果 $COMP-$ を転送部450に出力する。コンパレータ442により、オフイベントが生じた場合にハイレベルの比較結果 $COMP-$ が出力され、オフイベントが無い場合にローレベルの比較結果 $COMP-$ が出力される。

[0072] 1. 4. 8 転送部の構成例

図13は、第1の実施形態に係る転送部の概略構成例を示す回路図である。図13に示すように、転送部450は、AND(論理積)ゲート451及び453と、OR(論理和)ゲート452と、フリップフロップ454及び455とを備える。

- [0073] ANDゲート451は、量子化器440の比較結果COMP+と、Yアービタ213からの応答Ack Yとの論理積を検出信号DET+としてカラムADC220に出力する。このANDゲート451により、オンイベントが生じた場合にハイレベルの検出信号DET+が出力され、オンイベントが無い場合にローレベルの検出信号DET+が出力される。
- [0074] ORゲート452は、量子化器440の比較結果COMP+と比較結果COMP-との論理和をリクエストReq YとしてYアービタ213に出力する。ORゲート452により、アドレスイベントが生じた場合にハイレベルのリクエストReq Yが出力され、アドレスイベントの無い場合にローレベルのリクエストReq Yが出力される。また、リクエストReq Yの反転値がフリップフロップ454の入力端子Dに入力される。
- [0075] ANDゲート453は、量子化器440の比較結果COMP-と、Yアービタ213からの応答Ack Yとの論理積を検出信号DET-としてカラムADC220に出力する。このANDゲート453により、オフイベントが生じた場合にハイレベルの検出信号DET-が出力され、オフイベントが無い場合にローレベルの検出信号DET-が出力される。
- [0076] フリップフロップ454は、応答Ack Yに同期してリクエストReq Yの反転値を保持する。そして、フリップフロップ454は、保持値を内部信号C o I E N'としてフリップフロップ455の入力端子Dに出力する。
- [0077] フリップフロップ455は、駆動回路211からの選択信号SELに同期して、内部信号C o I E N'を保持する。そして、フリップフロップ455は、保持値をカラムイネーブル信号C o I E NとしてカラムADC220に出力する。
- [0078] 1. 4. 9 カラムADCの構成例

図14は、第1の実施形態に係るカラムADCの概略構成例を示すブロック図である。図14に示すように、カラムADC220では、例えば、画素アレイ部300における各列に対して、1つのAD変換部230が配置される。ただし、各列に対して一対一にAD変換部230を設けることは必須の

構成ではなく、例えば、2列以上の複数の列に対して、1つのAD変換部230が配置されてもよい。

[0079] AD変換部230は、各列の垂直信号線308に出現したアナログの画素信号をデジタルの画素信号に変換する。

[0080] 1. 4. 9. 1 AD変換部の構成例

図15は、第1の実施形態に係るAD変換部の概略構成例を示すブロック図である。図15に示すように、AD変換部230は、ADC232と、制御回路240とを備える。

[0081] ADC232は、画素信号Vsigをデジタルの画素信号Doutに変換する。このADC232は、比較器233及びカウンタ234を備える。

[0082] 比較器233は、制御回路240からのコンパレータイネーブル信号CompENに従って、所定の参照信号RMPと、画素信号Vsigとを比較する。参照信号RMPとしては、例えば、スロープ状又は階段状に変化するランプ信号を用いることができる。また、コンパレータイネーブル信号CompENは、比較器233の比較動作を有効または無効にするための信号である。比較器233は、比較結果VCOをカウンタ234に供給する。

[0083] カウンタ234は、制御回路240からのカウンタイネーブル信号CntENに従って、比較結果VCOが反転するまでの期間に亘って、クロック信号CLKに同期して計数値を計数する。カウンタイネーブル信号CntENは、カウンタ234の計数動作を有効または無効にするための信号である。このカウンタ234は、計数値を示すデジタルの画素信号Doutを信号処理部212に出力する。

[0084] 制御回路240は、カラムイネーブル信号ColENに従って、マルチプレクサ231及びADC232を制御する。制御内容の詳細については後述する。

[0085] また、各画素ブロック310から出力された検出信号DET+及びDET-は、AD変換部230を介して信号処理部212へ出力される。

[0086] なお、比較器233及びカウンタ234からなるシングルスロープ型のA

DCをADC232として用いているが、この構成に限定されない。例えば、デルタシグマ型のADCをADC232として用いることもできる。

[0087] 1. 4. 9. 2 制御回路の構成例

図16は、第1の実施形態に係る制御回路の概略構成例を示すブロック図である。図16に示すように、制御回路240は、OR（論理和）ゲート241と、レベルシフタ242と、AND（論理積）ゲート243とを備える。

[0088] ORゲート241は、カラムイネーブル信号ColENと、エクストライネーブル信号ExtENとの論理和をレベルシフタ242及びANDゲート243へ出力する。エクストライネーブル信号ExtENは、アドレスイベントの有無に関わらず、AD変換を有効にする旨を指示する信号であり、ユーザ操作などに従って設定される。例えば、有効にする際にエクストライネーブル信号ExtENにハイレベルが設定され、無効にする際にローレベルが設定される。

[0089] レベルシフタ242は、ORゲート241の出力信号の電圧を変換する。そして、レベルシフタ242は、例えば、ブロック制御信号Crtl2に従って、変換後の信号をコンパレータイネーブル信号CompENとしてADC232における比較器233に供給する。ブロック制御信号Crtl2は、アドレスイベントの有無に関わらず、比較器233を無効にするための信号である。例えば、アドレスイベントの有無に関わらず、比較器233を無効にする場合にブロック制御信号Crtl2にローレベルが設定され、そうでない場合にハイレベルが設定される。

[0090] ANDゲート243は、ORゲート241の出力信号と、ブロック制御信号Crtl1との論理積をカウンタイネーブル信号CntENとしてカウンタ234に出力する。ブロック制御信号Crtl1は、アドレスイベントの有無に関わらず、カウンタ234を無効にするための信号である。例えば、アドレスイベントの有無に関わらず、カウンタ234を無効にする場合にブロック制御信号Crtl1にローレベルが設定され、そうでない場合にハイ

レベルが設定される。

[0091] 1. 5 固体撮像装置の動作例

図17は、第1の実施形態に係る固体撮像装置の概略動作例を示すフローチャートである。この動作は、例えば、アドレスイベントの検出及び撮像を行うためのアプリケーションが実行されたときに開始される。

[0092] 図17に示すように、固体撮像装置200は、アドレスイベントの発火有無の検出を開始し（ステップS101）、アドレスイベントが発生したか否かを判断する（ステップS102）。アドレスイベントの発火検出には、イベント画素330が使用される。アドレスイベントの発火が検出されなかった場合（ステップS102のNO）、本動作は、ステップS105へ進む。

[0093] 一方、アドレスイベントの発火が検出された場合（ステップS102のYES）、イベントエンコーダ250が、アドレスイベントの発火が検出された画素ブロック310についてのイベント検出データを出力する（ステップS103）。

[0094] つぎに、カラムADC220が、アドレスイベントの発火が検出された画素ブロック310が属する行に含まれる全ての画素ブロック310から画素信号を読み出す（ステップS104）。画素信号の読出しには、階調画素320が使用される。また、1行分の画素信号は、アドレスイベントの発火が検出された画素ブロック310が属する行に含まれる全ての画素ブロック310から並列（カラム並列）に読み出される。その後、本動作は、ステップS105へ進む。

[0095] ステップS105では、固体撮像装置200は、本動作を終了するか否かを判定し、終了する場合（ステップS105のYES）、本動作を終了する。一方、終了しない場合（ステップS105のNO）、ステップS101へリターンし、以降の動作が実行される。

[0096] 1. 6 作用・効果

以上のように、第1の実施形態によれば、アドレスイベントの発火が検出された画素ブロック310が属する行に含まれる全ての画素ブロック310

から画素信号がカラム並列に読み出される。それにより、アドレスイベントが発火した画素ブロック310を1つずつ特定して個別に読み出すという手順を省略すること可能となるため、アドレスイベントの発火検出から画素信号（階調）読出しまでの時間差を低減することが可能となる。

[0097] また、第1の実施形態によれば、列方向でアドレスイベントの発火が検出された画素ブロック310に対する読出し順序の調停を行うXアービタを省略することが可能となるため、固体撮像装置200の回路構成を簡略化して小型化を図ることも可能となる。

[0098] さらに、本実施形態では、1つの画素ブロック310において、イベント検出用の画素（イベント画素330）と階調取得用の画素（階調画素320）とが別々に設けられ、それぞれを独立して制御することが可能であるため、アドレスイベントの発火検出から画素信号（階調）読出しまでのデッドタイムを無くして、イベント検出と階調取得とを同時並行的に実行することも可能となる。

[0099] 1. 7 第1変形例

なお、本実施形態では、イベント画素330と階調画素320とがそれぞれ別々の光電変換素子331又は321を備える場合を例示したが、本実施形態では、このような構成に限定されず、例えば、イベント画素330と階調画素320とで1つの光電変換素子を共有する構成など、種々変形することが可能である。

[0100] なお、イベント画素330と階調画素320とで1つの光電変換素子を共有する場合、図18に示すように、1つの光電変換素子341に対して、イベント画素330における光電変換素子331以外の回路構成と、階調画素320における光電変換素子321以外の回路構成とが接続された構成となる。

[0101] また、図18に示す構成に対する駆動では、先にアドレスイベントの監視用にOFG (OverFlow Gate) トランジスタ332をオン状態としておき、その状態でアドレスイベントの発火が検出されると、OFGトランジスタ3

32をオフ状態にするるとともに、転送トランジスタ322をオン状態とすることで、光電変換素子341に発生した電荷が階調画素320の浮遊拡散層323へ転送される。なお、その際の画素信号読出し動作は、上述において説明した動作と同様であってため、ここでは詳細な説明を省略する。

[0102] 1. 8 第2変形例

また、図19は、第1の実施形態の第2変形例に係る固体撮像装置の概略構成例を示すブロック図である。また、図20は、第1の実施形態の第2変形例に係る画素ブロックの概略構成例を示すブロック図である。

[0103] 上述した第1の実施形態では、各画素ブロック310にアドレスイベント検出回路400を設けた場合を例示したが、このような構成に限定されず、例えば、図19に示すように、各画素ブロック310Aのアドレスイベント検出回路400を行ごとに共通のアドレスイベント検出回路400で構成されたアドレスイベント検出部400Aに置き換えることも可能である。

[0104] このように構成することで、図20に示すように、各画素ブロック310Aからアドレスイベント検出回路400を省略することが可能となるため、固体撮像装置200をより小型化することが可能となる。

[0105] 2. 第2の実施形態

つぎに、第2の実施形態について、図面を参照して詳細に説明する。なお、本実施形態では、上述した実施形態と同様の構成及び動作については、それらを引用することで、重複する説明を省略する。

[0106] 上述した第1の実施形態では、各列に対して1つのAD変換部230を設けた、所謂1カラム1ADCの構成を例示したが、このような構成に限定されず、例えば、2列以上で1つのAD変換部230を共有するように構成することも可能である。そこで、第2の実施形態では、2列以上で1つのAD変換部230を共有する場合について、例を挙げて説明する。

[0107] 本実施形態に係る撮像装置及び固体撮像装置の構成は、例えば、第1の実施形態において例示した撮像装置100及び固体撮像装置200と同様であってよい。ただし、本実施形態では、AD変換部230が後述するAD変換

部530に置き換えられる。

[0108] 2. 1 AD変換部の構成例

図21は、第2の実施形態に係るAD変換部の概略構成例を示すブロック図である。図21に示すように、AD変換部530は、図15に例示したAD変換部230と同様の構成において、制御回路240が制御回路540に置き換えられるとともに、マルチプレクサ531が追加された構成を備える。なお、本説明において、AD変換部530に対応する2列を $2m-1$ (m は、1乃至Mの整数)列及び $2m$ 列とする。

[0109] マルチプレクサ531は、制御回路540からの制御信号に従って、 $2m-1$ 列の画素信号 $V_{sig\ 2m-1}$ と、 $2m$ 列の画素信号 $V_{sig\ 2m}$ の一方を選択して画素信号 $V_{sig\ SEL}$ としてADC232に出力する。マルチプレクサ531には、制御信号として、切替信号SW及びマルチプレクサイネーブル信号 $Mux\ EN$ が入力される。

[0110] ADC232は、図15におけるADC232と同様に、比較器233及びカウンタ234を備え、画素信号 $V_{sig\ SEL}$ をデジタルの画素信号 $Dout$ に変換する。

[0111] ただし、比較器233は、制御回路540からのコンパレータイネーブル信号 $Comp\ EN$ に従って、所定の参照信号 RMP と、画素信号 $V_{sig\ SEL}$ とを比較する。

[0112] 制御回路540は、 $2m-1$ 列及び $2m$ 列のそれぞれのカラムイネーブル信号 $Col\ EN\ 2m-1$ 及び $Col\ EN\ 2m$ に従ってマルチプレクサ531及びADC232を制御する。制御内容の詳細については後述する。

[0113] また、各列の検出信号 $DET+$ 及び $DET-$ は、AD変換部530を介して信号処理部212へ出力される。

[0114] なお、比較器233及びカウンタ234からなるシングルスロープ型のADCをADC232として用いているが、この構成に限定されない。例えば、デルタシグマ型のADCをADC232として用いることもできる。

[0115] 2. 2 制御回路の構成例

図22は、第2の実施形態に係る制御回路540の概略構成例を示すブロック図である。図22に示すように、制御回路540は、図16に例示した制御回路240と同様の構成に加え、デマルチプレクサ544と切替制御部545とをさらに備える。

[0116] デマルチプレクサ544は、ブロック制御信号CrtI2に従って、レベルシフタ242の出力信号をマルチプレクサ531及び比較器233に分配する。ブロック制御信号CrtI2は、アドレスイベントの有無に関わらず、マルチプレクサ531及び比較器233の少なくとも一方を無効にするための信号である。

[0117] 例えば、アドレスイベントの有無に関わらず、マルチプレクサ531のみを無効にする際には2進数で「10」がブロック制御信号CrtI2に設定される。この際にレベルシフタ242の出力信号は、コンパレータイネーブル信号CompENとして比較器233へ出力される。比較器233のみを無効にする際には2進数で「01」がブロック制御信号CrtI2に設定される。この際にレベルシフタ242の出力信号は、マルチプレクサイネーブル信号MUXENとしてマルチプレクサ531へ出力される。また、マルチプレクサ531及び比較器233の両方を無効にする際には、「00」が設定され、それ以外の場合に「11」が設定される。「11」が設定された際にレベルシフタ242の出力信号はマルチプレクサ531及び比較器233の両方に出力される。

[0118] 切替制御部545は、カラムイネーブル信号ColEN_{2m-1}及びColEN_{2m}に基づいてマルチプレクサ531が出力する画素信号を切り替える。例えば、一方のみにイネーブルが設定された場合、切替制御部545は、そのイネーブルの列の画素信号を切替信号SWによりマルチプレクサ531に選択させる。また、2列の両方にイネーブルが設定された場合、切替制御部545は、一方の列の画素信号を切替信号SWによりマルチプレクサ531に選択させ、次に他方の列の画素信号を選択させる。

[0119] 2.3 画素信号読出し時の切替制御例

図23は、第2の実施形態に係る画素信号読出し時の読出し制御の一例を説明するための図である。なお、本実施形態でも、第1の実施形態と同様に、アドレスイベントの発火が検出された画素ブロック310が属する行に含まれる全ての画素ブロック310から画素信号が読み出されるため、図23に示す制御は、 $2m-1$ 列及び $2m$ 列の画素ブロック310が属する行に含まれる画素ブロック310のうち少なくとも1つの画素ブロック310でアドレスイベントの発火が検出された場合に実行される制御である。

[0120] 図23に示すように、 $2m-1$ 列の画素ブロック310及び $2m$ 列の画素ブロック310のうちの少なくとも一方でアドレスイベントの発火が検出された場合、制御回路540は、切替信号SWにより、例えば、 $2m-1$ 列の画素ブロック310をマルチプレクサ531に先に選択させ、次に、 $2m$ 列の画素ブロック310をマルチプレクサ531に選択させる。その際、制御回路540は、 $2m-1$ 列及び $2m$ 列のAD変換期間に亘って、ADC232をイネーブルに設定する。

[0121] なお、 $2m-1$ 列及び $2m$ 列の両方がディセーブルである場合に制御回路540は、ADC232をディセーブルに設定する。

[0122] 2.4 作用・効果

以上のように、2列以上で1つのAD変換部230を共有する構成とすることで、AD変換部230の数を削減することが可能となるため、固体撮像装置200のさらなる小型化が可能となる。

[0123] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0124] 3. 第3の実施形態

また、上述した実施形態では、1又は2以上の列に対して1つのADC232を対応付けた場合を例示したが、このような構成に限定されず、例えば、1列に対して複数のADC232を対応付けるなど、種々変形することが可能である。以下、変形例の幾つかを、具体例を挙げて説明する。

[0125] 3.1 第1例

図24は、第3の実施形態の第1例に係る画素アレイ部及びコラムADCの一部のレイアウト例を示す平面図である。図24に示すように、第1例に係る画素アレイ部300では、1つの列に対して2つのADC232が対応付けられている。

[0126] 行数を $2N$ (N は、整数)として $2n$ (n は、1乃至 N の整数)行の画素ブロック310は、信号線306~309を介して一方のAD変換部230に接続され、 $2n-1$ 行の画素ブロック310は、異なる信号線306~309を介して他方のAD変換部230に接続される。

[0127] このような構成とすることで、複数行を読み出す際に、奇数行と偶数行と並行して読み出すことが可能となるため、アドレスイベントの発火検出から画素信号(階調)読出しまでの時間差をより低減することが可能となる。

[0128] 3.2 第2例

図25は、第3の実施形態の第2例に係る画素アレイ部及びコラムADCの一部のレイアウト例を示す平面図である。図25に示すように、第2例では、第1例と同様の構成において、2つのADC232が画素アレイ部300を挟んで配置されている。

[0129] このように、コラムADC220を2つに分割し、分割されたコラムADC220を画素アレイ部300を挟む位置に配置することで、コラムADC220あたりの回路規模を削減することが可能となる。

[0130] 3.3 第3例

図26は、第3の実施形態の第3例に係る画素アレイ部及びコラムADCの一部のレイアウト例を示す平面図である。図26に示すように、第3例では、列数を $4M$ として、 $4m$ 列および $4m-2$ 列が、画素アレイ部300に対して上側に配置されたコラムADC220に接続され、 $4m-1$ 列および $4m-3$ 列が、下側に配置されたコラムADC220に接続される。

[0131] 下側のコラムADC220には、接続された計 $2M$ 列に対し、 K 列ごとにAD変換部230が配置される。 K が「2」である場合、 M 個のAD変換部530が配置される。なお、第3例に係る各AD変換部530の構成は、第

2の実施形態に係るAD変換部530と同様であってよい。

[0132] また、上側のカラムADC220内にも同様に、2列ごとにAD変換部530が配置される。

[0133] このように、第3例によれば、1つのAD変換部530を複数列で共有し、さらに、カラムADC220を2つに分割して画素アレイ部300を挟む位置に配置した構成であるため、カラムADC220全体の回路規模を縮小するとともに、カラムADC220あたりの回路規模を削減することが可能となる。

[0134] 4. 第4の実施形態

次に、第4の実施形態について、図面を参照して詳細に説明する。なお、以下の説明において、上述した実施形態と同様の構成及び動作については、それらを引用することで、重複する説明を省略する。

[0135] 本実施形態に係る撮像装置の構成は、例えば、第1の実施形態において例示した撮像装置100と同様であってよい。ただし、本実施形態では、固体撮像装置200が後述する固体撮像装置600に置き換えられる。

[0136] 4. 1 固体撮像装置の概略構成例

図27は、第4の実施形態に係る固体撮像装置の概略構成例を示すブロック図である。図27に示すように、固体撮像装置600は、図3に例示した固体撮像装置200と同様の構成において、駆動回路211が省略され、Yアービタ213がYアービタ601に置き換えられた構成を備える。

[0137] Yアービタ601は、第1の実施形態におけるYアービタ213と同様の機能の他に、同じく第1の実施形態における駆動回路211の機能を備えている。したがって、Yアービタ601は、画素アレイ部300における1つ以上の画素ブロック310でアドレスイベントの発火が検出されると、アドレスイベントの発火が検出された画素ブロック310それぞれが属する行に対する読出し順序を調停し、調停した読出し順序にしたがって各行を駆動する。これにより、アドレスイベントの発火が検出された画素ブロック310が属する各行からカラム並列に画素信号が読み出される。

[0138] 4. 2 Yアービタの概略構成例

図28は、第4の実施形態に係るYアービタの概略構成例を示すブロック図である。図28に示すように、Yアービタ601は、イベント処理部620と、階調画素制御部610とを備える。

[0139] イベント処理部620は、異なる行に属する複数の画素ブロック310からリクエストReqYを入力すると、行に対する読出し順序を調停し、調停結果に応じた応答AckYを、その行に属する全ての画素ブロック310へ返す。これに対し、応答AckYを受け取った各画素ブロック310は、検出信号をカラムADC220へ送信する。

[0140] また、イベント処理部620は、調停した読出し順序を階調画素制御部610へ入力する。階調画素制御部610は、入力された読出し順序にしたがって行を駆動する。これにより、駆動された行に含まれる全ての画素ブロック310において、光電変換素子321への入射光量に応じた電圧値の画素信号が垂直信号線308へ出現する。

[0141] カラムADC220は、各垂直信号線308に出現した画素信号をカラム並列に読み出すことで、一行分の画素信号をまとめて読み出す。

[0142] 4. 3 イベント処理部の概略構成例

図29は、第4の実施形態に係るイベント処理部の概略構成例を示すブロック図である。図29に示すように、イベント処理部620は、アドレス特定部621と、ラッチ回路622と、ドライバ623とを備える。

[0143] ラッチ回路622は、行ごとに設けられ、画素ブロック310から入力されたリクエストReqYを一時保持する。そして、ラッチ回路622は、保持しているリクエストReqYを、入力されたクロックCLKに同期して、アドレス特定部621に入力する。

[0144] アドレス特定部621は、入力されたリクエストReqYに基づいて、当該リクエストReqYの送信元である画素ブロック310が属する行のYアドレスを特定し、特定したYアドレスに対応するドライバ623に、応答AckYを出力する。

[0145] 応答Ack Yが入力されたドライバ623は、入力された応答Ack Yを、Yアドレスに対応する行に含まれる全ての画素ブロック310へ入力する。

[0146] 4.4 階調画素制御部の概略構成例

図30は、第4の実施形態に係る階調画素制御部の概略構成例を示すブロック図である。図30に示すように、階調画素制御部610は、アドレス生成部611と、ドライバ612とを備える。

[0147] アドレス生成部611は、検出信号の送信元である画素ブロック310のYアドレスを特定し、特定したYアドレスを、クロックCLKに同期して、ドライバ612に入力する。

[0148] ドライバ612は、アドレス生成部611から入力されたYアドレスの行に含まれる全ての画素ブロック310に対して、リセット信号RST、転送信号TRG及び選択信号SELを適宜入力することで、当該行の画素ブロック310全てを駆動する。

[0149] 4.5 作用・効果

以上のように、本実施形態によれば、駆動回路211を省略することが可能となるため、固体撮像装置600の回路規模を縮小して小型化を係ることが可能となる。

[0150] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0151] 5. 第5の実施形態

上述した実施形態では、ある画素ブロック310でアドレスイベントの発火が検出された場合、当該画素ブロック310が属する行に含まれる全ての画素ブロック310からカラム並列に画素信号が読み出される場合を例示した。これに対し、第5の実施形態では、アドレスイベントの発火とは無関係に、周期的に全て又は一部の画素ブロック310から画素信号を読み出し、読み出した画素信号よりなる画像データ（以下、階調画像データという）をイベント検出データで更新する場合について、例を挙げて説明する。

[0152] 本実施形態に係る撮像装置及び固体撮像装置の構成は、例えば、上述の実施形態において例示した撮像装置100及び固体撮像装置200、200A又は600と同様であってよい。以下の説明では、第4の実施形態をベースとした場合を例示する。ただし、ベースとする実施形態は、第4の実施形態に限られず、他の実施形態とすることも可能である。

[0153] 5. 1 固体撮像装置の動作例

本実施形態では、固体撮像装置200が、アドレスイベントの発火を非同期で検出するアドレスイベント検出動作と、画素ブロック310から周期的に階調画像データを取得する周期的読出し動作とが実行される。

[0154] 5. 1. 1 イベント検出動作例

図31は、第5の実施形態に係るイベント検出動作の一例を示すフローチャートである。この動作は、例えば、アドレスイベントの検出及び撮像を行うためのアプリケーションが実行されたときに開始される。

[0155] 図31に示すように、固体撮像装置200は、アドレスイベントの発火有無の検出を開始し（ステップS701）、アドレスイベントが発生したか否かを判断する（ステップS702）。アドレスイベントの発火検出には、イベント画素330が使用される。アドレスイベントの発火が検出されなかった場合（ステップS702のNO）、本動作は、ステップS704へ進む。

[0156] 一方、アドレスイベントの発火が検出された場合（ステップS702のYES）、イベントエンコーダ250が、アドレスイベントの発火が検出された画素ブロック310についてのイベント検出データを出力し（ステップS703）、その後、本動作がステップS704へ進む。なお、ステップS703で読み出されたイベント検出データは、記録部120に格納されるか、若しくは、外部I/F140を介してホスト150へ送信される。

[0157] ステップS704では、固体撮像装置200は、本動作を終了するか否かを判定し、終了する場合（ステップS704のYES）、本動作を終了する。一方、終了しない場合（ステップS704のNO）、ステップS701へリターンし、以降の動作が実行される。

[0158] 5. 1. 2 周期的読出し動作例

図32は、第5の実施形態に係る周期的読出し動作の一例を示すフローチャートである。この動作は、イベント検出動作と同様に、例えば、アドレスイベントの検出及び撮像を行うためのアプリケーションが実行されたときに開始される。

[0159] 図32に示すように、固体撮像装置200は、経過時間の計測を開始し（ステップS721）、所定時間が経過するまで待機する（ステップS722のNO）。その後、所定時間が経過すると（ステップS722のYES）、固体撮像装置200は、Yアービタ601の階調画素制御部610に全画素ブロック310からの画素信号の読出しを実行させ（ステップS723）、ステップS724へ進む。なお、ステップS723で読み出された画素信号は、階調画像データとして、記録部120に格納されるか、若しくは、外部I/F140を介してホスト150へ送信される。

[0160] ステップS724では、固体撮像装置200は、本動作を終了するか否かを判定し、終了する場合（ステップS724のYES）、本動作を終了する。一方、終了しない場合（ステップS724のNO）、経過時間を計測しているカウンタ等をリセットし（ステップS725）、その後、ステップS722へリターンして、以降の動作を実行する。

[0161] 以上のように、周期的読出し動作で読み出された階調画像データは、イベント検出動作で出力されたイベント検出データを用いて逐次更新される（階調画像データ更新動作）。この階調画像データ更新動作は、固体撮像装置200内における例えば信号処理部212で実行されてもよいし、外部の制御部130やホスト150等で実行されてもよい。

[0162] 5. 2 階調画像データ更新動作例

次に、第5の実施形態に係る階調画像データ更新動作について、図面を参照して詳細に説明する。

[0163] 5. 2. 1 フローチャート

図33は、第5の実施形態に係る階調画像データ更新動作の一例を示すフ

ローチャートである。なお、本説明では、ホスト150が階調画像データ更新動作を実行する場合について例を挙げる。

- [0164] 図33に示すように、ホスト150は、固体撮像装置200から階調画像データを入力すると（ステップS301）、入力した階調画像データを所定のメモリ内に格納する（ステップS302）。
- [0165] 次に、ホスト150は、所定時間内に固体撮像装置200からイベント検出データが入力されたか否かを判定し（ステップS303）、入力されていない場合（ステップS303のNO）、ステップS308へ進む。
- [0166] 一方、イベント検出データが入力された場合（ステップS303のYES）、ホスト150は、入力したイベント検出データを所定のメモリに蓄積する（ステップS304）。
- [0167] つづいて、ホスト150は、入力したイベント検出データがオンイベントを示しているかオフイベントを示しているかを判定し（ステップS305）、オンイベントを示している場合（ステップS305のYES）、イベント検出データに含まれるXアドレス及びYアドレスから特定される画素の階調値（画素値ともいう）に所定の値を加算することで、当該画素の階調値を増加させ（ステップS306）、ステップS308へ進む。
- [0168] また、入力したイベント検出データが示すアドレスイベントがオンイベントでない、すなわち、オフイベントである場合（ステップS305のNO）、ホスト150は、イベント検出データに含まれるXアドレス及びYアドレスから特定される画素の階調値（画素値ともいう）から所定の値を減算することで、当該画素の階調値を減少させ（ステップS307）、ステップS308へ進む。
- [0169] ステップS308では、先の階調画像データの入力から所定時間が経過したか否かを判定し、所定時間が経過していない場合（ステップS308のNO）、ホスト150は、ステップS303へリターンして、以降の動作を実行する。一方、所定時間が経過している場合（ステップS308のYES）、ホスト150は、本動作を終了するか否かを判定し（ステップS309）

、終了する場合（ステップS309のYES）、本動作を終了する。一方、終了しない場合（ステップS309のNO）、ホスト150は、ステップS301へリターンし、次の階調画像データを入力して、以降の動作を実行する。なお、所定時間は、固体撮像装置200における階調画像データの取得周期、すなわち、フレームレートであってもよい。

[0170] 5. 2. 2 タイミングチャート

図34は、第5の実施形態に係る固体撮像装置の動作例を示すタイミングチャートである。なお、図34には、ある列における画素ブロック310の動作例が示されている。また、図35は、図34における2行目の画素ブロックに着目した階調値の更新を説明するためのタイミングチャートである。

[0171] まず、図34に示すように、本実施形態では、所定の周期T1で入力されるフレーム同期信号XVSに同期して、1行目の画素ブロック310から順に、階調画素320に対するリセット動作と画素信号読出し動作とが実行される。

[0172] 一方で、上記した階調画素320に対する周期的なリセット動作及び読出し動作とは別に、非同期で、イベント画素330を用いたアドレスイベントの発火の有無が検出されている。

[0173] ここで、図34における2行目の画素ブロック310に着目すると、図35に示すように、例えば、タイミングt1で階調画素320から読み出された画素信号による階調値は、次のタイミングt2で階調画素320から画素信号が読み出されるまでの間、すなわち、タイミングt1～t2までの期間中、イベント画素330でアドレスイベントが検出される度に、検出されたアドレスイベントがオンイベントであるかオフイベントであるかに応じて、所定の値で増減される。

[0174] また、次のタイミングt2～t3までの期間でも同様に、タイミングt2で階調画素320から読み出された画素信号による階調値は、タイミングt2～t3までの期間中、イベント画素330でアドレスイベントが検出される度に、検出されたアドレスイベントがオンイベントであるかオフイベント

であるかに応じて、所定の値で増減される。

[0175] 5. 3 作用・効果

一般的に、イベント検出に要する時間は、画素信号の読出し動作のような蓄積期間や転送期間が不要であるため、画素信号の読出しに要する時間と比較して、時間分解能が高い。そのため、本実施形態のように、画素信号読出し動作で取得した階調画像データにおける各画素の階調値を、イベント検出動作で検出したオンイベント及びオフイベントに基づいて増減することで、固体撮像装置200から読み出される階調画像データの時間分解能を高めること、言い換えれば、フレームレートを高めることが可能となる。

[0176] また、周期的に取得された階調画像データと、非同期に取得されたイベント検出データとを時系列に沿って蓄積しておくことで、事後的に、フレーム間の階調画像を生成することも可能となる。

[0177] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0178] 6. 第6の実施形態

上述した第5の実施形態では、アドレスイベントの発火とは無関係に、周期的に全て又は一部の画素ブロック310から画素信号を読み出し、これにより読み出された階調画像データをイベント検出データで更新する場合を例示した。ただし、ある期間中にアドレスイベントの発火が検出されなかった画素ブロック310については、その階調画素320から読み出される画素信号による階調値に変化が発生していない可能性が高い。

[0179] そこで、第6の実施形態では、画素ブロック310からの周期的な画素信号の読出しにおいて、直前の期間中にアドレスイベントの発火が検出されなかった画素ブロック310については、階調画素320からの画素信号の読出しを行わない場合について、例を挙げて説明する。

[0180] 本実施形態に係る撮像装置及び固体撮像装置の構成は、第5の実施形態と同様に、例えば、上述の実施形態において例示した撮像装置100及び固体撮像装置200、200A又は600と同様であってよい。ただし、本実施

形態では、図29に例示したイベント処理部620が、後述するイベント処理部720に置き換えられる。なお、以下の説明では、第4の実施形態をベースとした場合を例示するが、ベースとする実施形態は、第4の実施形態に限られず、他の実施形態とすることも可能である。

[0181] 6. 1 イベント処理部の概略構成例

図36は、第6の実施形態に係るイベント処理部の概略構成例を示すブロック図である。図36に示すように、イベント処理部720は、図29に例示したイベント処理部620と同様の構成に加え、アドレス記憶部721をさらに備える。

[0182] 本実施形態において、アドレス特定部621は、入力されたリクエストReqYに基づいて、当該リクエストReqYの送信元である画素ブロック310のXアドレス及びYアドレスを特定し、特定したXアドレス及びYアドレスに対応するドライバ623に、応答AckYを出力する。

[0183] 応答AckYが入力されたドライバ623は、入力された応答AckYを、Xアドレス及びYアドレスで特定される画素ブロック310へ入力する。

[0184] また、アドレス記憶部721は、アドレス特定部621で特定されたXアドレス及びYアドレス（アドレス情報）を一時保持する。その後、アドレス記憶部721は、フレーム同期信号XVSに同期して、保持しているXアドレス及びYアドレスを、階調画素制御部610のアドレス生成部611へ入力する。

[0185] 階調画素制御部610のアドレス生成部611は、アドレス記憶部721から入力されたXアドレス及びYアドレスを、クロックCLSに同期して、ドライバ612に入力する。そして、ドライバ612は、アドレス生成部611から入力されたXアドレス及びYアドレスで特定される画素ブロック310に対して、リセット信号RST、転送信号TRG及び選択信号SELを適宜入力することで、当該画素ブロック310を駆動する。

[0186] 6. 2 階調画像データ更新動作例

図37は、第6の実施形態に係る固体撮像装置の動作例を示すタイミング

チャートである。なお、図37には、図34と同様に、ある列における画素ブロック310の動作例が示されている。

[0187] 図37に示すように、本実施形態では、直前の周期T1の期間でアドレスイベントの発火が検出されなかった画素ブロック310については、次の周期T1の期間では、階調画素320のリセット動作と画素信号の読出し動作とが実行されない。

[0188] これを、1行目の画素ブロック310と2行目の画素ブロック310とに着目して説明すると、タイミングt10～t11の期間では、1行目の画素ブロック310のイベント画素330においてアドレスイベントの発火が検出されていない。この場合、アドレス記憶部721に1行目の画素ブロック310のXアドレス及びYアドレスが保持されていないため、次の周期（タイミングt12～t13）では、1行目の画素ブロック310の階調画素320に対するリセット動作及び読出し動作が実行されていない。

[0189] 一方で、2行目の画素ブロック310については、タイミングt10～t11の期間中に1回以上のアドレスイベントの発火が検出されているため、次の周期（タイミングt12～t13）において、2行目の画素ブロック310の階調画素320に対するリセット動作及び読出し動作が実行されている。

[0190] 6.3 作用・効果

以上のように、本実施形態によれば、直前の期間中にアドレスイベントの発火が検出されなかった画素ブロック310については、その階調画素320からの画素信号の読出しが省略される。これにより、周期的な画素信号の読出し動作を簡略化することが可能となるため、固体撮像装置600の動作速度の向上と消費電力の低減を図ることが可能となる。

[0191] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0192] 7. 第7の実施形態

上述した実施形態では、フレーム間に検出されたアドレスイベントに基づ

いて、階調画像データにおける各画素の階調値を更新する場合を例示した。これに対し、第7の実施形態では、アドレスイベントの発火が検出された画素ブロック310の階調画素320から非同期で画素信号を読み出し、この読み出した画素値で、周期的に読み出された階調画像データを更新する場合について、例を挙げて説明する。

[0193] 本実施形態に係る撮像装置及び固体撮像装置の構成は、第5の実施形態と同様に、例えば、上述の実施形態において例示した撮像装置100及び固体撮像装置200、200A又は600と同様であってよい。ただし、本実施形態では、図4に例示した画素ブロック310が、後述する画素ブロック810に置き換えられる。なお、以下の説明では、第4の実施形態をベースとした場合を例示するが、ベースとする実施形態は、第4の実施形態に限られず、他の実施形態とすることも可能である。

[0194] 7. 1 画素ブロックの構成例

図38は、第7の実施形態に係る画素ブロックの概略構成例を示すブロック図である。図38に示すように、画素ブロック810は、例えば、図4に例示した画素ブロック310と同様の構成において、階調画素320がメモリ801をさらに備えている。

[0195] メモリ801は、光電変換素子321に発生した電荷を一時保持する電荷蓄積部であり、例えば、光電変換素子321と同一の半導体基板に形成された容量素子などを用いて構成され得る。

[0196] 入射光量に応じて光電変換素子321に発生した電荷は、一時、メモリ801へ転送されて保持される。その後、階調画素320に対する読出し動作により、メモリ801に保持されていた電荷が浮遊拡散層323へ転送され、その後、通常の見出し動作と同様の動作が実行される。

[0197] 7. 2 画素信号読出し動作例

図39は、第7の実施形態に係る画素信号読出し動作の一例を示すタイミングチャートである。なお、図39には、ある列における画素ブロック810の動作例が示されている。

[0198] 図39に示すように、本実施形態では、フレーム同期信号XVSに同期して、各画素ブロック810の階調画素320における光電変換素子321からメモリ801へ電荷が転送される。その後、例えば、1行目の画素ブロック810から最終行の画素ブロック810へかけて順番に、画素信号の読出し動作が実行される。

[0199] なお、イベント検出動作は、上述した実施形態と同様であってよい。

[0200] 7.3 作用・効果

以上のように、階調画素320の光電変換素子321で発生した電荷を一旦、メモリ801に保持する構成とすることで、全ての画素ブロック810のシャッタ動作（リセット動作に相当）を同時に実行する、いわゆるグローバルシャッタ動作を実現することが可能となる。

[0201] その他の構成、動作及び効果は、上述した実施形態と同様であってよいため、ここでは詳細な説明を省略する。

[0202] 7.4 変形例

なお、本実施形態に係るメモリ801を用いた画素信号の読出し動作に対し、第6の実施形態において例示した、ある期間中にアドレスイベントの発火が検出されなかった画素ブロック310（810）についてはその階調画素320に対する画素信号の読出しを省略する構成を組み合わせることも可能である。

[0203] その場合、図40に例示するように、直前の周期T1の期間でアドレスイベントの発火が検出されなかった画素ブロック810については、次の周期T1の期間では、階調画素320のリセット動作と画素信号の読出し動作とが実行されない。それにより、周期的な画素信号の読出し動作を簡略化することが可能となるため、固体撮像装置600の動作速度の向上と消費電力の低減を図ることが可能となる。

[0204] 8. 第8の実施形態

第8の実施形態においては、上述した実施形態に係る画素ブロックの変形例について、幾つか例を挙げて説明する。なお、以下の説明では、第1の実

施形態において図4及び図5を用いて説明した画素ブロックをベースとするが、ベースとする画素ブロックはこれに限定されず、他の実施形態に係る画素ブロックであってもよい。

- [0205] 近年のプロセス技術の進歩により、階調画素320の微細化が進んでいる。そのため、上述した実施形態のように、階調画素320とイベント画素330とを組み合わせる場合には、階調画素320と、イベント画素330からアドレスイベントの発火の有無を検出するためのアドレスイベント検出回路400とのピッチ（サイズであってもよい）の差が大きくなる。
- [0206] ここで、上述した実施形態では、例えば、図5に例示した積層チップにおいて、1つのアドレスイベント検出回路400の領域と同サイズの受光チップ201上の領域には、このアドレスイベント検出回路400と同じ画素ブロック310に属する階調画素320とイベント画素330とが配置され得る。
- [0207] そこで、階調画素320とアドレスイベント検出回路400とのサイズ差から生じる受光チップ201上の余剰領域に、階調画素320を追加することが考えられる。その場合、1つの画素ブロック310に複数の階調画素320が属することとなる。
- [0208] ただし、1つのイベント画素330に対して複数の階調画素320を対応させた場合、アドレスイベントの発火に対する感度が低下してしまう可能性がある。
- [0209] 例えば、ストラクチャードライト（Structured Light）を用いた測距方式（以下、ストラクチャードライト方式という）では、イベント画素330を微細にしてドットの重心を得るようにすることで、各ドットの位置精度を上げる必要がある。
- [0210] 一方で、ストラクチャードライト方式では、照射するストラクチャードライトのドットに時間方向のオン／オフのコードを含める、すなわち、各ドットを異なるパターンで点滅させることで、イベント画素330におけるアドレスイベントの発生パターンからストラクチャードライトにおけるいずれの

ドットであるかを特定することが可能となり、測距における信号処理を大幅に簡略化することが可能となる。

[0211] そこで本実施形態では、1つの画素ブロック内で、複数のイベント画素330を点在させて配置し、それらの電流和を1つのアドレスイベント検出回路400で受けることで、アドレスイベントの発火に対する感度を落とさずに、ストラクチャードライトのドットの重心を精度よく取得することを可能にする画素ブロックの構成について、例を挙げて説明する。

[0212] 図41は、第8の実施形態に係る画素ブロックの概略構成例を示す模式図である。なお、図41において、受光チップ201における白抜きマスは、階調画素320を示し、ハッチングされているマスはイベント画素330を示している。

[0213] 図41に示すように、本実施形態に係る画素ブロック910は、1つのアドレスイベント検出回路400と、4つのイベント画素330と、32つの階調画素320とを含んで構成されている。

[0214] イベント画素330と階調画素320との計36つの画素は、6×6の行列状に配列されている。例えば、イベント画素330のサイズと階調画素320のサイズとを同じとし、そのサイズを一辺が1.5 μ m（マイクロメートル）の正方形であるとする、6×6の行列状の画素配列911は、6 μ m四方の矩形の領域となる。その場合、検出チップ202におけるアドレスイベント検出回路400のサイズを、6 μ m四方の矩形領域とするとよい。

[0215] また、各画素ブロック910における画素配列911において、イベント画素330は、等間隔（例えば、縦方向及び横方向に2つ置き）に点在している。このように、イベント画素330を等間隔に点在させることで、ストラクチャードライトのドットの重心を精度良く求めることが可能となる。

[0216] 同じ画素ブロック910の4つのイベント画素330は、同じアドレスイベント検出回路400に接続されている。このように、アドレスイベント検出回路400が複数（本例では4つ）のイベント画素330からの電流和を受けることで、アドレスイベントの発火に対する感度を落とさずに、ストラ

クチャードライトのドットの重心を精度よく求めることが可能になる。

[0217] 以上のように、本実施形態によれば、1つの画素ブロック910内で、複数のイベント画素330を点在させて配置し、それらの電流和を1つのアドレスイベント検出回路400で受けることで、アドレスイベントの発火に対する感度を落とさずに、ストラクチャードライトのドットの重心を精度よく取得することが可能になる。

[0218] 8. 1 変形例

なお、第8の実施形態では、1つの画素ブロック910に複数のイベント画素330を点在させることで、アドレスイベントの発火に対する感度を落とさずに、ストラクチャードライトのドットの重心を精度よく求める場合について例示したが、このような構成に限定されない。

[0219] 例えば、1つの画素ブロック1010に含めるイベント画素330の受光領域のサイズを大きくしてもよい。例えば、図42に示す第8の実施形態の変形例のように、1つのイベント画素330の受光領域のサイズを、2×2個分の階調画素320の受光領域と同じサイズにしてもよい。その場合、イベント画素330は、6×6の画素配列1011における2×2の画素領域を利用して配置されることとなる。

[0220] このような構成でも、イベント画素330の受光領域を拡大してアドレスイベントの発火に対する感度を向上させることが可能となるため、アドレスイベントの発火に対する感度を落とさずに、ストラクチャードライトのドットの重心を精度よく取得することが可能になる。

[0221] また、図41に示した画素配列911において、各イベント画素330の受光領域のサイズを、図42に例示するように、大きくしてもよい。

[0222] 9. 移動体への応用例

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されても

よい。

- [0223] 図43は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。
- [0224] 車両制御システム12000は、通信ネットワーク12001を介して接続された複数の電子制御ユニットを備える。図43に示した例では、車両制御システム12000は、駆動系制御ユニット12010、ボディ系制御ユニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F(interface)12053が図示されている。
- [0225] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。
- [0226] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。
- [0227] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット1203

0には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0228] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0229] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0230] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS(Advanced Driver Assistance System)の機能実現を目的とした協調制御を行うことができる。

[0231] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御すること

により、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0232] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0233] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図43の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0234] 図44は、撮像部12031の設置位置の例を示す図である。

[0235] 図44では、撮像部12031として、撮像部12101, 12102, 12103, 12104, 12105を有する。

[0236] 撮像部12101, 12102, 12103, 12104, 12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102, 12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。車室内のフロントガラスの上部に備えられる撮像部12105は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等

の検出に用いられる。

[0237] なお、図44には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112, 12113は、それぞれサイドミラーに設けられた撮像部12102, 12103の撮像範囲を示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0238] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0239] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0240] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュー

タ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0241] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0242] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、例えば、撮像部12031に適用され得る。具体的には、図1の撮像装置100は、撮像部12031に適用することができる。撮像部12031に本開示に係る技術を適用することにより、撮像部12031の消費電力を削減することができるため、車両制御システム全体の消費電力を低減することができる。

[0243] なお、上述の実施形態は本技術を具現化するための一例を示したものであり、実施形態における事項と、請求の範囲における発明特定事項とはそれぞれ

れ対応関係を有する。同様に、請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施形態に限定されるものではなく、その要旨を逸脱しない範囲において実施形態に種々の変形を施すことにより具現化することができる。

[0244] また、上述の実施形態において説明した処理手順は、これら一連の手順を有する方法として捉えてもよく、また、これら一連の手順をコンピュータに実行させるためのプログラム乃至そのプログラムを記憶する記録媒体として捉えてもよい。この記録媒体として、例えば、CD (Compact Disc)、MD (MiniDisc)、DVD (Digital Versatile Disc)、メモ리카ード、ブルーレイディスク (Blu-ray (登録商標) Disc) 等を用いることができる。

[0245] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0246] なお、本技術は以下のような構成も取ることができる。

(1)

行列状に配列する複数の画素ブロックを備える画素アレイ部と、
前記複数の画素ブロックのうち、アドレスイベントの発火が検出された第1画素ブロックに画素信号を生成させる駆動回路と、
を備え、
前記画素ブロックそれぞれは、
入射光量に応じた電荷を発生させる第1光電変換素子と、
前記第1光電変換素子に発生した電荷に基づいて前記アドレスイベントの発火を検出する検出部と、
入射光量に応じた電荷を発生させる第2光電変換素子と、
前記第2光電変換素子に発生した電荷に基づく画素信号を生成する画素回路と、
を備える固体撮像装置。

(2)

前記駆動回路は、前記第1画素ブロックが属する行に含まれる複数の第2画素ブロックそれぞれに画素信号を生成させる前記(1)に記載の固体撮像装置。

(3)

前記複数の第2画素ブロックそれぞれが生成した前記画素信号を並列に読み出す変換部をさらに備える前記(2)に記載の固体撮像装置。

(4)

前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記行それぞれに対する読出し順序を決定する調停部をさらに備える前記(2)又は(3)に記載の固体撮像装置。

(5)

前記調停部は、前記駆動回路を含む前記(4)に記載の固体撮像装置。

(6)

前記第1画素ブロックは、当該第1画素ブロックが属する前記行に対する読出し順序の調停を依頼するリクエストを前記調停部へ出力し、

前記調停部は、各行に対して一対一に設けられ、それぞれ対応する行から入力された前記リクエストを一時保持する複数のラッチ回路を含み、

前記ラッチ回路それぞれは、外部から入力されたクロックに同期して、保持している前記リクエストを前記調停部に入力し、

前記調停部は、前記ラッチ回路を介して入力された前記リクエストに基づいて前記読出し順序を決定する

前記(4)又は(5)に記載の固体撮像装置。

(7)

前記駆動回路は、前記複数の画素ブロックのうちの少なくとも1つの第3画素ブロックに所定の周期で前記画素信号を生成させる前記(1)～(6)の何れか1項に記載の固体撮像装置。

(8)

前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記複数の行それぞれに対する読出し順序を決定する調停部をさらに備え、

前記調停部は、所定の期間内に前記アドレスイベントを検出した前記第1画素ブロックの前記画素アレイ部における位置を特定するアドレス情報を記憶するアドレス記憶部を含み、

前記駆動回路は、前記アドレス記憶部に記憶されている前記アドレス情報で特定される前記第1画素ブロックを前記第3画素ブロックとして、前記所定の周期で前記画素信号を生成させる

前記(7)に記載の固体撮像装置。

(9)

前記所定の周期で規定される期間内に前記第3画素ブロックで検出されたアドレスイベントの数に基づいて、当該第3画素ブロックから前記所定の周期で読み出された画素信号が示す階調値を増減する信号処理部をさらに備える前記(7)又は(8)に記載の固体撮像装置。

(10)

前記画素ブロックそれぞれは、前記第2光電変換素子に発生した電荷を一時保持するメモリをさらに備え、

前記駆動回路は、前記第1画素ブロックが前記アドレスイベントの発火を検出した際、前記第1画素ブロックに対し、当該第1画素ブロックの前記メモリに保持されている前記電荷に基づいて画素信号を生成させる

前記(1)に記載の固体撮像装置。

(11)

前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記複数の行それぞれに対する読出し順序を決定する調停部をさらに備え、

前記調停部は、所定の期間内に前記アドレスイベントを検出した前記第1画素ブロックの前記画素アレイ部における位置を特定するアドレス情報を記憶するアドレス記憶部を含み、

前記駆動回路は、前記アドレス記憶部に記憶されている前記アドレス情報で特定される前記第1画素ブロックに、所定の周期で画素信号を生成させる前記(10)に記載の固体撮像装置。

(12)

前記画素ブロックそれぞれは、複数の前記第1光電変換素子を含み、前記複数の第1光電変換素子は、前記検出部に接続されている前記(1)～(11)の何れか1項に記載の固体撮像装置。

(13)

前記画素ブロックそれぞれは、複数の前記第2光電変換素子をさらに含み、
前記複数の第1光電変換素子と前記複数の第2光電変換素子とは、行列状の配列を成し、

前記複数の第1光電変換素子は、前記行列状の配列において等間隔に点在している

前記(12)に記載の固体撮像装置。

(14)

前記第1光電変換素子の受光領域のサイズは、前記第2光電変換素子の受光領域のサイズよりも大きい前記(1)～(13)の何れか1項に記載の固体撮像装置。

(15)

固体撮像装置と、

入射光を前記固体撮像装置の受光面に結像する光学系と、

前記固体撮像装置で取得された画像データを記憶する記録部と、

を備え、

前記固体撮像装置は、

行列状に配列する複数の画素ブロックを備える画素アレイ部と、
前記複数の画素ブロックのうち、アドレスイベントの発火が検出された
第1画素ブロックに画素信号を生成させる駆動回路と、
を備え、
前記画素ブロックそれぞれは、
入射光量に応じた電荷を発生させる第1光電変換素子と、
前記第1光電変換素子に発生した電荷に基づいて前記アドレスイベント
の発火を検出する検出部と、
入射光量に応じた電荷を発生させる第2光電変換素子と、
前記第2光電変換素子に発生した電荷に基づく画素信号を生成する画素
回路と、
を備える撮像装置。

符号の説明

- [0247] 100 撮像装置
110 光学系
120 記録部
130 制御部
140 外部I/F
150 ホスト
200、200A、600 固体撮像装置
201 受光チップ
202 検出チップ
211 駆動回路
212 信号処理部
213、601 Yアービタ
220 カラムADC
230、530 AD変換部
233 比較器

- 234 カウンタ
- 240、540 制御回路
- 241 ORゲート
- 242 レベルシフタ
- 243 ANDゲート
- 250 イベントエンコーダ
- 300 画素アレイ部
- 306、307 検出信号線
- 308 垂直信号線
- 309 イネーブル信号線
- 310、310A、810、910、1010 画素ブロック
- 320 階調画素
- 321、331、341 光電変換素子
- 322 転送トランジスタ
- 323 浮遊拡散層
- 324 リセットトランジスタ
- 325 増幅トランジスタ
- 326 選択トランジスタ
- 330 イベント画素
- 332 OFGトランジスタ
- 400 アドレスイベント検出回路
- 400A アドレスイベント検出部
- 410、410A 電流電圧変換部
- 411、414 LGトランジスタ
- 412 負荷MOSトランジスタ
- 413、415 増幅トランジスタ
- 420 バッファ
- 430 減算器

4 3 1、4 3 3 コンデンサ
4 3 2 インバータ
4 3 4 スイッチ
4 4 0 量子化器
4 4 1、4 4 2 コンパレータ
4 5 0 転送部
4 5 1、4 5 3 ANDゲート
4 5 2 ORゲート
4 5 4、4 5 5 フリップフロップ
5 3 1 マルチプレクサ
5 4 5 切替制御部
5 4 4 デマルチプレクサ
6 1 0 階調画素制御部
6 1 1 アドレス生成部
6 1 2 ドライバ
6 2 0、7 2 0 イベント処理部
6 2 1 アドレス特定部
6 2 2 ラッチ回路
6 2 3 ドライバ
7 2 1 アドレス記憶部
8 0 1 メモリ
9 1 1、1 0 1 1 画素配列

請求の範囲

- [請求項1] 行列状に配列する複数の画素ブロックを備える画素アレイ部と、
前記複数の画素ブロックのうち、アドレスイベントの発火が検出された第1画素ブロックに画素信号を生成させる駆動回路と、
を備え、
前記画素ブロックそれぞれは、
入射光量に応じた電荷を発生させる第1光電変換素子と、
前記第1光電変換素子に発生した電荷に基づいて前記アドレスイベントの発火を検出する検出部と、
入射光量に応じた電荷を発生させる第2光電変換素子と、
前記第2光電変換素子に発生した電荷に基づく画素信号を生成する画素回路と、
を備える固体撮像装置。
- [請求項2] 前記駆動回路は、前記第1画素ブロックが属する行に含まれる複数の第2画素ブロックそれぞれに画素信号を生成させる請求項1に記載の固体撮像装置。
- [請求項3] 前記複数の第2画素ブロックそれぞれが生成した前記画素信号を並列に読み出す変換部をさらに備える請求項2に記載の固体撮像装置。
- [請求項4] 前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記行それぞれに対する読出し順序を決定する調停部をさらに備える請求項2に記載の固体撮像装置。
- [請求項5] 前記調停部は、前記駆動回路を含む請求項4に記載の固体撮像装置。
- [請求項6] 前記第1画素ブロックは、当該第1画素ブロックが属する前記行に対する読出し順序の調停を依頼するリクエストを前記調停部へ出力し、
前記調停部は、各行に対して一対一に設けられ、それぞれ対応する

行から入力された前記リクエストを一時保持する複数のラッチ回路を含み、

前記ラッチ回路それぞれは、外部から入力されたクロックに同期して、保持している前記リクエストを前記調停部に入力し、

前記調停部は、前記ラッチ回路を介して入力された前記リクエストに基づいて前記読出し順序を決定する

請求項4に記載の固体撮像装置。

[請求項7] 前記駆動回路は、前記複数の画素ブロックのうちの少なくとも1つの第3画素ブロックに所定の周期で前記画素信号を生成させる請求項1に記載の固体撮像装置。

[請求項8] 前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記複数の行それぞれに対する読出し順序を決定する調停部をさらに備え、

前記調停部は、所定の期間内に前記アドレスイベントを検出した前記第1画素ブロックの前記画素アレイ部における位置を特定するアドレス情報を記憶するアドレス記憶部を含み、

前記駆動回路は、前記アドレス記憶部に記憶されている前記アドレス情報で特定される前記第1画素ブロックが属する行に含まれる複数の第2画素ブロックを前記第3画素ブロックとして、前記所定の周期で前記画素信号を生成させる

請求項7に記載の固体撮像装置。

[請求項9] 前記所定の周期で規定される期間内に前記第3画素ブロックで検出されたアドレスイベントの数に基づいて、当該第3画素ブロックから前記所定の周期で読み出された画素信号が示す階調値を増減する信号処理部をさらに備える請求項7に記載の固体撮像装置。

[請求項10] 前記画素ブロックそれぞれは、前記第2光電変換素子に発生した電荷を一時保持するメモリをさらに備え、

前記駆動回路は、前記第1画素ブロックが前記アドレスイベントの発火を検出した際、前記第1画素ブロックに対し、当該第1画素ブロックの前記メモリに保持されている前記電荷に基づいて画素信号を生成させる

請求項1に記載の固体撮像装置。

[請求項11] 前記第1画素ブロックが複数存在し、且つ、当該複数の第1画素ブロックのうちの少なくとも1つが異なる行に属している場合、前記第1画素ブロックが1つ以上属する前記複数の行それぞれに対する読出し順序を決定する調停部をさらに備え、

前記調停部は、所定の期間内に前記アドレスイベントを検出した前記第1画素ブロックの前記画素アレイ部における位置を特定するアドレス情報を記憶するアドレス記憶部を含み、

前記駆動回路は、前記アドレス記憶部に記憶されている前記アドレス情報で特定される前記第1画素ブロックが属する行に含まれる複数の第2画素ブロックに、所定の周期で画素信号を生成させる

請求項10に記載の固体撮像装置。

[請求項12] 前記画素ブロックそれぞれは、複数の前記第1光電変換素子を含み、

前記複数の第1光電変換素子は、前記検出部に接続されている

請求項1に記載の固体撮像装置。

[請求項13] 前記画素ブロックそれぞれは、複数の前記第2光電変換素子をさらに含み、

前記複数の第1光電変換素子と前記複数の第2光電変換素子とは、行列状の配列を成し、

前記複数の第1光電変換素子は、前記行列状の配列において等間隔に点在している

請求項12に記載の固体撮像装置。

[請求項14] 前記第1光電変換素子の受光領域のサイズは、前記第2光電変換素

子の受光領域のサイズよりも大きい請求項 1 に記載の固体撮像装置。

[請求項15]

固体撮像装置と、

入射光を前記固体撮像装置の受光面に結像する光学系と、

前記固体撮像装置で取得された画像データを記憶する記録部と、

を備え、

前記固体撮像装置は、

行列状に配列する複数の画素ブロックを備える画素アレイ部と、

前記複数の画素ブロックのうち、アドレスイベントの発火が検出された第 1 画素ブロックに画素信号を生成させる駆動回路と、

を備え、

前記画素ブロックそれぞれは、

入射光量に応じた電荷を発生させる第 1 光電変換素子と、

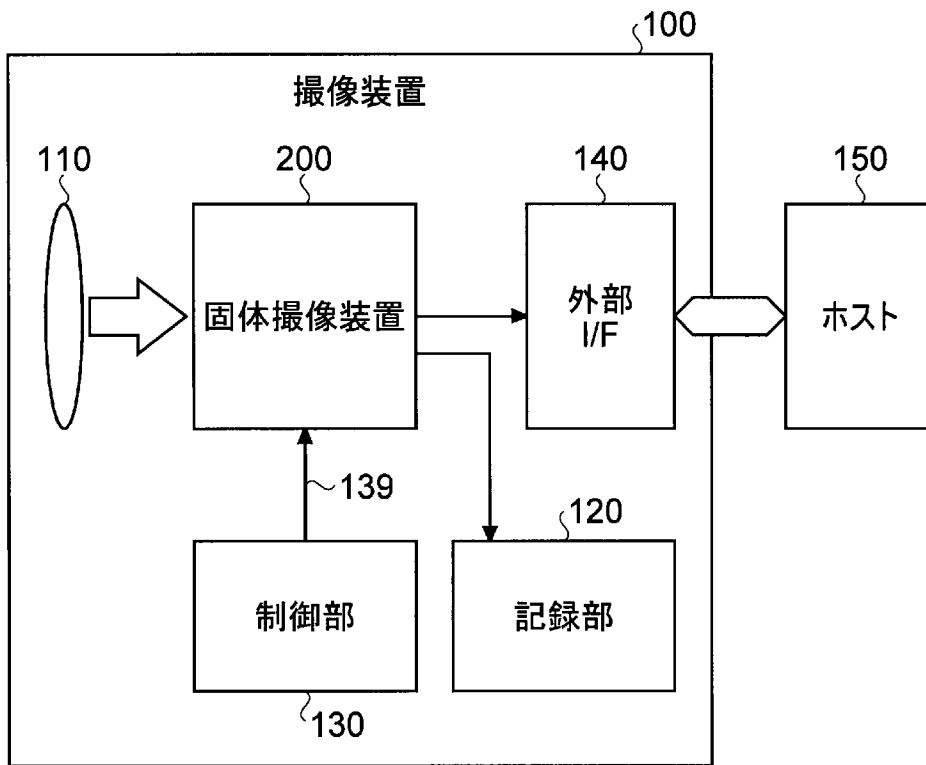
前記第 1 光電変換素子に発生した電荷に基づいて前記アドレスイベントの発火を検出する検出部と、

入射光量に応じた電荷を発生させる第 2 光電変換素子と、

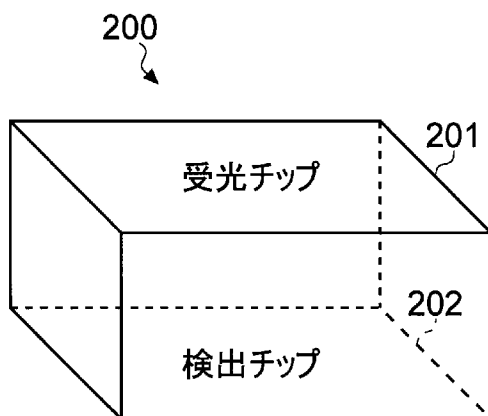
前記第 2 光電変換素子に発生した電荷に基づく画素信号を生成する画素回路と、

を備える撮像装置。

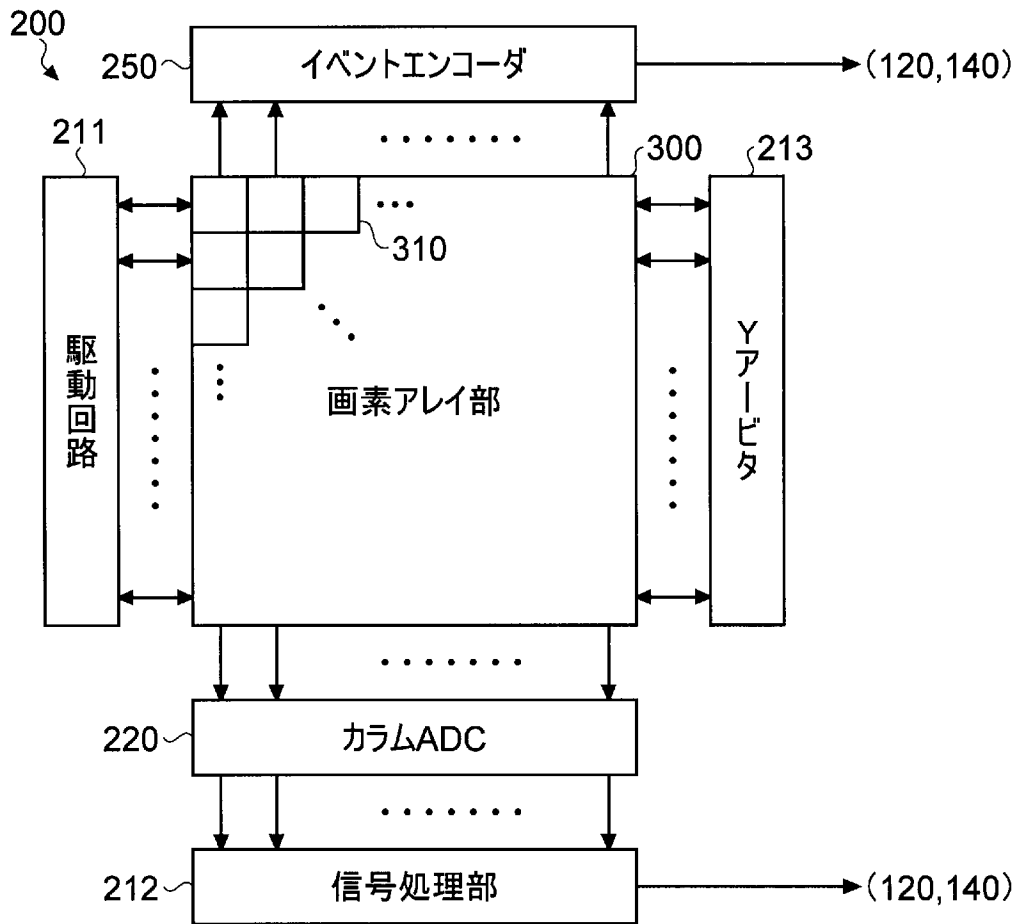
[図1]



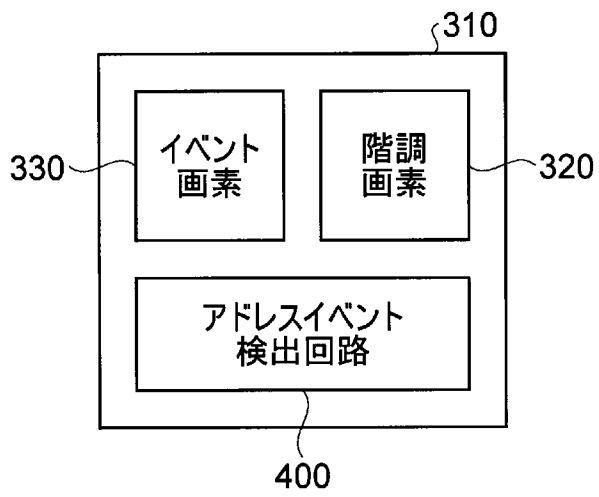
[図2]



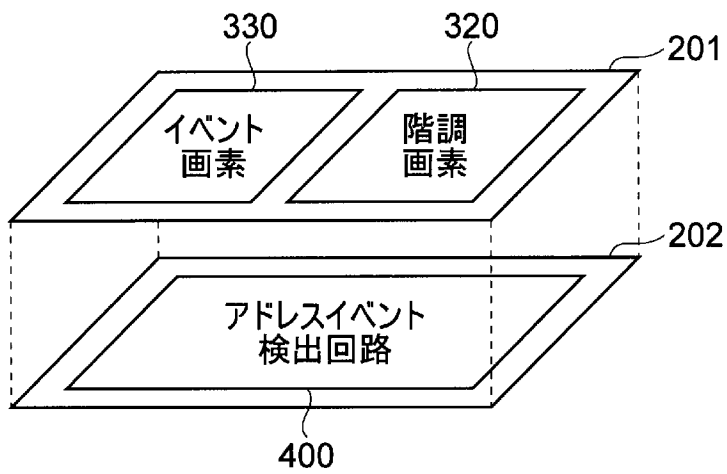
[図3]



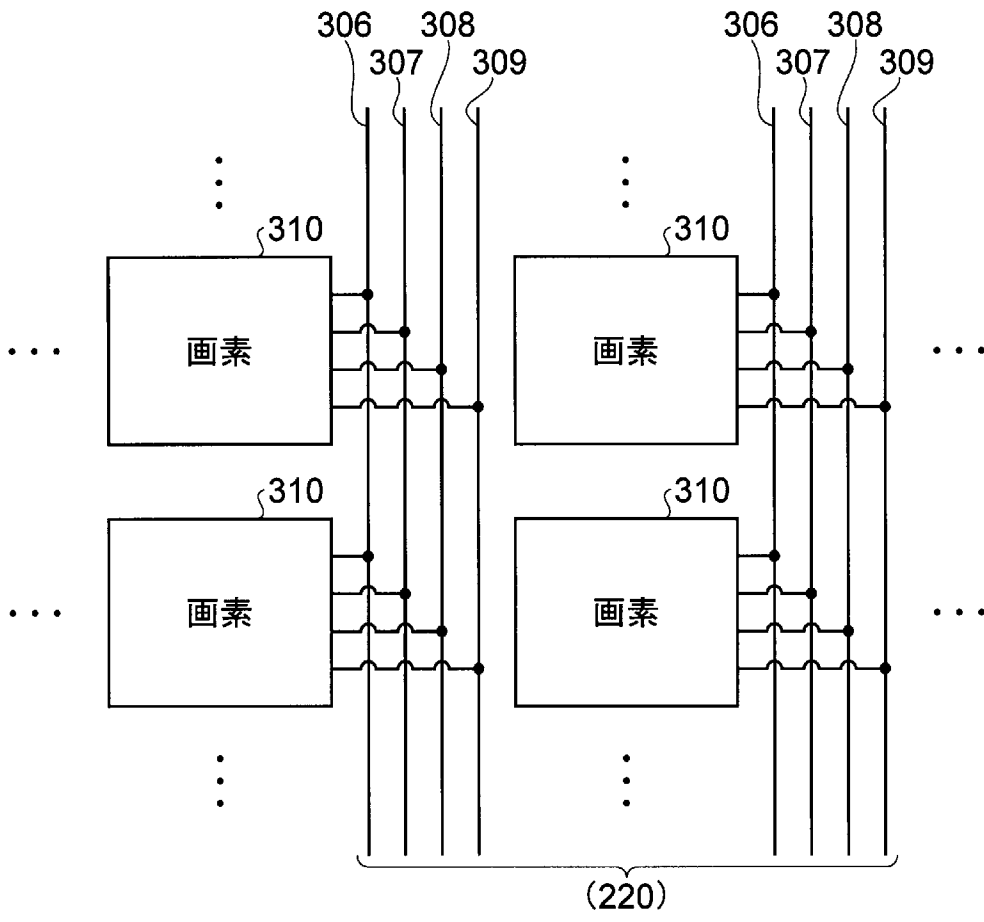
[図4]



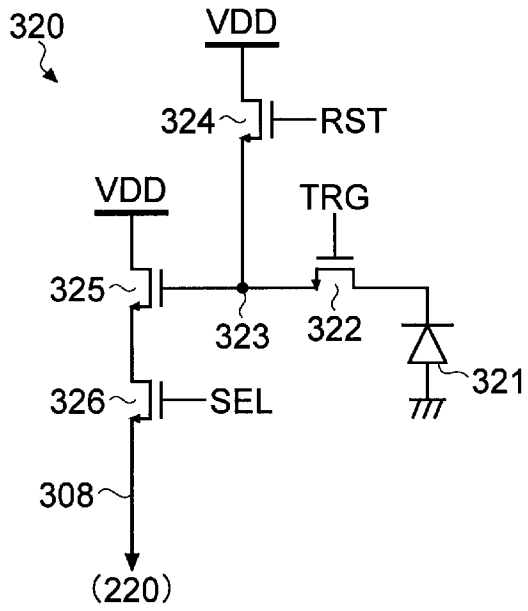
[図5]



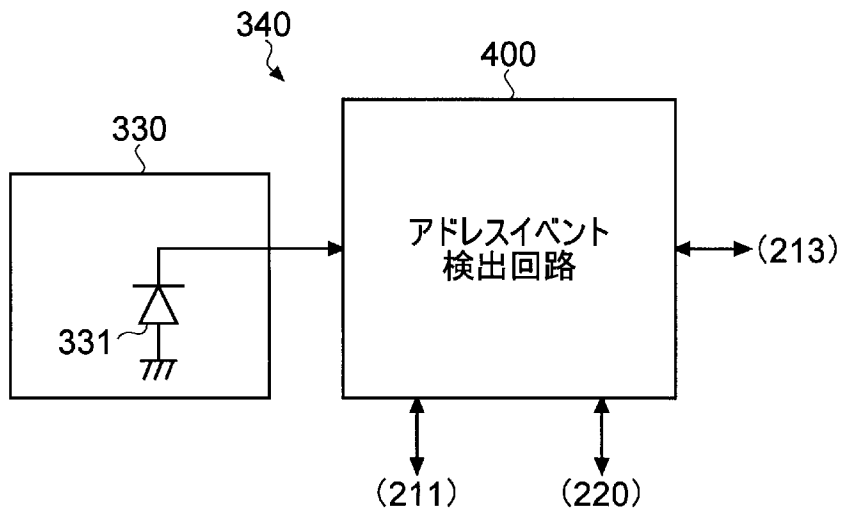
[図6]



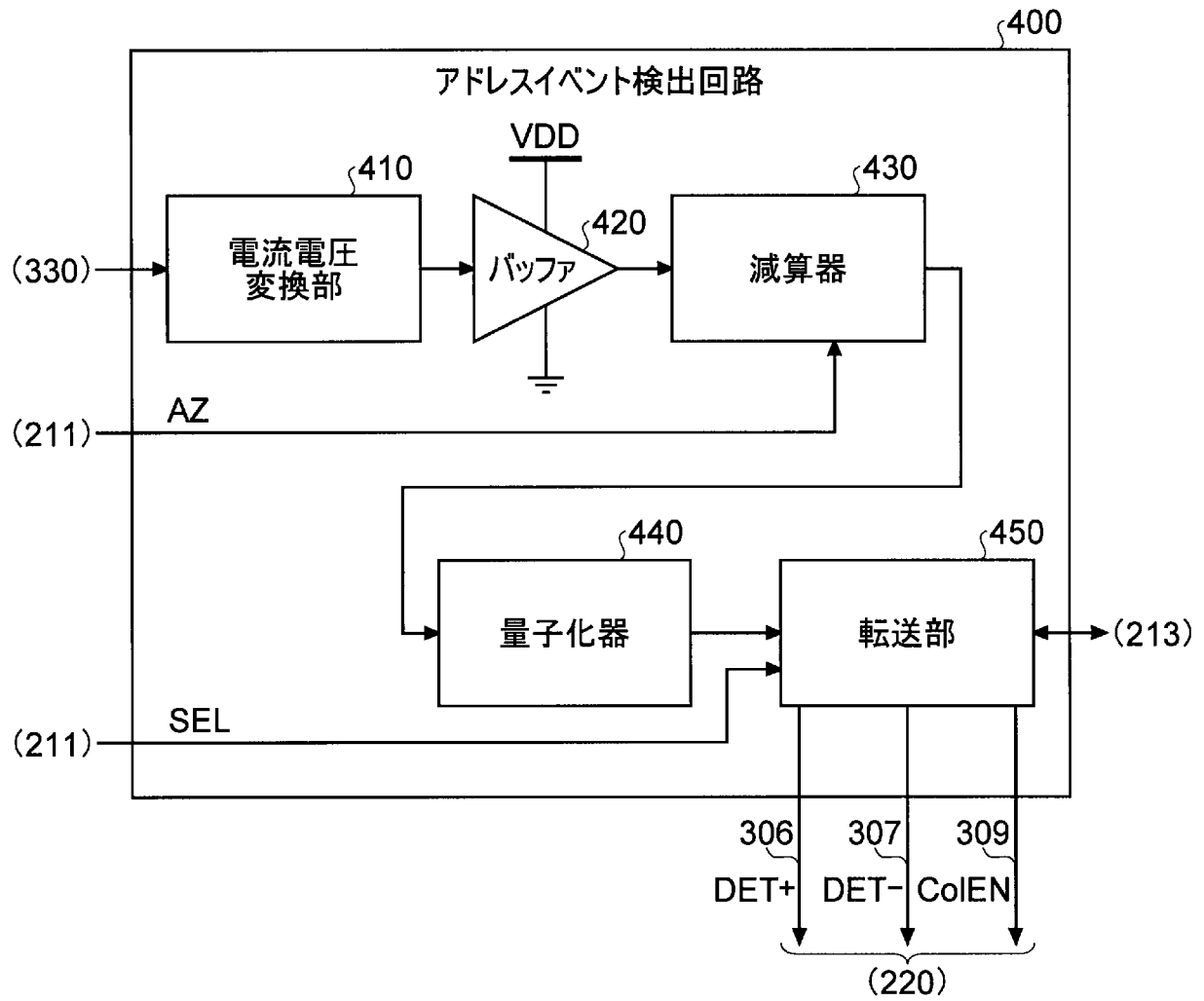
[図7]



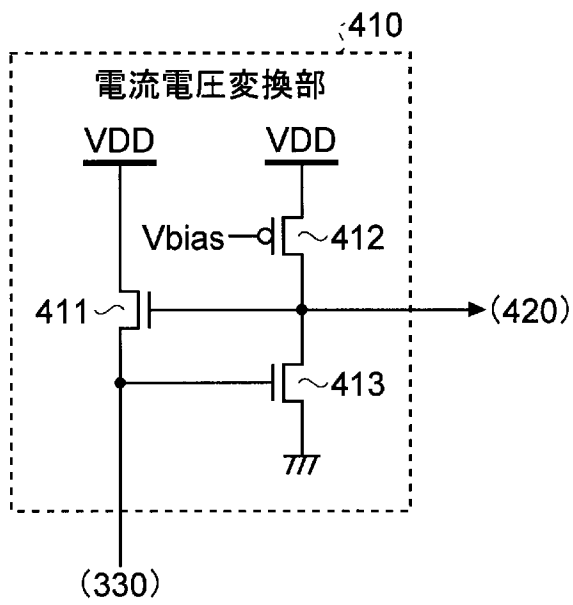
[図8]



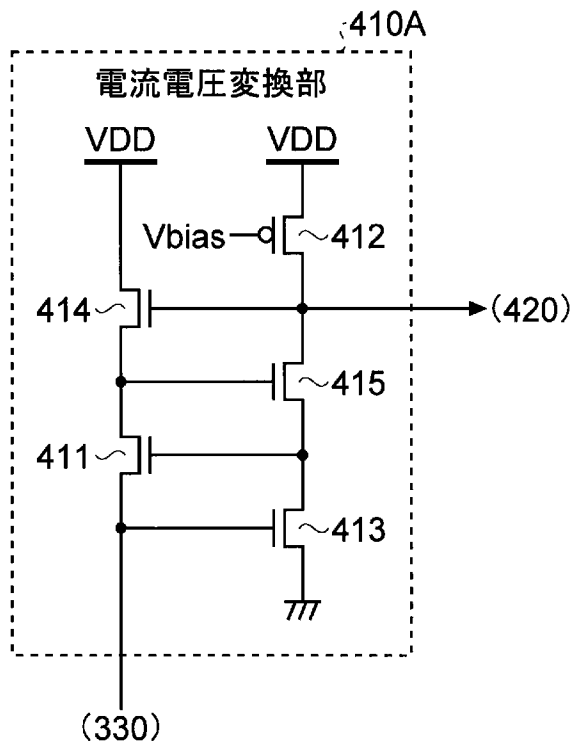
[図9]



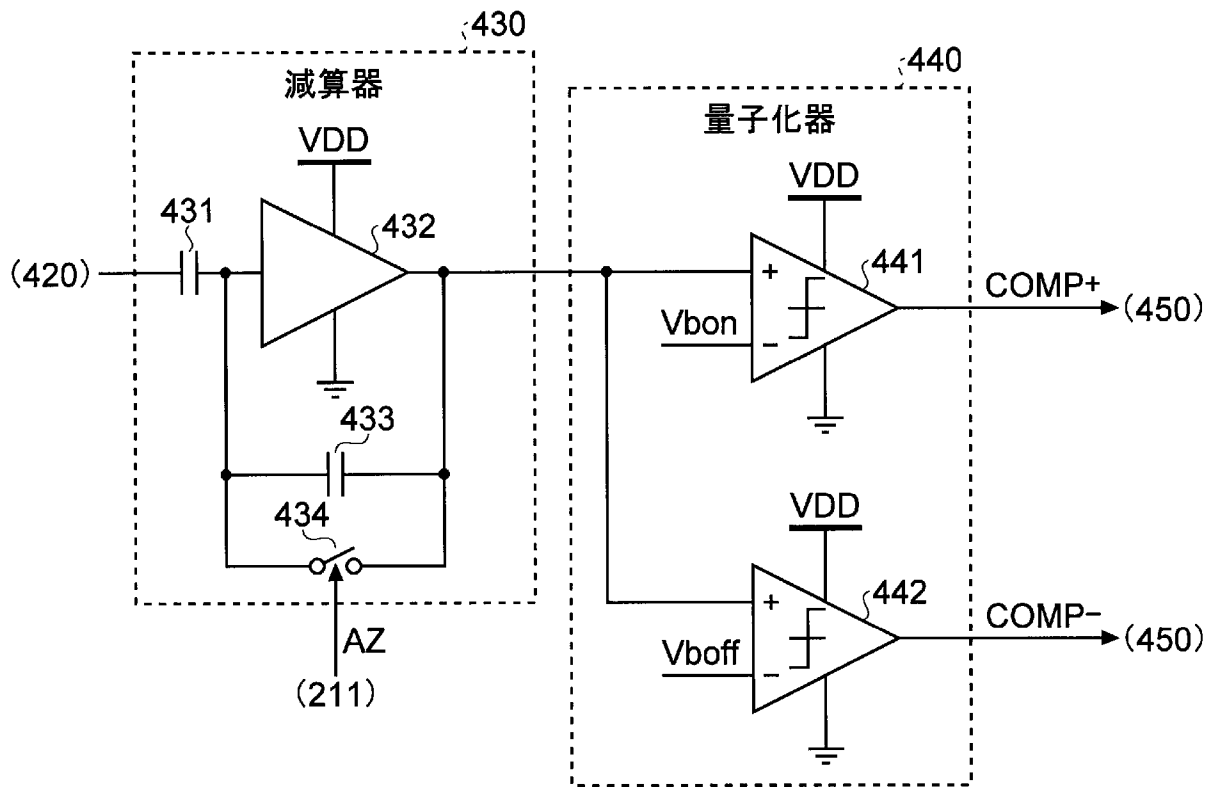
[図10]



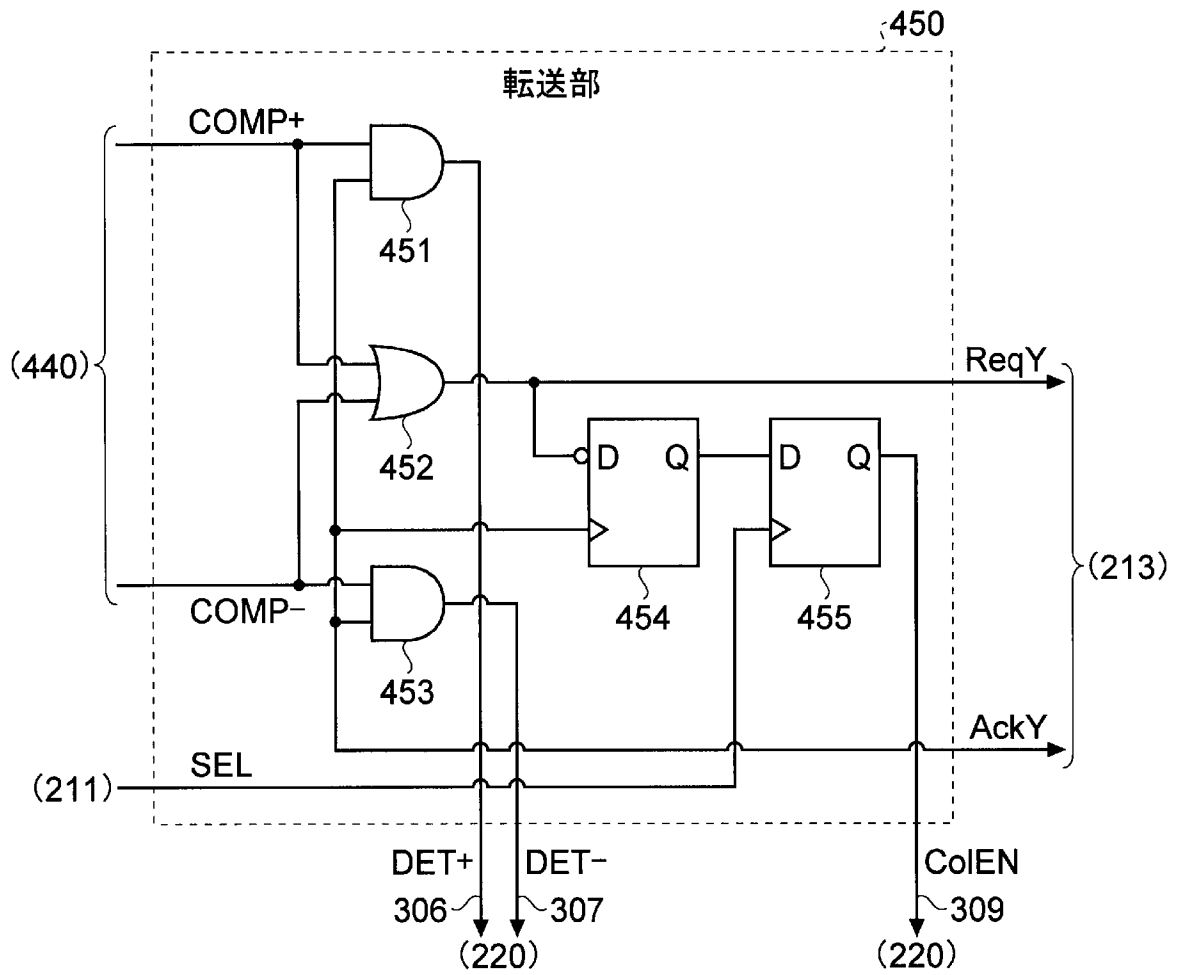
[図11]



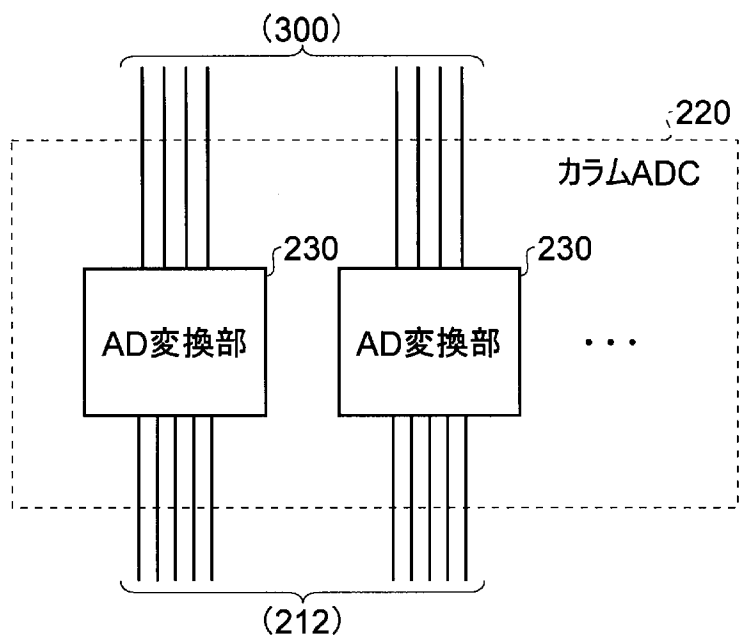
[図12]



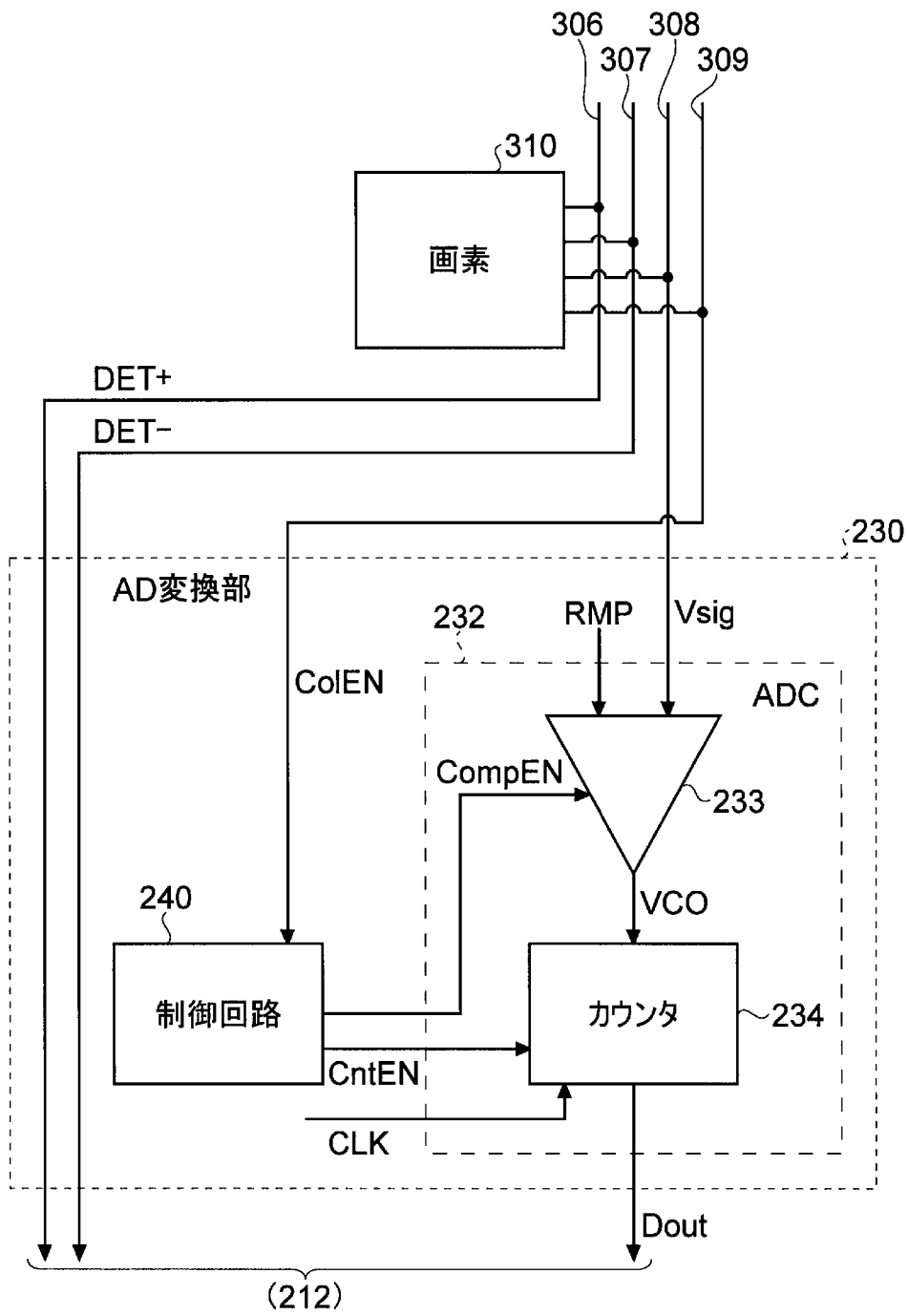
[図13]



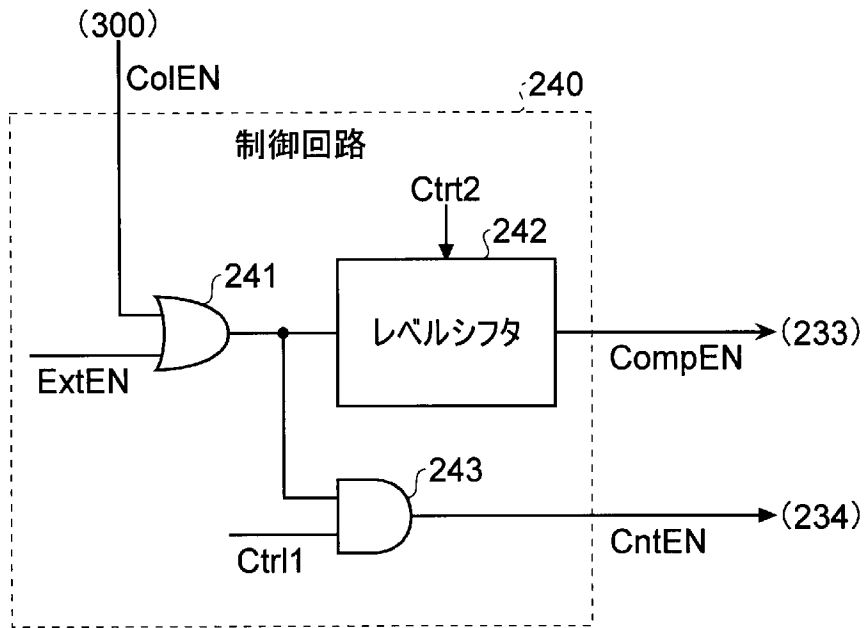
[図14]



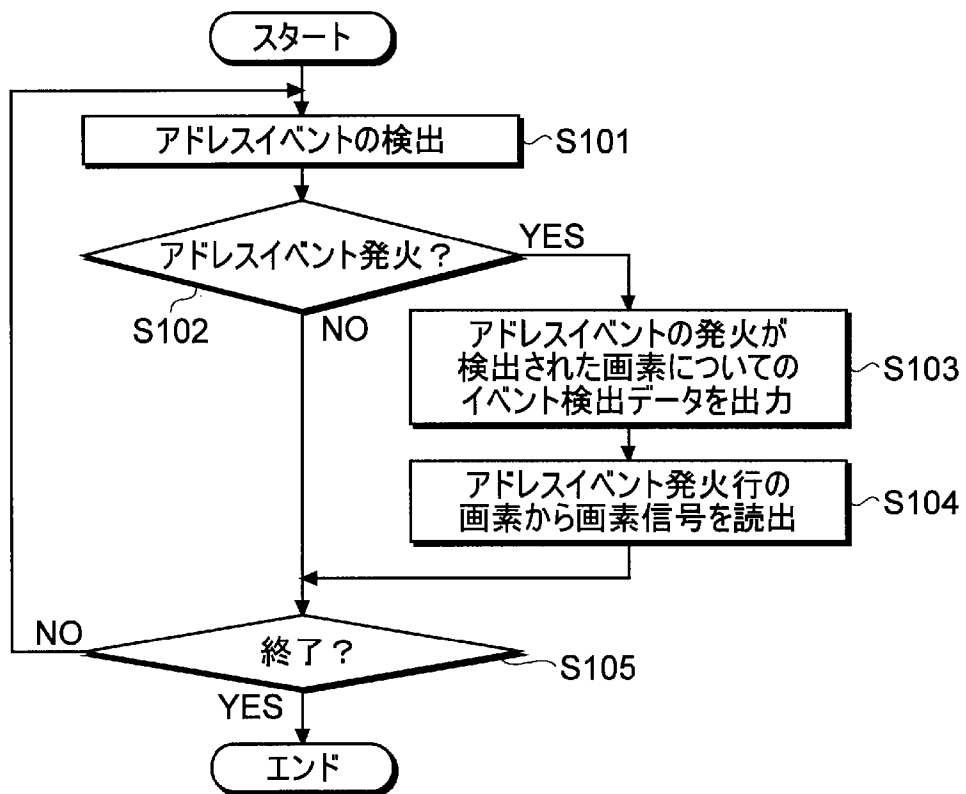
[図15]



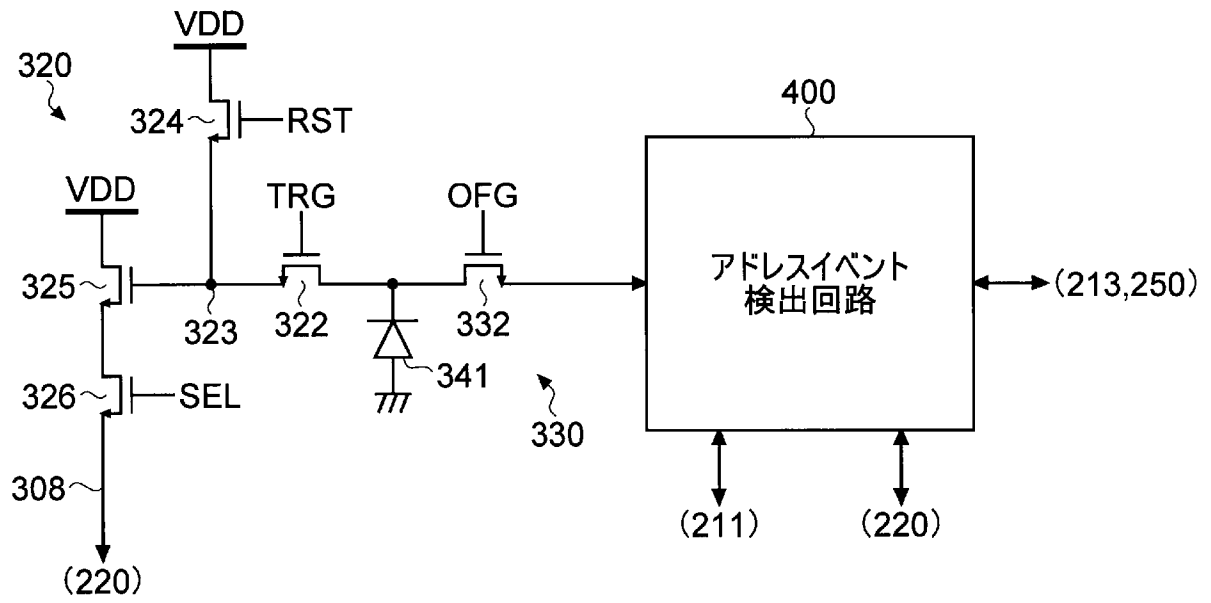
[図16]



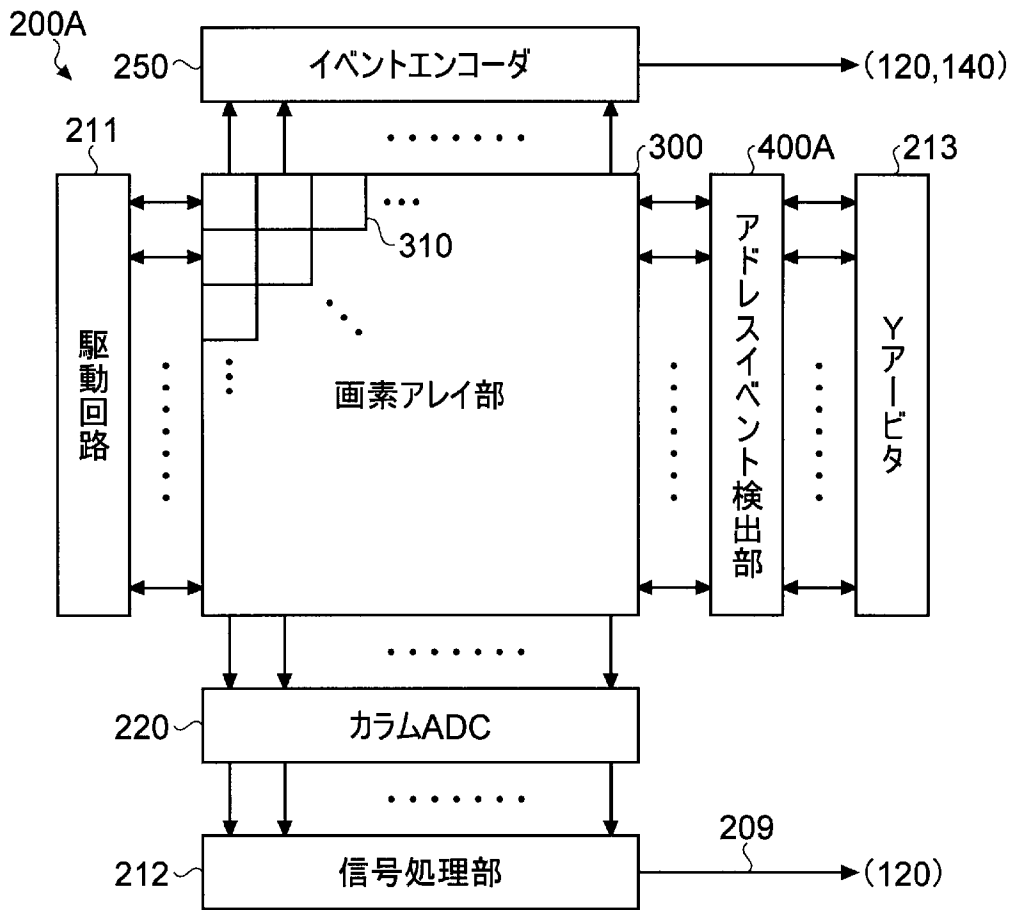
[図17]



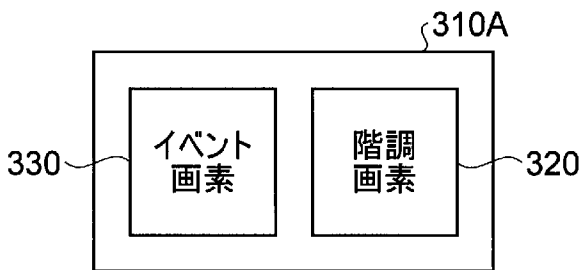
[図18]



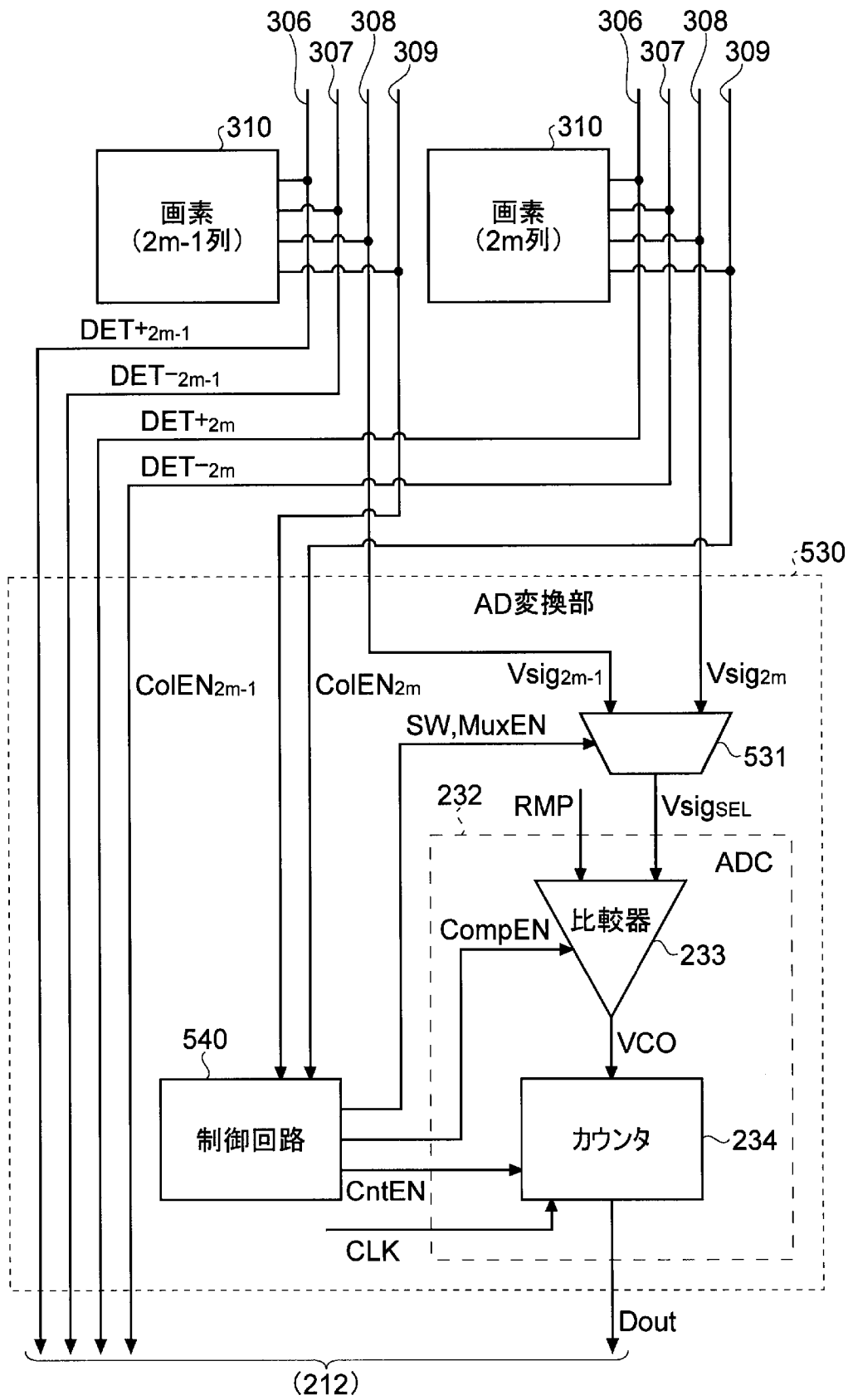
[図19]



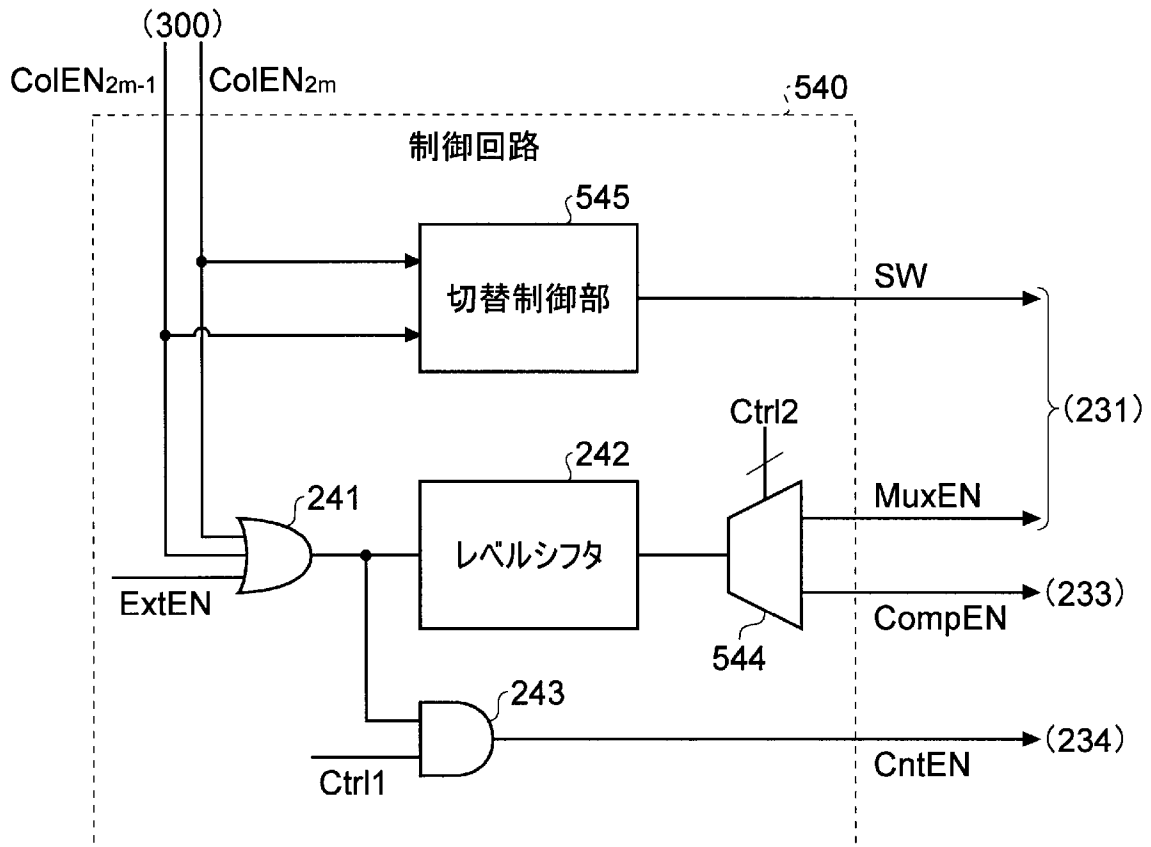
[図20]



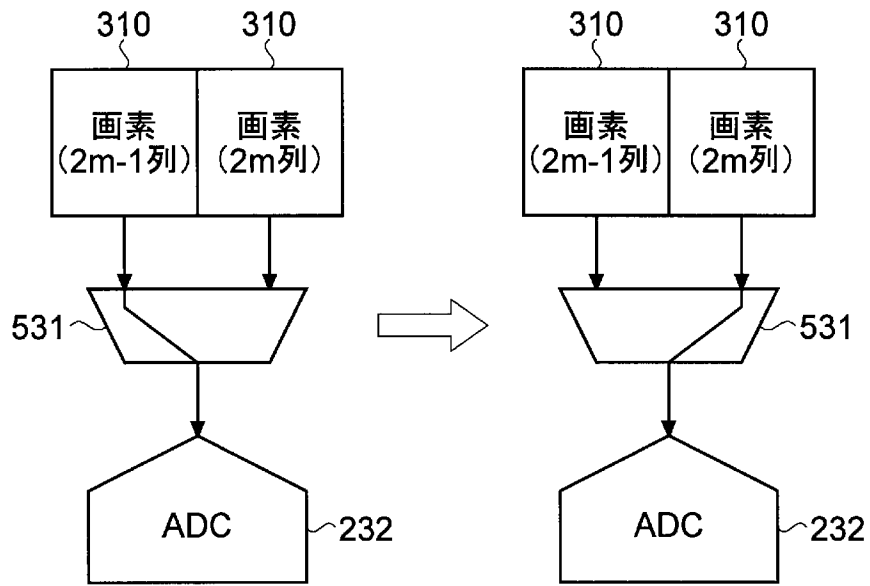
[図21]



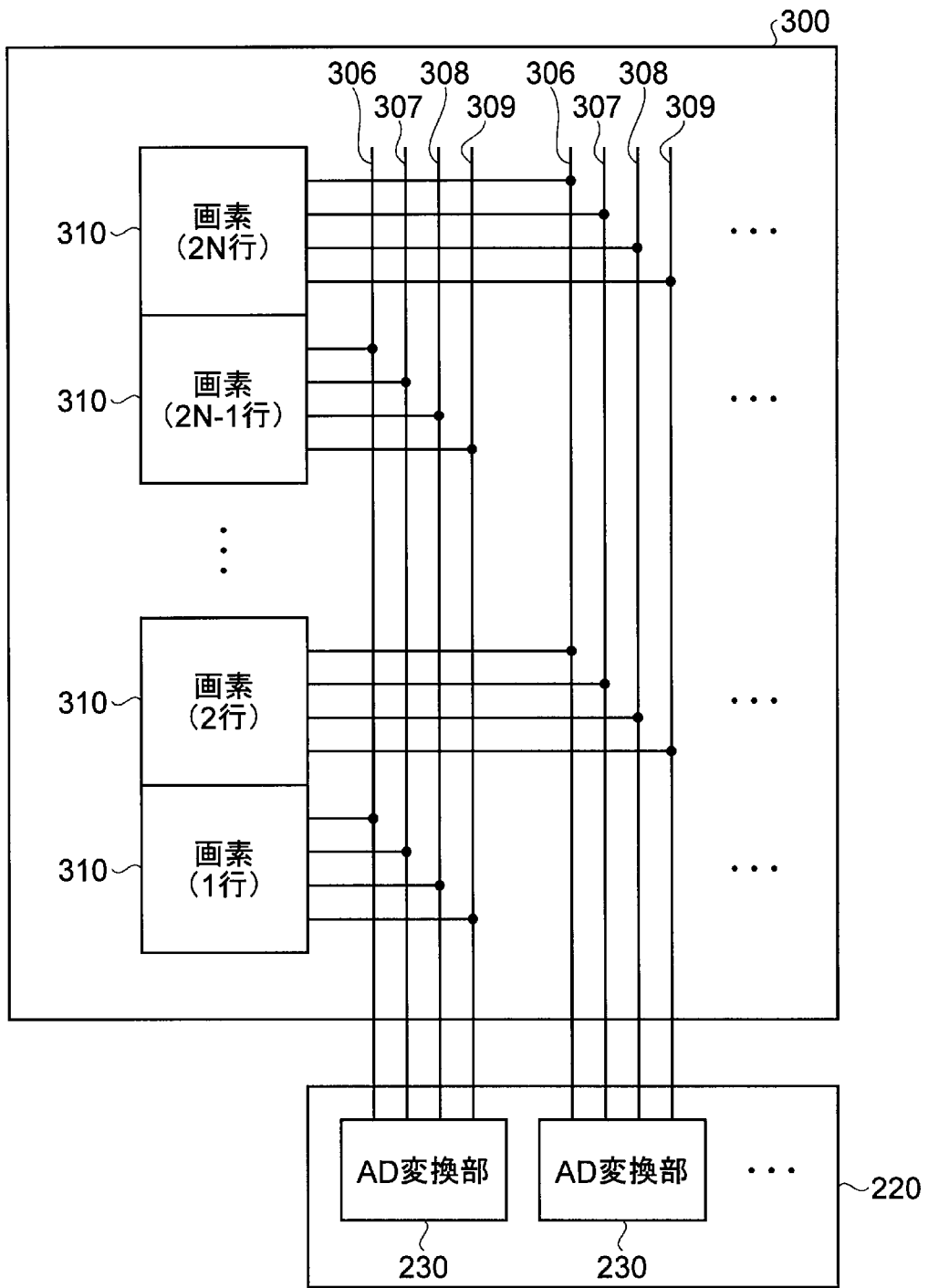
[図22]



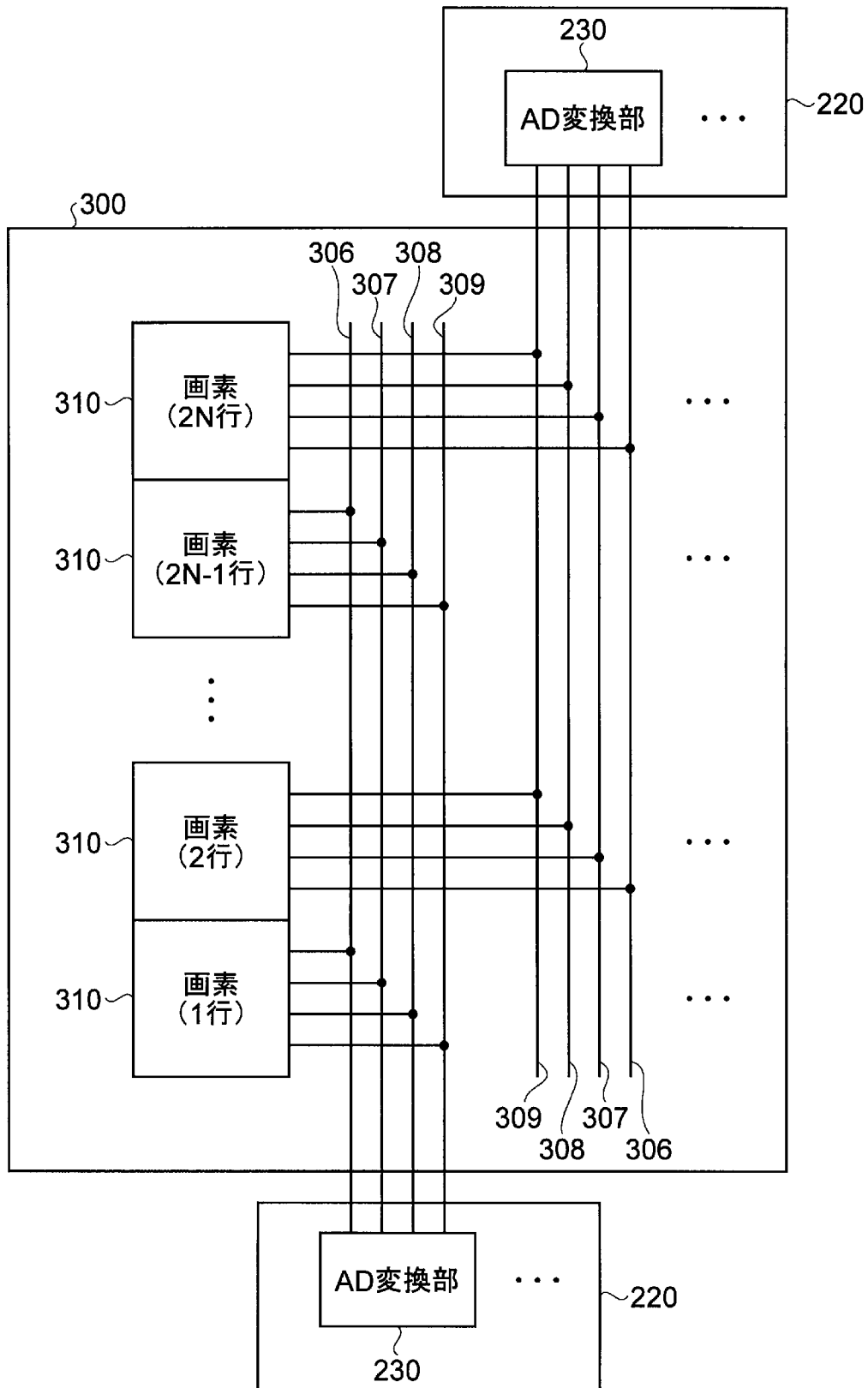
[図23]



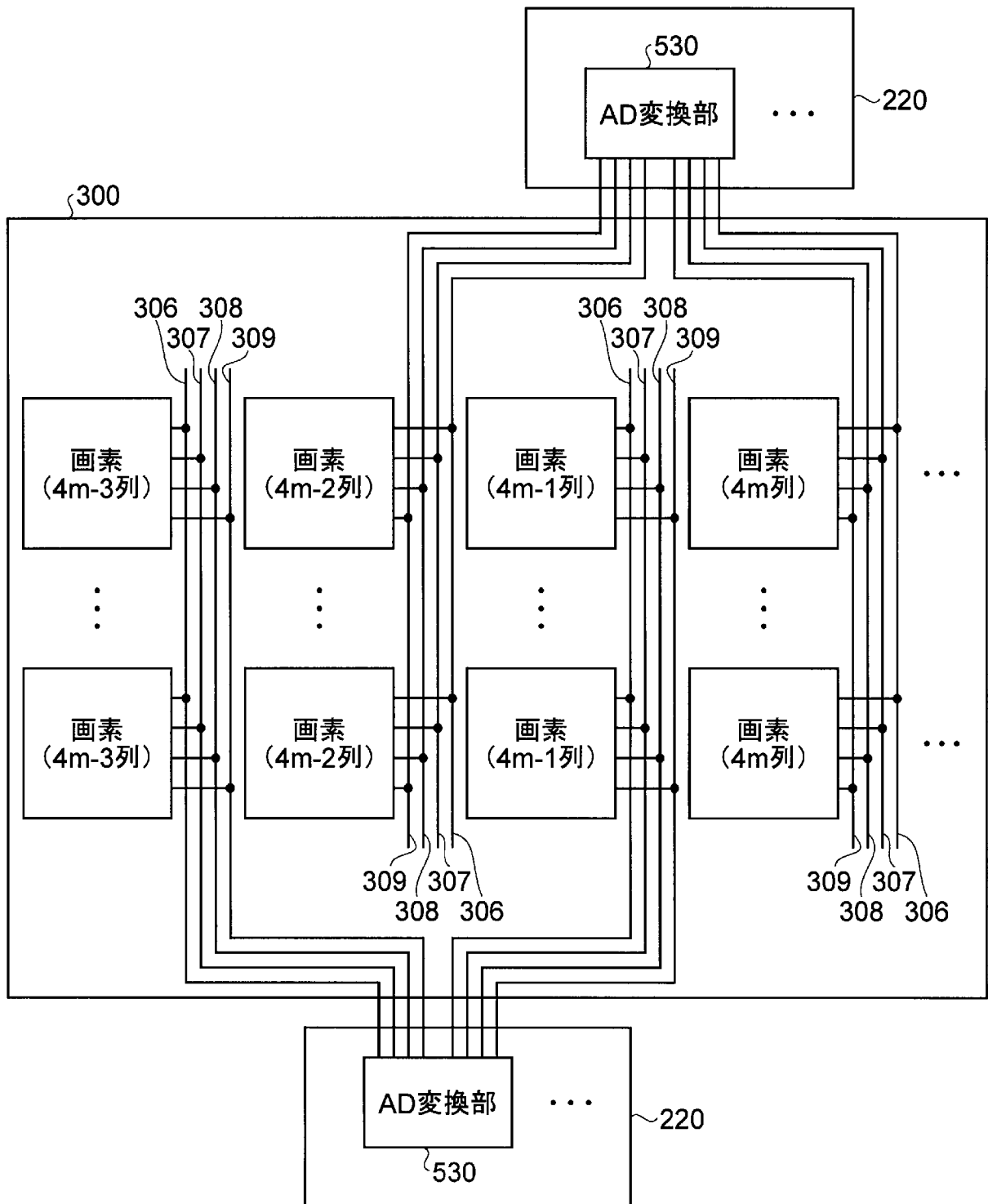
[図24]



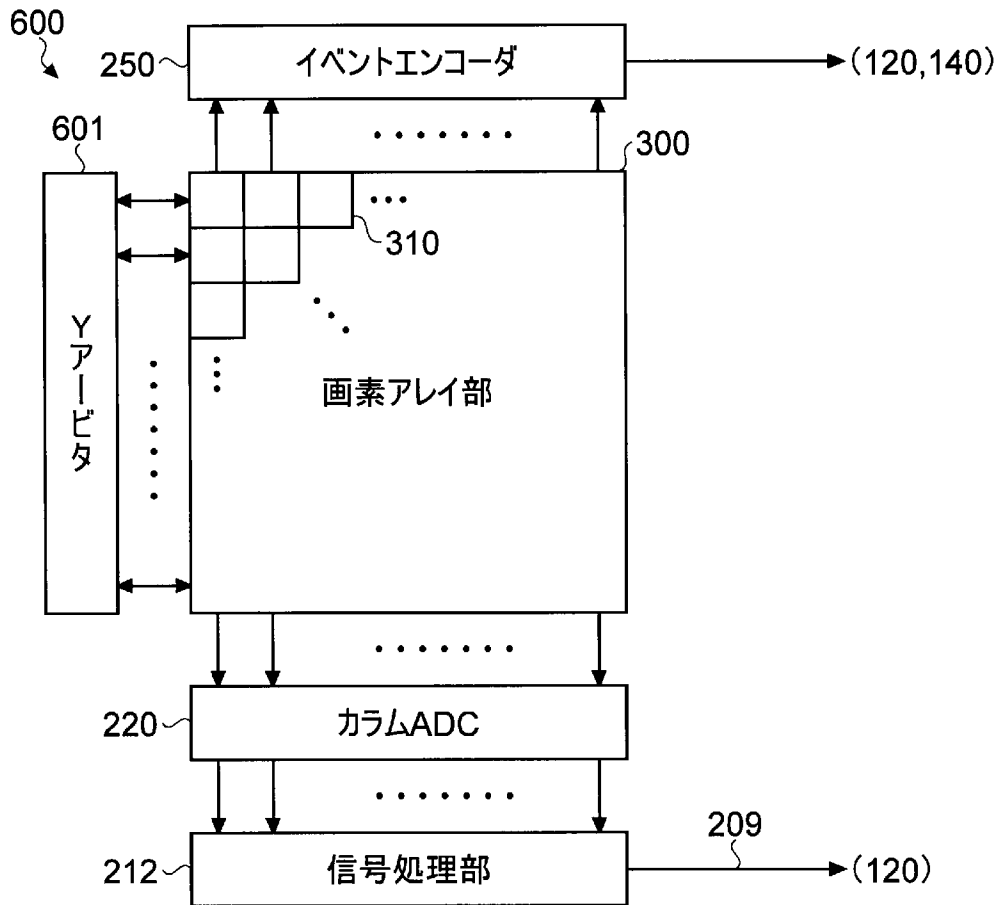
[図25]



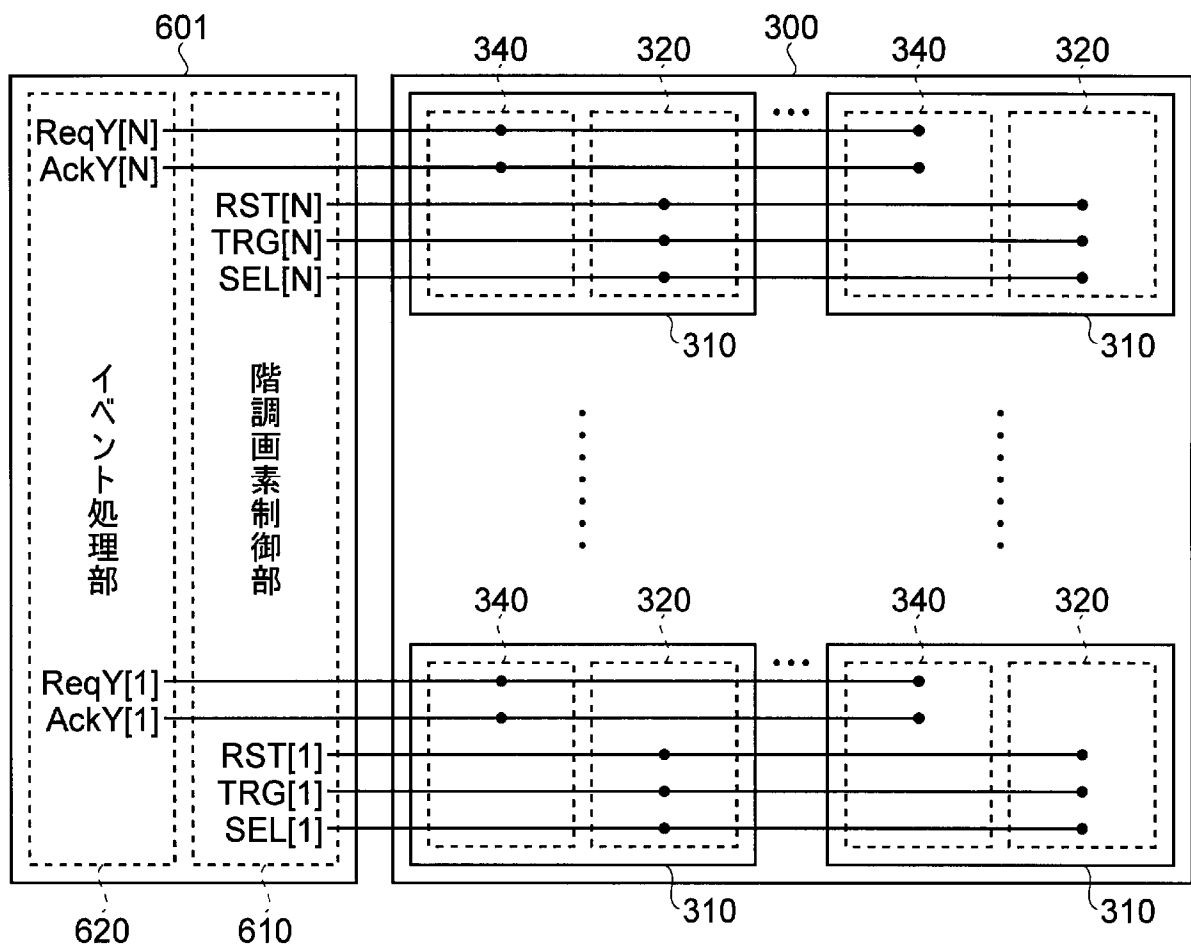
[図26]



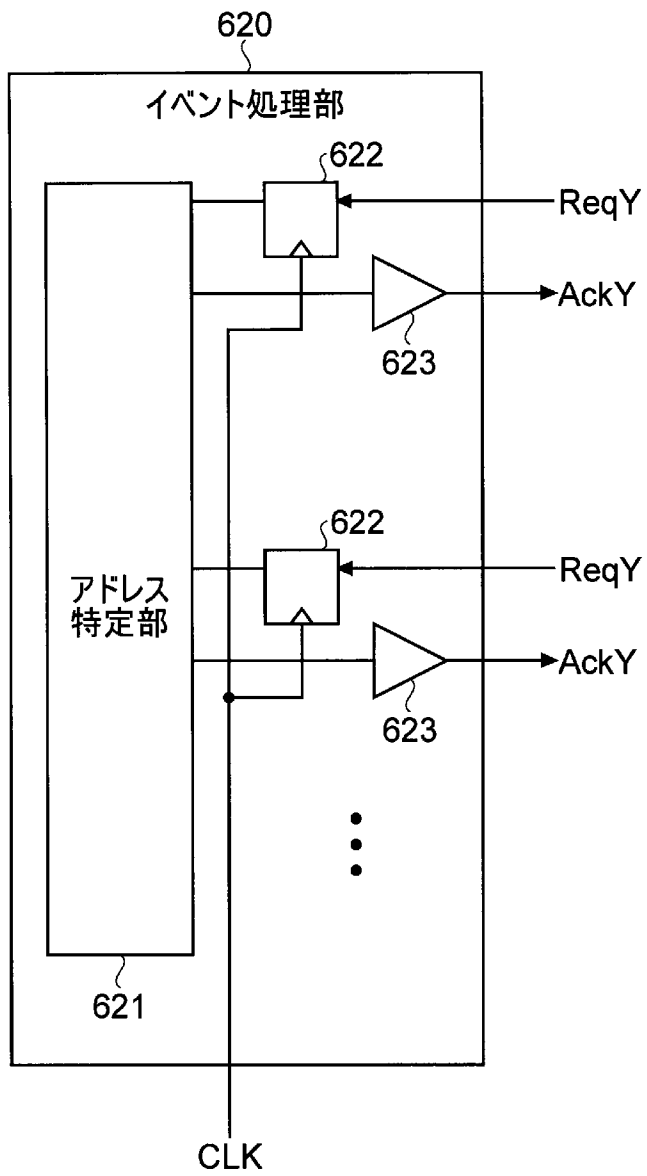
[図27]



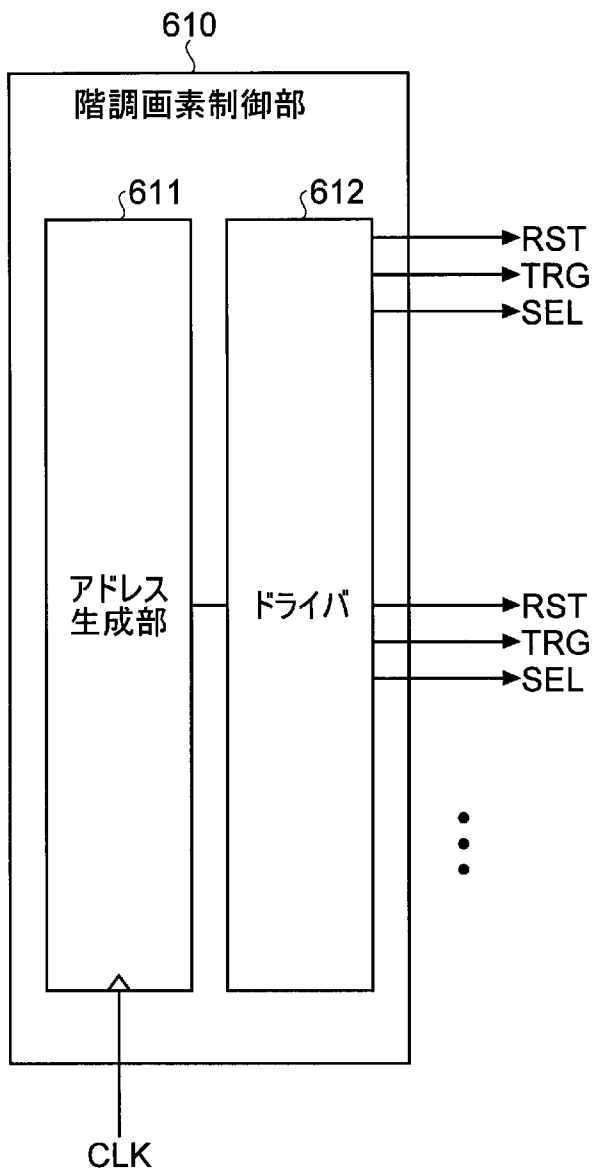
[図28]



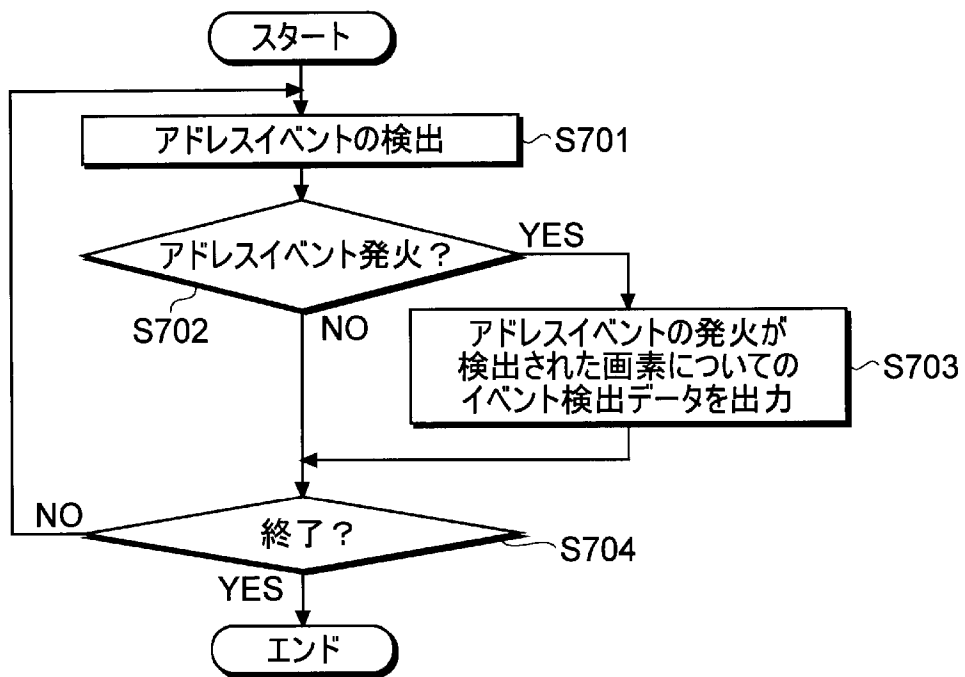
[図29]



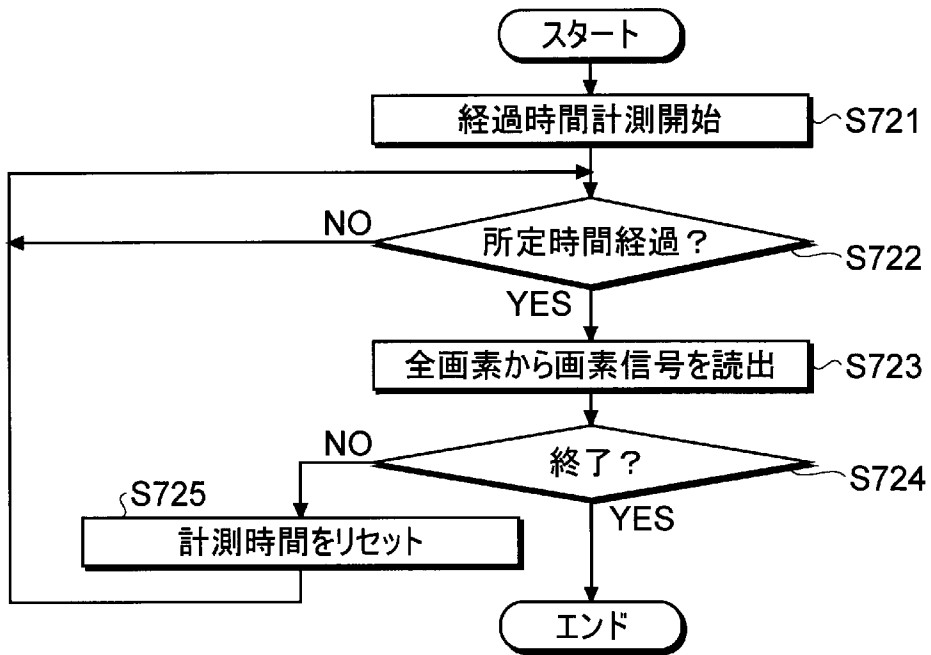
[図30]



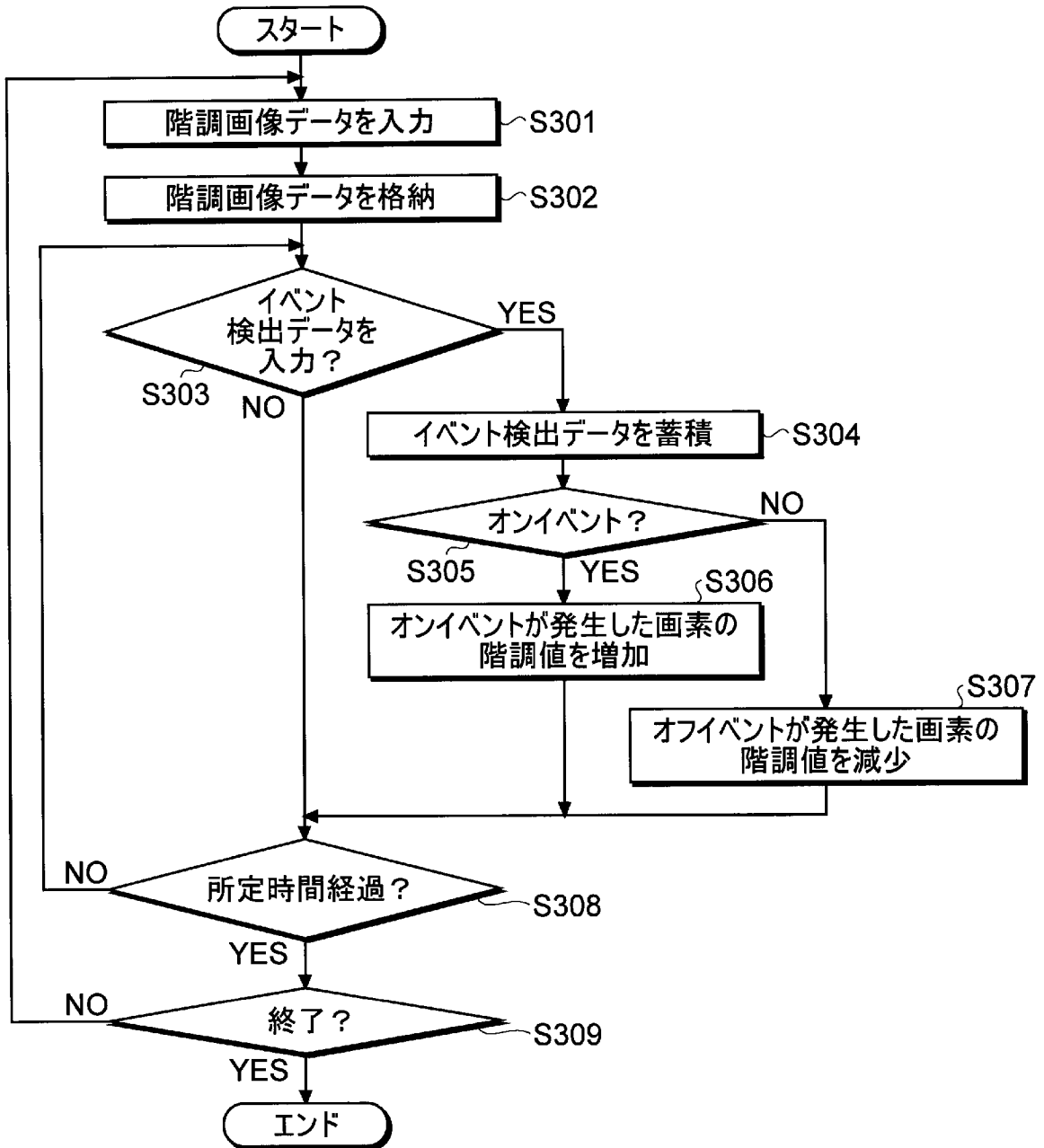
[図31]



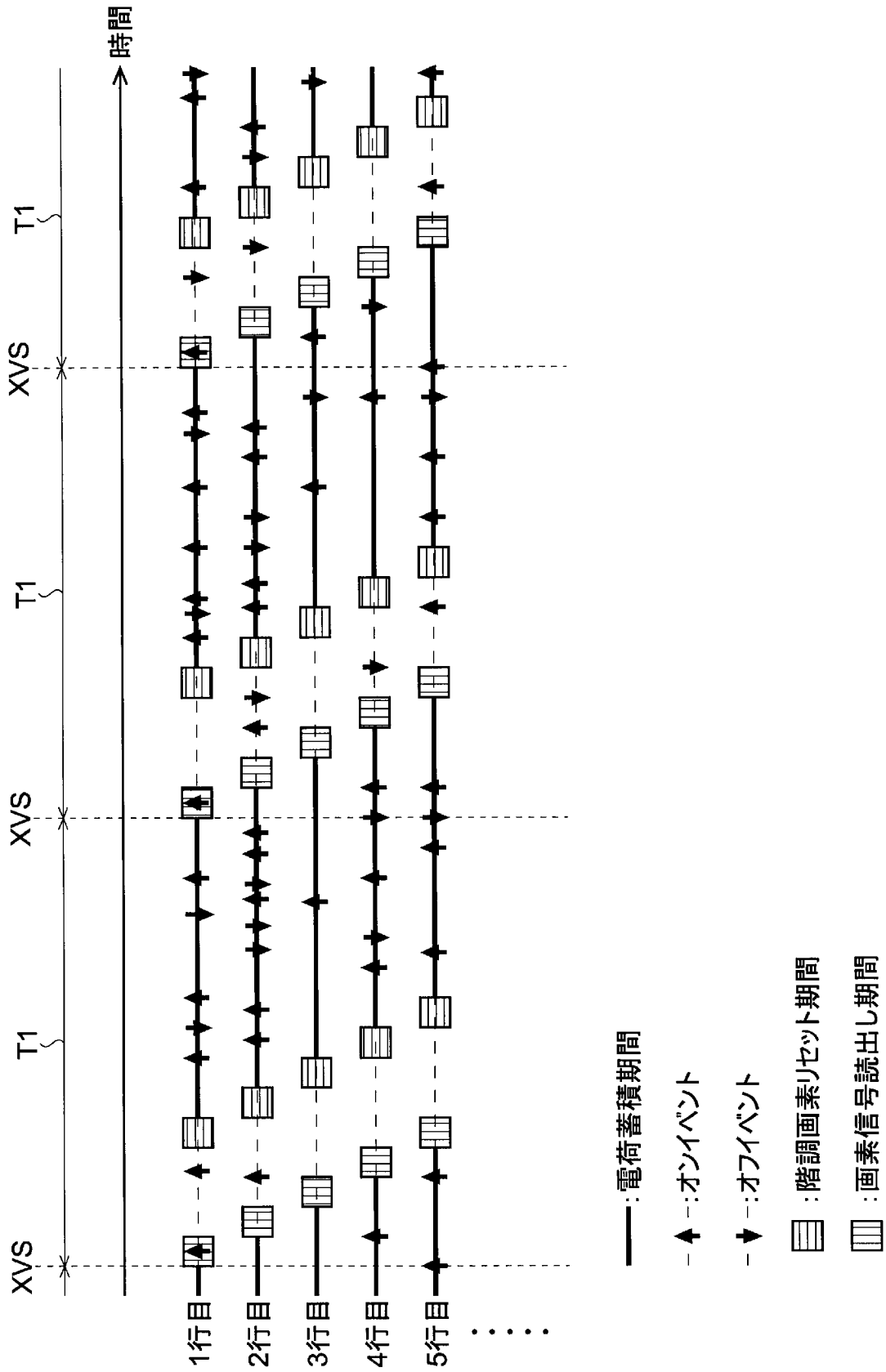
[図32]



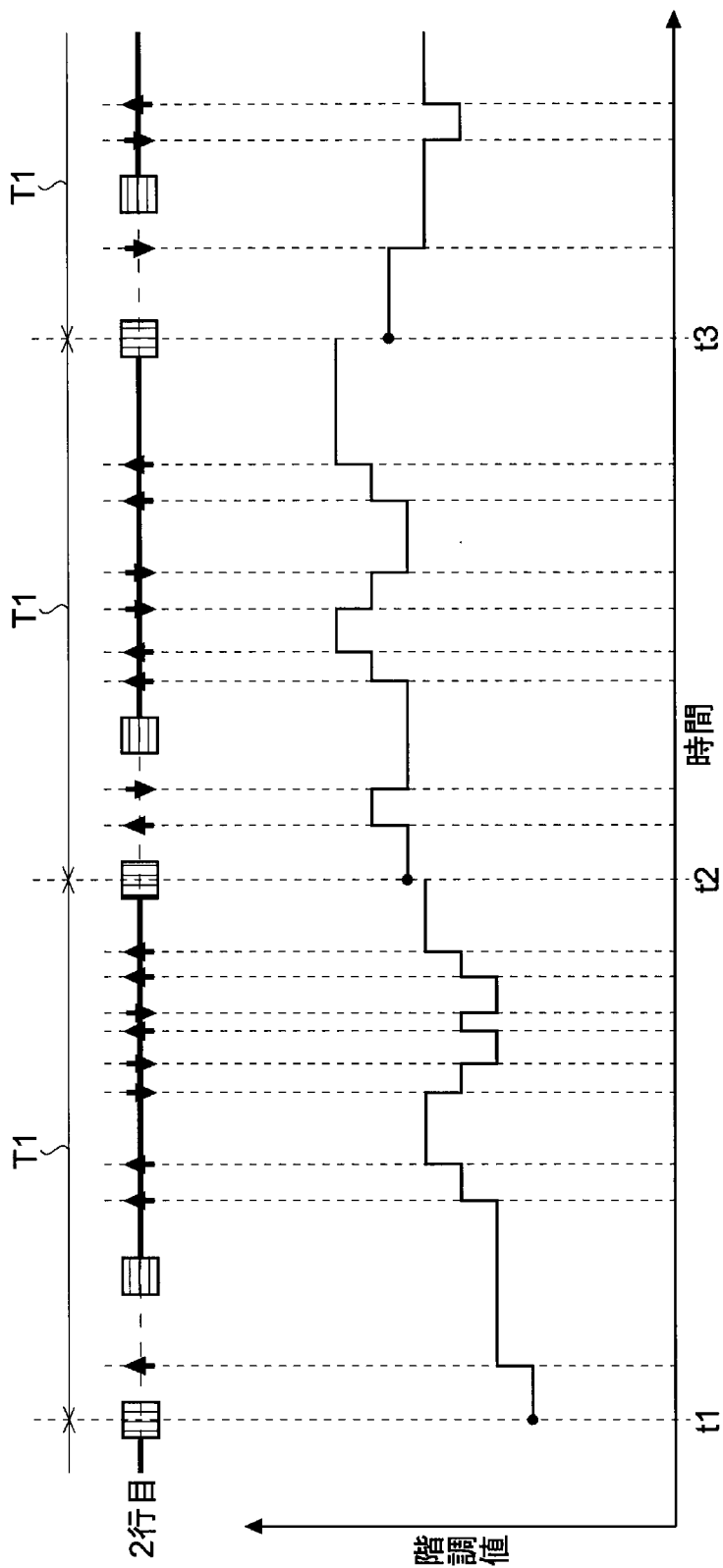
[図33]



[図34]



[図35]



2行目

階調値

時間

t1

t2

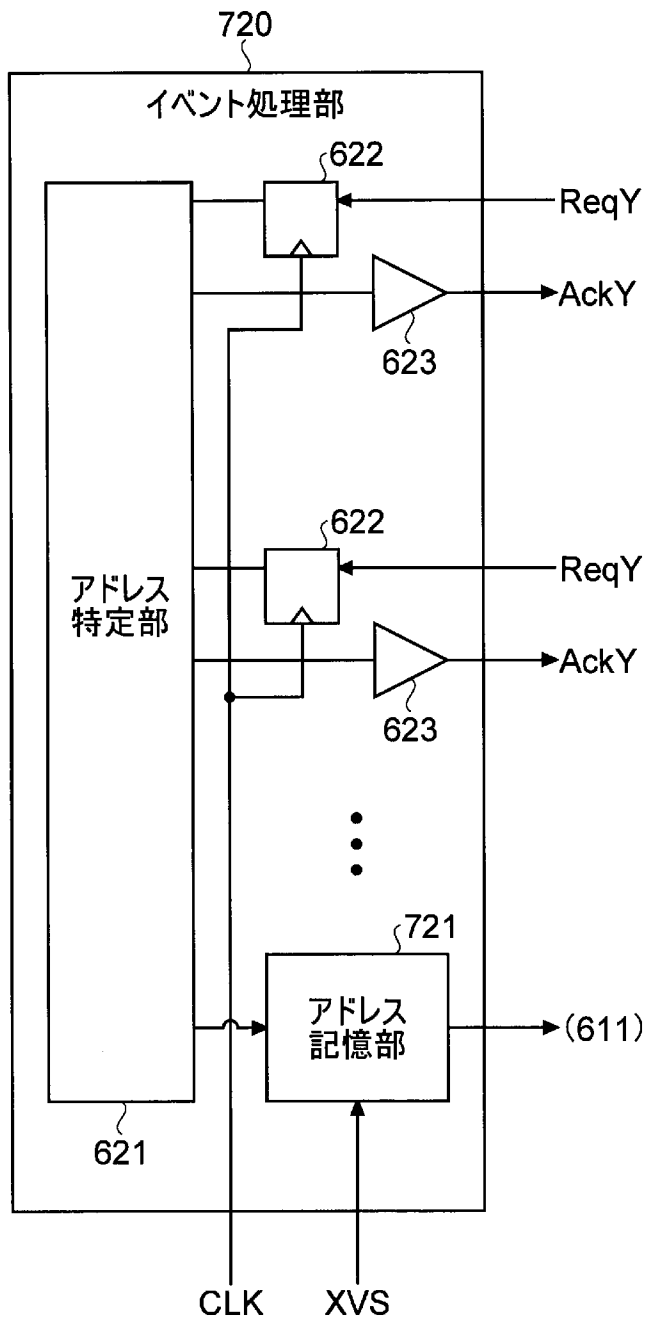
t3

T1

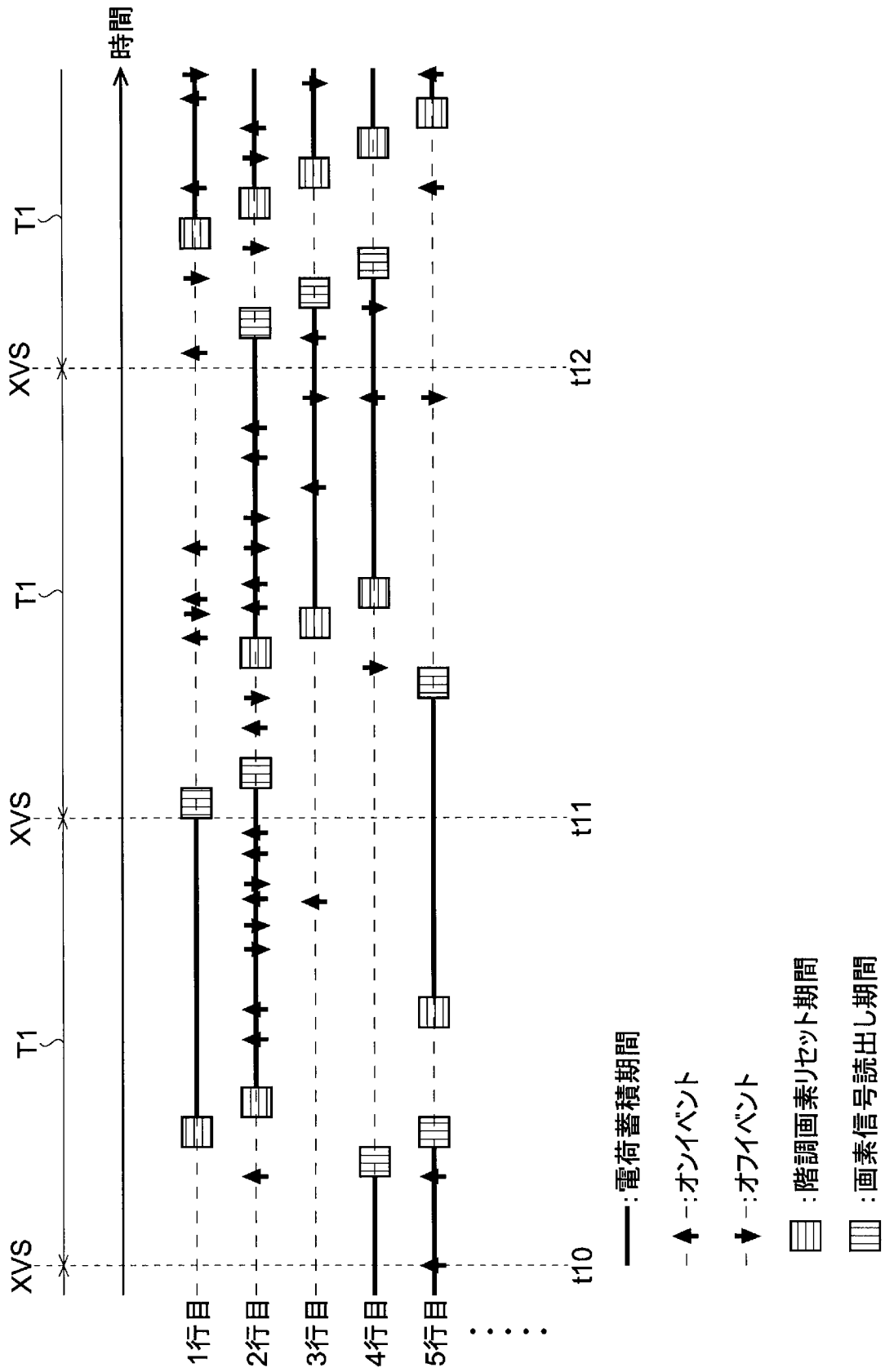
T1

T1

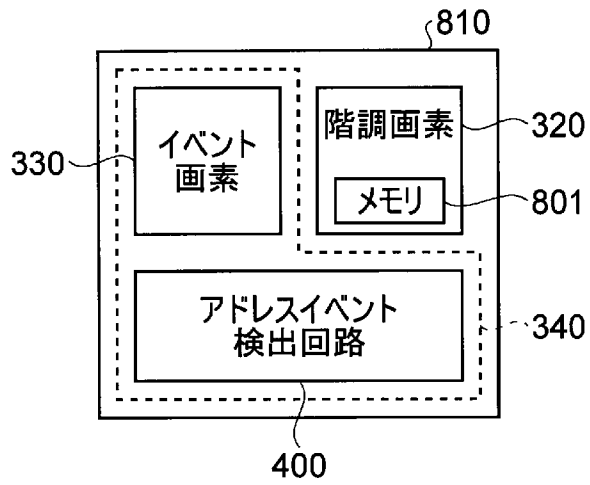
[図36]



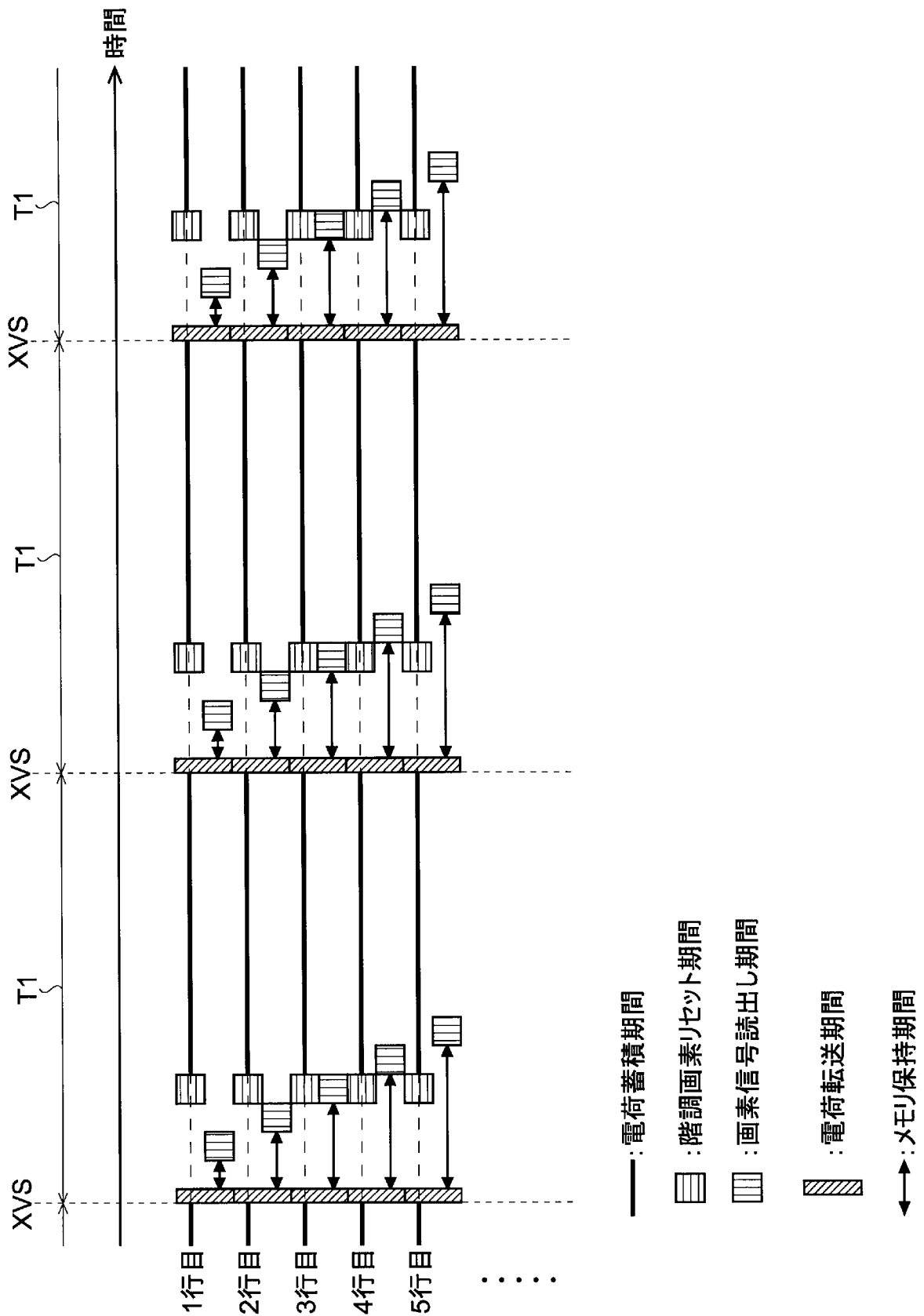
[図37]



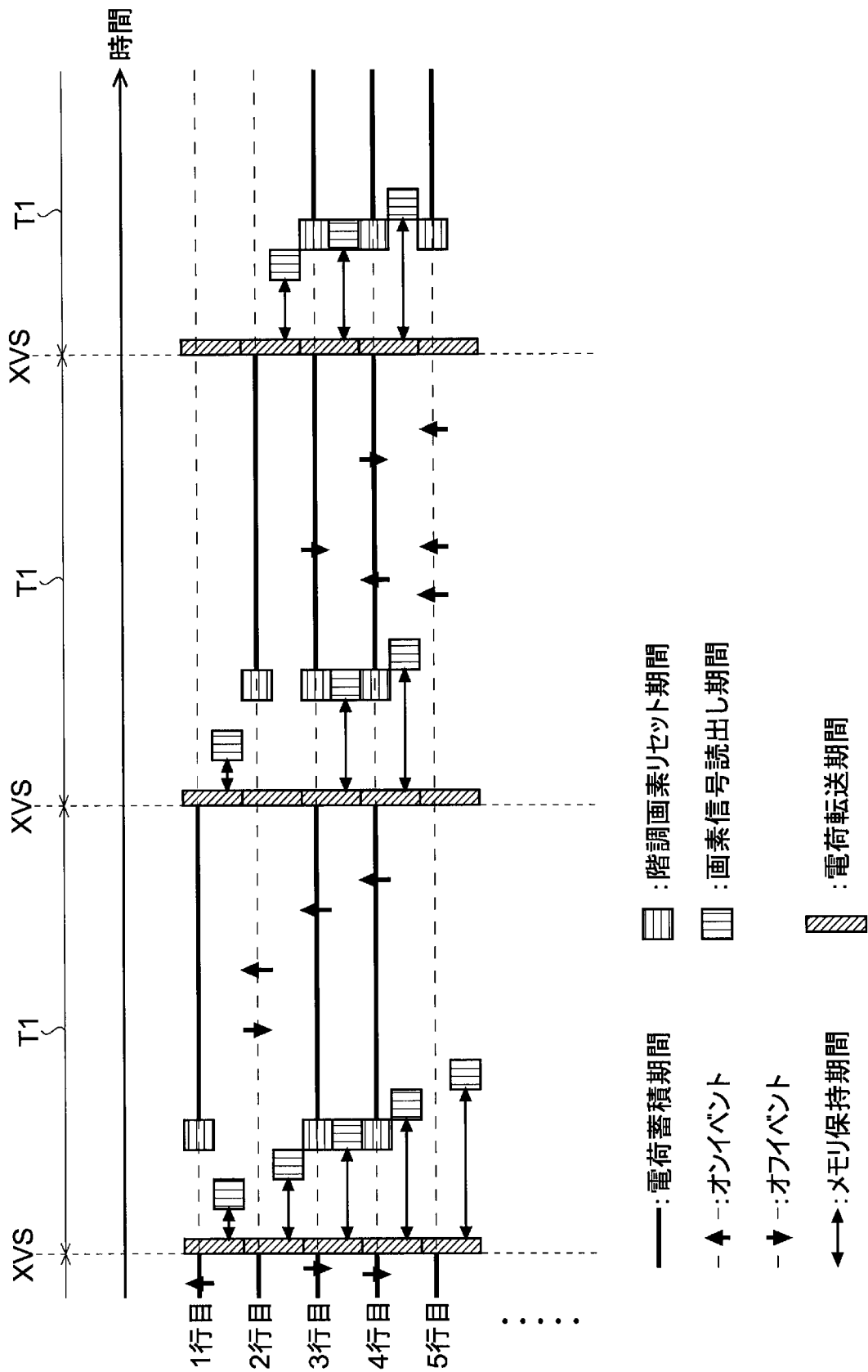
[図38]



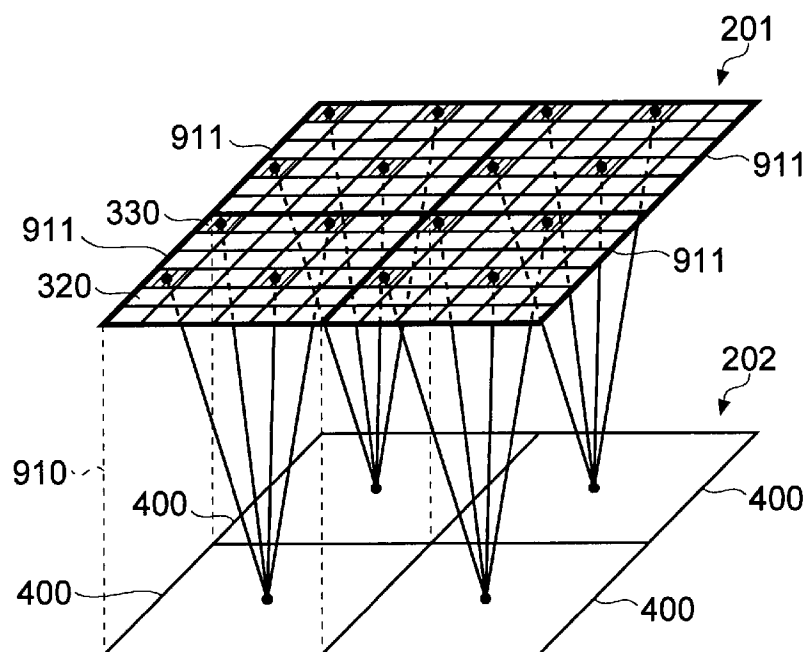
[図39]



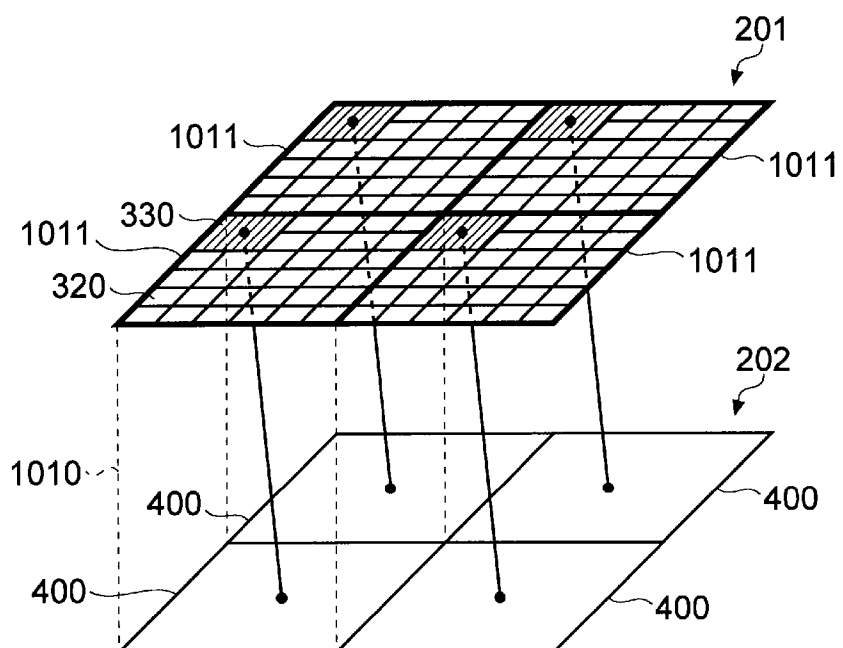
[図40]



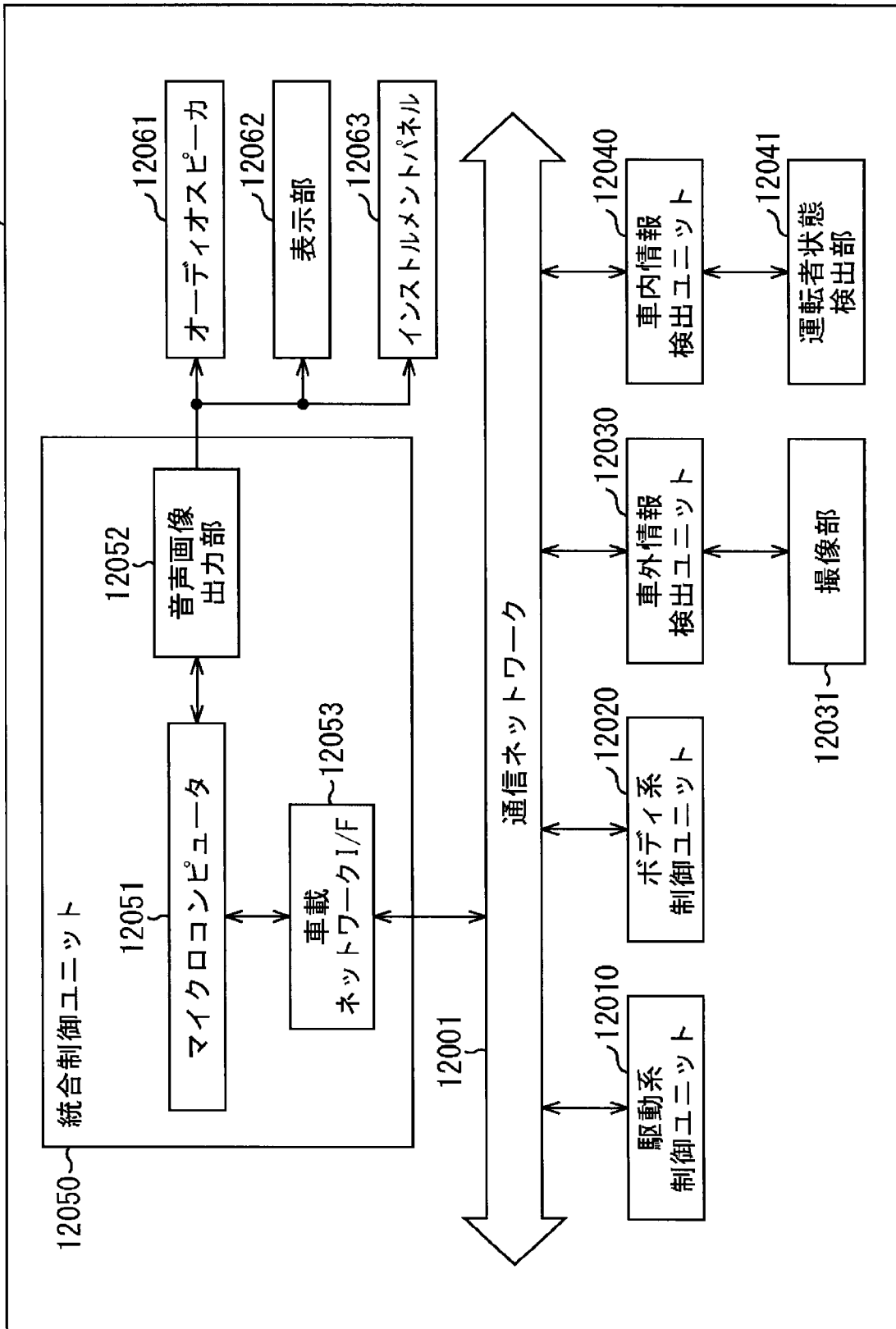
[図41]



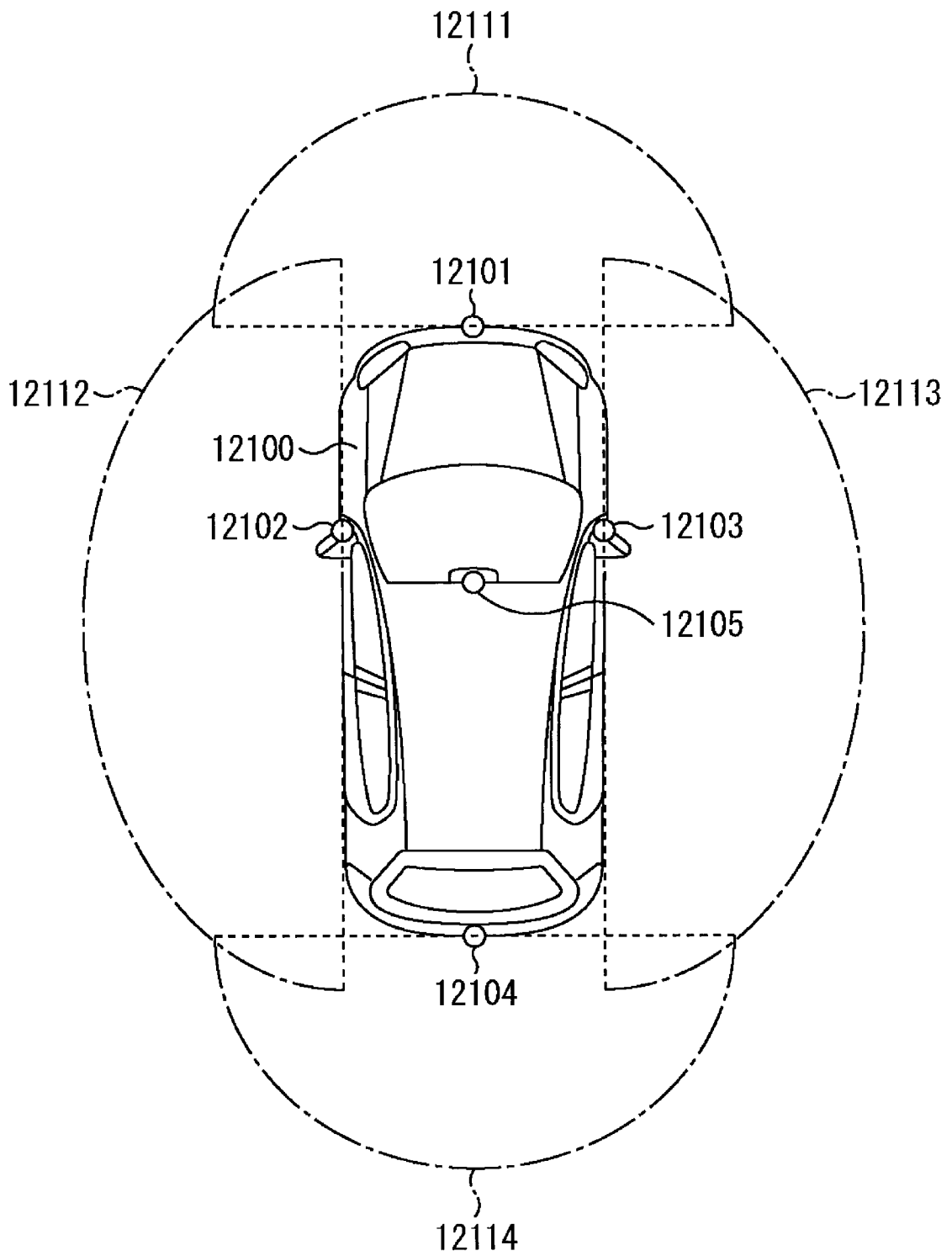
[図42]



[図43]



[図44]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2020/002412

A. CLASSIFICATION OF SUBJECT MATTER
 H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i;
 H01L 27/146(2006.01)i; H04N 5/345(2011.01)i; H04N 5/378(2011.01)i
 FI: H04N5/345; H04N5/378; H01L21/88 J; H01L27/146 A
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 H01L21/3205; H01L21/768; H01L23/522; H01L27/146; H04N5/345; H04N5/378

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2020
Registered utility model specifications of Japan	1996-2020
Published registered utility model applications of Japan	1994-2020

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	WO 2017/104438 A1 (SONY CORP.) 22.06.2017 (2017-06-22) paragraphs [0186], [0256]-[0267], fig. 1, 11, 15, 16	1, 7, 12-15 2-6, 8-11
A	JP 2018-186478 A (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 22.11.2018 (2018-11-22) entire text	1-15
A	JP 2017-535999 A (QUALCOMM INCORPORATED) 30.11.2017 (2017-11-30) entire text	1-15

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 03 April 2020 (03.04.2020)	Date of mailing of the international search report 14 April 2020 (14.04.2020)
---	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2020/002412

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
WO 2017/104438 A1	22 Jun. 2017	US 2018/0348381 A1 paragraphs [0205], [0275]-[0286], fig. 1, 11, 15, 16 CN 108370424 A	
JP 2018-186478 A	22 Nov. 2018	CN 110546945 A entire text	
JP 2017-535999 A	30 Nov. 2017	US 2016/0094796 A1 entire text CN 107079115 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/146(2006.01)i; H04N 5/345(2011.01)i; H04N 5/378(2011.01)i FI: H04N5/345; H04N5/378; H01L21/88 J; H01L27/146 A		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L21/3205; H01L21/768; H01L23/522; H01L27/146; H04N5/345; H04N5/378 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2020年 日本国実用新案登録公報 1996 - 2020年 日本国登録実用新案公報 1994 - 2020年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X A	WO 2017/104438 A1 (ソニー株式会社) 22.06.2017 (2017-06-22) 段落[0186], [0256]-[0267], 図1, 11, 15, 16	1,7,12-15 2-6,8-11
A	JP 2018-186478 A (ソニーセミコンダクタソリューションズ株式会社) 22.11.2018 (2018-11-22) 全文	1-15
A	JP 2017-535999 A (クアルコム, インコーポレイテッド) 30.11.2017 (2017-11-30) 全文	1-15
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献	
国際調査を完了した日 03.04.2020	国際調査報告の発送日 14.04.2020	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 橘 高志 5V 8391 電話番号 03-3581-1101 内線 3571	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2020/002412

引用文献			公表日	パテントファミリー文献			公表日
WO	2017/104438	A1	22.06.2017	US	2018/0348381	A1	
					段落[0205],[0275]-[0286], 図1,11,15,16		
				CN	108370424	A	
JP	2018-186478	A	22.11.2018	CN	110546945	A	
					全文		
JP	2017-535999	A	30.11.2017	US	2016/0094796	A1	
					全文		
				CN	107079115	A	