

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4959046号
(P4959046)

(45) 発行日 平成24年6月20日 (2012. 6. 20)

(24) 登録日 平成24年3月30日 (2012. 3. 30)

(51) Int. Cl.

F I

G 1 1 C 11/4074 (2006. 01)

G 1 1 C 11/34 3 5 4 F

G 1 1 C 11/403 (2006. 01)

G 1 1 C 11/34 3 6 3 M

請求項の数 2 (全 32 頁)

(21) 出願番号 特願2000-239598 (P2000-239598)
 (22) 出願日 平成12年8月8日 (2000. 8. 8)
 (65) 公開番号 特開2002-56673 (P2002-56673A)
 (43) 公開日 平成14年2月22日 (2002. 2. 22)
 審査請求日 平成19年6月29日 (2007. 6. 29)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部 1 7 5 3 番地
 (74) 代理人 100064746
 弁理士 深見 久郎
 (74) 代理人 100085132
 弁理士 森田 俊雄
 (74) 代理人 100083703
 弁理士 仲村 義平
 (74) 代理人 100096781
 弁理士 堀井 豊
 (74) 代理人 100109162
 弁理士 酒井 将行
 (74) 代理人 100111246
 弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項 1】

行列状に配置された複数のメモリセルを有するメモリセルアレイと、
 前記メモリセルの行に対応して設けられ、第 1 の制御信号の活性化にตอบสนองして、少なくとも 1 本が選択的に活性化される複数のワード線と、
 前記メモリセルの列に対応して設けられ、活性化されたワード線に対応するメモリセルに保持されるデータが伝達される複数のビット線対と、
 前記複数のビット線対にそれぞれ対応して設けられ、第 2 の制御信号の活性化にตอบสนองして、前記複数のビット線対のうちの対応する 1 つを構成するビット線間に生じる電位レベル差を増幅する複数のセンスアンプ回路と、
 外部電源電位を内部電源電位に変換する電源回路とを備え、
 前記電源回路は、
 前記外部電源電位を供給する外部電源配線と、
 少なくとも前記センスアンプに結合され、前記前記内部電源電位を供給する内部電源配線と、
 前記内部電源電位と基準電位との電位レベル差を増幅して制御ノードに出力する電位差増幅回路と、
 前記外部電源配線と前記内部電源配線との間に設けられ、前記制御ノードの電位レベルに応じた供給電流量を前記外部電源配線から前記内部電源配線に供給する電流供給回路と、
 、

10

20

前記第 1 および第 2 の制御信号に応じて、前記電位レベル差にかかわらず前記外部電源配線から前記内部電源配線への電流供給を強制的に実行するための強制電流供給制御回路とを備え、

前記強制電流供給制御回路は、前記第 1 の制御信号の活性化にตอบสนองして定められる第 1 の時刻から、前記第 2 の制御信号の活性化にตอบสนองして定められる第 2 の時刻までの所定期間において、前記電流供給を強制的に実行し、

前記強制電流供給制御回路は、

前記所定期間において強制電流供給制御信号を活性化するための強制電流供給期間制御回路を含み、

前記半導体記憶装置は、1 回のロウアクセス動作の対象となるメモリセルの個数が、通常動作時よりもリフレッシュ動作時において多く、

10

前記強制電流供給期間制御回路は、前記通常動作時において前記所定期間における前記強制電流供給制御信号の活性化を中止し、前記リフレッシュ動作時において前記所定期間における前記強制電流供給制御信号の活性化を実行する、半導体記憶装置。

【請求項 2】

行列状に配置された複数のメモリセルを有するメモリセルアレイと、

前記メモリセルの行に対応して設けられ、第 1 の制御信号の活性化にตอบสนองして、少なくとも 1 本が選択的に活性化される複数のワード線と、

前記メモリセルの列に対応して設けられ、活性化されたワード線に対応するメモリセルに保持されるデータが伝達される複数のビット線対と、

20

前記複数のビット線対にそれぞれ対応して設けられ、第 2 の制御信号の活性化にตอบสนองして、前記複数のビット線対のうちの対応する 1 つを構成するビット線間に生じる電位レベル差を増幅する複数のセンスアンプ回路と、

外部電源電位を内部電源電位に変換する電源回路とを備え、

前記電源回路は、

前記外部電源電位を供給する外部電源配線と、

少なくとも前記センスアンプに結合され、前記前記内部電源電位を供給する内部電源配線と、

前記内部電源電位と基準電位との電位レベル差を増幅して制御ノードに出力する電位差増幅回路と、

30

前記外部電源配線と前記内部電源配線との間に設けられ、前記制御ノードの電位レベルに応じた供給電流量を前記外部電源配線から前記内部電源配線に供給する電流供給回路と、

前記第 1 および第 2 の制御信号に応じて、前記電位レベル差にかかわらず前記外部電源配線から前記内部電源配線への電流供給を強制的に実行するための強制電流供給制御回路とを備え、

前記強制電流供給制御回路は、前記第 1 の制御信号の活性化にตอบสนองして定められる第 1 の時刻から、前記第 2 の制御信号の活性化にตอบสนองして定められる第 2 の時刻までの所定期間において、前記電流供給を強制的に実行し、

前記強制電流供給制御回路は、

40

前記所定期間において強制電流供給制御信号を活性化するための強制電流供給期間制御回路を含み、

前記半導体記憶装置は、1 回のロウアクセス動作の対象となるメモリセルの個数が、通常動作時よりもリフレッシュ動作時において多く、

前記強制電流供給期間制御回路は、前記動作状態が前記通常動作であり、かつ、前記通常動作時において 1 回のロウアクセス動作の対象となるメモリセルの個数が所定数以下に設定されている場合において、前記所定期間における前記強制電流供給制御信号の活性化を中止し、

前記強制電流供給期間制御回路は、前記リフレッシュ動作時、または、前記通常動作時において 1 回のロウアクセス動作の対象となるメモリセルの個数が前記所定数よりも多く

50

設定されている場合において、前記所定期間における前記強制電流供給制御信号の活性化を実行する、半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、外部電源電位を内部電源電位に変換して負荷に供給する電源回路を備えた半導体記憶装置の構成に関するものである。

【0002】

【従来の技術】

半導体記憶装置の大容量化の要請に伴う微細加工化の進展により、半導体装置内の内部回路の耐圧が低くなってきている。このような状況に対応するために、半導体記憶装置は、たとえば5V、3.3Vといった外部電源電位を内部に備えられた電源回路（以下、内部電源回路とも称する）によって、適当な内部電源電位（たとえば2.5V、2.0V等）に降圧して使用している。このような内部電源回路は、電圧降下回路（VDC; Voltage Down Converter）とも称される。

【0003】

電源回路が発生する内部電源電位は、半導体記憶装置の内部回路群で使用されるため、内部電源電位が所定範囲を超えて低下した場合には、各内部回路が所定の応答速度に基づいて所定の動作を実行することができなくなるおそれがある。一方、内部電源電位が所定範囲を超えて上昇し過ぎると、消費電力の増大に加えて、高集積化が進み微細化されたトランジスタが破壊されてしまうおそれがある。したがって、電源回路は、内部電源電位の変動が仕様で決定される所定範囲内に収まるように、内部電源電位の電位レベルを安定的に制御する必要がある。

【0004】

図25は、VDCの代表的な構成を有する従来の技術の内部電源回路500の構成を示す回路図である。

【0005】

内部電源回路500は、外部電源配線510より外部電源電位ext.Vddを受けて、負荷550に供給される内部電源電位int.Vddを基準電位Vrefに保持するための回路である。

【0006】

図25を参照して、内部電源回路500は、外部電源電位ext.Vddを供給する外部電源配線510と、内部電源電位int.Vddを供給する内部電源配線520と、内部電源電位int.Vddと基準電位Vrefとの電位差を増幅して出力する電位差増幅回路530と、電位差増幅回路530の出力に応じて、外部電源配線510から内部電源配線520に電流Isupを供給する電流供給トランジスタQD1と、内部電源配線520の電位レベル変動を抑制するための安定化容量545とを備える。負荷550は、内部電源配線520から内部電源電位int.Vddの供給を受けて、負荷電流Iloadを消費する。

【0007】

電位差増幅回路530は、外部電源配線510と接地配線540との間に結合されるカレントミラーアンプを構成する、P型MOSトランジスタQP1、QP2、およびN型MOSトランジスタQN1、QN2、QN3を含む。トランジスタQN1およびQN2のゲートには、基準電位Vrefおよび内部電源電位int.Vddがそれぞれ入力される。トランジスタQP1およびQP2のゲートはノードNpと結合される。トランジスタQN3は、制御信号ACTの活性化にตอบสนองして、カレントミラーアンプの動作電流を供給する。

【0008】

カレントミラーアンプを構成するトランジスタQP1、QP2、QN1、QN2、QN3の各々が飽和領域で動作するように設計することによって、電位差増幅回路530は、トランジスタQN1およびQN2のゲート電位差を差動増幅して、ノードNdの電位レベル

に反映する。

【0009】

内部電源電位 $i_{nt} \cdot V_{dd}$ が基準電位 V_{ref} よりも低下した場合には、ノード N_d の電位レベルが接地電位 V_{ss} 側にシフトし、これにตอบสนองして電流供給トランジスタ Q_{D1} が外部電源配線 510 から内部電源配線 520 に電流を供給する。一方、内部電源電位 $i_{nt} \cdot V_{dd}$ が基準電位 V_{ref} よりも上昇した場合には、ノード N_d の電位レベルは外部電源電位 $e_{xt} \cdot V_{dd}$ 側にシフトされるので、電流供給トランジスタ Q_{D1} はオフされて、内部電源配線 520 に対する電流供給は停止される。これにより、内部電源回路 500 は、内部電源電位 $i_{nt} \cdot V_{dd}$ の変動を補償して、基準電位 V_{ref} レベルに保持しようとする。

10

【0010】

【発明が解決しようとする課題】

しかしながら、内部電源配線 520 から内部電源電位 $i_{nt} \cdot V_{dd}$ の供給を受ける負荷 550 の消費する電流には、種々のパターンが存在する。

【0011】

図26は、負荷 550 の電流消費パターンの一例に対応する内部電源回路の動作を示すタイミングチャートである。図26においては、連続的に少量の電流を消費する負荷の電流波形が示される。このような、電流消費パターンを有する負荷の代表例としては、DRAM (Dynamic Random Access Memory) における信号バッファ等の周辺回路が挙げられる。

【0012】

20

図26を参照して、制御信号 ACT が活性化されている期間中において内部電源回路は活性化される。負荷 550 の負荷電流 I_{load} は、連続的に消費されるため、負荷電流の瞬時値 I_1 と平均値との間に大きな差が生じない。よって、内部電源電位 $i_{nt} \cdot V_{dd}$ の電位レベルの低下 V_1 は、安定化容量 545 の作用によって比較的小さなレベルに抑えることができる。

【0013】

したがって、電流供給トランジスタ Q_{D1} が電位差増幅回路 530 に制御されて内部電源配線 520 に供給する電流 I_{sup} によって、内部電源配線 520 に生じる緩やかな電位レベルの低下に追従することができる。この結果、内部電源電位 $i_{nt} \cdot V_{dd}$ は基準電位 V_{ref} から大きく低下することはない。よって、内部電源電位の供給を受ける負荷である内部回路において誤動作等の問題は生じる可能性は低い。

30

【0014】

図27は、負荷の電流消費パターンの他の一例に対応する内部電源回路の動作を示すタイミングチャートである。図27においては、断続的かつ振幅が大きい負荷電流 I_{load} を消費する負荷の電流波形が示される。このような、電流消費パターンを有する負荷の代表例としては、DRAMにおけるセンスアンプが挙げられる。

【0015】

図27の場合においても、制御信号 ACT が活性化されている期間中において内部電源回路は活性化される。しかしながら、断続的かつ大量の負荷電流においては、負荷電流の瞬時値 I_2 と平均値との間に大きな差が生じるので、電位差増幅回路 530 に制御される電流供給トランジスタ Q_{D1} の供給電流 I_{sup} によっては、内部電源電位 $i_{nt} \cdot V_{dd}$ を十分保持することができない。この結果、内部電源電位の降下量 V_2 が大きくなってしまふ。この降下量の低下が大きいと、内部電源電位の供給を受ける負荷である内部回路の動作に支障をきたす可能性も生じてしまふ。

40

【0016】

このような急峻かつ振幅の大きい負荷電流に対して、安定化容量 545 によって内部電源電位 $i_{nt} \cdot V_{dd}$ の電位レベルの低下を抑制しようとする、大きな容量値が必要となり、チップの面積増加という問題が新たに生じてしまふ。

【0017】

したがって、このような急峻な電流消費に対応して、安定化容量に大きく依存することな

50

く内部電源電位を安定的に維持するための技術として、電流消費タイミングに合致させて内部電源配線に強制的に電流を供給する内部電源回路が、たとえば特開平6-266452号公報等に開示されている。

【0018】

このような技術を適用する内部電源回路においては、強制的な電流供給を実行するタイミングを、負荷における電流消費タイミングに応じて適切に調整することが重要となる。強制的な電流供給を開始するタイミングが負荷の電流消費開始よりも遅いと、内部電源電位の大きな低下を招いてしまう一方で、強制的な電流供給を停止させるタイミングが遅すぎると、内部電源配線520が過充電されて内部電源電位が上昇しすぎて、かえって不具合を生じてしまうおそれもあるからである。

10

【0019】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、急峻に電流を消費する負荷に対しても内部電源電位を安定的に維持できる内部電源回路および、それを備える半導体記憶装置の構成を提供することである。

【0031】

【課題を解決するための手段】

請求項1記載の半導体記憶装置は、行列状に配置された複数のメモリセルを有するメモリセルアレイと、メモリセルの行に対応して設けられ、第1の制御信号の活性化にตอบสนองして、少なくとも1本が選択的に活性化される複数のワード線と、メモリセルの列に対応して設けられ、活性化されたワード線に対応するメモリセルに保持されるデータが伝達される複数のビット線対と、複数のビット線対にそれぞれ対応して設けられ、第2の制御信号の活性化にตอบสนองして、複数のビット線対のうちの対応する1つを構成するビット線間に生じる電位レベル差を増幅する複数のセンスアンプ回路と、外部電源電位を内部電源電位に変換する電源回路とを備え、電源回路は、外部電源電位を供給する外部電源配線と、少なくともセンスアンプに結合され内部電源電位を供給する内部電源配線と、内部電源電位と基準電位との電位レベル差を増幅して制御ノードに出力する電位差増幅回路と、外部電源配線と内部電源配線との間に設けられ、制御ノードの電位レベルに応じた供給電流量を外部電源配線から内部電源配線に供給する電流供給回路と、第1および第2の制御信号に応じて、電位レベル差にかかわらず外部電源配線から内部電源配線への電流供給を強制的に実行するための強制電流供給制御回路とを備え、強制電流供給制御回路は、第1の制御信号の活性化にตอบสนองして定められる第1の時刻から、第2の制御信号の活性化にตอบสนองして定められる第2の時刻までの所定期間において、電流供給を強制的に実行する。さらに、強制電流供給制御回路は、所定期間において強制電流供給制御信号を活性化するための強制電流供給期間制御回路を含む。そして、半導体記憶装置は、1回のロウアクセス動作の対象となるメモリセルの個数が、通常動作時よりもリフレッシュ動作時において多く、強制電流供給期間制御回路は、通常動作時において強制期間における強制電流供給制御信号の活性化を中止し、リフレッシュ動作時において所定期間における強制電流供給制御信号の活性化を実行する。

20

30

【0032】

請求項2記載の半導体記憶装置は、行列状に配置された複数のメモリセルを有するメモリセルアレイと、メモリセルの行に対応して設けられ、第1の制御信号の活性化にตอบสนองして、少なくとも1本が選択的に活性化される複数のワード線と、メモリセルの列に対応して設けられ、活性化されたワード線に対応するメモリセルに保持されるデータが伝達される複数のビット線対と、複数のビット線対にそれぞれ対応して設けられ、第2の制御信号の活性化にตอบสนองして、複数のビット線対のうちの対応する1つを構成するビット線間に生じる電位レベル差を増幅する複数のセンスアンプ回路と、外部電源電位を内部電源電位に変換する電源回路とを備え、電源回路は、外部電源電位を供給する外部電源配線と、少なくともセンスアンプに結合され内部電源電位を供給する内部電源配線と、内部電源電位と基準電位との電位レベル差を増幅して制御ノードに出力する電位差増幅回路と、外部電源配線と内部電源配線との間に設けられ、制御ノードの電位レベルに応じた供給電流量を外

40

50

部電源配線から内部電源配線に供給する電流供給回路と、第1および第2の制御信号に応じて、電位レベル差にかかわらず外部電源配線から内部電源配線への電流供給を強制的に実行するための強制電流供給制御回路とを備え、強制電流供給制御回路は、第1の制御信号の活性化にตอบสนองして定められる第1の時刻から、第2の制御信号の活性化にตอบสนองして定められる第2の時刻までの所定期間において、電流供給を強制的に実行する。さらに、強制電流供給制御回路は、所定期間において強制電流供給制御信号を活性化するための強制電流供給期間制御回路を含む。そして、1回のロウアクセス動作の対象となるメモリセルの個数が、通常動作時よりもリフレッシュ動作時において多く、強制電流供給期間制御回路は、動作状態が通常動作であり、かつ、通常動作時において1回のロウアクセス動作の対象となるメモリセルの個数が所定数以下に設定されている場合において、所定期間における強制電流供給制御信号の活性化を中止し、強制電流供給期間制御回路は、リフレッシュ動作時、または、通常動作時において1回のロウアクセス動作の対象となるメモリセルの個数が所定数よりも多く設定されている場合において、所定期間における強制電流供給制御信号の活性化を実行する。

10

【0033】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳細に説明する。なお図中における同一符号は、同一または相当部分を示すものとする。

【0034】

〔実施の形態1〕

20

図1は、本発明の実施の形態1に従う内部電源回路を備えた半導体記憶装置1の全体構成を示す概略ブロック図である。

【0035】

図1を参照して、半導体記憶装置1は、コラムアドレスストローブ信号/CAS、ロウアドレスストローブ信号/RASおよびライトイネーブル信号/WEを受ける制御信号入力端子10と、アドレス信号A1～An（n：自然数）を受けるアドレス入力端子12と、入出力データDQ1～DQi（i：自然数）およびアウトプットイネーブル信号/OEとを授受するデータ入出力端子14と、外部電源電位ext.Vddおよび接地電位Vssの入力を受ける電源入力端子16とを備える。

【0036】

30

半導体記憶装置1は、さらに、制御信号入力端子10に入力された制御信号に応じて半導体記憶装置1の全体動作を制御するコントロール回路20と、行列状に配置された複数のメモリセルを有するメモリセルアレイ30と、メモリセルアレイ中のアドレス信号にตอบสนองしたメモリセルを特定するためのアドレスバッファ35、行デコーダ40および列デコーダ45をさらに備える。

【0037】

メモリセルアレイ30には、ワード線がメモリセルの各行ごとに配置され、ビット線対がメモリセルの各列ごとに配置される。各メモリセルは、ワード線とビット線との交点のそれぞれに配置される。

【0038】

40

アドレスバッファ35は、外部から供給されたアドレス信号を行デコーダおよび列デコーダに選択的に供給する。行デコーダ40は、アドレスバッファ35から供給される行アドレス信号にตอบสนองして、複数のワード線のうちの少なくとも1つを選択的に駆動する。列デコーダ45は、アドレスバッファから供給される列アドレス信号にตอบสนองして、複数のビット線対のうちの1つを選択する。センスアンプ回路50は、各ビット線対に対応して設けられる複数のセンスアンプを含む。各センスアンプは、対応するビット線対間に生じる電位差を増幅する。

【0039】

入出力回路60は、列デコーダによって選択されたビット線対の電位レベルを出力バッファ75に供給する。出力バッファ75は、供給された電位レベルを増幅して出力データD

50

Q1 ~ DQiとして外部に出力する。入力バッファ70は、外部から書込データが供給された場合に、入力データDQ1 ~ DQiを増幅する。入出力回路60は、入力バッファ70によって増幅された入力データを列デコーダ45によって選択されたビット線対に供給する。

【0040】

制御信号入力端子10に入力された/CAS、/RASおよび/WEは、コントロール回路20に与えられ、コントロール回路20は、半導体記憶装置1全体の読出動作および書込動作における各回路のタイミング動作を決定する。

【0041】

半導体記憶装置1は、さらに、電源入力端子16に入力された外部電源電位ext.Vddおよび接地電位Vssに基づいて、内部電源電位int.Vddを出力する内部電源回路100を備える。半導体記憶装置1内部において、外部電源電位ext.Vddおよび接地電位Vssは、外部電源配線80および接地配線85によって供給される。

10

【0042】

一般的にメモリセルアレイ30、センスアンプ回路50および入出力回路60を除く他の周辺回路で消費される負荷電流は、図26に示したような連続的かつ小振幅なものとなる。一方、図中に斜線で示した、メモリセルアレイ30、センスアンプ回路50および入出力回路60（以下、これらを合わせて「メモリアレイ」とも称する）で消費される負荷電流は、メモリアクセスに回答したセンスアンプ回路50によるデータ増幅動作の実行時に、図27に示したような断続的かつ大振幅なものとなる。

20

【0043】

したがって、周辺回路用電源と、メモリアレイ用電源とは独立に設けられることが多い。本発明の実施の形態においても、周辺回路用とメモリアレイ用とに独立のVDCおよび内部電源配線が配置されるものとする。

【0044】

本発明の実施の形態においては、内部電源回路100のうち、特にメモリアレイ用電源に対応する部分について説明する。メモリアレイに対する内部電源電位int.Vddの供給は、内部電源配線90によって行なわれる。

【0045】

一方、周辺回路に対する内部電源電位int.Vdd'の供給は、内部電源配線91によって行なわれる。周辺回路回路に供給される内部電源電位を生成するVDC（内部電源回路）については詳細に説明しないが、その電流消費パターンから、たとえば図25に示した従来の一般的な構成のVDC（内部電源回路）を適用することができる。

30

【0046】

なお、図1においては、半導体記憶装置1を非同期型のDRAMとして表記しているが、半導体記憶装置1は、同期型のSDRAM（Synchronous DRAM）であってもよい。この場合には、コントロール回路20に対して、クロック信号CLK、クロックイネーブル信号CKEおよびチップセレクト信号/CS等がさらに入力され、半導体記憶装置1は、クロック信号CLKに同期して動作する。

【0047】

図2は、メモリセルアレイ30およびセンスアンプ回路50の構成を説明するブロック図である。

40

【0048】

図2を参照して、メモリセルアレイ30は、行列状に配列された複数のメモリセルMCを有する。メモリセルMCは、アクセストランジスタ32およびデータ保持キャパシタ34を含む。アクセストランジスタ32は、各メモリセル列ごとに配置されるビット線対の一方であるビット線BLとデータ記憶ノードNsとの間に電氣的に結合される。アクセストランジスタ32のゲートは、メモリセルの各行ごとに設けられるワード線WLと結合される。

【0049】

50

デコード回路 40 は、ワード線活性化信号 $WLACT$ の活性化にตอบสนองして、行アドレス信号に対応したワード線 WL を活性化する。活性状態のワード線と対応するメモリセルの各々において、ビット線 BL とデータ記憶ノード Ns とが結合されて、メモリセルに対するデータ読出・書込が実行される。非活性状態のワード線と対応するメモリセルの各々においては、データ記憶ノード Ns に伝達された電荷が、データ保持キャパシタ 34 によって保持される。

【0050】

ビット線 BLP の他方のビット線 $/BL$ は、ビット線 BL と相補のデータを伝達するために設けられる。センスアンプ回路 50 は、各ビット線対 BLP ごとに配置されるセンスアンプ SA を有する。

10

【0051】

センスアンプ SA は、センスアンプ活性化信号 $SEACT$ の活性化にตอบสนองして、対応するビット線対 BLP を形成する、ビット線 BL および $/BL$ の間に生じる電位差を増幅する。

【0052】

図 3 は、メモリアクセス時におけるワード線およびセンスアンプの活性化に伴う動作を説明するタイミングチャートである。

【0053】

図 3 を参照して、ワード線活性化信号 $WLACT$ の活性化 (H レベル) にตอบสนองして、行デコード 40 は、行アドレス信号に対応するワード線 WL を選択的に活性化する。ワード線 WL が活性化されると、対応するメモリセル行に属する各メモリセル MC において、アクセストランジスタ 32 がオンすることによってビット線 BL とデータ記憶ノード Ns とが接続される。これにより、ビット線 BL の電位は、プリチャージレベル V_{pc} から、データ記憶ノード Ns に保持されるデータレベルに応じて上昇あるいは下降する。

20

【0054】

図 3 においては、データ記憶ノード Ns に H レベルデータが保持されている場合を示している。この場合においては、アクセストランジスタ 32 のオンに応じて、ビット線 BL の電位 V_{BL} がわずかに上昇する。一方、相補のビット線 $/BL$ の電位レベルは変化しない。この状態で、センスアンプ活性化信号 $SEACT$ が活性化されると、センスアンプ SE は、ビット線対間に生じる電位レベル差の増幅を実行する。

30

【0055】

したがって、図 3 の場合においてはビット線 BL の電位 V_{BL} は、データの H レベルに相当する内部電源電位 $i_{nt} \cdot V_{dd}$ に上昇する。一方、相補のビット線 $/BL$ の電位 $V_{/BL}$ は、データの L レベルに対応する接地電位 V_{ss} レベルに下降する。このようにして、ワード線 WL の活性化にตอบสนองして、各メモリセル MC に記憶されたデータの増幅動作が実行される。

【0056】

半導体記憶装置においては、1 回の行選択動作にあたって、同一のワード線に接続されるすべてのメモリセルのデータをビット線対に読出す構成となるため、同時に多数のセンスアンプが動作する。よって、センスアンプ回路の動作時には、短時間に大量の電流が消費されて、内部電源電位 $i_{nt} \cdot V_{dd}$ の電位レベルが一時的に低下する。この現象は、ビット線対 BLP に生じた微小な電位レベル差の速やかな増幅を妨げ、動作速度の低下を招くおそれがある。

40

【0057】

図 4 は、実施の形態 1 に従う内部電源回路 100 の構成を示す回路図である。

図 4 を参照して、内部電源回路 100 は、外部電源電位 $e_{xt} \cdot V_{dd}$ を供給する外部電源配線 80 と、内部電源電位 $i_{nt} \cdot V_{dd}$ を供給する内部電源配線 90 と、外部電源配線 80 および接地配線 85 の間に結合されて、内部電源電位 $i_{nt} \cdot V_{dd}$ と基準電位 V_{ref} との電位差を増幅して出力する電位差増幅回路 105 と、電位差増幅回路 105 の出力に応じて外部電源配線 80 から内部電源配線 90 に電流 I_{sup} を供給する電流供給

50

トランジスタQ D 1と、内部電源配線90の電位レベル変動を抑制するための安定化容量92とを備える。負荷95は、内部電源配線90から内部電源電位 $i n t . V d d$ の供給を受けて、負荷電流 $I l o a d$ を消費する。負荷95は、たとえば図1で示したセンスアンプ回路50に相当する。

【0058】

内部電源回路のうちの上述した構成は、図25に示した従来の技術のV D Cの構成と同様である。

【0059】

電位差増幅回路105は、図25で説明した電位差増幅回路530と同様の構成を有する。したがって、電位差増幅回路105においては、トランジスタQ N 3によって供給される動作電流は、トランジスタQ N 1およびQ N 2のゲート電位差に応じて、ノードN dを流れる電流とノードN pを流れる電流とに分割される。この結果、ノードN dには、トランジスタQ N 1およびQ N 2のゲート電位差が増幅されて現われる。ノードN dは電流供給トランジスタQ D 1のゲートと結合される。

10

【0060】

したがって、電流供給トランジスタQ D 1は、内部電源配線90の電位レベル $i n t . V d d$ が基準電位 $V r e f$ よりも低い場合には、外部電源配線80から内部電源配線90に電流を供給する。一方、内部電源電位 $i n t . V d d$ が基準電位 $V r e f$ よりも高い場合においては、電流供給トランジスタQ D 1はオフされて、外部電源配線80から内部電源配線90に対する電流供給は停止される。

20

【0061】

内部電源回路100は、所定期間において、内部電源電位 $i n t . V d d$ と基準電位 $V r e f$ との電位差にかかわらず、外部電源配線80から内部電源配線90への電流供給を強制的に実行するための強制電流供給制御回路110をさらに備える。

【0062】

強制電流供給制御回路110は、内部電源配線90に対する強制的な電流供給期間を制御するための内部電源制御回路115と、外部電源配線80とノードN pとの間に結合されて、内部電源制御回路115が生成する強制電流供給制御信号Z D R Vをゲートに受けるP型M O S トランジスタQ P aとを含む。

【0063】

内部電源制御回路115は、負荷95の電流消費タイミングに応じて、強制電流供給制御信号Z D R VをLレベル（接地電位 $V s s$ ）に活性化する。強制電流供給制御信号Z D R Vの活性化にตอบสนองして、トランジスタQ P aは、外部電源配線80からノードN pへ電流を供給する。これに応じて、ノードN pの電位レベルが上昇し、ノードN pと動作電流を分け合うノードN dの電位レベルが下降する。この結果、電流供給トランジスタQ D 1による供給電流 $I s u p$ が増加する。

30

【0064】

したがって、内部電源回路100においては、内部電源電位 $i n t . V d d$ にかかわらず、強制電流供給制御信号Z D R Vの活性化にตอบสนองして、内部電源配線90に強制的に電流供給を行なうことができる。

40

【0065】

図5は、内部電源回路100の動作を説明するタイミングチャートである。

図5を参照して、制御信号A C Tの活性化に応じて、ノードN cの電位レベル $V N c$ が接地電位 $V s s$ 近くまで低下して、電位差増幅回路105の動作電流が供給される。これに応じて、内部電源回路100は、内部電源電位 $i n t . V c c$ と基準電位 $V r e f$ の比較結果に基づいて、電流供給トランジスタQ D 1によって供給される電流量 $I s u p$ を制御する。

【0066】

次に、負荷（たとえばセンスアンプS A）における電流消費が開始されるタイミングよりも早い時刻 $t a$ において、強制電流供給制御信号Z D R VがLレベル（接地電位 $V s s$ ）

50

に活性化される。これに応答してノードN_pに強制的に電流が供給されることから、反対にノードN_dの電位レベルV_{Nd}は低下し始める。これに応じて、電流供給トランジスタQ_{D1}のゲート電位が低下し、外部電源配線80から内部電源配線90に対する強制的な電流供給が実行される。

【0067】

時刻t_bにおいて、制御信号（たとえばセンスアンプ活性化信号S_{EACT}）の活性化に
10 応答して、負荷電流I_{load}の消費が開始される。しかし、予め内部電源配線90に強制的に過剰供給された供給電流I_{sup}の影響によって、安定化容量92の容量値に大きく依存することなく、内部電源電位i_{nt}.V_{dd}の低下を防止できる。

【0068】

時刻t_cにおいて、負荷における電流消費が終了するよりも前に、強制電流供給制御信号Z_{DRV}がHレベル（外部電源電位e_{xt}.V_{dd}）に非活性化される。さらに、時刻t_dにおいて、制御信号（たとえばセンスアンプ活性化信号S_{EACT}）が非活性化されると、負荷における電流消費動作は完全に終了する。なお、負荷がセンスアンプである場合には、制御信号S_{EACT}活性化後の比較的初期の期間に消費電流I_{load}のピークが生じ、以降の消費電流は小さい。強制電流供給制御信号Z_{DRV}を非活性化するタイミングは、このような負荷の消費電流波形のパターンを考慮して設定すればよい。

【0069】

時刻t_c以降においては、ノードN_pに対する強制的な電流供給は停止されるので、電流供給トランジスタQ_{D1}によって供給される電流量I_{sup}は、時刻t_a以前と同様に、
20 内部電源電位i_{nt}.V_{cc}と基準電位V_{ref}との電位レベルの比較結果に基づいて制御される。このように、負荷による電流消費が終了するより前に、内部電源配線90に対する強制的な電流供給を停止することによって、内部電源配線が過充電されて、内部電源電位i_{nt}.V_{dd}のが上昇しすぎることを防止できる。

【0070】

このように、内部電源回路100においては、内部電源配線90に対する強制的な電流供給の実行タイミングを制御する強制電流供給制御信号Z_{DRV}の活性化期間の設定が非常に重要なものとなる。

【0071】

次に、強制電流供給制御信号Z_{DRV}の活性化タイミングについて詳細に説明する。
30

【0072】

図6は、内部電源制御回路115の入出力関係を示すブロック図である。

図6を参照して、コントロール回路20は、半導体記憶装置1内の各内部回路の動作タイミングを制御するための内部動作制御回路22を含む。内部動作制御回路22は、制御信号入力端子10に入力される制御信号/CAS、/RASおよび/WEに
40 応答して、データの読出・書込動作等を実行するための制御信号群I_{SGNs}を生成し、各内部回路に供給する。これらの制御信号群には、図3で説明したセンスアンプ動作に関連するワード線活性化信号W_{LACT}およびセンスアンプ活性化信号S_{EACT}が含まれる。

【0073】

強制電流供給制御回路110に含まれる内部電源制御回路115は、ワード線活性化信号W_{LACT}およびセンスアンプ活性化信号S_{EACT}を受けて、内部電源回路100を制御するための強制電流供給制御信号D_{RV}およびZ_{DRV}を生成する。強制電流供給制御信号D_{RV}およびZ_{DRV}は、内部電源配線に対する強制的な電流供給を実行する期間において、Hレベル（外部電源電位e_{xt}.V_{dd}）およびLレベル（接地電位V_{ss}）にそれぞれ活性化される。
40

【0074】

図7は、内部電源制御回路115の構成を示すブロック図である。

図7を参照して、内部電源制御回路115は、ワード線活性化信号W_{LACT}の活性化に
50 応答してLレベルに活性化されるワンショットパルス信号N_{WWLA}をノードN₁に出力するワンショットパルス回路120と、センスアンプ活性化信号S_{EACT}の活性化に

答してLレベルに活性化されるワンショットパルス信号NWSEAをノードN2に生成するワンショットパルス発生回路125と、ワンショットパルス信号NWWLAおよびNWSEAをそれぞれセット入力およびリセット入力として動作するフリップフロップ127を形成する論理ゲートLG10およびLG15を含む。

【0075】

ワンショットパルスNWWLAおよびNWSEAは、新たにワード線活性化信号WLACTおよびSEACTが活性化された場合に、対応してワンショット状に活性化される。フリップフロップ127は、制御信号SDRVをノードN3に生成する。制御信号SDRVは、ワンショットパルスNWWLAの活性化(Lレベル)、すなわちワード線活性化信号WLACTの活性化ごとに、Hレベルに活性化される。一方、制御信号SDRVは、ワン

10

【0076】

内部電源制御回路115は、さらに、ノードN3およびN4の間に接続される立上がりエッジ遅延回路130と、ノードN4およびN5の間に接続される立下がりエッジ遅延回路135を含む。立上がりエッジ遅延回路130は、制御信号SDRVの立上がりエッジ(Lレベル→Hレベル遷移)を遅延して伝達する。同様に、立下がりエッジ遅延回路135は、制御信号SDRVの立下がりエッジ(Hレベル→Lレベル遷移)を遅延して伝達する。

【0077】

20

図8は、立上がりエッジ遅延回路130の構成を示す回路図である。

図8を参照して、立上がりエッジ遅延回路130は、直列に接続されたM個(M:自然数)の遅延ユニットDURを有する。各遅延ユニットDURは、入力ノードNriに入力された信号の立上がりエッジを遅延させて出力ノードNroに伝達する。初段の各遅延ユニットDURの入力ノードNriは、ノードN3と結合される。最終段の各遅延ユニットDURの出力ノードNroは、ノードN4と結合される。

【0078】

遅延ユニットDURは、入力ノードNriの信号レベルをノードNr1に反転して伝達するインバータ132を形成する、P型MOSトランジスタQP12、N型MOSトランジスタQN12および遅延抵抗Rrと、ノードNr1に付加される遅延容量を形成するP型

30

【0079】

遅延ユニットDURは、さらに、ノードNr1の信号レベルを反転してノードNr2に伝達するインバータIV18と、ノードNriおよびNr2のNAND論理演算結果を出力する論理ゲートLG18と、論理ゲートLG18の出力を反転して出力ノードNroに伝達するインバータIV20とを有する。

【0080】

入力ノードNriの信号レベルがLレベルからHレベルに立上がる場合において、遅延ユニットDURの出力ノードNroの信号レベルがLレベルからHレベルに変化するには、入力ノードNriおよびノードNr2の両方の信号レベルがHレベルに遷移する必要がある。ここで、ノードNr2の電位のHレベルへの遷移は、遅延抵抗Rrおよび遅延容量として作用するトランジスタQP12、QN12の影響を受ける。

40

【0081】

一方、入力ノードNriの信号レベルがHレベルからLレベルに立下がる場合においては、入力ノードNriおよびノードNr2のいずれか一方の信号レベルがLレベルに遷移すれば、出力ノードNroの信号レベルは、Lレベルに変化する。

【0082】

したがって、遅延ユニットDURは、入力ノードNriに対して、伝達信号の立下りエッジを遅延させずに伝達し、立上がりエッジのみを抵抗素子R1および遅延容量として作用するトランジスタQP12およびQN12によって生じる遅延時間だけ遅延して伝達する

50

。

【 0 0 8 3 】

よって、遅延抵抗および遅延容量の抵抗値および容量値、ならびに遅延ユニットの個数 M を制御することによって、制御信号 $S D R V$ の立上がりエッジに対する遅延時間 T_r を設定することができる。

【 0 0 8 4 】

図 9 は、立下がりエッジ遅延回路 1 3 5 の構成を示す回路図である。

図 9 を参照して、立下がりエッジ遅延回路 1 3 5 は、直列に接続された N 個 (N : 自然数) の遅延ユニット $D U f$ を有する。各遅延ユニット $D U f$ は、入力ノード $N f i$ に入力された信号の立下がりエッジを遅延させて出力ノード $N f o$ に伝達する。初段の各遅延ユニット $D U f$ の入力ノード $N f i$ は、ノード $N 4$ と結合される。最終段の各遅延ユニット $D U f$ の出力ノード $N f o$ は、ノード $N 5$ と結合される。

10

【 0 0 8 5 】

遅延ユニット $D U f$ は、入力ノード $N f i$ の信号レベルを反転してノード $N f 0$ に伝達するインバータ $I V 3 0$ と、インバータ 1 3 7 を形成する P 型 $M O S$ トランジスタ $Q P 2 2$ および $Q N 2 2$ および抵抗素子 $R f$ と、遅延容量となる P 型 $M O S$ トランジスタ $Q P 2 4$ および $Q N 2 4$ と、インバータ $I V 2 8$ と、ノード $N f 0$ および $N f 2$ の $N A N D$ 演算結果を出力する論理ゲート $L G 2 5$ とを有する。

【 0 0 8 6 】

遅延ユニット $D U f$ 中のインバータ 1 3 7、遅延容量として作用するトランジスタ $Q P 2 4$ および $Q N 2 4$ 、インバータ $I V 2 8$ および論理ゲート $L G 2 5$ は、図 8 に示した遅延ユニット $D U r$ 中の、インバータ 1 3 2、トランジスタ $Q P 1 4$ および $Q N 1 4$ 、インバータ $I V 1 8$ および論理ゲート $L G 2 0$ にそれぞれ相当する。

20

【 0 0 8 7 】

遅延ユニット $D U f$ は、図 8 に示した遅延ユニット $D U r$ と比較すると、入力ノード $N f i$ の信号レベルがインバータ $I V 3 0$ によって反転されてインバータ 1 3 7 に伝達される点と、論理ゲート $L G 2 5$ の出力がそのまま出力ノード $N f o$ に伝達される点異なる。

【 0 0 8 8 】

したがって、遅延ユニット $D U f$ においては、遅延ユニット $D U r$ の場合とは反対に、入力ノード $N f i$ における L レベルから H レベルへの遷移は、インバータ 3 0 および論理ゲート $L G 2 5$ によって出力ノード $N f o$ に直ちに伝達される。これに対し、入力ノード $N f i$ の H レベルから L レベルへの遷移は、抵抗素子 $R f$ および遅延容量として作用するトランジスタ $Q P 2 4$ および $Q N 2 4$ によって付加される遅延時間の経過後に出力ノード $N f o$ に伝達される。

30

【 0 0 8 9 】

よって、立下がりエッジ遅延回路 1 3 5 全体で付加される遅延時間 T_f は、遅延ユニット $D U f$ 中における抵抗素子および遅延容量の抵抗値および容量値と、遅延ユニットの個数 N とによって、立上がりエッジに対する遅延時間 T_r とは独立に設定することができる。

【 0 0 9 0 】

このように、図 8 および図 9 に示すように、立上がりエッジ遅延回路 1 3 0 および立下がりエッジ遅延回路 1 3 5 において、抵抗素子および容量素子によって遅延時間を付与する構成とすることで、温度や内部電源電位の変動の影響を受け難い遅延段を構成することを可能としている。

40

【 0 0 9 1 】

再び、図 7 を参照して、フリップフロップ 1 2 7 によって、ワード線活性化信号およびセンスアンプ活性化信号の活性化毎に、それぞれ活性化 (L レベル H レベル) および非活性化 (H レベル L レベル) される制御信号 $S D R V$ の立上がりエッジ (L レベル H レベル) および立下がりエッジ (H レベル L レベル) は、立上がりエッジ遅延回路 1 3 0 および立下がりエッジ遅延回路 1 3 5 によって、遅延時間 T_r および T_f それぞれ遅

50

延されてノードN5に伝達される。

【0092】

ノードN5の信号レベルは、インバータIV12およびIV14によって増幅されて強制電流供給制御信号DRVとして出力される。一方、インバータIV16は、信号DRVの反転信号である強制電流供給制御信号ZDRVを出力する。この結果、強制電流供給制御信号DRVおよびZDRVは、センスアンプの活性化に先立って実行されるワード線の活性化から遅延時間Trによって調整可能な所定時間経過後において、HレベルおよびLレベルにそれぞれ活性化され、センスアンプの活性化から遅延時間Tfによって調整可能な所定時間経過後において、LレベルおよびHレベルにそれぞれ非活性化される。

【0093】

図3で説明したように、負荷となるセンスアンプSAが実行するデータ増幅動作は、一連のメモリアクセス動作の中で実行されるので、まずワード線活性化信号WLACTが活性化された後に、実際の電流消費トリガとなるセンスアンプ活性化信号SEACTが活性化されて開始される。したがって、上述したタイミングで強制電流供給制御信号DRVおよびZDRVを活性化および非活性化することによって、負荷であるセンスアンプの電流消費が開始される前に内部電源電位int.Vddを供給する内部電源配線に対して強制的に電流を供給して、安定化容量92の容量値に大きく依存することなく、センスアンプによる急激かつ大量な電流消費に備えることができる。また、センスアンプの電流消費が終了するよりも前に内部電源配線に対する強制的な電流供給を中止することによって、内部電源配線の過充電を回避できる。

【0094】

内部電源制御回路115は、さらに、ノードN3と接地配線85との間に結合されるN型MOSトランジスタQN10を有する。トランジスタQN10のゲートには、インバータIV10によって反転されたワード線活性化信号WLACTが入力される。これにより、少なくともワード線活性化信号WLACTの非活性化時においては、制御信号SDRVの信号レベルはLレベルにリセットされることから、少なくともこの期間において、内部電源回路100において電流供給トランジスタQD1による強制的な電流供給が実行されることはない。

【0095】

また、内部電源回路110の電位差増幅回路105に動作電流を供給するための制御信号ACTには、ワード線活性化信号WLACTを用いればよい。

【0096】

なお、メモリセルアレイ30においてメモリセルMCが複数のブロックに分割配置され、複数のブロックごとにワード線の活性化およびセンスアンプの活性化が独立に制御される場合、すなわち各ブロックごとにワード線活性化信号およびセンスアンプ活性化信号が設けられる場合も考えられる。

【0097】

図28は、メモリセルアレイ30が複数のブロックに分割される場合に対応する内部電源制御回路115の構成を示すブロック図である。

【0098】

図28には、一例としてメモリセルアレイ30が4個のブロックに分割されている場合における、内部電源制御回路115の構成が示される。4個のブロックのそれぞれに対応して、ワード線活性化信号WLACT0~WLACT3およびセンスアンプ活性化信号SEACT0~SEACT3がそれぞれ設けられる。

【0099】

ワード線活性化信号WLACT0~WLACT3の各々に対応してワンショットパルス生成回路120が設けられる。同様に、センスアンプ活性化信号SEACT0~SEACT3の各々に対応して、ワンショットパルス生成回路125が設けられる。論理ゲートLG30は、これらのワンショットパルス回路120がそれぞれ出力するワンショットパルスのOR演算（ただし負論理のOR演算であり、正論理ではAND演算に相当）結果をノー

10

20

30

40

50

ドN1に出力する。これにより、いずれか1つのブロックにおいてワード線活性化信号が活性化された場合に、ワンショットパルス信号NWWLAが活性化される。

【0100】

同様に、論理ゲートLG32は、これらのワンショットパルス回路125がそれぞれ出力するワンショットパルスのOR演算（ただし負論理のOR演算であり、正論理ではAND演算に相当）結果をノードN2に出力する。これにより、いずれか1つのブロックにおいてセンスアンプ活性化信号が活性化された場合に、ワンショットパルス信号NWSEAが活性化される。

【0101】

ワンショットパルス信号NWWLAおよびNWSEAに応答した、強制電流供給制御信号DRVおよびZDRVを活性化および非活性化については、すでに説明したとおりであるので、詳細な説明は繰り返さない。このようにして、メモリセルアレイ30が複数のブロックに分割される場合においても、負荷における電流に対応して、強制電流供給制御信号DRVおよびZDRVを生成することができる。

【0102】

また、トランジスタQN10のオン/オフは、複数のブロックのそれぞれに対応して設けられるワード線活性化信号WLACT0~WLACT3のOR演算を行なう論理ゲートLG34の出力に基づいて制御すればよい。制御信号ACTについても、複数のブロックのそれぞれに対応して設けられるワード線活性化信号のOR演算結果、すなわち論理ゲートLG34の出力に基づいて生成すればよい。

【0103】

図10は、内部電源制御回路115の動作を説明するためのタイミングチャートである。

【0104】

時刻t0においてワード線活性化信号WLACTが活性化（Lレベル Hレベル）される。これに応答して、ワンショットパルス発生回路120は、時刻t0からTr'経過後の時刻t1を起点として、ワンショットパルス信号NWWLAを一定期間Lレベルに活性化する。

【0105】

ワンショットパルス信号NWWLAの活性化に応答して、フリップフロップ127の出力信号SDRVは、LレベルからHレベルに立上がる（図示せず）。この立上がりエッジは、立上がりエッジ遅延回路130によってTr遅延される。これに応じて、強制電流供給制御信号DRV、ZDRVは、時刻t1から遅延時間Tr経過後の時刻t2において活性化される。時刻t2は、図5に示した時刻taに相当する。これに応答して、内部電源回路100においては、電流供給トランジスタQD1のゲート電位が低下を始め、供給電流Isupが強制的に流れ始める。

【0106】

一方、図5に示した時刻tbに相当する時刻t3において、センスアンプ活性化信号SEACTが活性化されると、これに応答してセンスアンプSAにおける電流消費が開始されて、負荷電流Iloadが流れ始める。

【0107】

一方、時刻t3におけるセンスアンプ活性化信号SEACTの活性化（Lレベル Hレベル）に応答して、ワンショットパルス発生回路125は、時刻t3からTf'経過後の時刻t4を起点として、ワンショットパルス信号NWSEAを一定期間Lレベルに活性化する。

【0108】

これに応答して、フリップフロップ127の出力信号SDRVは、HレベルからLレベルに立上がる（図示せず）。この立下がりエッジは、立下がりエッジ遅延回路135によってTf遅延される。これに応じて、強制電流供給制御信号DRV、ZDRVは、時刻t4から遅延時間Tf経過後の時刻t5において非活性化される。時刻t5は、図5に示した時刻tcに相当する。

10

20

30

40

50

【 0 1 0 9 】

これに応じて、内部電源回路 1 0 0 における電流供給トランジスタ Q D 1 による強制的な電流供給は中止される。時刻 t 2 から時刻 t 5 において、内部電源配線 9 0 に予め過剰に供給された電荷によって、負荷電流 I l o a d の供給が行なわれる。

【 0 1 1 0 】

この後、時刻 t 6 においてワード線活性化信号 W L A C T が非活性化され、時刻 t 7 (図 5 に示す時刻 t d に相当) において、センスアンプ活性化信号 S E A C T が非活性化されて、負荷電流の消費は終了する。すでに説明したように、負荷がセンスアンプ S A である場合には、消費電流は、センスアンプ活性化信号 S E A C T の活性化期間内の一部期間に集中する。

10

【 0 1 1 1 】

時刻 t 5 以降においては、内部電源回路 1 0 0 においては、内部電源電位 i n t . V c c と基準電位 V r e f との電位レベルの比較結果に基づいて、内部電源配線 9 0 に対する電流供給が実行される。

【 0 1 1 2 】

このように、負荷 (センスアンプ S A) における電流消費よりも確実に前のタイミングにおいて、内部電源回路 1 0 0 による強制的な電流供給を開始し、かつ負荷における電流消費が終了する前に強制的な電流供給を停止することによって、安定化容量 9 2 の容量値に大きく依存することなく負荷の電流消費開始時における内部電源電位の過渡的なへたりを防止し、かつ内部電源配線 9 0 の過充電による定常時における内部電源電位 i n t . V d d の上昇とを両立して確実に防止することができる。

20

【 0 1 1 3 】

次に、内部電源制御回路 1 1 5 の構成のバリエーションについて説明する。

図 1 1 は、内部電源制御回路の他の構成例を示すブロック図である。

【 0 1 1 4 】

図 1 1 に示される内部電源制御回路 1 1 5 は、図 7 に示される内部電源制御回路と比較して、立上がりエッジ遅延回路 1 3 0 および立下がりエッジ遅延回路 1 3 5 に代えて、ワンショットパルス発生回路 1 2 0 および 1 2 5 とノード N 1 および N 2 との間にそれぞれ設けられる遅延回路 1 4 0 および 1 4 5 を備える点で異なる。その他の構成については図 7 の場合と同様であるので詳細な説明は繰返さない。

30

【 0 1 1 5 】

遅延回路 1 4 0 は、ワンショットパルス発生回路 1 2 0 が、ワード線活性化信号 W L A C T の活性化にตอบสนองして L レベルに活性化するワンショットパルス信号 N W W L A を T r 遅延してノード N 1 に伝達する。同様に、遅延回路 1 4 5 は、センスアンプ活性化信号 S E A C T の活性化にตอบสนองして L レベルに活性化するワンショットパルス信号 N W S E A を T f 遅延してノード N 2 に伝達する。

【 0 1 1 6 】

図 2 9 は、遅延回路 1 4 0 および 1 4 5 の第 1 の構成例を示す図である。図 2 9 を参照して、遅延回路 1 4 0 および 1 4 5 は、直列に接続された偶数個のインバータによって構成することができる。

40

【 0 1 1 7 】

図 3 0 は、遅延回路 1 4 0 および 1 4 5 の第 2 の構成例を示す図である。図 3 0 を参照して、遅延回路 1 4 0 および 1 4 5 は、図 8 および図 9 で説明した遅延ユニット D U r および D U f の組で構成される遅延段 D U を複数個直列に配置することによって形成することができる。

【 0 1 1 8 】

図 3 1 は、遅延回路 1 4 0 および 1 4 5 の第 3 の構成例を示す図である。図 3 0 を参照して、遅延回路 1 4 0 および 1 4 5 は、遅延ユニット D U r および D U f と類似の構成を有する遅延ユニット D U o によっても構成することができる。

【 0 1 1 9 】

50

図 3 2 は、遅延回路ユニット D U o の構成を示す回路図である。

図 3 2 を参照して、遅延回路ユニット D U o は、図 8 に示された遅延ユニット D U r と比較して、入力ノード N r i への入力信号を入力の一方とする論理ゲート L G 1 8 を有さない点で異なる。遅延回路ユニット D U o のその他の部分の構成については、遅延ユニット D U r と同様である。このような構成とすることにより、2 個の遅延回路ユニット D U o の組によって構成された遅延段 D U は、入力信号の立上りエッジおよび立下りエッジを均等に遅延することができる。

【 0 1 2 0 】

既に説明したように、単純なインバータ段ではなく遅延ユニット D U f , D U r , D U o を使用することによって、温度条件や内部電源電位の変動に影響されない安定した遅延時間を設定することができる。

10

【 0 1 2 1 】

このような構成とすることによっても、遅延回路 1 4 0 および 1 5 0 において、独立の遅延時間 T_r および T_f をそれぞれ付与して、図 1 0 に示したのと同様のタイミングで、強制電流供給制御信号 D R V , Z D R V の活性化期間を制御することが可能である。

【 0 1 2 2 】

図 1 2 は、内部電源制御回路 1 1 5 のさらに他の構成例を示すブロック図である。

【 0 1 2 3 】

図 1 2 に示される内部電源制御回路 1 1 5 は、図 1 1 に示した内部電源制御回路と比較して、遅延回路 1 4 0 および 1 4 5 をワンショットパルス発生回路 1 2 0 および 1 2 5 の前段に設けている点で異なる。その他の構成および動作については図 1 1 の場合と同様であるので詳細な説明は繰返さない。

20

【 0 1 2 4 】

このような構成とすることによって、遅延回路 1 4 0 および 1 4 5 は、ワード線活性化信号 W L A C T およびセンスアンプ活性化信号 S E A C T を独立の遅延時間 T_r および T_f ずつそれぞれ遅延して、ワンショットパルス生成回路 1 2 0 および 1 2 5 にそれぞれ伝達する。

【 0 1 2 5 】

このような構成とすることによっても、図 7 および図 1 1 に示した内部電源制御回路の場合と同様に、図 1 0 に示したタイミングで強制電流供給制御信号 D R V , Z D R V の活性化期間を制御することが可能である。

30

【 0 1 2 6 】

なお、メモリセルアレイ 3 0 においてメモリセル M C が複数のブロックに分割配置され、複数のブロックごとにワード線の活性化およびセンスアンプの活性化が独立に制御される場合、すなわち各ブロックごとにワード線活性化信号およびセンスアンプ活性化信号が設けられる場合には、図 1 1 および図 1 2 の回路構成においても、図 2 8 で説明したように、ワンショットパルス発生回路 1 2 0 および 1 2 5 のそれぞれについて、O R 演算結果を取る必要が生じる。

【 0 1 2 7 】

図 3 3 を参照して、特に、図 1 2 の構成の内部電源制御回路 1 1 5 を複数のブロックに分割されたメモリセルアレイ 3 0 に適用する場合には、分割されたブロックの数に対応して遅延回路 1 4 0 , 1 4 5 を複数設けることが必要となってしまう。したがって、このような場合には、図 7 もしくは図 1 1 に示した内部電源制御回路 1 1 5 の構成を採用することが好ましい。

40

【 0 1 2 8 】

[実施の形態 2]

実施の形態 2 においては、内部電源回路、すなわち V D C の構成のバリエーションについて説明する。

【 0 1 2 9 】

実施の形態 2 で説明する内部電源回路の各構成においては、強制電流供給制御信号 D R V

50

およびZDRVの活性化期間は、実施の形態1で説明したのと同様であるので説明は繰り返さない。

【0130】

図13は、実施の形態2に従う内部電源回路の構成を示す回路図である。

図13を参照して、実施の形態2に従う内部電源回路は、図4に示される内部電源回路100の構成と比較して、強制電流供給制御回路110が、トランジスタQPaに代えて、電位差増幅回路105内のトランジスタQN1と並列に結合されるN型MOSトランジスタQNaを有する点で異なる。トランジスタQNaのゲートには、活性化時にHレベルに設定される強制電流供給制御信号DRVが入力される。

【0131】

トランジスタQNaは、図4に示されるトランジスタQPaと同様のタイミングでオンして、内部電源電位int.Vddの電位レベルにかかわらずノードNdの電位レベルを強制的に低下させる。電流供給トランジスタQD1のゲート電位は、これに応じて低下するため、強制電流供給制御信号DRVの活性化期間中において、外部電源配線80から内部電源配線90に対して強制的な電流供給が実行される。

【0132】

また、必要に応じて、強制電流供給制御回路111をさらに配置することもできる。強制電流供給制御回路111は、ノードNcと接地配線85との間に電氣的に結合されるN型MOSトランジスタQNbを有する。トランジスタQNbのゲートには、強制電流供給制御信号DRVが入力される。強制電流供給制御信号DRVがHレベルに活性化されると、電位差増幅回路105を構成するカレントミラーアンプの動作電流が増加するので、内部電源電位int.Vddの変動をノードNdの電位レベルに反映する速度を上昇させて、内部電源電位int.Vddの制御性を向上することができる。

【0133】

また、強制電流供給制御回路111によって、強制電流供給制御信号DRVの活性化期間中におけるノードNcの電位レベルが接地電位Vssにより近づくので、この期間中における電流供給トランジスタQD1の強制的な供給電流Isupを増加させることが可能になる。

【0134】

その他の部分の構成は、内部電源回路100と同様であるので詳細な説明は繰り返さない。

【0135】

図14は、実施の形態2に従う内部電源回路の動作を説明するタイミングチャートである。

【0136】

図14を参照して、時刻taにおいて、強制電流供給制御信号DRVがHレベルに活性化され、これに応じてノードNdの電位レベル、すなわち電流供給トランジスタQD1のゲート電位が低下を始める。これにより、電流供給トランジスタQD1が電流Isupを強制的に供給し、内部電源配線90は、負荷95による電流消費の開始に先立って電流の供給を受けるため、時刻tbにおいて、センスアンプ活性化信号SEACTの活性化にตอบสนองして、負荷であるセンスアンプで負荷電流Iloadの消費が開始されても、内部電源電位int.Vddが大きく降下することはない。

【0137】

さらに、時刻tcにおいて、図10の場合と同様に強制電流供給制御信号DRVをLレベルに非活性化することによって、電流供給トランジスタQD1のゲート電位の強制的な操作は中止されるので、以降は内部電源電位int.Vddと基準電位Vrefとの電位レベルの比較に応じて、通常の内部電源電位の制御が実行される。これにより、内部電源配線90の過充電を防止することができる。

【0138】

このような内部電源回路の構成によっても、実施の形態1に示される内部電源回路100

10

20

30

40

50

の場合と同様に、負荷における電流消費タイミングと合致させた、安定的な内部電源電位 $i_{nt} \cdot V_{dd}$ の保持を安定化容量の容量値に大きく依存することなく実行することができる。

【0139】

[実施の形態2の変形例1]

図15は、実施の形態2の変形例1に従う内部電源回路の構成を示す回路図である。

【0140】

図15を参照して、実施の形態2の変形例1に従う内部電源回路は、図4に示される内部電源回路100の構成と比較して、強制電流供給制御回路110が、トランジスタQPaに代えて、ノードNdと接地配線85との間に電氣的に結合されるN型MOSトランジスタQNcを有する点が異なる。

10

【0141】

トランジスタQNcのゲートには、強制電流供給制御信号DRVが入力される。強制電流供給制御信号DRVの活性化(Hレベル)にตอบสนองして、電流供給トランジスタQD1のゲートは、接地配線85と接続される。これに応じて、電流供給トランジスタQD1は、内部電源電位 $i_{nt} \cdot V_{dd}$ にかかわらず内部電源配線90に電流を供給する。その他の部分の構成は、内部電源回路100と同様であるので詳細な説明は繰り返さない。

【0142】

図16は、実施の形態2の変形例1に従う内部電源回路の動作を説明するタイミングチャートである。

20

【0143】

時刻taにおいて、制御信号DRVが活性化されると、ノードNdの電位レベルは、接地電位Vssまで低下する。この期間において、電流供給トランジスタQD1は、内部電源電位 $i_{nt} \cdot V_{dd}$ の電位レベルに関係なく、外部電源配線80から内部電源配線90に対して電流Isupを強制的に供給する。

【0144】

これにより、内部電源配線90は、負荷95による電流消費の開始に先立って電流の供給を受けるため、時刻tbにおいて、センスアンプ活性化信号SEACTの活性化にตอบสนองして、負荷であるセンスアンプで負荷電流Iloadの消費が開始されても、内部電源電位 $i_{nt} \cdot V_{dd}$ が大きく降下することはない。

30

【0145】

さらに、時刻tcにおいて、図10の場合と同様に強制電流供給制御信号DRVをLレベルに非活性化することによって、電流供給トランジスタQD1のゲート電位の強制的な操作は中止されるので、以降は内部電源電位 $i_{nt} \cdot V_{dd}$ と基準電位Vrefとの電位レベルの比較に応じて、通常の内部電源電位の制御が実行される。これにより、内部電源配線90の過充電を防止することができる。

【0146】

このような内部電源回路の構成によっても、実施の形態1に示される内部電源回路100の場合と同様に、負荷における電流消費タイミングと合致させた、安定的な内部電源電位 $i_{nt} \cdot V_{dd}$ の保持を安定化容量の容量値に大きく依存することなく実行することができる。

40

【0147】

また、実施の形態2の変形例1に従う内部電源回路の構成によれば、強制的な電流供給を実行する期間において、電流供給トランジスタQD1のゲート電位を接地電位Vssまで低下させることができるので、電流供給トランジスタQD1による供給電流Isupを大きく設定して、強制的な電流供給をより速やかに実行することができる。これにより、負荷95による電流消費がより急峻な場合にも対応することができる。

【0148】

[実施の形態2の変形例2]

図17は、本発明の実施の形態2の変形例2に従う内部電源回路の構成を示す回路図であ

50

る。

【0149】

図17を参照して、本発明の実施の形態2の変形例2に従う内部電源回路は、図4に示される内部電源回路100の構成と比較して、強制電流供給制御回路110が、外部電源配線80と内部電源90との間に電流供給トランジスタQD1と並列に接続されるP型MOSトランジスタQD2を有する点が異なる。トランジスタQD2のゲートには、強制電流供給制御信号ZDRVが入力される。

【0150】

その他の部分の構成については、内部電源回路100と同様であるので詳細な説明は繰り返さない。

10

【0151】

図18は、本発明の実施の形態2の変形例2に従う内部電源回路の動作を説明するタイミングチャートである。

【0152】

実施の形態2の変形例2に従う内部電源回路においても、時刻 t_a から時刻 t_c の間中において、強制電流供給制御信号ZDRVはLレベルに活性化される。強制電流供給制御回路110を構成するトランジスタQD2は、強制電流供給制御信号ZDRVの活性化に応答して、電流 I_{sup2} を外部電源配線80から内部電源配線90に供給する。

【0153】

これに対して、電流供給トランジスタQD1は、内部電源配線90の電位レベル i_{nt} 、 V_{dd} と基準電位 V_{ref} の電位レベル差に応じて電位差増幅回路105がノードNdに出力する電位レベル V_{Nd} に応じて電流 I_{sup1} を外部電源配線80から内部電源配線90に供給する。

20

【0154】

このような構成とすることによっても、制御信号ZDRVの活性化期間を負荷95の電流消費期間に対応して適切に調整することによって、これまでに説明した内部電源回路と同様の効果を享受することが可能となる。

【0155】

実施の形態1および2に示した内部電源回路の構成においては、図25に示した一般的なVDCの構成に対して、強制電流供給制御回路110を新たに外付けすることによって、上述した所定の新たな効果を得ることができる。したがって、VDCの基本的な構成部分については変更を加える必要がなく、回路設計を簡易化できる。

30

【0156】

なお、実施の形態1および2においては、電位差増幅回路105を、P型MOSトランジスタを負荷とするカレントミラーアンプで構成したが、これに代えて、N型MOSトランジスタを負荷とするカレントミラーアンプを適用することも可能である。

【0157】

[実施の形態3]

実施の形態3においては、実施の形態1および2で説明した、内部電源配線に対して強制的な電流を実行する内部電源回路を半導体記憶装置に適用した場合において、半導体記憶装置の動作状態に応じて、このような強制的な電流供給機能を実行するか否かを選択することが可能な構成について説明する。

40

【0158】

図19は、半導体記憶装置の動作状態に対応した消費電流量の相違を説明するための概念図である。

【0159】

図19においては、たとえば32MbitのDRAMコアの構成が示される。図19(a)においては、DRAMコアは4個のバンクB0~B3に分割され、1回のロウアクセスごとに、いずれか1個のバンクにおいて1本のワード線WLが選択的に活性化されて、8kのワード線選択が実行される。各ワード線には4kbitのメモリセルが接続される。

50

したがって、図19(a)の場合においては、通常動作時における1回のロウアクセス動作ごとに、1×4kbitのデータがセンスアンプ回路に読出される。以下においては、このように1回のロウアクセスで読出されるデータのビット数をページサイズとも称する。

【0160】

図19(b)においては、32MbitのDRAMコアは2個のバンクB0およびB1に分割される。通常動作時における1回のロウアクセス動作ごとに、いずれか1個のバンクにおいて、2本のワード線WLが選択される。したがって、この場合においては、4kのワード線選択が実行されて、ページサイズは8kbitとなる。

【0161】

図19(c)には、リフレッシュ動作におけるワード線選択が示される。特に、プロセスの微細化が進んでメモリセルのデータ保持容量が小さくなると、リフレッシュ周期を短くしていく必要が生じる。このため、リフレッシュ動作1回当りに選択されるワード線の個数を通常動作時よりも増やさざるを得ないという背景がある。

【0162】

すなわち、図19(c)の場合においては、リフレッシュ動作時において、1回のロウアクセスに対応して、4本のワード線が選択される。これにより、リフレッシュ動作時には、1回のロウアクセスに対応して16kbitのデータをセンスアンプ回路によって増幅する必要が生じる。

【0163】

図20は、動作状態に対応した負荷電流の相違を説明する概念図である。

図20(a)においては、実施の形態1および実施の形態2で説明した強制的な電流供給を実行しない場合における、内部電源電位int.Vddの推移が示される。

【0164】

図20(a)を参照して、ページサイズが4kbitおよび8kbitの場合における消費電流Iloadおよび内部電源電位int.Vddの推移がそれぞれ実線および点線で示される。

【0165】

図20(a)に示されるように、ページサイズが増えるとセンスアンプ回路によって増幅されるデータの個数も増大するため、消費電流Iloadは増大する。この結果、ページサイズが8kbitの場合の内部電源電位int.Vddの低下量Vbは、ページサイズが4kbitの場合の電位低下量Vaよりも大きくなってしまふ。

【0166】

図20(b)においては、実施の形態1および2で説明した強制的な電流供給を実行した場合の内部電源電位int.Vddの推移が示される。

【0167】

図20(b)の場合においては、強制電流供給制御信号DRV, ZDRVの活性化によって、負荷における電流消費期間に対応して外部電源配線80から内部電源配線90に対して強制的な電流供給が実行される。

【0168】

このような、強制的な電流供給が、図20(a)に示したページサイズが8kbitである場合と適合するものと仮定した場合には、図20(b)において点線で示される、ページサイズが8kbitの場合における内部電源電位int.Vddの推移は、実施の形態1および2で説明したような良好な推移となる。

【0169】

しかしながら、ページサイズが4kbitの場合においては、負荷電流Iloadが小さいので、内部電源配線90に対する強制的な電流供給が、内部電源配線90の過充電につながってしまう。このように、電流が過剰供給されると、内部電源電位int.VddのオーバーシュートVaが大きくなってしまふ。定常状態においても、オーバーシュートVaは解消されず、内部電源電位int.Vddが基準電位Vrefよりも高いレベ

10

20

30

40

50

ルで定常的に推移してしまうという問題点が生じてしまう。これにより電力消費量が増加してしまい、オーバーシュート量が多い場合には、回路素子の破壊につながるおそれもある。

【 0 1 7 0 】

また、図 1 9 (a) および (b) で示されるような通常動作時には、ページサイズが 4 k b i t および 8 k b i t のいずれであっても、強制的な電流供給を実行することなく内部電源電位 $i n t . V d d$ を保持できるが、リフレッシュ動作時に初めて、強制的な電流供給が必要となってしまうようなケースも考えられる。

【 0 1 7 1 】

図 2 1 は、実施の形態 3 に従う内部電源制御回路 1 1 7 の第 1 の構成例を示す回路図である。

10

【 0 1 7 2 】

図 2 1 を参照して、内部電源制御回路 1 1 7 は、実施の形態 1 で説明した内部電源制御回路 1 1 5 の構成によって生成される制御信号 $Z D R V$ と、ページサイズ設定信号 $P S Z$ との信号レベルに応じて、強制電流供給制御回路 $D R V'$ 、 $Z D R V'$ を生成する論理回路 1 1 9 を有する。

【 0 1 7 3 】

実施の形態 3 においては、実施の形態 1 および 2 で説明した内部電源回路の構成の各々を適用することができる。実施の形態 3 においては、内部電源回路は、内部電源制御回路 1 1 5 が生成する制御信号 $D R V$ 、 $Z D R V$ に代えて、内部電源制御回路 1 1 7 が生成する強制電流供給制御信号 $D R V'$ 、 $Z D R V'$ に応答して動作する。

20

【 0 1 7 4 】

ページサイズ設定信号 $P S Z$ は、ページサイズが 4 k b i t の場合は H レベルに設定され、ページサイズが 8 k b i t の場合には L レベルに設定される。モード信号 $P S Z$ の電位レベルは、配線領域 1 1 8 における、ノード $N z$ と外部電源配線 8 0 および接地配線 8 5 との間の選択的な配線の形成によって実行される。すなわち、図 2 1 に示される内部電源制御回路は、配線形成時のマスク切換によって、ページサイズが設定される場合に対応するものである。

【 0 1 7 5 】

内部電源制御回路 1 1 5 の構成によって生成される制御信号 $Z D R V$ は、強制的な電流供給を実行する区間において L レベルに活性化される信号であるため、論理回路 1 1 9 によって、ページサイズ設定信号 $P S Z$ と制御信号 $Z D R V$ との O R 演算結果を取ることで、ページサイズに応じて、強制的な電流供給の実行を選択することができる。

30

【 0 1 7 6 】

具体的には、ページサイズが 4 k b i t に設定されている場合には、ページサイズ設定信号 $P S Z$ が H レベルに固定されるため、強制電流供給制御信号 $Z D R V'$ の電位レベルは、内部電源制御回路 1 1 5 の出力にかかわらず常に H レベルに非活性化されて、内部電源回路における強制的な電流供給は実行されない。

【 0 1 7 7 】

これに対して、ページサイズが 8 k b i t であり、ページサイズ設定信号 $P S Z$ の信号レベルが L レベルである場合には、制御信号 $Z D R V$ の信号レベルは、そのまま強制電流供給制御信号 $Z D R V'$ に反映される。

40

【 0 1 7 8 】

図 2 2 は、実施の形態 3 に従う内部電源制御回路の第 2 の構成例を示す回路図である。図 2 2 には、ページサイズの設定が電気信号に応答して切換えられる場合に対応する内部電源制御回路の構成が示される。

【 0 1 7 9 】

図 2 2 を参照して、ページサイズの設定は、ページサイズ設定信号 $P S Z$ の信号レベルに応じて切換えられる。ページサイズ設定信号 $P S Z$ は、図 2 1 で説明したのと同様に、ページサイズが 4 k b i t の場合には H レベルに設定され、ページサイズが 8 k b i t の場

50

合には L レベルに設定されるものとする。

【 0 1 8 0 】

内部電源制御回路 1 1 7 は、図 2 1 の構成と同様に、内部電源制御回路 1 1 5 が出力する制御信号 Z D R V とページサイズ設定信号 P S Z の O R 演算結果を出力する論理回路 1 1 9 を有する。

【 0 1 8 1 】

論理回路 1 1 9 の出力およびその反転信号を、強制電流供給制御信号 Z D R V ' および D R V ' として内部電源回路に供給することによって、図 2 1 の場合と同様の効果を得ることができる。

【 0 1 8 2 】

図 2 3 は、実施の形態 3 に従う内部電源制御回路の第 3 の構成例を示す回路図である。図 2 3 には、リフレッシュ動作時に対応して強制的な電流供給を実行するための内部電源制御回路の構成が示される。

【 0 1 8 3 】

図 2 3 の回路構成は、1 回のロウアクセス動作の対象となるデータの個数が、通常動作時よりもリフレッシュ動作時において多く、通常動作時には、ページサイズの設定にかかわらず強制的な電流供給を実行することなく内部電源電位 i n t . V d d を保持できるものの、リフレッシュ動作時において、強制的な電流供給が必要となってしまう場合に適用される。

【 0 1 8 4 】

図 2 3 を参照して、内部電源制御回路 1 1 7 は、リフレッシュモード信号 / R E F と、内部電源制御回路 1 1 5 が出力する制御信号 Z D R V との O R 演算結果を、強制電流供給制御信号 Z D R V ' として出力する論理回路 1 1 9 を有する。

【 0 1 8 5 】

リフレッシュモード信号 / R E F は、半導体装置の動作モードが通常動作であるかリフレッシュ動作であるかを示す信号である。具体的には、リフレッシュモード信号 / R E F は、通常動作時には H レベルに非活性化され、リフレッシュ動作時には、L レベルに活性化される。

【 0 1 8 6 】

したがって、通常動作時には、制御信号 Z D R V の信号レベルにかかわらず、強制電流供給制御信号 Z D R V ' は、常に H レベルに非活性化され、内部電源回路において強制的な電流供給が実行されることはない。

【 0 1 8 7 】

一方、リフレッシュ動作時には、リフレッシュモード信号 / R E F が L レベルに活性化されることに対応して、強制電流供給制御信号 Z D R V ' の信号レベルは、内部電源制御回路 1 1 5 の構成によって生成される制御信号 Z D R V に対応して設定される。これにより、負荷の電流消費期間に合わせたタイミングで、内部電源回路において強制的な電流供給が実行されることになる。

【 0 1 8 8 】

このような構成とすることにより、強制的な電流供給を実行することなく内部電源電位 i n t . V d d の電位レベルの保持が可能な通常動作時には、内部電源配線 9 0 の過充電による電位レベルの上昇を防ぎ、消費電流の大きいリフレッシュ動作時には、容量値の大きい安定化容量を設けることなく、内部電源電位 i n t . V d d の電位レベルを良好に維持することが可能となる。

【 0 1 8 9 】

図 2 4 は、実施の形態 3 に従う内部電源制御回路の第 4 の構成例を示す回路図である。図 2 4 には、ページサイズと動作モードとの両方に対応して、強制的な電流供給の実行の有無を選択することが可能な内部電源制御回路の構成が示される。

【 0 1 9 0 】

図 2 4 を参照して、内部電源制御回路 1 2 5 は、ページサイズ設定信号 P S Z とリフレッ

10

20

30

40

50

シュモード信号 / R E F との間で論理演算を実行する論理ゲート 1 2 9 と、論理ゲート 1 2 9 の出力および内部電源制御回路 1 1 5 に相当する構成から出力される制御信号 Z D R V の間において論理演算を実行する論理回路 1 1 9 とを有する。

【 0 1 9 1 】

ページサイズ設定信号 P S Z およびリフレッシュモード信号 / R E F の信号レベルについては、図 2 1 から図 2 3 での説明と同様であるので説明は繰返さない。

【 0 1 9 2 】

すなわち論理ゲート 1 2 9 の出力が H レベルに設定されると、制御信号 Z D R V の信号レベルにかかわらず強制電流供給制御信号 Z D R V ' は非活性化 (H レベル) されて、内部電源回路における強制的な電流供給は実行されない。論理ゲート 1 2 9 の出力が H レベルに設定されるのは、リフレッシュモード信号 / R E F が H レベル、すなわち通常動作モード時であって、かつ、ページサイズ設定信号 P S Z が H レベル、すなわちページサイズが 4 k b i t である場合に限られる。このように、動作モードおよびページサイズに基づいて、消費電流が小さいと判断される動作状態においては、強制的な電流供給を行わずに、内部電源配線の過充電による内部電源電位 i n t . V d d の上昇を抑制する。

【 0 1 9 3 】

一方、リフレッシュモード信号 / R E F が L レベルに設定される場合、すなわちリフレッシュ動作が実行される場合、もしくは通常動作時であってページサイズが 8 k b i t と大きい場合、すなわち負荷であるセンスアンプの消費電流が大きくなる動作状態においては、負荷の電流消費期間に対応して、強制電流供給制御信号 Z D R V ' および D R V ' を活性化させることによって、内部電源電位 i n t . V d d の電位レベルを良好に維持することが可能となる。

【 0 1 9 4 】

このように、実施の形態 3 に従う内部電源制御回路の構成によれば、ページサイズもしくは動作モードに代表される半導体記憶装置の動作状態に応じて、内部電源回路における強制的な電流供給の実行有無を選択することが可能である。これにより、消費電流の大きい動作状態において負荷電流の影響による内部電源電位 i n t . V d d の低下を防止するとともに、消費電流が小さい動作状態においては、内部電源配線に対する過充電を防止して、内部電源電位 i n t . V d d のオーバシュートを抑制することができる。

【 0 1 9 5 】

なお、実施の形態 3 においては、ページサイズおよび動作モード (通常動作 / リフレッシュ動作) に基づいて、負荷であるセンスアンプの消費電流の程度を判断したが、他の内部回路を負荷として内部電源電位 i n t . V d d を供給する場合には、適宜他の動作条件に基づいて、内部電源回路における強制的な電流供給の実行 / 中止を選択する構成とすればよい。

【 0 1 9 6 】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【 0 2 0 4 】

【 発明の効果 】

請求項 1 および 2 に記載の半導体記憶装置は、センスアンプが活性化されて電流が消費される前に、内部電源配線に対して強制的に電流を供給することができる。この結果、センスアンプ回路による急峻かつ大量の電流消費に対応して、内部電源配線に大容量の安定化容量を配置することなく、内部電源電位の降下量を抑制してセンスアンプ回路によるデータ読出動作を高速化できるとともに、通常動作時およびリフレッシュ動作時の少なくとも一方における、1回のロウアクセス動作の対象となるメモリセルの個数によって消費電流量を判断することにより、消費電流量が比較的小さい動作状態が設定されている場合には、センスアンプの電流消費に対応するための強制的な電流供給を実行しないようにして

10

20

30

40

50

内部電源配線の過充電を防止できる。

【図面の簡単な説明】

【図 1】 本発明の実施の形態 1 に従う内部電源回路を備えた半導体記憶装置 1 の全体構成を示す概略ブロック図である。

【図 2】 メモリセルアレイ 30 およびセンスアンプ回路 50 の構成を説明するブロック図である。

【図 3】 メモリアクセス時におけるワード線およびセンスアンプの活性化に伴う動作を説明するタイミングチャートである。

【図 4】 実施の形態 1 に従う内部電源回路の構成を示す回路図である。

【図 5】 実施の形態 1 に従う内部電源回路の動作を説明するタイミングチャートである 10

【図 6】 内部電源制御回路の入出力関係を示すブロック図である。

【図 7】 内部電源制御回路の構成を示すブロック図である。

【図 8】 立上がりエッジ遅延回路の構成を示す回路図である。

【図 9】 立下がりエッジ遅延回路の構成を示す回路図である。

【図 10】 内部電源制御回路の動作を説明するためのタイミングチャートである。

【図 11】 内部電源制御回路の他の構成例を示すブロック図である。

【図 12】 内部電源制御回路のさらに他の構成例を示すブロック図である。

【図 13】 実施の形態 2 に従う内部電源回路の構成を示す回路図である。

【図 14】 実施の形態 2 に従う内部電源回路の動作を説明するタイミングチャートである。 20

【図 15】 実施の形態 2 の変形例 1 に従う内部電源回路の構成を示す回路図である。

【図 16】 実施の形態 2 の変形例 1 に従う内部電源回路の動作を説明するタイミングチャートである。

【図 17】 本発明の実施の形態 2 の変形例 2 に従う内部電源回路の構成を示す回路図である。

【図 18】 本発明の実施の形態 2 の変形例 2 に従う内部電源回路の動作を説明するタイミングチャートである。

【図 19】 半導体記憶装置の動作状態に対応した消費電流量の相違を説明するための概念図である。 30

【図 20】 動作状態に対応した負荷電流の相違を説明する概念図である。

【図 21】 実施の形態 3 に従う内部電源制御回路の第 1 の構成例を示す回路図である。

【図 22】 実施の形態 3 に従う内部電源制御回路の第 2 の構成例を示す回路図である。

【図 23】 実施の形態 3 に従う内部電源制御回路の第 3 の構成例を示す回路図である。

【図 24】 実施の形態 3 に従う内部電源制御回路の第 4 の構成例を示す回路図である。

【図 25】 VDC の代表的な構成を有する従来技術の内部電源回路の構成を示す回路図である。

【図 26】 負荷の電流消費パターンの一例に対応する内部電源回路の動作を示すタイミングチャートである。

【図 27】 負荷の電流消費パターンの他の一例に対応する内部電源回路の動作を示すタイミングチャートである。 40

【図 28】 メモリセルアレイ 30 が複数のブロックに分割される場合に対応する内部電源制御回路 115 の構成を示すブロック図である。

【図 29】 遅延回路 140 および 145 の第 1 の構成例を示す図である。

【図 30】 遅延回路 140 および 145 の第 2 の構成例を示す図である。

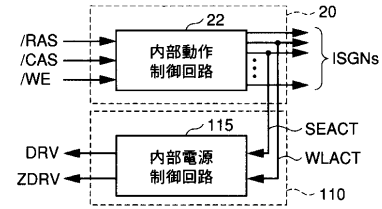
【図 31】 遅延回路 140 および 145 の第 3 の構成例を示す図である。

【図 32】 遅延回路ユニット DUo の構成を示す回路図である。

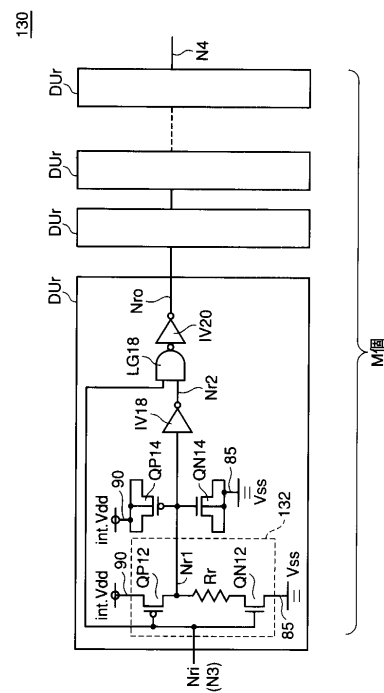
【図 33】 図 12 に示される内部電源制御回路 115 を複数のブロックに分割されたメモリセルアレイ 30 に適用する場合の構成を示す回路図である。

【符号の説明】

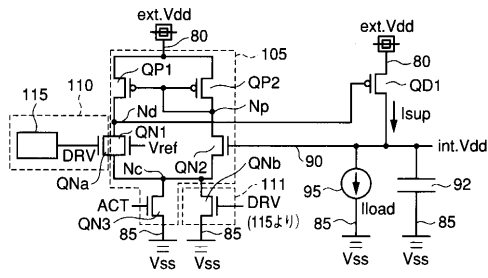
【 図 6 】



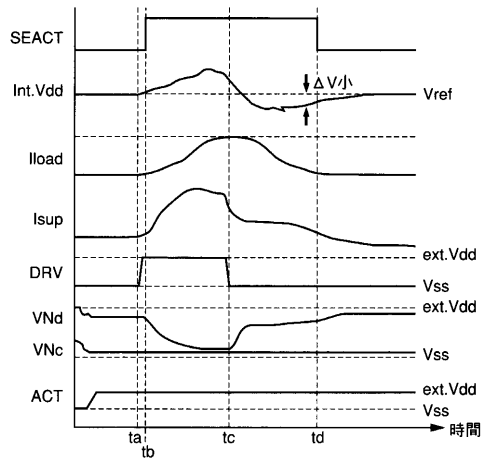
【 図 8 】



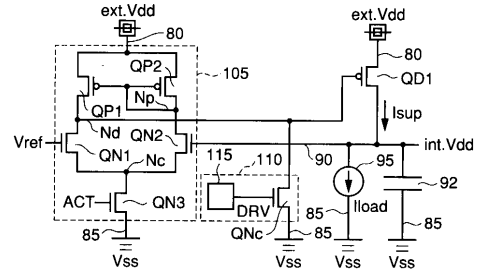
【図 13】



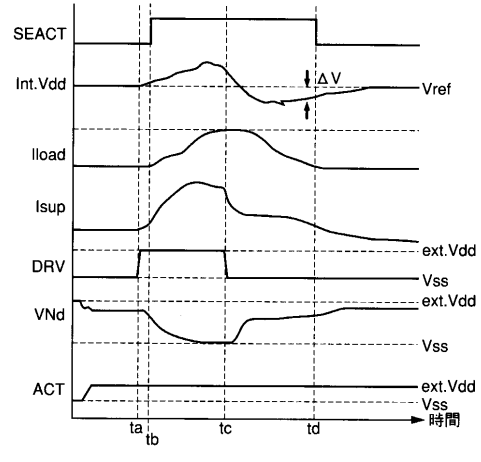
【図 14】



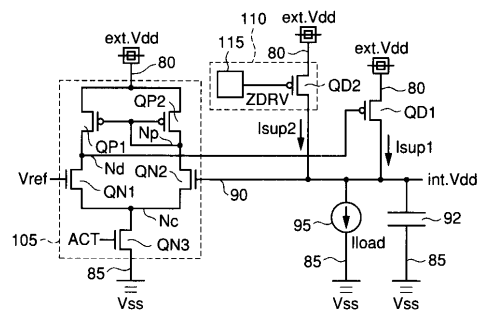
【図 15】



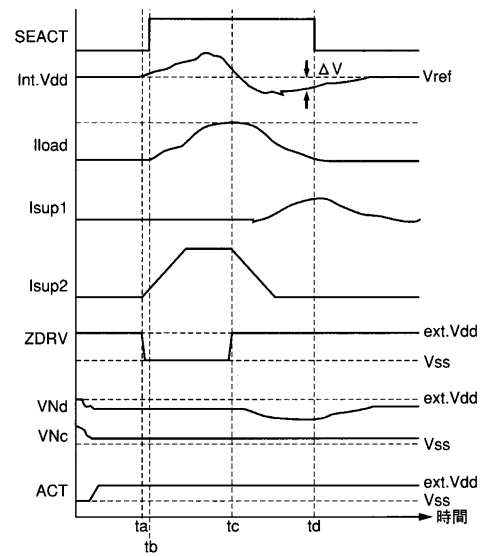
【図 16】



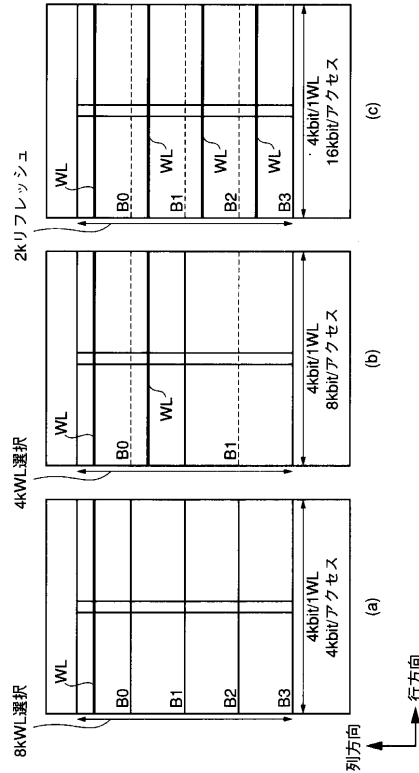
【図 17】



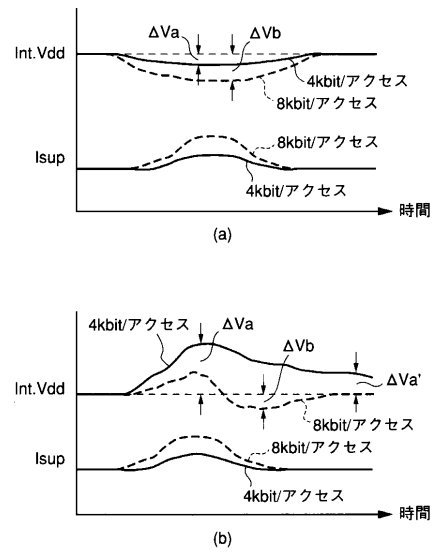
【図 18】



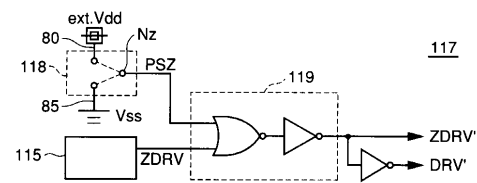
【図 19】



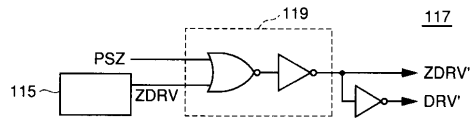
【図 20】



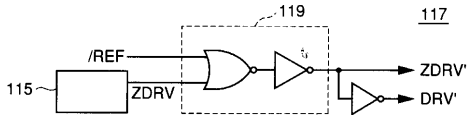
【図 21】



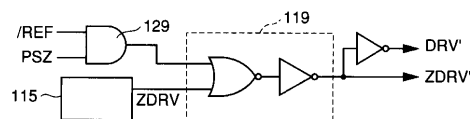
【図 22】



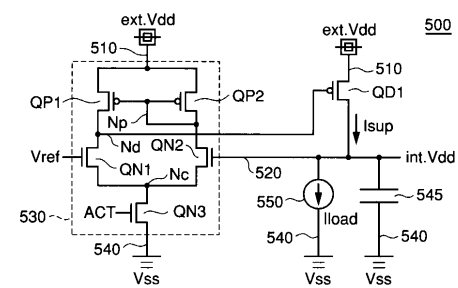
【図 23】



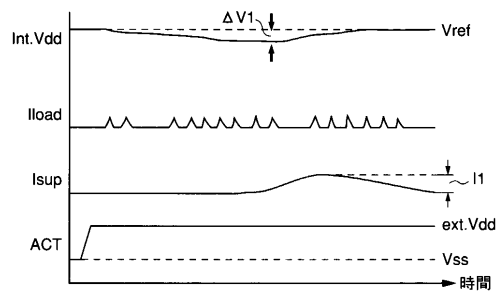
【図 24】



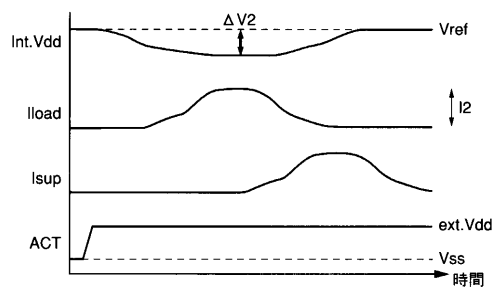
【図 25】



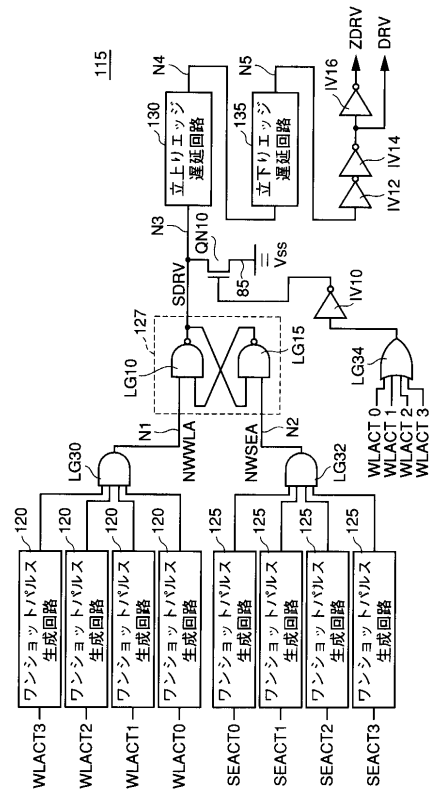
【図 26】



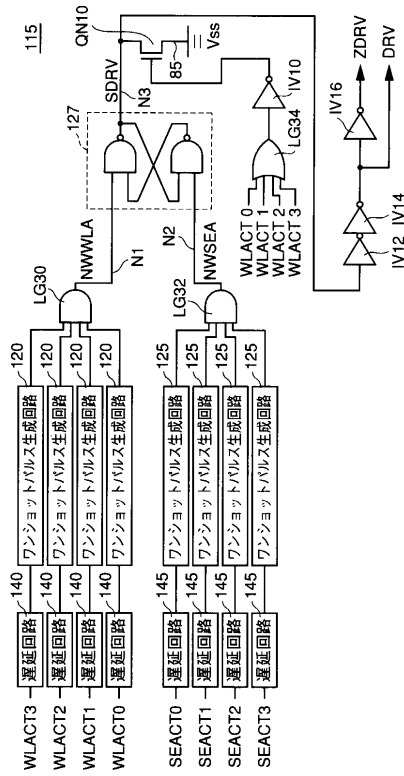
【図 27】



【図 28】



【図 33】



フロントページの続き

(74)代理人 100124523

弁理士 佐々木 真人

(74)代理人 100098316

弁理士 野田 久登

(72)発明者 加藤 宏

東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 堀田 和義

(56)参考文献 特開平8 - 153388 (JP, A)

特開平11 - 144465 (JP, A)

特開2000 - 228084 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G11C 11/4074