(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.[6]
G06F 13/12

(45) 공고일자 2003년08월02일
(11) 등록번호 10-0376629
(24) 등록일자 2003년03월06일

(21) 출원번호 10-1997-0076921
(22) 출원일자 1997년12월23일

(65) 공개번호 특1998-0064783
(43) 공개일자 1998년10월07일

(30) 우선권주장 08/772713 1996년12월23일 미국(US)

(73) 특허권자 모토로라 인코포레이티드
미국, 일리노이 60196, 샤움버그, 이스트 앨공퀸 로드 1303

(72) 발명자 알렉신더 마이클
미국, 텍사스 78704, 오스틴, #244 바톤 힐스 드라이브 1200

쿠타나 벨리아파
미국, 텍사스 78759, 오스틴, #1923 그레이트 힐스 트레일스 9009

(74) 대리인 이병호

심사관 : 김근모

(54) 명령처리량조절용회로를구비한데이터처리장치및그작동방법

요약

데이터 처리기(data processor)(10)는 소비 전력을 제한하는 명령 조절 회로(31)를 포함하고 있다. 사용자 가시 레지스터는 명령 캐시(14)로부터 명령 패치를 주기적으로 지연하는 INTERVAL 필드를 유지한다. 이 INTERVAL 필드는 데이터 처리기의 전력 계획에 맞도록 조정된다.

대표도

도 1

명세서

도면의 간단한 설명

도 1은 본 발명에 따라서 구성된 데이터 처리기(data processor)를 도시한 블록도.
도 2는 도 1에서 도시한 데이터 처리기에 의해 실행된 명령의 타이밍도.
도 3은 도 1에서 도시한 열 보조 장치의 블럭도.
도 4는 도 1에서 도시한 데이터 처리기의 레지스터 세트의 일부를 도시한 개념도.
도 5는 도 3에서 도시한 제어부의 동작에 대한 제어 흐름도.
도 6은 도 5에 도시한 제어 흐름도로부터의 한 단계를 도시하는 제어 흐름도.
도 7은 도 5에서 도시한 제어 흐름도를 계속하여 도시하는 도면.
도 8은 도 7에서 도시한 제어 흐름도로부터의 한 단계를 도시하는 제어 흐름도.
도 9 내지 도 11은 본 발명의 동작을 설명하는데 이용한 두개의 온도 시나리오에 대해 도시한 그래프도.

도 12는 도 1에서 도시한 데이터 처리기의 조작 방법을 도시한 제어 흐름도.
도 13 내지 도 15는 본 발명의 동작을 설명하는데 이용한 세 개의 온도 시나 리오에 대해 도시한 그래프도.
도 16은 도 1에서 도시한 데이터 처리기의 조작 방법을 도시한 제어 흐름도.
도 17은 도 1에서 도시한 이슈(issue) 제어 논리부를 도시한 블록도.
도 18은 도 3에서 도시한 온도 센서를 개략적으로 도시한 부분 블록도.
도면의 주요 부분에 대한 부호의 설명
14 : 명령 캐시 16 : 데이터 캐시
18 : 시퀀스부 20 : 브랜치부
24 : 고정 소수점 실행부 28 : 로드/저장 실행부
34 : 리네임 버퍼 300 : 제어부
314 : 온도 센서 1702, 1718 : MUX
1704 : 감소기

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 일반적으로 디지털 컴퓨팅 시스템에 관한 것으로, 보다 구체적으로는 전력 소비 절감에 관한 것이다.
최근 수년 동안 휴대용 랩탑(laptop) 컴퓨터가 대중화되었다. 종종, 이러한 랩탑 컴퓨터는 휴대성을 강화하기 위하여 배터리로 전력을 공급받는다. 양호하게는, 배터리 전력 공급식 랩탑 컴퓨터는 그 배터리를 재충전하거나 교체하기 이전에 배터리 전력으로 연장된 기간 동안 작동 가능하다. 또한, 랩탑 컴퓨터의 휴대성으 로 인해 각종 환경하에서 이동, 사용, 저장이 가능하게 되고, 단지 랩탑 컴퓨터 소유자의 상상에 의해서만 그 휴대성이 제한받는다. 이런 환경들중 몇몇으로 인해 배터리의 작동 수명이 줄어들 수도 있고 또는 랩탑 컴퓨터가 손상될 수도 있다. 특히, 습기는 복잡한 전자 회로에 손상을 줄 수 있다. 그러나, 온화한 기온은 배터리의 작동 수명을 단축시킬 것이며 또한 랩탑 컴퓨터 내의 몇몇 집적 회로에 영구히 손상을 줄 수도 있다. 이러한 온화한 기온은 짧은 시간 동안 사용자에게는 참을 수 있는 것이지만 랩탑 컴퓨터에는 그렇지 못하다. 따라서, 전자 회로에서 민감한 집적 회로의 온도를 감시하고 전력 소비를 줄이는 것이 중요하다.
또한, 어떤 작동 환경은 탈열 장치, 팬 등으로 데이터 처리기를 냉각시키는 것이 필요할 수도 있다. 탈열 장치, 팬 등은 랩탑 컴퓨터에 대해서 추가 비용이 되며 그러한 시스템의 가능한 구성을 제한할 수도 있다. 일반적으로, 상기와 같은 냉각 시스템의 사용을 회피하는 것이 바람직하다.

발명이 이루고자 하는 기술적 과제

종래의 전력 절감 기술은 특정 사고(event)에 응해서 전자 회로에 대해 전력을 디스에이블하거나 클록 신호를 디스에이블한다. 그러한 특정 사고는 소정의 시간 동안 특정 유형의 활동을 감지하지 못하는 것일 수도 있거나, 특정 소프트웨어 명령을 실행하는 것일 수도 있거나, 버스 상에 특정 어드레스가 존재하는 것일 수도 있다. 상기 기술들은 각종 단점을 지니고 있다. 이중 몇가지는 전자 회로의 전력을 낮출 수 있는 지식을 미리 요한다. 이런 지식은 종종 유용하지 못하다. 그외 다른 것은 초기 공전 시간이 경과하는 동안 과잉 전력을 소비한다. 또 몇몇은 클록 신호로 재시동하는데 과도한 시간을 요한다.
종래의 온도 감시 기술은 민감한 전자 회로 부근에 개별 회로를 두거나, 집적 회로 자체에 간단한 센서들을 집적화하였다. 개별 해법의 감응도는 집적 회로상의 가능성 있는 '고온부(hotspot)'의 크기에 관련하여 자체의 커다란 크기에 의해서, 또한 센서의 열적 운동량에 의해서 저하된다. 종래의 집적화 해법은 센서의 온도가 소정치에 이를 때 인터럽트가 발생한다. 이와 같은 해결책들은 현재의 전자 설계에 있어서 전력 및 온도를 관리함으로써 야기되는 다양한 이슈들을 처리하는데 충분히 유연하지는 못하다.
본 발명의 특징 및 이점이 첨부 도면과 관련하여 기술된 하기의 상세한 설명으로부터 보다 명료하게 이해될 것이며, 도면에서 동일 숫자는 동일한 부품을 언급한다.

발명의 구성 및 작용

도 1은 본 발명에 따라서 구성된 데이터 처리기(10)의 블록도이다. 데이터 처리기(10)는 소비 전력을 제한하는 명령 조절 회로를 포함하고 있다. 본 발명은 기존의 데이터 처리 아키텍쳐 및 마이크로아키텍쳐에 쉽게 결합될 수도 있다. 사용자 가시 레지스터는 명령 패치를 주기적으로 지연시키는 INTERVAL 필드를 유지한다. 이 INTERVAL 필드는 데이터 처리기(10)의 전력 계획에 맞도록 조절된다. 이런 방식으로, 데이터 처리기(10)의 전력 소비를 조절할 수 있으며, 그 동작은 영구히 손상을 줄 수도 있는 환경에서 제한받을 수 있다. 또한, 능동 냉각 시스템을 제공할 필요가 있을

때 데이터 처리기(10)의 동작을 검지하여 제한하는 것이 가능하다. 이런 방식으로, 데이터 처리기(10)와 결합하는 시스템의 비용을 경감하는 것이 가능해진다.
편의를 위해, 본 발명은 다음의 아웃라인에 따라서 기술된다. 특정 표제에 일치해야 하는 제약은 없다.
I. 데이터 처리기의 개관
A. 하드웨어 설명
B. 동작 설명
C. 명령 경로 설명
II. 열 보조부
A. 하드웨어 설명
B. 레지스터 세트
C. 제어부 동작 설명
D. 동작예
i. 전력 관리 시나리오
ii. 온도 관리
III. 명령 이슈(issue) 제어
A. 하드웨어 설명
B. 동작 설명
IV. 열 센서
A. 하드웨어 설명
B. 동작 설명
C. 제 2 실시예

I. 데이터 처리기의 개관

A. 하드웨어 설명

계속하여 도 1에 대해 설명하면, 버스 인터페이스부(이하, BIU)(12)는 데이터 처리기(10) 및 데이터 처리 시스템의 나머지부(비도시함) 간의 데이터의 흐름을 제어한다. BIU(12)는 명령 캐시(14) 및 데이터 캐시(16)에 접속된다. 명령 캐시(14)는 명령 스트림을 시퀀서부(18)에 공급한다. 시퀀서부(18)는 개별 명령을 적합한 실행부로 보낸다. 데이터 처리기(10)는, 열 보조부(TAU)(19)와, 브랜치부(20)와, 고정 소수점 실행부 A(22)와, 고정 소수점 실행부 B(24)와, 복소 고정 소수점 실행부(26)와, 로드/저장 실행부(28)와, 부동 소수점 실행부(30)를 구비한다. TAU(19)도는 도 3과 관련해서 하기에서 보다 상세히 기술한다. 시퀀서부(18) 역시 이슈 제어 논리부(31)를 포함하고 있다. 이슈 제어 논리는 도 17과 관련하여 하기에서 보다 상세히 기술한다.
고정 소수점 실행부 A(22)와, 고정 소수점 실행부 B(24)와, 복소 고정 소수점 실행부(26)와, 로드/저장 실행부(28)는 자신들의 결과를 일반용 아케텍쳐 레지스터 파일(32)(GPRs로 구별, 이하 GPR 파일)과 제 1 리네임 버퍼(34)에 대해 판독하고 기록한다. 부동 소수점 실행부(30) 및 로드/저장 실행부(28)는 자신들의 결과를 부동 소수점 아키텍쳐 레지스터 파일(36)(FPRs로 구별, 이하 FPR 파일) 및 제 2 리네임 버퍼(38)에 대해 판독하고 기록한다.

B. 동작 설명

개시된 본 발명에 없는 데이터 처리기(10)의 동작을 간략히 기술한다. 일반적으로, 브랜치부(20)는 소정의 데이터 레지스터의 내용 및 명령을 프로그램된 명령의 어떤 시퀀스에 제공하는 것이 적합한 지를 판정한다. 명령 캐시(14)는 이런 프로그램된 명령의 시퀀스를 시퀀서(18)에 제공한다. 명령 캐시(14)가 필요로하는 명령을 포함하고 있지 않은 경우에는, 그 필요한 명령들을 데이터 처리기(10)의 외부의 주메모리 시스템(비도시함)으로부터 패치할 것이다.
시퀀서부(18)는 프로그램된 명령 시퀀스의 개별 명령을 각종 실행부(19, 20, 22, 24, 26, 28, 30)에 디스패치한다. 시퀀서부(18)는 또한 만약 있다면 각 명령의 결과를 일시 저장할 수 있도록 리네임 버퍼 (34) 또는 (38)중 어느 하나에 엔트리를 예약해둔다. 두 리네임 버퍼는 모두 선입선출('FIFO') 큐이다.
각각의 실행부는 특정 부류의 명령으로된 하나 이상의 명령을 실행한다. 각 실행부의 특정 부류의 명령은 실행부의 이름으로 나타내어진다. 이를테면, TAU(19)는 온도 감지와 연관된 명령을 실행한다. 고정 소수점 실행부 A 및 B는 덧셈, 뺄셈, AND, OR, XOR 등과 같이 고정 소수점 표기로 표현된 피연산자에 대해 간단한 수리 연산을 실행한다. 복소 고정 소수점 실행부(26)는 곱셈 및 나눗셈 등과 같이 고정 소수점 표기로 표현된 피연산자에 대해 보다 복잡한 수리 연산을 행한다. 부동 소수점 실행부(30)는 곱셈 및 나눗셈 등과 같이 부동 소수점 표기로 표현된 피연산자에 대한 수리 연산을 실행한다.
고정 소수점 실행부 A 및 B와 복소 고정 소수점 실행부(26)는 그 연산 결과 를 제 1 리네임 버퍼(34)의 지정 엔트리로 복귀시킨다. 결과를 생성해낸 명령에 우선하는 모든 명령이 그들의 GPR 파일 엔트리를 갱신한 경우 제 1 리네임 버퍼(34)는 주기적으로 제 1 리네임 버퍼(34)로부터의 엔트리에 따라 GPR 파일(32)의 엔트리를 갱신한다. 제 1 리네임 버퍼(34) 및 GPR 파일(32)은 모두 고정 소수점 실행부 A 및 B와 복소 고정 소수점 실행부(26)에 피연산자들을 공급할 수 있다.
부동 소수점 실행부(30)는 그 연산의 결과를 제 2 리네임 버퍼(38)의 지정 엔트리로 복귀시킨다. 결과를 생성해낸 명령에 우선하는 모든 명령이 그들의 FPR 파일 엔트리를 갱신한 경우 제 2 리네임 버퍼(38)는 주기적으로 제 2 리네임 버퍼(38)의 엔트리에 따라 FPR 파일(36)의 엔트리를 갱신한다. 시퀀서부(18) 역시 이와 같은 갱신을 협력한다. 제 2 리네임 버퍼(38) 및 FPR 파일(36)은 모두 부동 소수점 실행부(30)에 피연산자들을 공급한다.
로드/저장 실행부(28)는 완료 시에 GPR 파일(32)이나 FPR 파일(36)에 저장되어 있는 데이터를 판독하며, 그 선택한 데이터를 데이터 캐시(16)에 기록한다. 이 데이터는 또한 개시된 본 발명에 관련이 없는 데이터 처리기(10)의 연산 특

성에 의존하는 외부 메모리 시스템(비도시함)에 기록될 수도 있다. 역으로, 로드/저장 실행부(28)는 데이터 캐시(16)에 저장되어 있는 데이터를 판독하고 그 판독한 데이터를 제 1 리네임 버퍼(34)나 제 2 리네임 버퍼(38)에 기록한다. 데이터 캐시(16)가 필요한 데이터를 포함하고 있지 않은 경우에는 BIU(12)를 통해 데이터 처리기(10)의 외부의 주메모리 시스템으로부터 데이터를 패치한다. 로드/저장 실행부(28)는 도 3 내지 도 14와 관련하여 하기에서 기술한다.
개시된 본 발명의 데이터 처리기(10)의 동작이 도 2 내지 도 16과 관련지어 하기에서 기술된다. 일반적으로, 데이터 처리기(10)는 감소된 명령 세트 컴퓨터(reduced instruction set computer, 'RISC')이다. 데이터 처리기(10)는 보다 작은 단계의 시퀀스로 각 명령을 분할시킴으로써 성능을 향상시키며, 그 각각의 단계는 또다른 명령들의 단계와 시간적으로 중첩될 수도 있다. 이와 같은 기능 전략은 'pipe lining(경로 설치)'로서 공지되어 있다.

C. 명령 경로 설명

도 2는 도 1에서 도시한 데이터 처리기(10)에 의해 실행된 명령의 타이밍도이다. 도시한 실시예에서 각각의 명령은 패치 단계, 디코드 단계, 디스패치 단계, 실행 단계, 완료 단계의 5개의 개별 단계로 분할된다.
패치 단계에 있어서, 명령 캐시(14) 내의 메모리 관리 회로(비도시함)는 이전 클록 사이클에서의 시퀀서부(18)나 브랜치부(10)에 의해 식별된 메모리 어드레스에서 시작되는 하나 이상의 명령을 검색한다.
디코드 단계에서는, 후속 단계에서 이용하도록 명령들을 다수의 제어 신호로 시퀀서부(13)에 의해 디코드한다. 이 단계에서, 시퀀서부(18)는 각 명령을 어느 실행부가 실행할 것인지를 판정한다.
디스패치 단계에 있어서, 불허용 데이터나 자원 의존이 없음을 판정한 후에 그리고 명령의 결과에 대한 리네임 버퍼 엔트리를 예약한 후에 시퀀서부(18)는 각 명령의 경로를 적합한 실행부로 설정해준다. 디스패치 단계는 또한 디스패치되는 명령에 대한 피연산자 정보를 제공하거나, 또는 하나 이상의 피연산자를 아직 이용 할 수 없는 경우 피연산자를 기록할 리네임 버퍼 엔트리를 식별해주는 태그를 제공하는 것을 맡는다. 각각 하나의 실행부는 명령을 수행할 모든 필요한 피연산자 정보를 수신할 때까지 예비 상태로 특정 명령을 저장한다.
실행 단계에 있어서, 각각의 특정 실행부는 모든(또는 몇몇) 필요한 피연산자 정보를 수신하므로 그 프로그램된 명령의 실행을 시작할 수 있다. 만약 있다면, 결과는 정수 및 부동 소수점 결과에 대해 각각 제 1 리네임 버퍼(34)나 제 2 리네임 버퍼(38)중 어느 하나로 복귀된다. 제 1 전력 절약 방법으로서, 데이터 처리기는 일을 수행하고 있지 않는 실행부의 전력을 자동적으로 낮춘다. 이와 같은 역학적 전력 관리 모드는 참고 문헌으로서 본 명세서에 포함되어 있는 미국 특허 제 5,420,808 호에 기재되어 있다.
완료 단계에 있어서, 시퀀서부(18)는 특정 명령에 우선하는 모든 명령이 아키텍쳐 레지스터 파일을 갱신한 이후에 리네임 버퍼에 저장되어 있는 특정 명령의 결과에 따라 아키텍쳐 레지스터 파일을 갱신한다. 완료 단계는 또한 특정 명령에 우선하는 모든 명령이 아키텍쳐 상태를 갱신한 이후에 기기 내의 모든 또다른 아키텍쳐 상태를 갱신한다.
일반적으로, 각각의 명령 단계는 하나의 기기 클록 사이클을 갖는다. 그러나, 복소 고정 소수점 명령 등의 몇몇 명령은 실행하기 위해서는 하나 이상의 클록 사이클을 필요로 한다. 그러므로, 이전 명령을 실행하는데 걸린 시간의 범위로 인해 특정 명령의 실행 및 완료 단계 사이에 지연이 있을 수도 있다.

II. 열 보조부

A. 하드웨어 설명

도 3은 도 1에서 도시한 열 보조부('TAU')(19)를 도시하는 블록도이다. 제어부(300)는 세 개의 사용자 프로그램가능 레지스터(302, 304, 306)에 결합된다. 제어부(300)는 도 5와 관련지어 하기에서 설명한다. 레지스터(302, 304, 306)는 세 개의 제어/데이터값, THERM SPR1, THERM SPR2, THERM SPR3을 각각 저장한다. THERM 및 SPR은 각각 thermal과 special purpose register의 약자이다. THERM SPR1, THERM SPR2, THERM SPR3은 도 4와 관련지어 하기에서 기술한다. 레지스터(302) 및 레지스터(304)의 출력은 2:1 멀티플렉서(MUX)(308)의 제 1 입력 및 제 2 입력에 연결된다. MUX(308)의 출력은 래치(latch, 310)에 의해 매 클록 사이클마다 래치된다. 래치(310)의 출력은 디코더(312)에 의해 제어 신호의 이용이 용이한 세트로 맵핑된다. 디코더(312)의 출력은 온도 센서(314)에 연결된다. 온도 센서의 출력은 제어부(300)에 연결된다.
개념적으로는, 온도 센서(314)가 디지털 대 아날로그 변환기(316), 온도 감지 소자(318), 전압 이득단(320)을 포함하고 있다. 연산 증폭기의 제 1 단에 의해 주가 되는 전압 이득단(320)은 감도 증폭기 등일 수도 있다. 전압 이득단(320)의 플러스(+) 단자는 감지 소자(318)로부터의 출력 전류나 전압을 수신한다. 감지 소자(318)에 의해 출력된 특정 전류나 전압은 데이터 처리기(10)의 온도에 의존한다. 전압 이득단(320)의 마이너스(-) 단자는 디지털 대 아날로그 변환기(316)에 의해 출력된 전압이나 전류를 수신한다. 디지털 대 아날로그 변환기(316)에 의해 출력된 특정 전류나 전압은 MUX(308)에 의해 출력된 값에 의존한다. 제어부(300)는 이 값 을 선택한다. 감지 소자(318)에 의해 출력된 전류나 전압 레벨이 디지털 대 아날로그 변환기(316)에 의해 출력된 전류나 전압 레벨보다 더 큰 경우에 전압 이득단(320)은 포지티브 전압 레벨을 나타낸다. 온도 센서(314)는 도 18과 관련지어 하기에서 설명한다.
동작에 있어서, TAU(19)로 인해 온도 센서(314)는 감지 소자(318)에 의해 감지된 온도에 대하여 THERM SPR1 또는 THERM SPR2중 어느 하나에 저장되어 있는 임계치를 비교한다. TAU(19)는 그 비교에 응답하여 하나 이상의 단계를 취할 수 있다. 비교 이후에 취한 하나 이상의 단계 및 특정 임계치는 THERM SPR1, THERM SPR2, THERM SPR3내에 프로그램된 값들에 의해 결정된다.

B. 레지스터 세트

도 4는 도 1에서 도시한 데이터 처리기의 레지스터 세트의 일부를 도시하는 개념도이다. 이 레지스터들은 본 명세서에서 기술된 전력 및 열 관리 기능을 제어하는 데이터 처리기(10)의 사용자에게 시각적으로 나타난다.
THERM SPR1 및 THERM SPR2는 필드 V, TIE, TID, THRESHOLD, TIV, TIN을 포함하고 있다.
V(SPR valid)는 1비트 필드이다. V=1이면, 대응하는 특수용 레지스터(SPR)의 잔여 데이터가 유효하다. V=0이면, 대응하는 특수용 레지스터의 잔여 데이터는 무효이다.

TIE(thermal interrupt enable)는 1 비트 필드이다. TIE=1이면, 제어부(300)는 어떤 환경하에서는 인터럽트를 발생시킬 수도 있다. 이러한 환경은 TID 필드와 관련하여 하기에서 설명한다. TIE=0이면, 제어부(300)가 인터럽트를 발생시키지 않을 것이다.
TID(thermal interrupt direction)는 1 비트 필드이다. TID=0이면, 제어부(300)는 감지 온도가 THRESHOLD 온도보다 큰 경우 인터럽트를 생성할 수도 있다. TID=1이면, 제어부(300)는 감지 온도가 THRESHOLD 온도보다 낮은 경우 인터럽트를 생성할 수도 있다.
THRESHOLD는 7비트 필드이다. 이 필드의 내용은 감지 소자(318)에 의해 감지된 온도와의 비교를 위해 MUX(308)의 한 입력단에 인가된다.
TIV(thermal interrupt valid)는 일비트 필드이다. 제어부(300)는 이 필드를 1로 설정하여 유효 TIN 필드를 나타낸다.
TIN(thermal interrupt bit)는 1비트 필드이다. 제어부(300)는 온도 비교를 수신한 이후에 이 비트를 설정한다. 이 필드의 내용의 의미는 TID 필드에 의해 결정된다. 이를테면, TID=0 이고 TIN=1이면, 감지된 온도는 THRESHOLD 온도보다 높았다. 역으로, TID=1 이고 TIN=1이면, 감지된 온도는 THRESHOLD온도보다 낮았다.

THERM SPR3은 필드들인 E. SAMPLE INTERVAL TIMER, 1%, 2%, 4%, 8%, PLUS/ $\overline{\text{MINUS}}$ 를 포함하고 있다.
E(enable)는 1비트 필드이다. E=1이면, 제어부(300)는 THERM SPR1 또는 THERM SPR2 또는 이 레지스터 모두 또는 이들 레지스터에 의해 개별적으로 어느 것도 지시받지 않은 것에 의해 지정되는 비교를 행한다. E=0이면, 제어부(300)는 어 떠한 비교도 행하지 않을 것이다.
SAMPLE INTERVAL TIMER는 13 비트 필드이다. 이 필드의 내용은 인터럽트 발생, TIN 설정 등을 위해 온도 센서(314)의 출력을 샘플링하기 이전에 제어부(300)가 대기하는 클록 사이클의 수를 나타낸다.
1%, 2%, 4%, 8%(눈금 설정 비트)는 각각 1비트 필드이다. 집합적으로, 이들은 제조나 CMOS 처리 변화에 의해 야기된 감지 소자(318)의 기능 변화를 보상하도록 감지 소자(318)로 오프세트를 설정한다.

C. 제어부 동작 설명

도 5는 도 3에서 도시한 제어부(300)의 동작을 도시하는 제어 흐름도이다. 제어부(300)는 공전('아이들', idle) 또는 단일 임계치 비교 또는 이중 임계치 비교의 세 모드중 한 모드에서 동작한다. 공전 상태 동안에는 제어부(300)는 어떠한 동작도 행하지 않는다. 이 공전 상태는 THERM SPR3 E=0으로 설정함으로써 나타내어진다. 사용자가 THERM SPR3 E=0을 언제 설정하는지 상관없이 제어부(300)는 공전 상태로 복귀함을 이해하여야 한다. 단일 임계치 비교 모드에서, 제어부(300)는 두 THRESHOLD 필드중 하나를 온도 센서(314)에 인가한다. 제어부(300)는 인터럽트를 발생시키도록 프로그램되어 있지 않은 경우 계속해서 주기적으로 비교를 행한다. 제어부(300)가 인터럽트를 발생시키도록 프로그램되어 있는 경우 인터럽트 루틴을 통해 사용자에 의해서 인터럽트가 명확해졌을 때까지 잠시 중단한다. 하나의 비교 모드는 도 5의 좌측부에 도시되어 있다. 이중 임계치 비교 모드에서, 제어부(300)는 두 THRESHOLD 필드를 순차적으로 온도 센서(314)에 인가한다. 하나 또는 두 임 계치에 대해 인터럽트를 발생시키도록 프로그램되어 있지 않은 경우 제어부(300)는 두 임계치에 대한 비교를 주기적으로 계속하여 행한다. 제어부(300)가 하나 또는 두 인터럽트를 발생시키도록 프로그램되어 있는 경우, 하나의 인터럽트 또는 두 개의 인터럽트가 사용자에 의해 명확해졌을 때까지 하나 또는 두 임계치에 대해 측정하는 것을 잠시 중단할 것이다. 이 이중 비교 모드는 도 7에 도시되어 있다.
계속하여 도 5에 관해 설명하면, 제어부(300)는 공전 상태에서 시작한다. 먼저 제어부(300)는 단계(500)에서 E 필드를 조사함으로써 어떠한 동작이 프로그램되어 있는지를 판정한다. THERM SPR3 E 비트가 설정되어 있는 경우 제어부(300)는 단계(502)로 계속된다. 이네이블 비트가 설정되어 있지 않으면, 제어부(300)는 공전 상태로 복귀한다. 계속하여 단계(502)에서, 제어부(300)는 단일 비교 동작 또는 이중 비교 동작이 지정되어 있는지를 판정한다. 단일 비교는 THERM SPR1 V=1 또는 THERM SPR2 V=1중 어느 하나인 경우 지정된다. 이중 비교는 THERM SPR1 V=1 또는 THERM SPR2 V=1 양자 모두인 경우 지정된다. 단일 비교 동작이 지정되면, 제어부(300)는 단일 비교 모드로 들어가서 단계(504)를 실행한다. 이중 비교 동작이 지정되는 경우, 제어부(300)는 이중 비교 모드로 들어간다. 이중 비교 모드는 도 7과 관련지어 하기에서 기술한다.
계속하여 단계(504)에서, 제어부(300)는 프로그램된 비교가 THERM SPR1 레지스터에 의해 지정되는지를 판정한다. THERM SPR1과의 비교는 THERM SPR1 V=1에 의해 지정된다. THERM SPR1에 저장된 데이터와의 비교가 행하여지면, 제어부(300)는 단계(506)에서 SINGLE MODE SAMPLE SPR1 블록을 실행한다. 단계(506)는 도 6과 관 련하여 하기에서 기술된다. 단계(506)를 실행한 이후에 제어부(300)는 공전 상태 및 단계(500)로 복귀한다. THERM SPR2에 저장된 데이터와의 비교가 행하여지는 경우 제어부(300)는 단계(508)에서 SINGLE MODE SAMPLE SPR2 블록을 실행한다. 단계(508)는 각각의 SPR1 필드를 등가 SPR2 필드에 맵핑하면 단계(506)와 동일하다. 단계(508)를 실행한 이후에 제어부(300)는 공전 상태 및 단계(500)로 복귀한다.
도 6은 도 5에서 도시한 제어 흐름도로부터 단계(506)의 제어 흐름도를 도시하고 있다. 단계(506) 자체는 단계(600)와 더불어 시작한다. 단계(600)에서, 제어부(300)는 MUX(308)로 하여금 THERM SPR1 THRESHOLD 필드를 래치(310)로 출력하게 한다. 다음으로, 단계(602)에서, 제어부(300)는 THERM SPR3 TIN 필드의 내용을 내부 카운터(비도시함)내로 섀도우한다. 단계(604)에서 제어부(300)는 그 카운터를 감소시키고, 단계(606)에서 카운터가 제로에 이르렀는지를 검사한다. 카운터가 제로에 이르지 않은 경우 단계(604, 606)를 통해 제어부(300)는 루핑을 계속한다. 단계(608)에서, 제어부(300)는 카운터가 결국 제로에 이르렀을 때 적절한 값을 TJERM SPR1 TIN 필드로 로드한다. TID=0이고 전압 이득단(320)의 출력이 1인 경우 제어부(300)는 1을 TIN 필드에 저장한다. TID=1이고 전압 이득단(32

0)의 출력이 0인 경우에, 제어부(300)는 1을 TIN 필드에 저장한다. 그렇지 못한 경우에, 제어부(300)는 0을 TIN 필드에 저장한다. 다음으로, 단계(610)에서, 제어부(300)는 THERM SPR1 TIV 비트를 1로 설정한다.
단계(612)에서, 제어부(300)는 THERM SPR1에 대해 인터럽트가 이네이블되는 지를 판정한다. 상술한 바와 같이, THERM SPR1 내의 V 및 TID 필드는 인터럽트가 발생되는지를 판정한다. 인터럽트가 발생된다면, 단계(614)에서, 제어부(300)는 그 인터럽트를 시퀀서부(18)에 출력시킨다. 이어서 시퀀서부(18)는 데이터 처리기(10)의 동작을 변경하도록 예외 처리 루틴을 호출할 수 있다. 이를테면, 데이터 처리기는 보다 낮은 주파수에서 실행하도록 구성될 수도 있고, 또는 완전히 턴오프될 수도 있고, 또는 명령 캐시(14)로부터 패치되는 명령의 수를 제한할 수도 있다. 이 후자의 방법인 '명령 조절(instruction throttling)'은 도 17과 관련지어 하기에서 기술된다. 인터럽트가 THERM SPR1에 대해 이네이블되지 않는 경우, 제어부(300)는 단계(800)로 복귀하고 또다른 온도 비교를 행한다.
계속하여 단계(614)에 관하여는, 단계(616)에서, 제어부(300)는 사용자가 이전의 비교 결과를 판독했는지를 판정한다. 사용자가 THERM SPR1의 내용을 판독하지 않은 경우, 제어부(300)는 인터럽트가 사용자에 의해 판독될 때까지 자체적으로 루프한다. 이 방법은 중요한 온도 비교 결과가 후속 비교에 의해 과잉 기록되지 않게 해준다. 제어부(300)는 사용자가 인터럽트를 판독했는지를 일단 결정하면 단계(500)로 복귀한다(도 5에 도시). 양호한 실시예에서, THERM SPR1으로의 임의의 이동 명령이나 THERM SPR2로의 이동 명령의 실행으로 인해 해당 특수용 레지스터의 TIV 필드가 0으로 재설정된다. 그러므로, 제어부(300)는 THERM SPR1 TIV=0인지를 판정함으로써 인터럽트가 판독되었는지를 판정한다.
도 7은 도 5에서 도시한 제어 흐름도의 구성을 도시하고 있다. 구체적으로는, 도 7은 이중 비교 모드의 동작을 도시하고 있다. 단계(700)에서, 제어부(300) 는 DUAL MODE SAMPLE SPR1 블록을 실행함으로써 상기 모드를 개시한다. 단계(700)는 도 8과 관련지어 하기에서 기술한다. 단계(702)에서, 제어부(300)는 인터럽트가 THERM SPR1에 대해 이네이블되는지를 판정한다. 상술한 바와 같이, THERM SPR1의 V 및 TID 필드는 인터럽트가 발생되는지를 판정한다. 단계(706)에서, 인터럽트가 발생되면 제어부(300)는 인터럽트를 시퀀서부(18)에 출력한다. 이어서 시퀀서부(18)는 데이터 처리기(10)의 동작을 변화시키도록 예외 처리 루틴을 호출할 수 있다. 인터럽트가 THERM SPR1에 대해 이네이블되지 않는 경우에는, 단계(704)에서 제어부(300)는 THERM SPR2와 연관된 비교에 대한 인터럽트를 이전에 발생시켰는지를 결정한다. 제어부(300)가 THERM SPR2에 대한 인터럽트를 발생시켰음을 판정하는 경우에는, 단계(700)로 복귀하고 THERM SPR2에 대한 또다른 온도 비교를 행한다.
단계(706)로 복귀하면, 제어부(300)는 또한 단계(708)에서 THERM SPR2와 연관된 비교를 위해 이전에 인터럽트를 발생시켰는지를 판정한다. 제어부(300)가 THERM SPR2(및 THERM SPR1)에 대해 인터럽트를 발생시킨 경우, 단계(710)에서 사용자가 THERM SPR2 인터럽트를 판독했는지를 결정한다. 사용자가 THERM SPR2와 연관된 인터럽트를 판독하지 않은 경우, 단계(712)에서, 제어부(300)는 사용자가 THERM SPR1과 연관된 인터럽트를 판독했는지를 판정한다. 사용자가 어떠한 인터럽트도 판독하지 않은 경우, 제어부(300)는 사용자가 아무 인터럽트나 판독할 때까지 단계(710, 712)를 통해 루프한다. 사용자가 먼저 THERM SPR1을 판독하는 경우, 제어부는 단계(700)로 복귀하여 THERM SPR1에 의해 지정된 제 2 비교를 행한다. 대신에, 사용자가 먼저 THERM SPR2를 판독하는 경우, 단계(714)에서, 제어부는 DUAL MODE SAMPLE SPR2 블록을 실행한다. 상술한 바와 같이, 이와 같은 비과잉 기록의 방법은 결과적으로 트리거 인터럽트에 의해 중요한 정보가 소실되지 않게 해준다. 그러나, 제어부(300)는 계속하여 인터럽트를 발생하지 않는 비교를 행할 것이다.
단계(708)로 복귀하면, 제어부(300)가 THERM SPR2와 연관된 인터럽트가 없음을 판정하는 경우, 단계(714)에서, THERM SPR2에 의해 지정된 비교를 행하도록 진행한다. 이는 THERM SPR2와 연관된 첫번째 비교일 수도 있고, 또는 후속 샘플일 수도 있다.
계속하여 단계(714)에서는, 제어부(300)는 DUAL MODE SAMPLE SPR2 블록을 실행한다. 단계(714)는 각각의 SPR1 필드를 등가 SPR2 필드에 맵핑하면 단계(700)와 동일하다. 단계(716)에서, 제어부(300)는 인터럽트가 SPR2에 대해 이네이블되는지를 판정한다. 상술한 바와 같이, THERM SPR2의 V 및 TID 필드는 인터럽트가 발생되는지를 판정한다. 인터럽트가 THERM SPR2에 대해 이네이블되지 않는 경우에, 단계(718)에서, 제어부(300)는 THERM SPR1과 연관된 비교에 대한 인터럽트를 이전에 발생했는지를 판정한다. 제어부(300)가 또한 THERM SPR1에 대한 인터럽트를 발생했음을 판정하는 경우, 제어부는 단계(714)로 복귀하여 THERM SPR2에 대한 또다른 온도 비교를 행한다. 제어부(300)가 THERM SPR1에 대해 인터럽트를 발생시키지 않았음을 판정하는 경우에, 단계(700)로 복귀하여 THERM SPR1에 대한 또다른 온도 비교를 행한다.
단계(716)에서, 인터럽트가 발생된다면, 단계(720)에서 제어부(300)는 인터럽트를 시퀀서부(18)에 출력한다. 시퀀서부(18)는 데이터 처리기(10)의 동작을 변 화시키도록 예외 처리 루틴을 호출할 수 있다. 다음으로, 단계(722)에서 제어부(300)는 또한 THERM SPR1과 연관된 비교에 대하여 인터럽트를 이전에 생성하였는지를 판정한다. 제어부(300)가 THERM SPR1(및 THERM SPR2)에 대한 인터럽트를 발생시킨 경우, 단계(724)에서 사용자가 THERM SPRI 인터럽트를 판독했는지를 판정한다. 사용자가 THERM SPR1과 연관된 인터럽트를 판독하지 못한 경우, 단계(726)에서 제어부(300)는 사용자가 THERM SPR2와 연관된 인터럽트를 판독했는지를 판정한다. 사용자가 어떠한 인터럽트도 판독하지 못한 경우, 사용자가 둘중 어느 하나의 인터럽트를 판독할 때까지 단계(724, 726)를 통해 루프한다. 사용자가 THERM SPR1을 먼저 판독하는 경우, 제어부는 단계(700)로 복귀하여 THERM SPR1에 의해 지정된 제 2 비교를 행한다. 그 대신에, 사용자가 THERM SPR2를 먼저 판독하는 경우, 제어부는 단계(714)에서 DUAL MODE SAMPLE SPR2 블록을 실행한다.
도 8은 도 7에서 도시한 제어 흐름도로부터 단계(706)의 제어 흐름도를 도시하고 있다. 단계(706)는 단계(800)로 시작한다. 단계(800)에서, 제어부(300)는 MUX(308)로 하여금 THERM SPR1 THRESHOLD 필드를 래치(310)에 출력하게 한다. 다음으로, 제어부(300)는 단계(802)에서 THERM SPR3 TIN 필드의 내용을 내부 카운터(비도시함)로 샤

도우한다. 제어부(300)는 단계(804)에서 그 카운트를 감소시키고, 단계(806)에서 카운터가 0에 이르렀는지를 조사한다. 카운터가 0에 이르지 못한 경우, 제어부(300)는 단계(804, 806)를 통해 루핑을 계속한다. 제어부(300)는 단계(808)에서, 카운터가 결국 0에 이르렀을 때 적합한 값을 THERM SPR1 TIN 필드로 로드한다. 그 적합한 값의 판정은 도 6의 단계(608)와 관련하여 위에 설명되어 있다. 마지막으로, 제어부(300)는 단계(810)에서 THERM SPR1 TIV 비트를 1로 설정한다.

D. 동작예

i. 전력 관리 시나리오

도 9 내지 도 11은 본 발명의 동작을 설명하는데 이용하는 두 개의 온도 시나리오에 대한 그래프를 도시하는 도면이다. 도 9에서, 데이터 처리기(10)의 온도는 따뜻한 환경이나 증가된 워크로드 또는 이 둘 모두로 인하여 시간의 함수로서 증가하고 있다. TAU(19)는 이 어커런스(occurrence)를 검출하여 교정 측정을 할수 있도록 프로그램된다. 도 10에서, 데이터 처리기(10)의 온도는 TAU(19)의 활성화에도 불구하고 계속하여 증가한다. 데이터 처리기(10)는 부가적인 교정 측정을 할 것이다. 또는, 도 11은 데이터 처리기(10)의 온도가 초기 교정 측정을 한 이후에 감소하는 것을 나타내고 있다. 데이터 처리기(10)는 정상 동작을 다시 시작한다. 시나리오에 응답하는데 필요한 절차는 도 12와 관련하여 하기에서 기술된다.

도 12는 도 1에서 도시한 데이터 처리기의 작동 방법에 대한 제어 흐름도를 도시하고 있다. 양호한 실시예에서, 도 12에 도시한 단계는 데이터 처리기(10)의 조작 시스템(OS)의 일부이다. 따라서, 이들 단계는 주메모리(비도시함)에 저장된다. 또는, 이들 단계는 제어부(300) 또는 데이터 처리기(10) 내의 ROM이나 그밖의 장소에 집적화될 수도 잇을 것이다.

TAU(19)가 OS의 제어하에 있다고 가정하면, 단계(1200)에서, OS는 베이스라 인 온도 임계치 THRESHOLD $_0$ 를 THERM SPR1로 기록하고, THRESHOLD $_0$ 보다 더 높게 판독되는 온도에 대한 인터럽트를 이네이블하며, THERM SPR3=1을 설정한다. 다음으로 데이터 처리기(10)는 단계(1202)에서 제어부(300)가 인터럽트를 발생시킬 때까지 대기한다. 제어부(300)가 그 온도를 주기적으로 THRESHOLD $_0$ 와 비교하는 동안 데이터 처리기(10)는 통상적으로 명령을 실행중임을 이해하여야 한다. 도 9에 도시한 바와 같이, 설명을 목적으로, 데이터 처리기(10)의 온도가 소정 시각 t0에서 THRESHOLD $_0$ 에 이르고 초과한다고 가정한다. 이때, 제어부(300)는 인터럽트를 생성한다. 데이터 처리기(10)는 단계(1204)에서, 중간 전력 절약 계획을 실행한다. 이러한 중간 전력 절약 계획은 명령 이슈의 조절, 또는 클록 주파수의 감소, 또는 정전 전력 다운 모드로의 진입이 될 수 있을 것이다.

다음으로, 단계(1206)과 단계(1208)에서 각각, OS는 THRESHOLD $_1$ 을 THERM SPR1으로, THRESHOLD $_2$ 를 THERM SPR2로 로드할 것이다. OS는 또한 THRESHOLD $_1$ 보다 높게 판독하는 온도에 대한 인터럽트를 이네이블하며, THRESHOLD $_2$ 보다 낮게 판독하는 온도에 대한 인터럽트를 이네이블하고, THERM SPR3=1을 설정한다. 다음으로, 단계(1210)에서, 데이터 처리기(10)는 제어부(300)가 인터럽트를 발생시킬 때까지 대기한다. 또다시, 제어부(300)가 온도를 주기적으로 THRESHOLD $_1$ 및 THRESHOLD $_2$ 와 비교하고 있는 동안 데이터 처리기(10)는 통상적으로 명령을 실행중임을 이해하여야 한다.

도 10에서 도시한 바와 같이, 설명을 위해, 데이터 처리기(10)의 온도가 소정의 시각 t1에서 THRESHOLD $_1$ 에 이르고 초과함을 가정한다. 이러한 시나리오는 데이터 처리기(10)가 특히 고온 환경에서 있을 때 일어날 수 있을 것이다. 그러므로, 제어부(300)는 THERM SPR1에 근거한 인터럽트를 발생시킨다. 이런 경우에, 단계(1212)에서, OS는 THERM SPR1 TIN을 판독하며, 데이터 처리기(10)의 온도가 THRESHOLD $_1$ 보다 높음을 판정한다. 이 때, 데이터 처리기(10)는 단계(1214)에서 최종 전력 절약 계획을 실행한다. 이러한 최종 전력 절약 계획은 명령 이슈의 추가 조절, 또는 클록 주파수의 추가 감소, 또는 모든 컴퓨팅 동작의 중단이 될 수 있을 것이다.

역으로, 도 11에서 도시한 바와 같이, 설명을 위해, 데이터 처리기(10)의 온도가 감소하여 소정의 시각 t1에서 실질적으로 THRESHOLD $_2$ 이하로 떨어진다고 가정한다. 이러한 시나리오는 중간 전력 절약 계획이 성공적으로 데이터 처리기(10)의 전력 소비를 감소시킨 경우에 일어날 수 있을 것이다. 그러므로, 제어부(300)는 THERM SPR2에 근거한 인터럽트를 발생시킨다. 이런 경우에, 단계(1216)에서, OS는 THERM SPR2 TIN을 판독하며, 데이터 처리기(10)의 온도가 THRESHOLD $_2$ 보다 낮음을 판정한다. 이 때, 데이터 처리기(10)는 단계(1218)에서 정상 동작을 다시 시작한다. 두 단계 (1214) 및 (1218)은 단계(1200)로 복귀한다.

ii. 온도 관리

도 13 내지 도 15는 본 발명의 동작을 설명하는데 이용한 세 온도 시나리오 에 대한 그래프를 도시하는 도면이다. TAU(19)의 한가지 응용은 데이터 처리기(10)의 온도를 판정하는 것이다. 데이터 처리기(10)의 온도는 하나의 특수용 레지스터를 이용하여, 적합한 인터럽트가 발생될 때까지 THRESHOLD 필드를 천천히 증가 또는 감소시켜서 결정될 수도 있다. 그러나, 데이터 처리기(10)의 온도는 두 특수용 레지스터에 의해 허용되는 두 개의 동시 온도 비교에 따라 효과적으로 결정될 수도 있다. 이러한 방법이 도 16과 관련지어 하기에 기술된다.

일반적으로, 윈도우는 THERM SPR1 및 THERM SPR2의 THRESHOLD 필드를 이용하여 형성된다. 데이터 처리기(10)의 온도는 상기 윈도우 내에 있는지를 판정하도록 감지된다. 윈도우는 실제 온도가 윈도우 내에 있는 경우 좁아진다. 역으로, 실제 온도가 윈도우의 외부에 있는 경우 윈도우가 넓어진다.

도 13은 실제 온도가 외측 및 THRESHOLD $_H$ 및 THRESHOLD $_L$ 에 의해 형성된 온도 범위 위 및 외부에 있는 시나리오를 도시하고 있다. 여기서, THERM SPR1 TID=0에 의해 THERM SPR1이 인터럽트를 발생시킨다. 이런 경우에, THRESHOLD $_H$ 가 증가된다.

도 14은 실제 온도가 THRESHOLD $_H$ 와 THRESHOLD $_L$ 에 의해 형성된 온도 범위 아래 및 외측에 있는 시나리오를 도시하고 있다. 여기서, THERM SPR2 TID=1에 의해 THERM SPR2가 인터럽트를 발생시킨다. 이런 경우에, THRESHOLD $_L$ 이 감소된다.

도 15는 실제 온도가 THRESHOLD $_H$ 및 THRESHOLD $_L$ 에 의해 형성된 온도 범위 내에 있는 시나리오를 도시하고 있다. 여기서, 특수용 레지스터는 어떠한 인터럽트도 발생시키지 않는다. 이런 경우에, THRESHOLD $_H$ 가 감소하고/거나 THRESHOLD $_L$ 이 증가된다.

도 16은 도 1에서 도시한 데이터 처리기의 조작 방법에 대한 제어 흐름도를 도시하고 있다. 구체적으로는, 도 16은 도 13 내지 도 15와 관련지어 상술한 바와 같이 데이터 처리기(10)의 온도를 결정하는 방법을 도시하고 있다. 또다시, 도시되어 있는 방법은 동일한 결과를 달성하도록 다수의 방법으로 실행될 수도 있다. 설명을 목적으로, OS는 도 16에서 도시한 기능을 수행한다고 가정한다. 단계(1600)에서, OS는 THRESHOLD $_H$ 를 THERM SPR1으로 로드하고, THRESHOLDH(TI $_E$ =1, TIN=0)보다 더 높게 판독하는 온도에 대해 인터럽트를 이네이블한다. 또한, 단계(1602)에서, OS는 THRESHOLD $_L$ 를 THERM SPR2로 로드하고, THRESHOLD $_L$ (TIE=1, TIN=1)보다 더 낮게 판독하는 온도에 대해 인터럽트를 이네이블한다. OS는 또한 THERM SPR3=1을 설정한다.

그 다음으로, 데이터 처리기(10)는 제어부(300)가 인터럽트를 발생시킬 때까지 대기한다. 단계(1604)에서 제어부(300)가 THRESHOLD $_H$ (THERM SPR1)에 근거하여 인터럽트를 발생시키는 경우, OS는 단계(1606)에서 THRESHOLDH를 증가시킨다. 단계(1608)에서 제어부(300)가 THRESHOLD $_L$ (THERM SPR2)에 근거하여 인터럽트를 발생시키는 경우, OS는 단계(1610)에서 THRESHOLD $_L$ 를 감소시킨다. 제어부(300)가 어떠한 인터럽트도 발생시키지 않는 경우, OS는 단계(1612)에서 THRESHOLD $_H$ 를 감소시키고/거나 THRESHOLD $_L$ 를 증가시킨다. 이 단계는 윈도우의 차이를 좁힌다.

단계(1606, 1610, 1612) 이후에, OS는 THRESHOLD $_H$ 및 THRESHOLD $_L$ 의 현재 값들간의 차이가 온도 센서(314)의 분해능보다 작은지를 판정한다. THRESHOLD $_H$ 및 THRESHOLD $_L$ 간의 차이가 온도 센서(314)의 분해능보다 작은 경우, OS는 그 온도가 THRESHOLD $_H$ 및 THRESHOLD $_L$ 의 몇몇 소정의 함수인 것을 선언한다. 이를테면, 온도는 THRESHOLD $_H$ 및 THRESHOLD $_L$ 중의 어느 하나가 될 수도 있고, 상기 두 개의 평균치가 될 수도 있다. THRESHOLD $_H$ 및 THRESHOLD $_L$ 간의 차이가 온도 센서(314)의 분해능보다 작지 않은 경우, OS는 단계(1600)로 복귀하여 데이터 처리기(10)의 온도와 THRESHOLD $_H$ 및 THRESHOLD $_L$ 를 계속해서 비교한다.

III. 명령 이슈(issue) 제어

A. 하드웨어 설명

도 17은 도 1에서 도시한 이슈 제어 논리(31)의 블록도이다. 특수용 레지스터(1700)의 제 1 출력은 2:1 멀티플렉서(MUX)(1702)의 제 1 입력과 접속된다. MUX(1702)의 제 2 입력은 감소기(1704)의 출력과 접속된다. MUX(1702)의 출력은 래치(1706)의 입력과 접속된다. 래치(1706)의 출력은 감소기(1704)의 입력 및 제로 검출기(1708)의 입력과 연결된다. 제로 검출기(1708)의 출력은 AND 게이트(1710)의 역입력 및 OR 게이트(1712)의 제 1 입력과 접속된다. OR 게이트(1712)의 제 2 입력은 레지스터 판독/기록 제어 신호 $(\overline{R/W})$ 를 수신한다. OR 게이트(1712)의 출력은 래치(1714)의 입력에 연결된다. 레지스터(1700)의 제 2 출력은 AND 게이트(1710)의 비역입력에 접속된다. AND 게이트(1710)의 출력은 제어 신호 FETCH DISABLE을 발생시킨다. 래치(1712)의 출력은 MUX 선택 신호를 발생시킨다. 패치 어드레스 레지스터(1716)의 입력은 R이 0이 아닌 정수인 경우, R:1 멀티플렉서(MUX)(1718)의 출력을 수신한다. MUX(1718)는 데이터 처리기(10)의 다양한 부분으로부터 R개의 패치 어드레스 소스를 수신한다. AND 게이트(1710)의 출력 및 패치 어드레스 레지스터(1716)의 출력은 명령 캐시(14)와 접속된다. 제어 신호 FETCH DISABLE이 표명되지 않은 경우 명령 캐시(14)는 패치 어드레스 레지스터(1716)에 의해 지정된 어드레스에서 시작하는 명령을 시퀀서부(18)에 공급한다. 양호한 실시예에서, 데이터 처리기(10)는 RISC 스타일 데이터 처리기이다. 그러므로, 매 사이클마다 생성된 패치 어드레스의 다양한 소스, 즉 순차 어드레스 계산기, 브랜치 예측 메카니즘, 브랜치부(20), 인터럽트/실행 처리 회로 등이 있다. 회로(비도시함)는 MUX(1718)로의 입력중 어느 것이 명령 캐시(14)로 전송되어야 하는지를 선택한다.

레지스터(1700)는 본 명세서에서 기술된 전력 및 열 관리 기능을 제어하도록 데이터 처리기(10)의 사용자가 볼 수 있다. 레지스터(1700)는 두 데이터 필드, INTERVAL 및 ENABLE(E)을 포함하고 있다. INTERVAL 필드는 명령 캐시(14)로부터의 명령의 연속 패치 사이에 필요한 기기 사이클의 수를 지정하는데 이용되는 8비트 필드이다. E 필드는 E=1일 때 지연시킨다. 명령 패치는 E=0일 때 INTERVAL 필드에 의해 이루어지지 않는다.

B. 동작 설명

상술한 바와 같이, 데이터 처리기(10)에 의해 소비되는 전력을 감소시키는 것이 바람직한 예가 있다. 데이터 처리기(10)에 의해 소비되는 전력을 제한하는 한가지 방법은 명령 캐시(14)로부터 명령을 패치하는 속도를 제한하는 것이다. 이 방법은 명령 캐시(14)에 대한 판독 액세스의 속도를 제한하며, 각종 실행부(19, 20, 22, 24, 26, 28, 30)에 의한 명령 실행 속도를 제한한다.

명령 캐시(14)에 의해 패치된 명령 수를 제한하기 위하여, 사용자나 OS는 0이 아닌 값을 레지스터(1700)에 기록하고, ENABLE 비트를 설정한다. 값이 레지스터(1700)에 기록되고 판독/기록 제어 신호 $(\overline{R/W})$ 가 표명될 때 레지스터(1700)로부터 출력된 INTERVAL이 초기에 래치(1714)에 의해 선택된다. MUX(1702), 래치(1706), 및 감소기(1706)는 기기 사이클 당 하나의 값씩 INTERVAL을 감소시킨다. 래치(1706)의 출력이 0이 아니면, AND 게이트(1710)는 FETCH DISABLE 제어 신호를 표명하고, 명령 캐시(14)는 명령을 시퀀서부(18)에 공급하지 않는다. 일단 MUX(1702), 래치(1706), 감소기(1704)가 INTERVAL을 0으로 감소시키면, AND 게이트(1710)는 FETCH DISABLE 제어 신호를 비표명하며, 명령 캐시(14)는 패치 어드레스 레지스터(1716)에 의해 출력된 어드레스에서 명령을 패치한다. 래치(1714)는 제로 검출기(1708)가 감소기(1704)의 출력이 0인 것을 검출한 이후에 레지스터(1700)로부터 출력된 INTERVAL을 선택한다. 명령 이슈의 조절은 ENABLE 비트가 제거되거나 INTERVAL=0일 때까지 계속된다.

명령 조절의 정도는 INTERVAL 필드에 저장된 값을 변화시킴으로서 알맞게 될 수 있다. 이를테면, 명령 캐시(14)로부터 명령이 패치되는 속도를 완만하게 제한하기 위해서는, 작은 수가 레지스터(1700)에 저장될 수도 있다. 명령 캐시(14)로부터 명령이 패치되는 속도를 극심하게 제한하기 위해서는, 큰 수가 레지스터(1700)에 저장될 수도 있다.

IV. 열 센서

A. 하드웨어 설명

도 18은 도 3에서 도시한 온도 센서(1800)를 개략적으로 도시하는 부분 블록도이다. 온도 센서(1800)는 제 1 다이오드(1802) 및 제 2 다이오드(1804)를 포함하여 두 전류를 발생시키고, 이 두 전류의 차는 온도에 대한 예측 가능한 함수가 된다. 본 발명의 한 실시예에서, 다이오드(1802)는 다이오드(1804)보다 33배 더 크다. 이 비율의 자연 로그는 비슷한 양으로 센서의 이득을 증가시킨다. 결론적으로, 두 다이오드 간의 전압차는 측정될 수 있고 이용 가능한 정보로 변환될 수 있다. 구체적으로는, 두 전압이 두 전류로 변환된다. 그중 하나의 전류는 디지털 대 아날로그 변환기에 의해 변조된다. 마지막으로, 두 전류는 아날로그 전류 비교기로 공급된다. 아날로그 전류 비교기의 출력은 인버터 등에 의해 버퍼된다.

일반적으로, 다이오드 양단의 전압 강하(Vd)는, 다이오드(A)의 크기, 다이오드를 통해 흐르는 전류(I), 다이오드의 포화 전류 밀도(Js), 다이오드의 켈빈 온도(T), 전자의 전하량(q), 및 볼쯔만 상수(K)의 함수이다.

[수학식 1]

$$V_d = \frac{KT}{q} * \ln\left(\frac{I}{J_S A}\right)$$

다이오드 양단의 전압은 온도에 따라 선형적으로 변화한다. 두 다이오드 양단의 관련 전압차가 온도와 마찬가지로 두 다이오드의 관련 크기의 함수이기 때문에 상기 관계 역시 유용한 것이다.

[수학식 2]

$$\delta V_d = \frac{KT}{q} * \ln\left(\frac{I_1 A_2}{I_2 A_1}\right)$$

위 식에서 아래 첨자 1과 2는 각기 제 1 및 제 2 다이오드에 관한 것이다.

계속하여 도 18에서는, 세 개의 p형 트랜지스터(1806, 1808, 1810) 각각의 제 1 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다. 트랜지스터(1806, 1808, 1810) 각각의 제어 전극은 함께 결합되고 전류원(1812)의 제 1 단자에 함께 연결된다. 트랜지스터(1806)의 제 2 전류 전극은 전류원(1812)의 제 1 단자에 연결된다. 전류원(1812)의 제 2 단자는 제 2 전압 공급원 V_{SS}를 수신한다.

트랜지스터(1808)의 제 2 전류 전극은 제 1 전류 전극, 및 n형 트랜지스터(1814)의 제어 전극과 n형 트랜지스터(1816)의 제어 전극에 연결된다. 트랜지스터(1814)의 제 2 전류 전극은 다이오드(1802)의 제 1 단자에 연결된다. 다이오드(1802)의 제 2 단자는 제 2 전압 공급원 V_{SS}를 수신한다. 트랜지스터(1816)의 제 1 전류 전극은 제 1 전류 전극 및 p형 트랜지스터(1818)의 제어 전극에 연결된 다. 트랜지스터(1816)의 제 2 전류 전극은 제 2 전압 공급원 V_{SS}를 수신한다. 트랜지스터(1818)의 제 2 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다. 트랜지스터(1818)의 제어 전극은 두 p형 트랜지스터(1820, 1822)의 각각의 제어 전극에 연결된다. 트랜지스터(1820, 1822)의 각각의 제 1 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다. 트랜지스터(1822)의 제 2 전류 전극은 p형 트랜지스터(1824)의 제 1 전류 전극에 접속된다. 트랜지스터(1824)의 제 2 전류 전극 및 제어 전극은 최종 출력 신호 OUT를 수신하고 n형 트랜지스터(1826)의 제 1 전류 전극에 각각 접속된다. 트랜지스터(1820)의 제 2 전류 전극은 또한 트랜지스터(1826)의 제 1 전류 전극에 접속된다. 트랜지스터(1826)의 제 1 전류 전극은 제어 전극과, 두 n형 트랜지스터(1828, 1830)의 각각의 제어 전극에 연결된다. 트랜지스터(1826, 1828, 1830)의 각각의 제 2 전류 전극은 제 2 전압 공급원 V_{SS}를 수신한다.

트랜지스터(1828)의 제 1 전류 전극은 전압 이득단(1836)의 포지티브(+) 단자에 접속된다. 트랜지스터(1830)의 제 1 전류 전극은 P형 트랜지스터(1832)의 제 1 전류 전극과 제어 전극, 및 p형 트랜지스터(1834)의 제어 전극에 접속된다. 트랜지스터(1834)의 제 1 전류 전극은 전압 이득단(1836)의 네거티브(-) 단자에 연결된다. 트랜지스터(1832, 1834)의 각각의 제 2 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다.

출력 연산 증폭기는 두 개의 직렬 접속 인버터(1838, 1840)에 의해 버퍼된 다. 인버터(1838)의 출력은 중간 출력 신호 $\overline{OUT}$를 발생시킨다. 인버터(1840)의 출력은 최종 출력 신호 OUT를 발생시킨다.

트랜지스터(1810)로 다시 돌아가면, 트랜지스터(1810)의 제 2 전류 전극은 제 1 전류 전극과, n형 트랜지스터(1842)의 제어 전극과, n형 트랜지스터(1844)의 제어 전극에 연결된다. 트랜지스터(1842)의 제 2 전류 전극은 다이오드(1804)의 제 1 단자에 연결된다. 다이오드(1804)의 제 2 단자는 제 2 전압 공급원 V_{SS}를 수신한다. 트랜지스터(1844)의 제 1 전류 전극은 p형 트랜지스터(1846)의 제 1 전류 전극과 제어 전극에 연결된다. 트랜지스터(1844)의 제 2 전류 전극은 제 2 전압 공급원 V_{SS}를 수신한다. 트랜지스터(1846)의 제 2 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다. 트랜지스터(1846)의 제어 전극은 두 개의 p형 트랜지스터(1848, 1850)의 각각의 제어 전극에 연결된다. 트랜지스터(1848, 1850)의 각각의 제 1 전류 전극은 제 1 전압 공급원 V_{DD}를 수신한다. 트랜지스터(1850)의 제 2 전류 전극은 p형 트랜지스터(1852)의 제 1 전류 전극에 접속된다. 트랜지스터(1852)의 제어 전극과 제 2 전류 전극은 중간 출력 신호 $\overline{OUT}$를 수신하고, n형 트랜지스터(1854)의 제 1 전류 전극에 각각 접속된다. 트랜지스터(1848)의 제 2 전류 전극은 또한 트랜지스터(1854)의 제 1 전류 전극에 접속된다. 트랜지스터(1854)의 제 1 전류 전극은 자신의 제어 전극과 n형 트랜지스터(1856)의 제어 전극에 연결된다. 트랜지스터(1854)의 제 2 전류 전극 및 트랜지스터(1856)의 제 1 전류 전극은 제 2 전압 공 급원 V_{SS}를 수신한다.

트랜지스터(1856)의 제 2 전류 전극은 p형 트랜지스터(1858)의 제 1 전류 전극과 제어 전극에 접속된다. 트랜지스터(1858)의 제 2 전류 전극은 제 1 전압 공급원 V_{DD} 을 수신한다. 트랜지스터(1858)의 제어 전극은 또한 P형 트랜지스터(1860)의 제어 전극에 접속되어 있다. 트랜지스터(1860)의 제 1 전류 전극과 제 2 전류 전극은 제 1 전압 공급원 V_{DD} 를 수신하고 전압 이득단(1836)의 포지티브(+) 단자에 각각 접속된다. 트랜지스터(1862)의 제 1 전류 전극과 제 2 전류 전극 및 제어 전극은 각각 전압 이득단(1836)의 네거티브(-) 단자에 접속되고 제 2 전압 공급원 V_{SS} 를 수신하며 트랜지스터(1856)의 제어 전극에 각각 접속된다.

도 3과 관련하여 상술한 바와 같이, 온도 센서(314)는 디지털 대 아날로그 변환기(316)를 포함한다. 도 3에서 개략적으로 표시한 것은 도 18에서 도면 부호(1870)로 표시되어 있다. 디지털 대 아날로그 변환기(1870)는 감지부(1872)와 측정부(1874)로 이루어져 있다. 감지부(1872)는 다이오드(1804)에 의해 간접적으로 출력된 전류를 변조하는데 이용된다. 이 출력이 다이오드(1802)에 의해 간접적으로 출력된 전류와 같다면, 열 감지기의 온도가 결정될 수 있다. 측정부(1874)는 고정 전류를 트랜지스터(1854)에 공급하는데 이용되어 데이터 처리기(10)를 제조하기 위해 이용되는 공정에 의해 초래된 변화를 보상한다.

감지부(1872)에 이어서 32쌍의 P형 트랜지스터는 전압 공급원 V_{DD} 과 트랜지스 터(1854)의 제 1 전류 전극간에 직렬로 접속되어 있다. 특히, P형 트랜지스터(1876i)의 제 1 전류 전극과, 제어 전극과, 제 2 전류 전극은 전압 공급원 V_{DD} 와, 트랜지스터(1846)의 제어 전극과 트랜지스터(1878 $_i$)의 제 1 전류 전극에 각각 접속되어 있으며, 여기서 i 는 0에서 31까지의 정수이다. 트랜지스터(1878 $_i$)의 제어 전극 및 제 2 전류 전극은 디코더(312)의 i번째 출력(도 3에 도시함)을 수신하기 위해 트랜지스터(1854)의 전류 전극에 각각 접속된다. 양호한 실시예에서, 감지부(1872)에는 32개의 별개의 스위치가 있다. 당업자라면 스위치 수가 특정 응용에 맞도록 또한 온도 센서(1800)를 내장한 응용의 원하는 분해능에 적합하도록 변화될 수 있음을 쉽게 알 것이다.

측정부(1874)에 이어서, 4쌍의 P형 트랜지스터가 전압 공급원 V_{DD} 과 트랜지스터(1854)의 제 1 전류 전극간에 직렬로 접속되어 있다. 특히, p형 트랜지스터(1880 $_j$)의 제 1 전류 전극과, 제어 전극과, 제 2 전류 전극은 전압 공급원 V_{DD} 과, 트랜지스터(1846)의 제어 전극과, 트랜지스터(1882 $_j$)의 제 1 전류 전극에 각각 접속되어 있으며, 여기서 j 는 0에서 3까지의 정수이다. 트랜지스터(1882 $_j$)의 제어 전극 및 제 2 전류 전극은 측정 비트중 j번째 비트(도 4에 도시함)를 수신하기 위해 트랜지스터(1854)의 제 1 전류 전극에 각각 접속되어 있다. 당업자라면 그 수는 특정 응용에 맞고 온도 센서(1800)가 내장된 응용의 원하는 분해능에 적합하도록 변화될 수 있음을 쉽게 알 것이다.

B. 동작 설명

전류원(10812)은 트랜지스터(1806, 1808 및 1810)에 의해 다이오드(1802, 1804)로 미러(mirrored)되는 전류를 생성한다. 이 전류에 의해 다이오드(1802, 1804)의 양단에는 예측 가능한 온도의 함수로서 전압이 강하된다. 이들 두 전압간의 차는 또한 다이오드(1802)의 크기 대 다이오드(1804)의 크기의 비율의 자연 로그에 의해 증폭된다.

다이오드(1804) 양단의 전압 강하는 트랜지스터(1842)에 의해 레벨 천이되고 트랜지스터(1844 및 1846)에 의해 전류로 변환되며 디지털 대 아날로그 변환기(1870)로의 입력에 의해 변조된다. 최종적으로, 디지털 대 아날로그 변환기(1870)의 변조 출력은 전압 이득단(1836)의 포지티브(+) 단자에서 전압 이득단(1836)의 네거티브(-) 단자로 흘러간다.

다이오드(1802) 양단의 전압 강하도 레벨 천이되어 전류로 변환된다. 여기서, 다이오드(1802) 양단의 전압 강하는 트랜지스터(1814)에 의해 레벨 천이되고 트랜지스터(1816 및 1818)에 의해 전류로 변환된다. 이 전류는 전압 이득단(1836)의 네거티브(-) 단자에서 전압 이득 스테이지(1836)의 포지티브(+) 단자로 흘러간다.

트랜지스터(1816,1844)의 드레인상에 존재하는 전압과 이들 드레인을 통해 흐르는 전류 자0체는 온도의 함수이다. 기본 원리로부터 시작하면,

[수학식 3]

$$\delta I \equiv I_{1844} - I_{1816}$$

이다. 여기서, I $_{1816}$ 와 I $_{1844}$ 는 다음과 같이 전개될 수 있다:

[수학식 4]

$$I_{1816} = Q_{1816}(V_{gs,1816} - V_{t,1816})^2$$

[수학식 5]

$$I_{1844} = Q_{1844}(V_{gs,1844} - V_{t,1844})^2$$

여기서,

[수학식 6]

$$V_{gs,1816} = V_{d,1802} + V_{t,1816} + \sqrt{I/Q}$$

[수학식 7]

$$V_{gs,1844} = V_{d,1804} + V_{t,1844} + \sqrt{I/Q}$$

[수학식 8]

$$Q = \mu(T) * C_{OX} * w/(21)$$

이다. 여기서, 첨자 'gs'와 't'는 각각 게이트-소스 전압과 임계 전압이고, μ(T')는 전자 이동도이며, *Cox* 는 산화물 커패시턴스이고, w는 제어 전극의 폭이고, l은 특정 트랜지스터의 제어 전극의 길이이다. 상기 전자 이동도는 온도, $T^{-3/2}$ 에 비례한다.

분석을 계속하여 트랜지스터(1816,1844)가 동일하다고 가정하면, 수학식 3 내지 수학식 7은 하기의 수학식으로 줄어든다:

[수학식 9]

$$\delta I = Q[(V_{d,1802} + V_{t,1816} + \sqrt{I/Q} - V_{t,1816})^2 - (V_{d,1804} + V_{t,1844} + \sqrt{I/Q} - V_{t,1844})^2]$$

또는,

[수학식 10]

$$\delta I = Q[(V_{d,1802} + \sqrt{I/Q})^2 - (V_{d,1804} + \sqrt{I/Q})^2]$$

정의에 의해,

[수학식 11]

$$\delta V \equiv V_{d,1804} - V_{d,1802}$$

또는,

[수학식 12]

$$V_{d,1802} = V_{d,1804} - \delta V$$

이다.

수학식 12와 수학식 10을 대입하면 하기와 같다:

[수학식 13]

$$\delta I = Q[(V_{d,1804} - \delta V + \sqrt{I/Q})^2 - (V_{d,1804} + \sqrt{I/Q})^2]$$

이 식은 다음과 같이 줄어든다.

[수학식 14]

$$\delta I = Q\delta V^2 - 2Q\delta VK$$

이고, 여기서,

[수학식 15]

$$K = V_{d,1804} + \sqrt{I/Q}$$

이다.

K는 온도에 거의 좌우되지 않는다. 하지만, δV는 함수 T로서의 온도에 따
라 변하며, 그리고 Q는 함수 $T^{-3/2}$ (전자 이동도)로서 온도에 따라 변한다. 따라서, δI는 함수 $\sqrt{T}$로서 온도에 따라 변한다.

트랜지스터(1822,1824,1850,1852)는 히스테리시스 효과를 제공함으로써 온도 센서(1800)의 동작에 안정성을 제공한다. 전압 이득단(1836)의 출력이 포지티브에서 네거티브로 변한 후에, 트랜지스터(1824)가 도전 상태로 되게 되며, 이에 따라 소량의 전류가 네거티브(-) 단자에서 나와서 동일한 소량의 전류가 전압 이득단(1836)의 포지티브 단자(+)로 흐른다. 반대로, 전압 이득단(1836)의 출력이 네거티브에서 포지티브로 변한 후에는, 트랜지스터(1852)가 도전 상태로 되며, 이에 따라 소량의 전류가 포지티브(+) 단자에서 나와서 동일한 소량의 전류가 전압 이득단(1836)의 네거티브 단자(-)로 흐른다. 이들 추가적인 전류에 의해 전압 이득단(1836)이 그 입력들이 서로 가까워질 때 그 출력을 우연하게 플립(flipping)하는 것을 방지한다.

트랜지스터(1876 $_i$)의 크기와 개수는 앞의 식들에 의해 결정되거나 또는 다이오드 예측 전압의 시뮬레이팅에 의해 경험적으로 결정된다. 특히, 다이오드(1802,1804)의 다이오드 전압은 특정 최소 예측 온도에서 모델링된다. 이 모델로부터, 소정의 최소 전압차가 예측된다. 이 전압차는 전류차로 변환되고 디지털 대 아날로그 변환기(1870)에서 소정 개수의 트랜지스터(1876 $_i$)에 의해 매치(matched)된다. 이 특정 트랜지스터(들)는 항상 온 상태이다. 최소 예측 온도로부터, 증가된 온도가 모델링되어, 증가된 전압차와 증가된 전류차가 얻어진다. 이들 증가된 전류는 개별적인 증가된 트랜지스터(1876 $_i$)에 매치된다. 원하는 입도(granularity)의 온도 검출은 수행되는 증가된 온도 계산의 회수를 결정한다. 트랜지스터(1876 $_i$)는 필요한 트랜지스터 쌍의 전체 개수를 줄이기 위해 서로 조합하여 사용할 수도 있다.

트랜지스터(1880 $_j$)의 크기와 개수는 또한 경험적으로 결정된다. 여기서, 예측된 처리 코너(corner) 및 해당 다이오드 전압이 시뮬레이팅된다. 처리 코너는 데이터 처리기(10)를 제조하는데 이용된 제조 공정에 의해 생긴 물리적인 변동의 예측된 범위를 결정한다. 특히, 다이오드(1802,1804)의 다이오드 전압은 각각의 처리 코너에서 모델링된다. 이 모델로부터, 가능한 전류의 범위가 예측된다. 이 범위는 매칭 전류 범위를 발생시킬 수 있는 디지털 대 아날로그 변환기(1870)에서 소정 개수의 트랜지스터(1880 $_j$)에 의해 매치된다. 트랜지스터(1880 $_j$)는 필요한 트랜지스터 쌍의 전체 개수를 감소시키기 위해 서로 조합되어 사용된다. 사용자 또는 OS는 특정 열 센서가 제조한 후에 생기는 특정 공정 변동을 보상해 주기 위해 어느 트랜지스터가 이네이블되어야 하는지를 결정한다. 이러한 계산은 기지의 온도를 감지함으 로써 수행되며, 따라서 상기 기지의 온도에 대응하는 제어 신호가 감지부(1872)에 입력되고, 온도 센서(1800)의 출력이 상기 예측치를 나타낼 때까지 트랜지스터(1882 $_j$)가 이네이블 또는 디스에이블된다. 측정부(1870)를 포함시킴으로써 상기 감지부(1878)는 제조 변동에 관계없이 전체적인 예측 온도 범위에 걸쳐 정확하게 동작할 수 있게 한다.

C. 제 2 실시예

본 발명의 제 2 실시예에서, 트랜지스터(1816 및 1844)는 '자연 트랜지스터'이다. 자연 트랜지스터는 임계 전압이 0(V_t=0)이다. 이 실시예에서, 트랜지스터(1816 및 1844)의 제어 전극은 각각 다이오드(1802)의 제 1 단자 및 다이오드(1804)의 제 1 단자에 직렬로 접속된다. 트랜지스터(1814 및 1842)는 모두 생략된다. 이 실시예에서, 다이오드(1802)와 다이오드(1804)간의 전압차는 온도와 다이오드 크기만의 함수이다. 처리 변화는 다른 부분은 물론 온도 센서(1800)의 부분에도 전혀 영향을 주지 않는다.

발명의 효과

본 발명은 특정 실시예에 관해 설명되었지만, 당업자에게는 또다른 수정 및 개선이 가능할 것이다. 예컨대, 개시된 발명은 복잡한 명령 세트 컴퓨터 또는 CISC 기기로서 전통적으로 분류된 데이터 처리기에 결합될 수도 있다. 또한, 특정 기능부는 특정 실시예에서 생략될 수도 있으며, 데이터 처리기(10)의 다른 영역에 다시 배치될 수도 있다. 따라서, 본 발명은 첨부된 특허청구범위에 규정된 본 발명의 의 도 및 범위로부터 벗어나지 않는 모든 수정을 포함한다는 것이 이해되어야 한다.

(57) 청구의 범위

청구항 1.

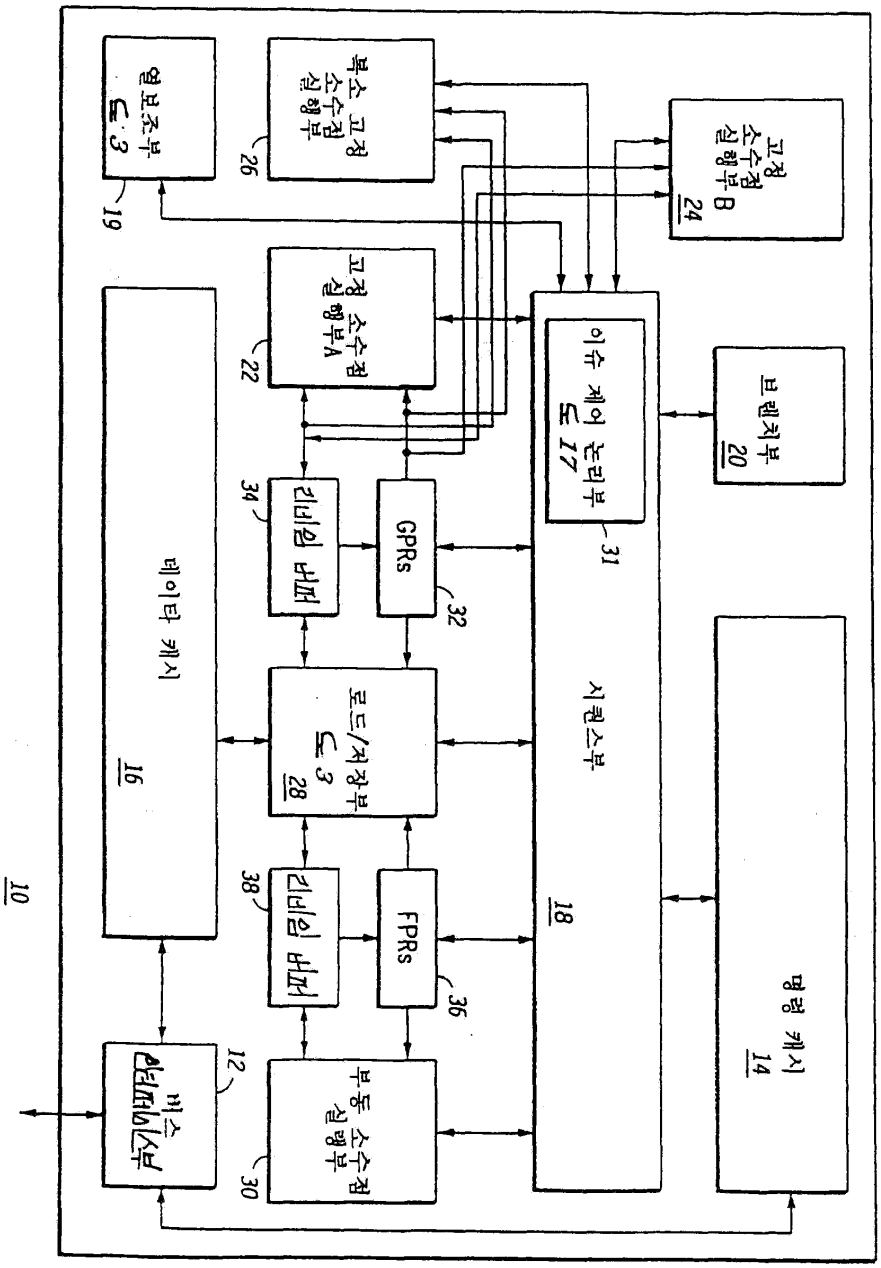
데이터 처리기의 작동 방법에 있어서,
제 1 명령을 인덱싱(indexing)하는 제 1 패치 어드레스를 발생시키는 단계와,
상기 제 1 명령을 패치하는 단계와,
제 2 명령을 인덱싱하는 제 2 패치 어드레스를 발생시키는 단계와,
제 1 시간 간격 동안에, 상기 제 1 명령을 실행하고, 루프를 실행하는 단계를 포함하고, 상기 루프는
사용자 프로그램 가능한 제 1 값을 미리 정해진 수와 비교하는 단계와,
제 1 전력 모드에 있고 상기 제 1 값이 상기 미리 정해진 값과 같지 않다는 것에 응답하여 이네이블 어드레스 신호를 비표명하는 단계로서, 상기 데이터 처리기는 상기 이네이블 어드레스 신호를 비표명하는 동안 상기 제 3 명령을 패치하지 않는, 상기 비표명 단계와,
제 1 전력 모드에 있고 상기 제 1 값이 상기 미리 정해진 값과 같다는 것에 응답하여 상기 이네이블 어드레스 신호를 표명하는 단계로서, 상기 데이터 처리기는 상기 이네이블 어드레스 신호를 표명하는 동안 상기 제 2 명령을 패치하는, 상기 표명 단계와,
상기 제 1 값을 감소시키는 단계를 포함하며,
제 2 시간 간격 동안에는, 제 2 전력 모드에 있는 것에 응답하여 상기 이네 이블 어드레스 신호를 표명하는 단계와,
상기 패치 어드레스 및 이네이블 어드레스 신호에 응답하여 메모리 시스템에 액세스하는 단계를 포함하는, 데이터 처리기의 작동 방법.

청구항 2.

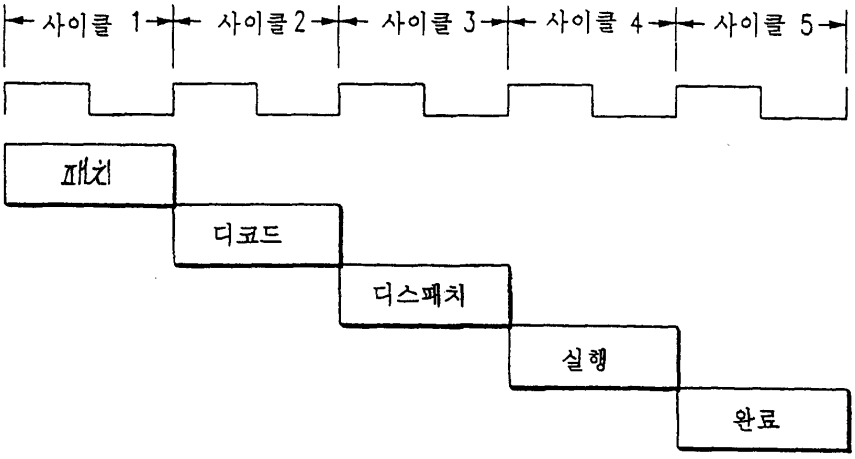
데이터 처리기에 있어서,
제 1 값을 저장하는 레지스터와,
상기 제 1 값을 순차적으로 감소시키는 카운트다운 회로로서, (1) 제 1 전력 모드에서 동작하고 상기 제 1 값은 미리 정해진 값과 같지 않다는 것에 응답하여 패치 디스에이블 신호를 표명하고, (2) 상기 제 1 전력 모드에서 동작하고 상기 제 1 값은 상기 미리 정해진 값과 같다는 것, 또는 제 2 전력 모드에서 동작한다는 것에 응답하여 패치 디스에이블 신호를 비표명하는, 상기 카운트다운 회로와,
상기 패치 디스에이블 신호의 비표명 및 패치 어드레스에 응답하여 명령 캐시로부터 명령들을 패치하는 패치 회로와,
상기 패치 디스에이블 신호의 표명 또는 비표명과 무관하게 패치된 명령들을 실행하는 실행 로직을 포함하는, 데이터 처리기.

도면

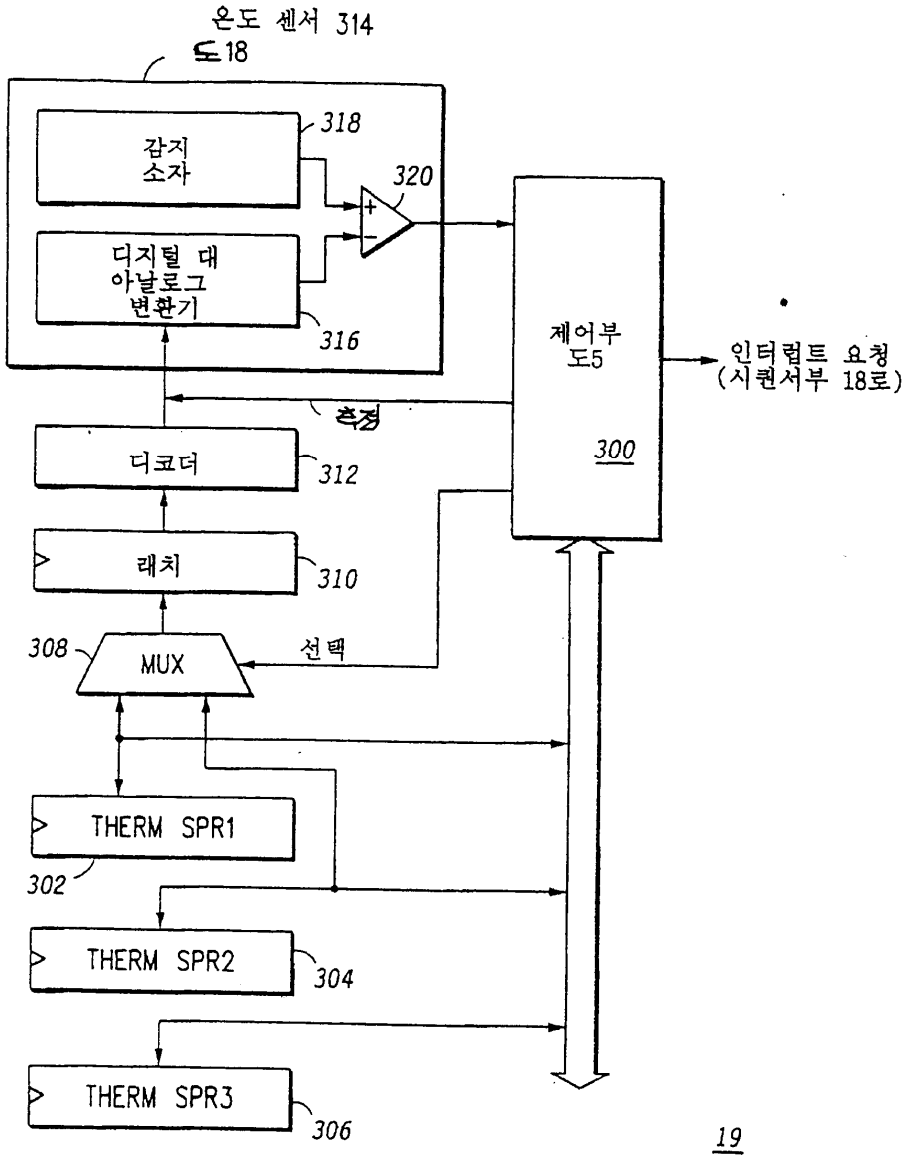
도면1


열보조부
도 3
19
복소 고정 소수점 실행부
26
고정 소수점 실행부 B
24
고정 소수점 실행부A
22
이슈 제어 논리부
도 17
31
브랜치부
20
데이타 캐시
16
리네임 버퍼
34
GPRs
32
로드/저장부
도 3
28
시퀀스부
18
명령 캐시
14
리네임 버퍼
38
FPRs
36
버스 인터페이스부
12
부동 소수점 실행부
30
10

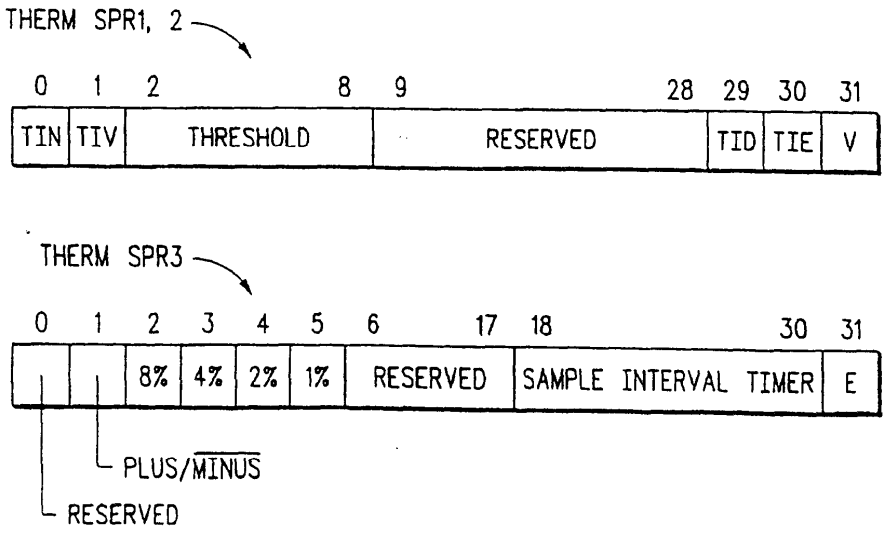
도면2


사이클 1
사이클 2
사이클 3
사이클 4
사이클 5
패치
디코드
디스패치
실행
완료

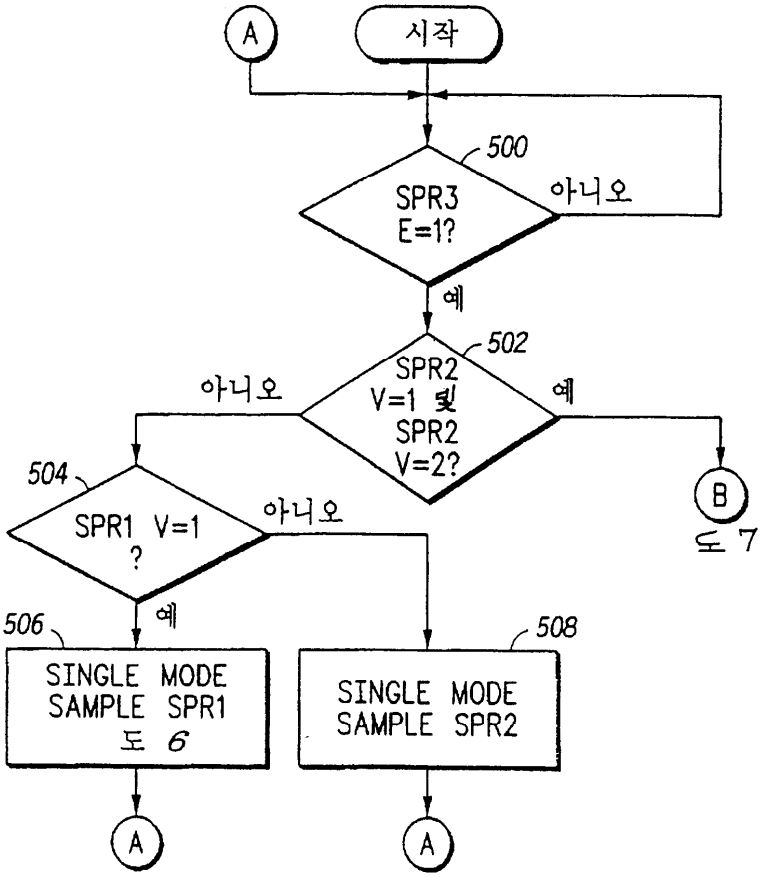
도면3


온도 센서 314
도18
감지 소자
318
320
디지털 대 아날로그 변환기
316
제어부 도5
300
인터럽트 요청 (시퀀서부 18로)
측정
디코더
312
래치
310
308
MUX
선택
THERM SPR1
302
THERM SPR2
304
THERM SPR3
306
19

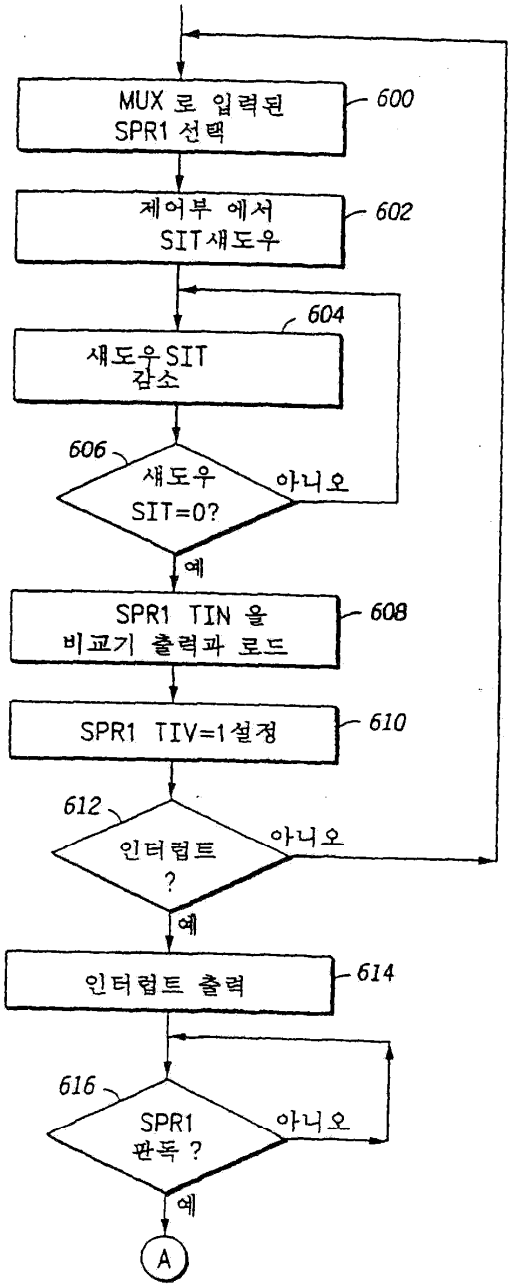
도면4


THERM SPR1, 2
0 1 2 8 9 28 29 30 31
TIN
TIV
THRESHOLD
RESERVED
TID
TIE
V
THERM SPR3
0 1 2 3 4 5 6 17 18 30 31
8%
4%
2%
1%
RESERVED
SAMPLE INTERVAL TIMER
E
PLUS/MINUS
RESERVED

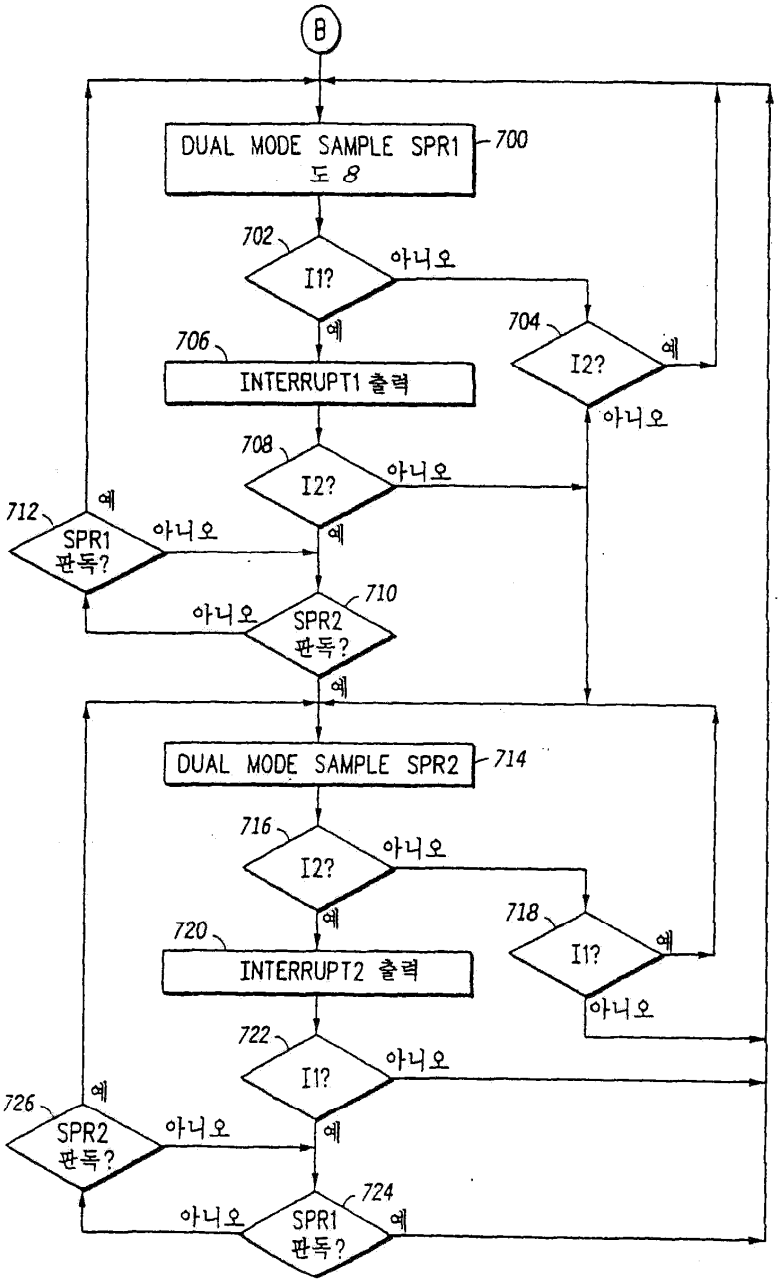
도면5


A
시작
500
SPR3
E=1?
아니오
예
502
SPR2
V=1 및
SPR2
V=2?
아니오
예
504
SPR1 V=1
?
아니오
예
506
SINGLE MODE
SAMPLE SPR1
도 6
508
SINGLE MODE
SAMPLE SPR2
A
A
B
도 7

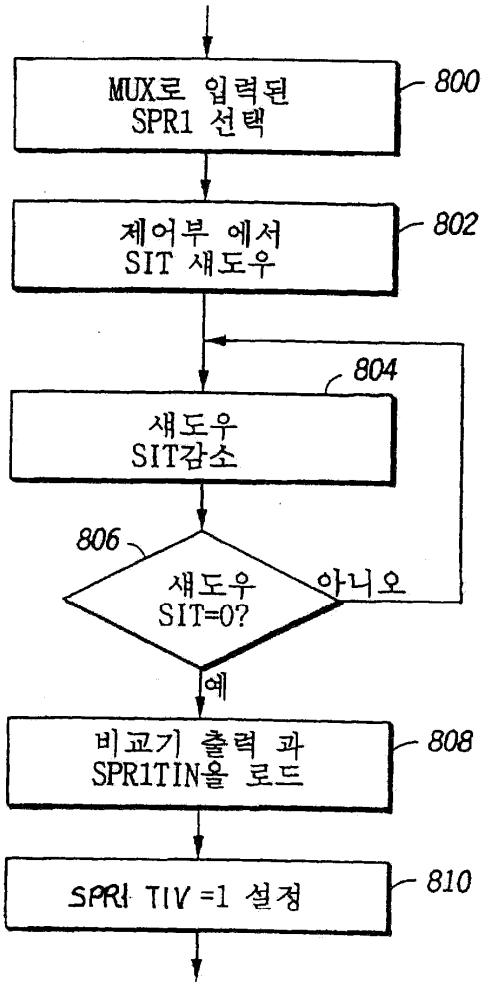
도면6


MUX 로 입력된 SPR1 선택
600
제어부 에서 SIT섀도우
602
섀도우 SIT 감소
604
606
섀도우 SIT=0?
아니오
예
SPR1 TIN 을 비교기 출력과 로드
608
SPR1 TIV=1설정
610
612
인터럽트 ?
아니오
예
인터럽트 출력
614
616
SPR1 판독 ?
아니오
예
A

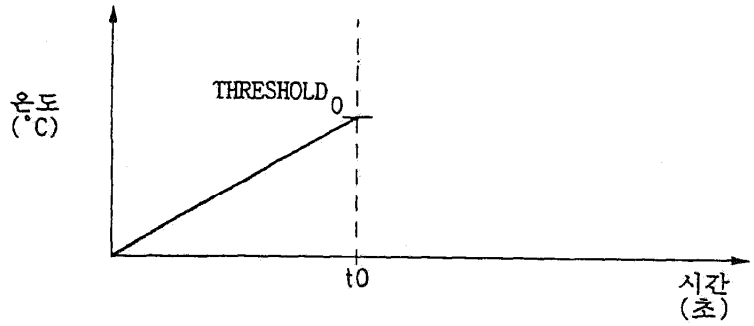
도면7


B
DUAL MODE SAMPLE SPR1
도 8
700
702
I1?
아니오
예
704
I2?
예
아니오
706
INTERRUPT1 출력
708
I2?
아니오
예
712
SPR1
판독?
예
아니오
710
SPR2
판독?
아니오
예
DUAL MODE SAMPLE SPR2
714
716
I2?
아니오
예
718
I1?
예
아니오
720
INTERRUPT2 출력
722
I1?
아니오
예
726
SPR2
판독?
예
아니오
724
SPR1
판독?
아니오
예

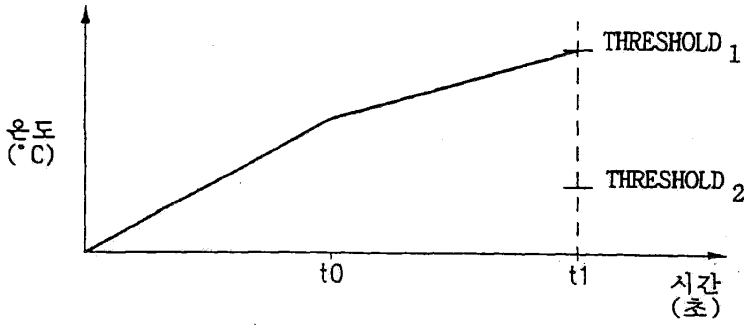
도면8


MUX로 입력된
SPR1 선택
800
제어부 에서
SIT 섀도우
802
804
섀도우
SIT감소
806
섀도우
SIT=0?
아니오
예
비교기 출력 과
SPR1TIN을 로드
808
SPR1 TIV =1 설정
810

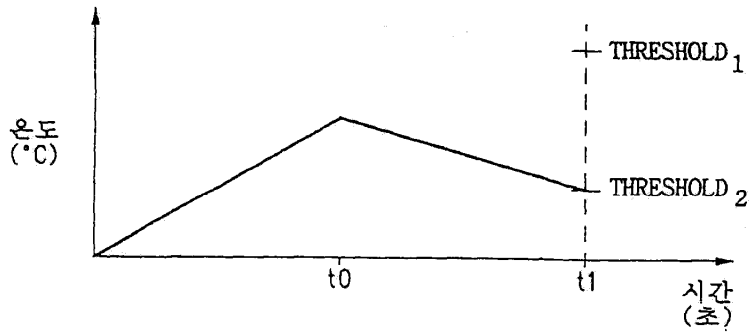
도면9


온도
(°C)
THRESHOLD 0
t0
시간
(초)

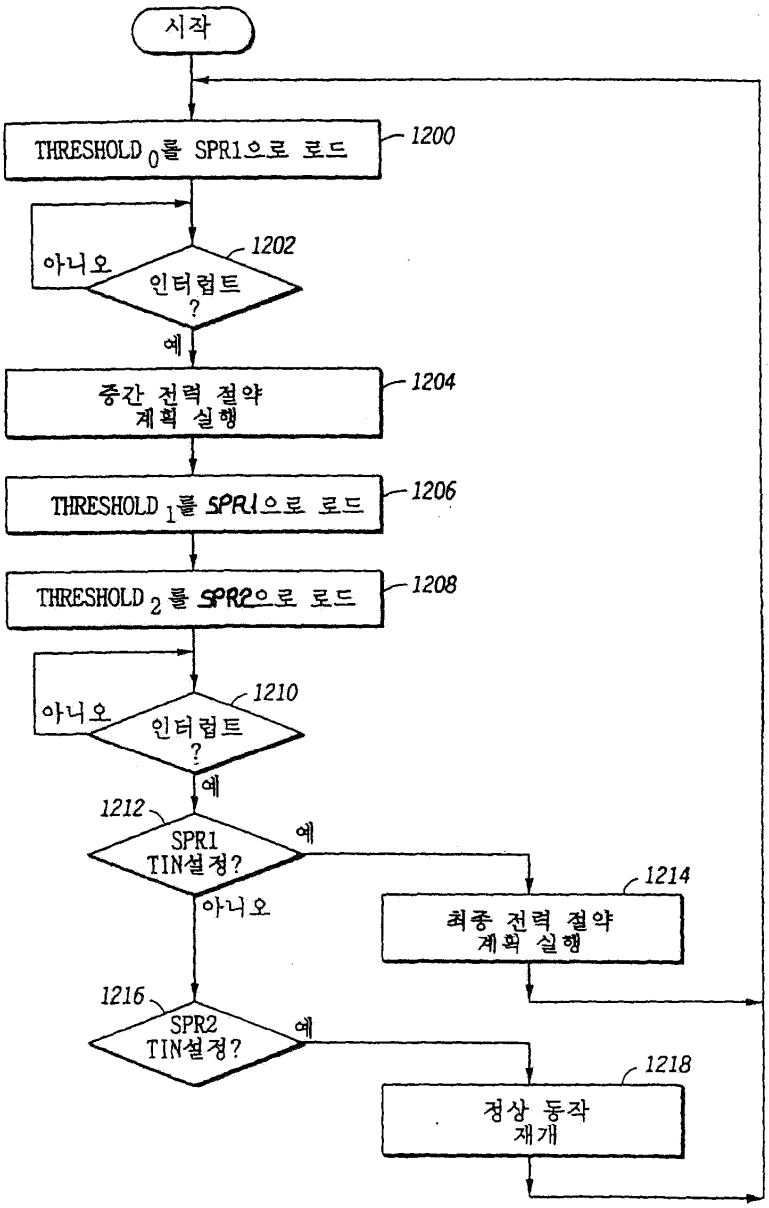
도면10


온도
(°C)
THRESHOLD 1
THRESHOLD 2
t0
t1
시간
(초)

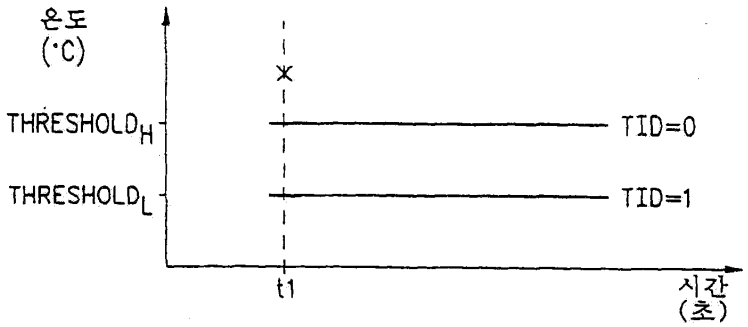
도면11


온도
(°C)
THRESHOLD 1
THRESHOLD 2
t0
t1
시간
(초)

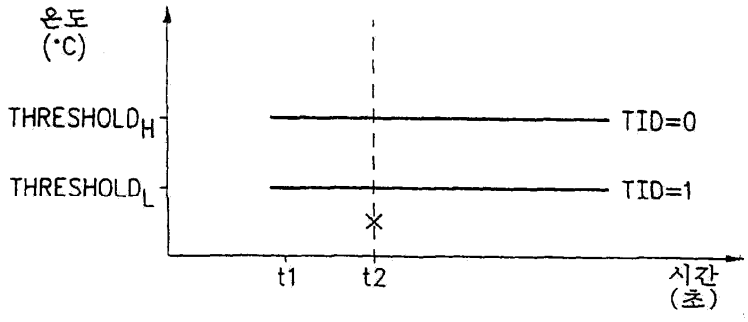
도면12


시작
THRESHOLD 0를 SPR1으로 로드
1200
아니오
인터럽트 ?
1202
예
중간 전력 절약 계획 실행
1204
THRESHOLD 1를 SPR1으로 로드
1206
THRESHOLD 2를 SPR2으로 로드
1208
아니오
인터럽트 ?
1210
예
1212
SPR1 TIN설정?
예
아니오
1214
최종 전력 절약 계획 실행
1216
SPR2 TIN설정?
예
1218
정상 동작 재개

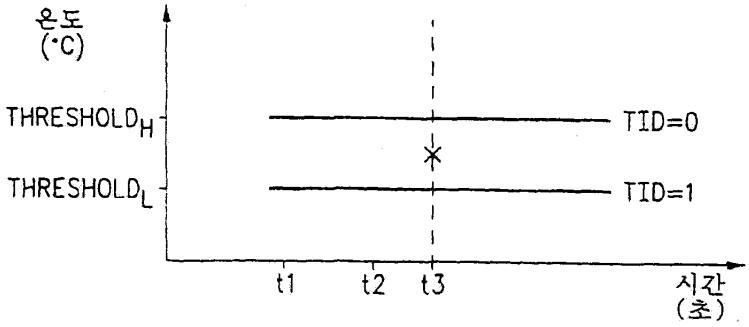
도면13



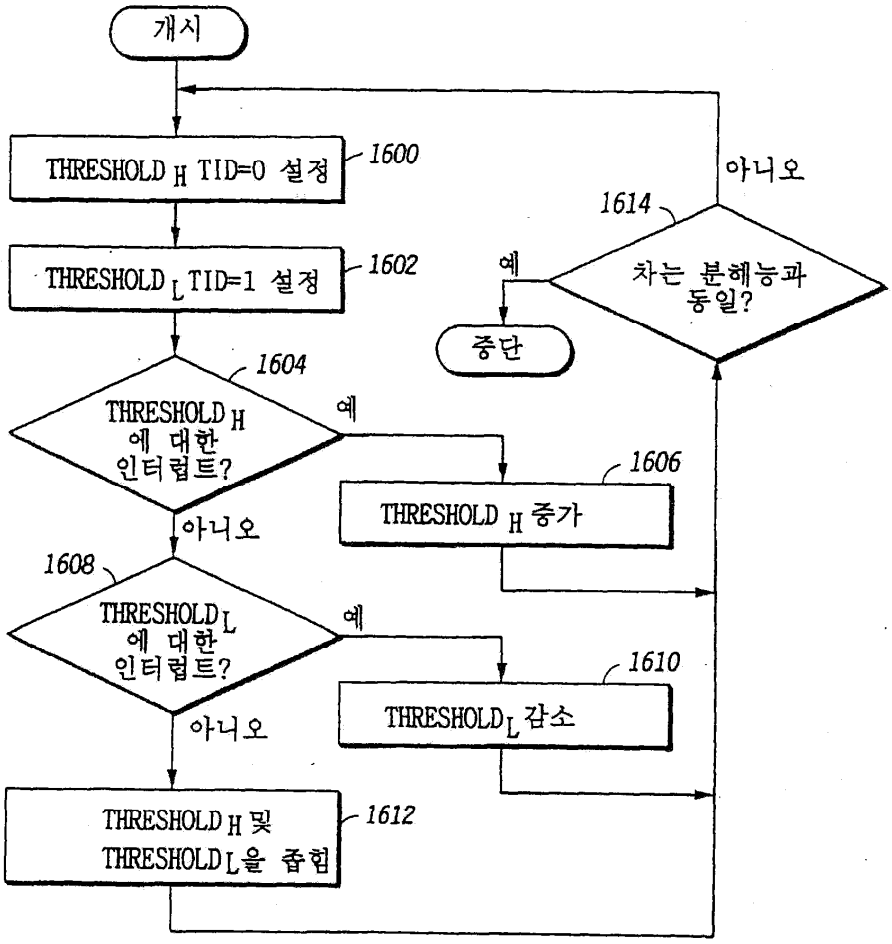
도면14



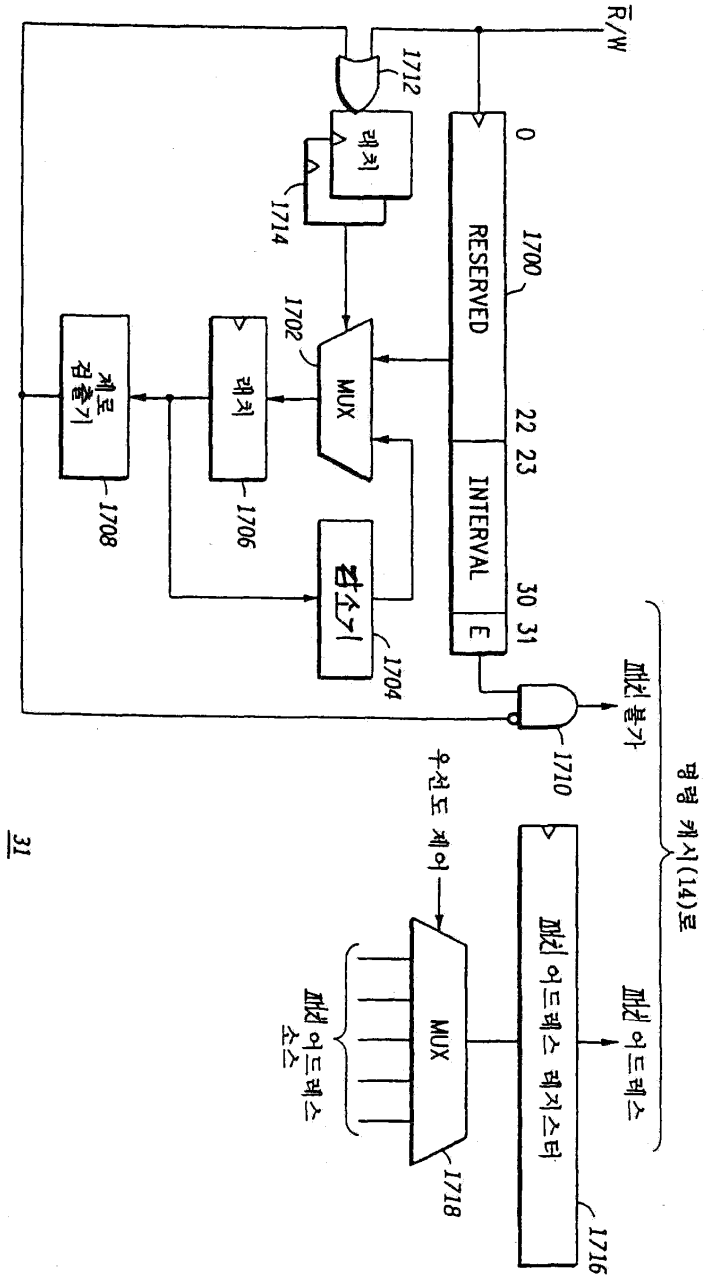
도면15



도면16

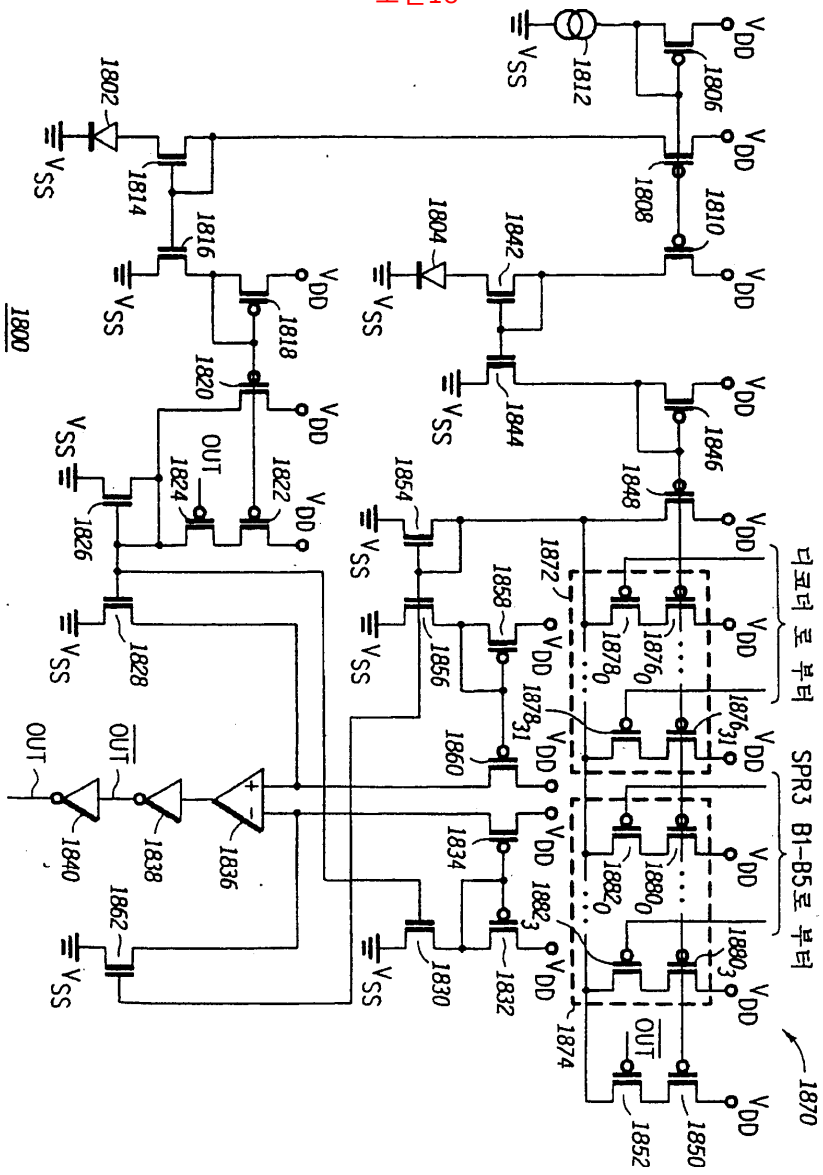

개시
THRESHOLD H TID=0 설정
1600
THRESHOLD L TID=1 설정
1602
1604
THRESHOLD H 에 대한 인터럽트?
예
아니오
1606
THRESHOLD H 증가
1608
THRESHOLD L 에 대한 인터럽트?
예
아니오
1610
THRESHOLD L 감소
THRESHOLD H 및 THRESHOLD L을 좁힘
1612
1614
차는 분해능과 동일?
예
아니오
중단

도면17


R/W
1712
래치
1714
0
RESERVED
1700
22 23
INTERVAL
30 31
E
1702
MUX
래치
1706
제로 검출기
1708
감소기
1704
패킷 불가
1710
명령 캐시(14)로
우선도 제어
패킷 어드레스 레지스터
1716
패킷 어드레스
MUX
1718
패킷 어드레스 소스

31

도면18


1800
1802
1804
1806
1808
1810
1812
1814
1816
1818
1820
1822
1824
1826
1828
1830
1832
1834
1836
1838
1840
1842
1844
1846
1848
1850
1852
1854
1856
1858
1860
1862
1870
1872
1874
OUT
$\overline{OUT}$
V_{DD}
V_{SS}
디코더 로 부터
SPR3 B1-B5로 부터