



(19)中華民國智慧財產局

(12)發明說明書公告本 (11)證書號數：TW I547987 B

(45)公告日：中華民國 105 (2016) 年 09 月 01 日

(21)申請案號：103140448

(22)申請日：中華民國 100 (2011) 年 06 月 21 日

(51)Int. Cl. : **H01L21/304 (2006.01)**

(30)優先權：2010/06/22 美國 61/357,468

2011/06/15 美國 13/160,713

(71)申請人：應用材料股份有限公司 (美國) APPLIED MATERIALS, INC. (US)

美國

(72)發明人：雷偉生 LEI, WEI-SHENG (CN)；伊頓貝德 EATON, BRAD (US)；亞拉曼奇里麥德
哈瓦饒 YALAMANCHILI, MADHAVA RAO (US)；辛沙拉傑特 SINGH,
SARAVJEET (US)；庫默亞傑 KUMAR, AJAY (US)；霍登詹姆士 M HOLDEN,
JAMES M. (US)

(74)代理人：蔡坤財；李世章

(56)參考文獻：

TW 200834702A

US 2005/0274702A1

審查人員：于若天

申請專利範圍項數：15 項 圖式數：13 共 43 頁

(54)名稱

使用基於飛秒之雷射及電漿蝕刻的晶圓切割方法及系統

WAFER DICING USING FEMTOSECOND-BASED LASER AND PLASMA ETCH

(57)摘要

本發明描述切割半導體晶圓之方法，其中每一晶圓具有複數個積體電路。一種方法包括以下步驟：在該半導體晶圓上方形成一遮罩。該遮罩由覆蓋且保護該等積體電路之一層組成。用一基於飛秒之雷射劃線製程將該遮罩佈局圖樣，以提供具有間隙之一經佈局圖樣之遮罩。該佈局圖樣曝露該等積體電路之間的該半導體晶圓之區域。然後穿過該經佈局圖樣之遮罩中的該等間隙將該半導體晶圓蝕刻，以單分該等積體電路。

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. A method includes forming a mask above the semiconductor wafer. The mask is composed of a layer covering and protecting the integrated circuits. The mask is patterned with a femtosecond-based laser scribing process to provide a patterned mask with gaps. The patterning exposes regions of the semiconductor wafer between the integrated circuits. The semiconductor wafer is then etched through the gaps in the patterned mask to singulate the integrated circuits.

指定代表圖：

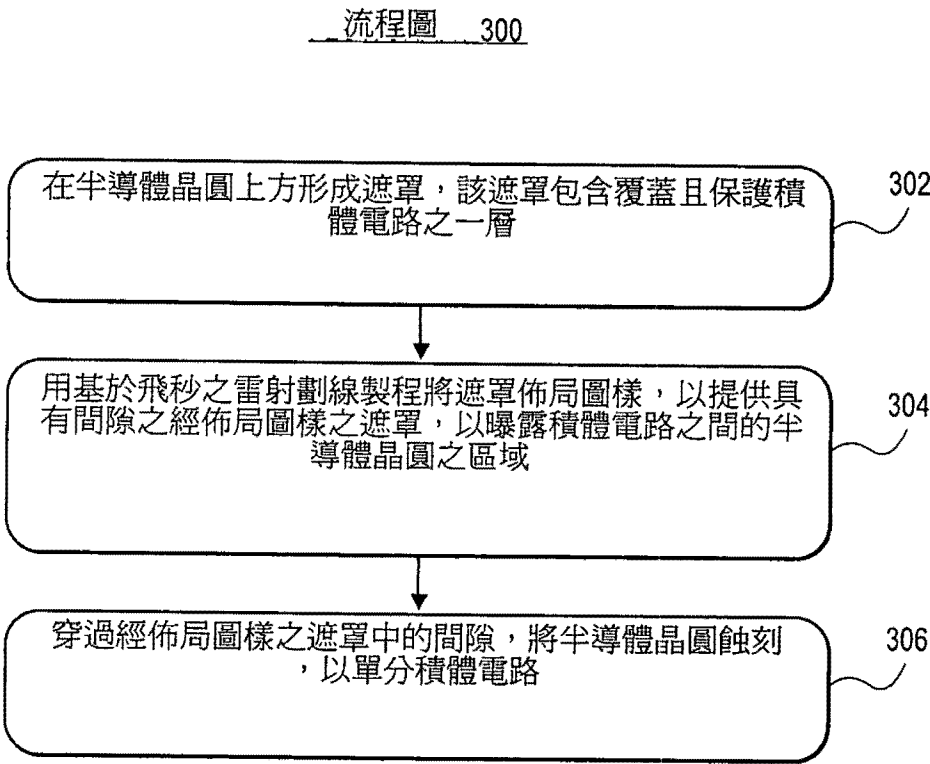
符號簡單說明：

300 . . . 流程圖

302 . . . 操作

304 . . . 操作

306 . . . 操作



第3圖

發明摘要

※ 申請案號：103140448 (由100121661分割)

※ 申請日：2011 年 06 月 21 日

※ IPC 分類：H01L 21/304 (2006.01)

原申請案號：100121661

【發明名稱】（中文/英文）

使用基於飛秒之雷射及電漿蝕刻的晶圓切割方法及系統

WAFER DICING USING FEMTOSECOND-BASED LASER AND
PLASMA ETCH

【中文】

本發明描述切割半導體晶圓之方法，其中每一晶圓具有複數個積體電路。一種方法包括以下步驟：在該半導體晶圓上方形成一遮罩。該遮罩由覆蓋且保護該等積體電路之一層組成。用一基於飛秒之雷射劃線製程將該遮罩佈局圖樣，以提供具有間隙之一經佈局圖樣之遮罩。該佈局圖樣曝露該等積體電路之間的該半導體晶圓之區域。然後穿過該經佈局圖樣之遮罩中的該等間隙將該半導體晶圓蝕刻，以單分該等積體電路。

【英文】

Methods of dicing semiconductor wafers, each wafer having a plurality of integrated circuits, are described. A method includes forming a mask above the semiconductor wafer. The mask is composed of a layer covering and protecting the integrated circuits. The mask is patterned with a femtosecond-based laser scribing process to provide a patterned mask with gaps. The patterning exposes regions of the semiconductor wafer between the integrated circuits. The semiconductor wafer is then etched through the gaps in the patterned mask to singulate the integrated circuits.

【代表圖】

【本案指定代表圖】：第（ 3 ）圖。

【本代表圖之符號簡單說明】：

300：流程圖

302：操作

304：操作

306：操作

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：

無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

使用基於飛秒之雷射及電漿蝕刻的晶圓切割方法及系統

WAFER DICING USING FEMTOSECOND-BASED LASER AND
PLASMA ETCH

相關申請案的交叉引用

本申請案為 2011 年 6 月 15 日提出申請的美國申請案 13/160,713 之延續案，其主張 2010 年 6 月 22 日提出申請的美國臨時申請案第 61/357,468 號之權益，該案之全部內容以引用之方式併入本文中。

【技術領域】

【0001】 本發明之實施例係關於半導體處理領域，且特定言之係關於切割半導體晶圓之方法，其中每一晶圓在該晶圓上具有複數個積體電路。

【先前技術】

【0002】 在半導體晶圓處理中，在由矽或其他半導體材料組成之晶圓（亦被稱作基板）上形成積體電路。通常，利用半導體、導電或絕緣之不同材料層來形成積體電路。使用各種熟知製程摻雜、沉積及蝕刻此等材料，以形成積體電路。處理每一晶圓以形成大量含有積體電路之個別區域，該等個別區域稱為晶粒。

【0003】 在積體電路形成製程之後，「切割」晶圓以將個別晶粒彼此分隔，以用於封裝或在較大電路內以未封裝形式使用。用於晶圓切割之兩種主要技術為劃線及鋸切。藉由劃線，

沿預成形之劃割線越過晶圓表面移動金剛石尖頭劃線器。此等劃割線沿晶粒之間的間隔延伸。此等間隔通常被稱作「切割道(street)」。金剛石劃線器沿切割道在晶圓表面中形成淺劃痕。在諸如以滾軸施加壓力之後，晶圓沿該等劃割線分開。晶圓斷裂遵循晶圓基板之晶格結構。劃線可用於厚度約 10 密耳（千分之一吋）或更小之晶圓。對於更厚之晶圓，目前鋸切為用於切割之較佳方法。

【0004】 藉由鋸切，以每分鐘高轉數旋轉之金剛石尖頭鋸接觸晶圓表面，且沿切割道鋸切晶圓。晶圓安裝在諸如在薄膜框架上伸展之黏合薄膜的支撐構件上，且鋸反復施加於垂直切割道與水平切割道兩者。劃線或鋸切的一個問題為：切屑及挖傷可沿該等晶粒之切斷邊緣形成。此外，裂紋可形成且自該等晶粒之邊緣擴散至基板中，且致使積體電路不工作。切削及裂化特別為劃線的問題，因為正方形或矩形晶粒僅一側可沿結晶結構之 $\langle 110 \rangle$ 方向被劃線。因此，該晶粒另一側之裂開產生一鋸齒狀分隔線。由於切削及裂化，故在晶圓上的晶粒之間需要額外間隔，以防止損壞積體電路，例如，將切屑及裂紋維持在與實際積體電路一定距離處。間隔要求導致在一標準尺寸晶圓上不能形成同樣多之晶粒，且浪費了原本可用於電路之晶圓空間(real estate)。鋸之使用加重半導體晶圓上空間之浪費。鋸刀約 15 微米厚。因此，為保證由鋸造成之切口周圍之裂紋及其他損壞不損害積體電路，常須三百微米至五百微米來分隔該等晶粒中之每一者之電路。此外，在切割之後，每一晶粒需要實質性清潔，以移除由鋸切製程產

生之微粒及其他污染物。

【0005】 亦使用了電漿切割，但電漿切割同樣可具有局限性。舉例而言，成本可為阻礙實施電漿切割的一個局限。用於佈局圖樣抗蝕劑之標準微影操作可致使實施成本過高。可能阻礙實施電漿切割之另一局限為，在沿切割道切割中之常見金屬（例如銅）之電漿處理可造成生產問題或產量限制。

【發明內容】

【0006】 本發明之實施例包括切割半導體晶圓之方法，其中每一晶圓在該晶圓上具有複數個積體電路。

【0007】 在一實施例中，一種切割具有複數個積體電路之半導體晶圓的方法包括以下步驟：在該半導體晶圓上方形成一遮罩，該遮罩由覆蓋且保護該等積體電路之一層組成。然後用一基於飛秒之雷射劃線製程將該遮罩佈局圖樣，以提供具有間隙之經佈局圖樣之遮罩，從而曝露該等積體電路之間的該半導體晶圓之區域。然後穿過該經佈局圖樣之遮罩中之該等間隙將該半導體晶圓蝕刻，以單分該等積體電路。

【0008】 在另一實施例中，一種用於切割半導體晶圓之系統包括一工廠介面。一雷射劃線設備與該工廠介面耦合，且包括一基於飛秒之雷射。一電漿蝕刻腔室亦與該工廠介面耦合。

【0009】 在另一實施例中，一種切割具有複數個積體電路之半導體晶圓的方法包括以下步驟：在一矽基板上方形形成一聚合物層。該聚合物層覆蓋且保護安置於該矽基板上之積體電路。該等積體電路由安置於一低介電常數材料層及一銅層上方的二氧化矽層組成。用一基於飛秒之雷射劃線製程將該聚

合物層、該二氧化矽層、該低介電常數材料層及該銅層佈局圖樣，以曝露該等積體電路之間的該矽基板之區域。然後穿過間隙將該矽基板蝕刻，以單分該等積體電路。

【圖式簡單說明】

【0010】 第 1 圖圖示根據本發明之一實施例，待切割之半導體晶圓的俯視圖。

【0011】 第 2 圖圖示根據本發明之一實施例的待切割之半導體晶圓的俯視圖，該半導體晶圓具有切割遮罩形成在半導體晶圓上。

【0012】 第 3 圖為根據本發明之一實施例，表示切割半導體晶圓之方法之操作的流程圖，該半導體晶圓包括複數個積體電路。

【0013】 第 4A 圖圖示根據本發明之一實施例，在執行切割該半導體晶圓之方法期間，包括複數個積體電路之半導體晶圓的橫截面圖，該橫截面圖對應於第 3 圖之流程圖之操作 302。

【0014】 第 4B 圖圖示根據本發明之一實施例，在執行切割該半導體晶圓之方法期間，包括複數個積體電路之半導體晶圓的橫截面圖，該橫截面圖對應於第 3 圖之流程圖之操作 304。

【0015】 第 4C 圖圖示根據本發明之一實施例，在執行切割該半導體晶圓之方法期間，包括複數個積體電路之半導體晶圓的橫截面圖，該橫截面圖對應於第 3 圖之流程圖之操作 306。

【0016】 第 5 圖圖示根據本發明之一實施例，使用飛秒範圍內之雷射脈衝與較長脈衝時間比較之效果。

【0017】 第 6 圖圖示根據本發明之一實施例，材料之堆疊之橫截面圖，該等材料可用於半導體晶圓或基板之切割道區域。

【0018】 第 7 圖包括根據本發明之一實施例，結晶矽(c-Si)、銅(Cu)、結晶二氧化矽(c-SiO₂)及非晶二氧化矽(a-SiO₂)之吸收係數隨著光子能變化的曲線圖。

【0019】 第 8 圖為方程式，該方程式展示給定雷射之雷射強度與雷射脈衝能量、雷射脈衝寬度及雷射光束半徑之函數關係。

【0020】 第 9A 圖至第 9D 圖圖示根據本發明之一實施例，切割半導體晶圓之方法之不同操作的橫截面圖。

【0021】 第 10 圖圖示根據本發明之一實施例，藉由使用與習知切割相比較窄之切割道達成的半導體晶圓上之緊密作用，該習知切割可限於最小寬度。

【0022】 第 11 圖圖示根據本發明之一實施例，允許較緊密堆積且因此與柵格對準方法相比允許每晶圓更多之晶粒的自由形式積體電路佈置。

【0023】 第 12 圖圖示根據本發明之一實施例，用於晶圓或基板之雷射及電漿切割之工具佈局的方塊圖。

【0024】 第 13 圖圖示根據本發明之一實施例，示例性電腦系統的方塊圖。

【實施方式】

【0025】 已描述切割半導體晶圓之方法，其中每一晶圓在該晶圓上具有複數個積體電路。在以下描述中闡述眾多特定細節，諸如基於飛秒之雷射劃線及電漿蝕刻條件及材料狀況，

以提供對本發明之實施例之透徹理解。熟習此項技術者而言，本發明之實施例可在無此等特定細節之情況下實施將顯而易見。在其他實例中，諸如積體電路製造之熟知態樣不作詳述，以免不必要地使本發明之實施例難以理解。此外，應理解，附圖中所示之各種實施例為說明性表示，且未必按比例繪製。

【0026】 可實施涉及初始雷射劃線及後續電漿蝕刻之混合晶圓或基板切割製程，以用於晶粒單分。雷射劃線製程可用於清除遮罩層、有機及無機介電層及元件層。然後可在曝露或部分蝕刻晶圓或基板之後終止該雷射蝕刻製程。然後可使用切割製程之電漿蝕刻部分來蝕刻穿過大部分的晶圓或基板（諸如穿過大塊單結晶矽），以產生晶粒或晶片單分或切割。

【0027】 習知晶圓切割方法包括基於純機械分離之金剛石鋸切、初始雷射劃線及後續金剛石鋸切割或奈秒或皮秒雷射切割。對於諸如 50 微米厚之大塊矽單分的薄晶圓或基板單分而言，該等習知方法僅產生不良製程品質。在自薄晶圓或基板單分晶粒時可能面臨之一些挑戰可包括：在不同層之間形成微裂或分層、切削無機介電層、保持嚴格之鋸口寬度控制或精確之切除深度控制。本發明之實施例包括混合雷射劃線及電漿蝕刻晶粒單分方法，該方法可適用於克服上述挑戰中之一或多者。

【0028】 根據本發明之一實施例，基於飛秒之雷射劃線與電漿蝕刻之組合用於將半導體晶圓切割成個別化或單分化之積體電路。在一實施例中，基於飛秒之雷射劃線被用作基本（若

非完全) 非熱製程。舉例而言，該基於飛秒之雷射劃線可定位於無熱損壞或可忽略熱損壞之區域。在一實施例中，本文之方法用於單分具有超低介電常數薄膜之積體電路。藉由習知切割，可能需要鋸減速以適應此類低介電常數薄膜。此外，現通常在切割之前使半導體晶圓變薄。因此，在一實施例中，將遮罩佈局圖樣與使用基於飛秒之雷射之部分晶圓劃線組合，並繼之以電漿蝕刻製程係現今實用的。在一實施例中，藉由雷射直接寫入可排除對光阻層之微影佈局圖樣操作之需要，且可以極低之成本實施。在一實施例中，通孔型矽蝕刻用於在電漿蝕刻環境中完成該切割製程。

【0029】 因此，在本發明之一態樣中，基於飛秒之雷射劃線與電漿蝕刻之組合可用於將半導體晶圓切割成單分化之積體電路。第 1 圖圖示根據本發明之一實施例，待切割之半導體晶圓的俯視圖。第 2 圖圖示根據本發明之一實施例的待切割之半導體晶圓的俯視圖，該半導體晶圓具有切割遮罩形成在半導體晶圓上。

【0030】 參看第 1 圖，半導體晶圓 100 具有包括積體電路之複數個區域 102。區域 102 由垂直切割道 104 及水平切割道 106 分隔。切割道 104 及切割道 106 為不含積體電路之半導體晶圓之區域，且將切割道 104 及切割道 106 設計為切割晶圓所沿著的位置。本發明之一些實施例涉及利用基於飛秒之雷射劃線與電漿蝕刻技術之組合，以沿該等切割道穿過半導體晶圓切割溝道，以使得該等晶粒被分成個別晶片或晶粒。由於雷射劃線與電漿蝕刻製程皆不依賴於結晶結構定向，故待

切割之半導體晶圓之結晶結構對達成穿過該晶圓之垂直溝道並不重要。

【0031】 參看第 2 圖，半導體晶圓 100 具有沉積於半導體晶圓 100 上之遮罩 200。在一實施例中，該遮罩以習知方式經沉積，以達成約 4-10 微米厚之層。用雷射劃線製程將遮罩 200 及半導體晶圓 100 之一部分佈局圖樣，以沿切割道 104 及切割道 106 界定切割半導體晶圓 100 所在之位置（例如間隙 202 及 204）。半導體晶圓 100 之積體電路區域由遮罩 200 覆蓋及保護。遮罩 200 之區域 206 經定位以使得在後續刻蝕製程期間，積體電路不被該蝕刻製程降級。在區域 206 之間形成水平間隙 204 及垂直間隙 202，以界定將在蝕刻製程期間被蝕刻以最終切割半導體晶圓 100 之區域。

【0032】 第 3 圖為根據本發明之一實施例，表示切割半導體晶圓之方法之操作的流程圖 300，該半導體晶圓包括複數個積體電路。第 4A 圖至第 4C 圖圖示根據本發明之一實施例，在執行切割該半導體晶圓之方法期間，包括複數個積體電路之半導體晶圓的橫截面圖，該等橫截面圖對應於流程圖 300 之操作。

【0033】 參看流程圖 300 之操作 302 以及相應第 4A 圖，遮罩 402 形成於半導體晶圓或基板 404 上方。遮罩 402 由覆蓋且保護積體電路 406 之層組成，積體電路 406 形成於半導體晶圓 404 之表面上。遮罩 402 亦覆蓋介入切割道 407，介入切割道 407 形成於積體電路 406 中之每一者之間。

【0034】 根據本發明之一實施例，形成遮罩 402 包括：形成

諸如（但不限於）光阻層或自交系(I-line)佈局圖樣層之層。舉例而言，諸如光阻層之聚合物層可由另外適用於微影製程之材料組成。在一實施例中，該光阻層由正光阻材料組成，諸如（但不限於）248 奈米(nm)抗蝕劑、193 nm 抗蝕劑、157 nm 抗蝕劑、極紫外線(extreme ultra-violet; EUV)抗蝕劑或含有重氮基萘醌敏化劑之酚樹脂介質。在另一實施例中，該光阻層由負光阻材料組成，諸如（但不限於）聚順異戊二烯及聚桂皮酸乙烯酯。

● **【0035】** 在一實施例中，半導體晶圓或基板 404 由適合於經受製造程序之材料組成，且可將半導體處理層適當安置於該材料上。舉例而言，在一實施例中，半導體晶圓或基板 404 由基於 IV 族之材料組成，諸如（但不限於）結晶矽、鍺或矽/鍺。在一特定實施例中，提供半導體晶圓 404 包括：提供單晶矽基板。在一特定實施例中，該單晶矽基板摻雜有雜質原子。在另一實施例中，半導體晶圓或基板 404 由 III-V 族材料組成，諸如用於發光二極體(light emitting diode; LED)之製造之 III-V 族材料基板。

● **【0036】** 在一實施例中，半導體晶圓或基板 404 具有安置於半導體晶圓或基板 404 上或半導體晶圓或基板 404 中之一陣列之半導體元件，該等半導體元件作為積體電路 406 之一部分。此類半導體元件之實例包括（但不限於）：在矽基板中製造且包裝於介電層中之記憶體元件或互補金氧半導體(complimentary metal-oxide-semiconductor; CMOS)電晶體。在該等元件或電晶體上方及周圍介電層中可形成複數個金屬互

連，且該等金屬互連可用於電氣耦合該等元件或電晶體，以形成積體電路 406。組成切割道 407 之材料可與用於形成積體電路 406 之彼等材料相似或相同。舉例而言，切割道 407 可由多層介電材料、半導體材料及金屬化組成。在一實施例中，切割道 407 中之一或多者包括類似於積體電路 406 之實際元件的測試元件。

【0037】 參看流程圖 300 之操作 304 以及相應第 4B 圖，用基於飛秒之雷射劃線製程將遮罩 402 佈局圖樣，以提供具有間隙 410 之經佈局圖樣之遮罩 408，從而曝露積體電路 406 之間的半導體晶圓或基板 404 之區域。因此，基於飛秒之雷射劃線製程用於移除最初形成於積體電路 406 之間的切割道 407 之材料。根據本發明之一實施例，用基於飛秒之雷射劃線製程將遮罩 402 佈局圖樣包括：形成溝道 412 部分進入積體電路 406 之間的半導體晶圓 404 之區域，如第 4B 圖所示。

【0038】 在一實施例中，用雷射劃線製程將遮罩 408 佈局圖樣包括：使用具有飛秒範圍內之脈衝寬度之雷射。具體而言，具有在可見光譜加紫外線 (ultra-violet; UV) 及紅外線 (infra-red; IR) 範圍（總計寬頻光譜）內之波長的雷射可用於提供基於飛秒之雷射，亦即具有量級為飛秒（10-15 秒）之脈衝寬度的雷射。在一實施例中，切除不依賴於或基本不依賴於波長，且因此適合於複合薄膜，諸如遮罩 402 之薄膜、切割道 407 之薄膜及可能一部分半導體晶圓或基板 404 之薄膜。

【0039】 第 5 圖圖示根據本發明之一實施例，使用飛秒範圍內之雷射脈衝與較長頻率比較之效果。參看第 5 圖，與較長

脈衝寬度比較（例如，藉由皮秒處理通孔 500B 產生損壞 502B 及藉由奈秒處理通孔 500A 產生顯著損壞 502A），使用具有飛秒範圍內之脈衝寬度的雷射緩解或消除了熱損壞問題（例如，藉由飛秒處理通孔 500C 最小化至無損壞 502C）。在形成通孔 500C 期間損壞的消除或緩解可歸因於缺乏低能量再耦合（如見於基於皮秒之雷射切除）或熱平衡（如見於基於奈秒之雷射切除），如第 5 圖所示。

【0040】雷射參數選擇（諸如脈衝寬度）可為研發成功之雷射劃線及切割製程之關鍵，成功之雷射劃線及切割製程將切削、微裂及分層減至最少，以達成平整之雷射劃線切口。雷射劃線切口愈平整，則用於最終之晶粒單分而執行之蝕刻製程愈平穩。在半導體元件晶圓中，許多不同材料類型（例如導體、絕緣體、半導體）及厚度之功能層通常安置於半導體元件晶圓上。此類材料可包括（但不限於）諸如聚合物之有機材料、金屬或諸如二氧化矽及氮化矽之無機介電質。

【0041】安置於晶圓或基板上之個別積體電路之間的切割道可包括與該等積體電路本身相似或相同之層。舉例而言，第 6 圖圖示根據本發明之一實施例，材料之堆疊的橫截面圖，該等材料可用於半導體晶圓或基板之切割道區域中。

【0042】參看第 6 圖，切割道區域 600 包括矽基板之頂部部分 602、第一二氧化矽層 604、第一蝕刻終止層 606、第一低介電常數介電層 608（例如，具有小於二氧化矽之介電常數 4.0 之介電常數）、第二蝕刻終止層 610、第二低介電常數介電層 612、第三蝕刻終止層 614、無摻雜矽玻璃(undoped silica

glass; USG)層 616、第二二氧化矽層 618 及光阻層 620，其中圖示相對厚度。銅金屬 622 安置於第一蝕刻終止層 606 與第三蝕刻終止層 614 之間，且穿過第二蝕刻終止層 610。在一特定實施例中，第一蝕刻終止層 606、第二蝕刻終止層 610 及第三蝕刻終止層 614 由氮化矽組成，而低介電常數介電層 608 及 612 由摻碳氧化矽材料組成。

【0043】 在習知雷射照射（諸如基於奈秒或基於皮秒之雷射照射）下，切割道 600 之材料在光吸收及切除機制方面表現相當不同。舉例而言，諸如二氧化矽之介電層在正常情況下對所有市售之雷射波長均為基本透明。相反，金屬、有機物（例如低介電常數材料）及矽能夠非常容易地耦合光子，尤其回應於基於奈秒或基於皮秒之雷射照射。舉例而言，第 7 圖包括根據本發明之一實施例，結晶矽（c-Si，702）、銅（Cu，704）、結晶二氧化矽（c-SiO₂，706）及非晶二氧化矽（a-SiO₂，708）之吸收係數隨著光子能變化的曲線圖 700。第 8 圖為方程式 800，該方程式展示給定雷射之雷射強度與雷射脈衝能量、雷射脈衝寬度及雷射光束半徑之函數關係。

【0044】 在一實施例中，利用方程式 800 及吸收係數之曲線圖 700，可選擇基於飛秒雷射之製程之參數，以對無機及有機介電質、金屬及半導體具有基本共同之切除效應，儘管此類材料之一般能量吸收特徵在某些條件下可大大不同。舉例而言，二氧化矽之吸收率為非線性的，且在適當雷射切除參數下二氧化矽之吸收率可與有機介電質、半導體及金屬之吸收率更加一致。在一個此類實施例中，高強度及短脈衝寬度之

基於飛秒之雷射製程用於切除層之堆疊，該層之堆疊包括二氧化矽層，及有機介電質、半導體或金屬中之一或多者。在一特定實施例中，約小於或等於 400 飛秒之脈衝用於基於飛秒之雷射照射製程，以移除遮罩、切割道及一部分矽基板。

【0045】 相反，若選擇非最佳雷射參數，則在涉及無機介電質、有機介電質、半導體或金屬中之兩者或兩者以上之堆疊結構中，雷射切除製程可造成分層問題。舉例而言，雷射穿透高帶隙能量介電質（諸如具有約 9 eV 帶隙之二氧化矽），而無可量測吸收。然而，該雷射能可在下方的金屬層或矽層中被吸收，從而引起該金屬層或矽層之顯著汽化。該汽化可產生高壓，以升起上覆的二氧化矽介電層，且可能造成嚴重的層間分層及微裂化。在一實施例中，儘管基於皮秒之雷射照射製程在複合堆疊中導致微裂化及分層，但已證明，基於飛秒之雷射照射製程並不導致相同材料堆疊之微裂化或分層。

【0046】 爲了能夠直接切除介電層，介電材料可能需要發生離子化，以使得該等介電材料藉由強吸收光子而與導電材料表現相似。該吸收可在最終切除介電層之前阻礙大部分雷射能穿透至下方的矽層或金屬層。在一實施例中，當雷射強度足夠高以致在無機介電材料中引發光子離子化及撞擊離子化時，該無機介電質之離子化係可行的。

【0047】 根據本發明之一實施例，合適的基於飛秒之雷射製程之特徵爲：高峰值強度（照射度），該高峰值強度通常在不同材料中導致非線性相互作用。在一個此類實施例中，儘

管脈衝寬度較佳在 100 飛秒至 400 飛秒之範圍內，但飛秒雷射源具有近似在 10 飛秒至 500 飛秒之範圍內的脈衝寬度。在一實施例中，儘管波長較佳在 540 奈米至 250 奈米之範圍內，但飛秒雷射源具有近似在 1570 奈米至 200 奈米之範圍內的波長。在一實施例中，儘管焦點較佳近似在 5 微米至 10 微米之範圍內，但雷射及相應光學系統在工作表面處提供近似在 3 微米至 15 微米之範圍內的焦點。

【0048】 在該工作表面處之空間光束剖面可為單模（高斯）或具有頂帽形狀之剖面。在一實施例中，儘管脈衝重複率較佳近似在 500 kHz 至 5 MHz 之範圍內，但雷射源具有近似在 200 kHz 至 10 MHz 範圍內之脈衝重複率。在一實施例中，儘管脈衝能量較佳近似在 1 uJ 至 5 uJ 之範圍內，但雷射源在工作表面處傳遞近似在 0.5 uJ 至 100 uJ 之範圍內的脈衝能量。在一實施例中，儘管速度較佳近似在 600 mm/sec 至 2 m/sec 之範圍內，但雷射劃線製程以近似在 500 mm/sec 至 5 m/sec 之範圍內的速度沿工件表面執行。

【0049】 劃線製程可僅單程執行或多程執行，但在一實施例中，較佳 1 至 2 程。在一實施例中，工件之劃線深度近似在 5 微米至 50 微米深之範圍內，較佳近似在 10 微米至 20 微米深之範圍內。雷射可以給定之脈衝重複率施加於一系列單一脈衝中，或一系列脈衝猝發中。在一實施例中，儘管在矽晶圓劃線/切割中在元件/矽介面處所量測之鋸口寬度較佳近似在 6 微米至 10 微米之範圍內，但所產生雷射光束之鋸口寬度近似在 2 微米至 15 微米之範圍內。

【0050】 可選擇具有以下益處及優點之雷射參數：諸如提供足夠高之雷射強度，以達成無機介電質（例如二氧化矽）之離子化，且在直接切除無機介電質之前將由底層損壞造成的分層及切削減至最少。又，可選擇參數，以藉由精確控制之切除寬度（例如鋸口寬度）及深度提供用於工業應用之有意義的製程產量。如上所述，與基於皮秒及基於奈秒之雷射切除製程相比，基於飛秒之雷射遠遠更適合於提供此類優點。然而，即使在基於飛秒之雷射切除之光譜中，某些波長亦可提供較其他波長更佳之效能。舉例而言，在一實施例中，與具有更接近紅外線範圍或在紅外線範圍內之波長的基於飛秒之雷射製程相比，具有更接近紫外線範圍或在紫外線範圍內之波長的基於飛秒之雷射製程提供更平整之切除製程。在一特定此類實施例中，適合於半導體晶圓或基板劃線之基於飛秒之雷射製程係基於具有約小於或等於 540 奈米之波長的雷射。在一特定此類實施例中，使用約小於或等於 400 飛秒之脈衝之雷射，該雷射具有約小於或等於 540 奈米之波長。然而，在一替代實施例中，使用雙雷射波長（例如，紅外線雷射與紫外線雷射之組合）。

【0051】 參看流程圖 300 之操作 306 及相應第 4C 圖，穿過經佈局圖樣之遮罩 408 中的間隙 410 將半導體晶圓 404 蝕刻，以單分積體電路 406。根據本發明之一實施例，蝕刻半導體晶圓 404 包括：蝕刻用基於飛秒之雷射劃線製程形成之溝道 412，以最終完全蝕刻穿過半導體晶圓 404，如第 4C 圖所示。

【0052】 在一實施例中，蝕刻半導體晶圓 404 包括：使用電

漿蝕刻製程。在一實施例中，使用矽通孔(through-silicon-via)型蝕刻製程。舉例而言，在一特定實施例中，半導體晶圓 404 之材料之蝕刻速度大於 25 微米/分鐘。超高密度電漿源可用於晶粒單分製程之電漿蝕刻部分。適於執行此類電漿蝕刻製程之處理腔室之實例為可購自 Applied Materials (Sunnyvale, CA, USA) 之 Applied Centura® Silvia™ Etch 系統。Applied Centura® Silvia™ Etch 系統組合電容性與感應射頻(radio frequency; RF)耦合，較僅電容性耦合甚至磁性增強所提供改良之可能情況，電容性與感應射頻耦合給予離子密度及離子能量更多獨立控制。此組合使離子密度能夠與離子能量有效地去耦，以便即使在極低壓力下亦可達成不具有可能有害之高直流(direct current; DC)偏壓位準之相對較高密度的電漿。此舉產生異常寬之製程視窗。然而，可使用能夠蝕刻矽之任何電漿蝕刻腔室。在一示例性實施例中，深矽蝕刻用於以大於約 40%之習知矽蝕刻速度之蝕刻速度蝕刻單結晶矽基板或晶圓 404，同時維持基本精確之剖面控制及實質上無扇形之側壁。在一特定實施例中，使用矽通孔型蝕刻製程。該蝕刻製程係基於反應性氣體所產生之電漿，該反應性氣體通常為氟基氣體，諸如 SF_6 、 C_4F_8 、 CHF_3 、 XeF_2 ，或能夠以相對較快蝕刻速度蝕刻矽之任何其他反應性氣體。在一實施例中，在單分製程後移除遮罩層 408，如第 4C 圖所示。

【0053】 因此，再次參看流程圖 300 及第 4A 圖至第 4C 圖，可藉由初始雷射切除穿過遮罩層、穿過晶圓切割道（包括金屬化）且部分進入矽基板而執行晶圓切割。可在飛秒範圍內

選擇該雷射脈衝寬度。然後可藉由後續穿矽電漿深蝕刻完成晶粒單分。根據本發明之一實施例，下文結合第 9A 圖至第 9D 圖描述用於切割之材料堆疊之特定實例。

【0054】 參看第 9A 圖，用於混合雷射切除及電漿蝕刻切割之材料堆疊包括遮罩層 902、元件層 904 及基板 906。遮罩層、元件層及基板安置於晶粒黏著薄膜 908 上方，晶粒黏著薄膜 908 附著至襯帶 910。在一實施例中，遮罩層 902 為光阻層，諸如上文結合遮罩 402 所述之光阻層。元件層 904 包括安置於一或多個金屬層（諸如銅層）及一或多個低介電常數介電層（諸如摻碳氧化物層）上方的無機介電層（諸如二氧化矽）。元件層 904 亦包括佈置於積體電路之間的切割道，該等切割道包括與積體電路相同或相似之層。基板 906 為大塊單結晶矽基板。

【0055】 在一實施例中，在大塊單結晶矽基板 906 附著至晶粒黏著薄膜 908 之前，自背側使大塊單結晶矽基板 906 變薄。可藉由背側研磨製程執行該變薄步驟。在一實施例中，使大塊單結晶矽基板 906 變薄至近似在 50-100 微米範圍內之厚度。在一實施例中，重要的是應注意，在雷射切除及電漿蝕刻切割製程之前執行該變薄。在一實施例中，光阻層 902 具有約 5 微米之厚度，而元件層 904 具有近似在 2-3 微米範圍內之厚度。在一實施例中，晶粒黏著薄膜 908（或能夠將變薄或薄的晶圓或基板接合至襯帶 910 之任何合適之替代物）具有約 20 微米之厚度。

【0056】 參看第 9B 圖，用基於飛秒之雷射劃線製程 912 將遮

罩 902、元件層 904 及一部分基板 906 佈局圖樣，以在基板 906 中形成溝道 914。參看第 9C 圖，穿矽電漿深蝕刻製程 916 用於將溝道 914 向下延伸至晶粒黏著薄膜 908，從而曝露晶粒黏著薄膜 908 之頂部部分且單分矽基板 906。在穿矽電漿深蝕刻製程 916 期間，藉由光阻層 902 保護元件層 904。

【0057】 參看第 9D 圖，單分製程可進一步包括：將晶粒黏著薄膜 908 佈局圖樣，從而曝露襯帶 910 之頂部部分且單分晶粒黏著薄膜 908。在一實施例中，藉由雷射製程或藉由蝕刻製程單分晶粒黏著薄膜。其他實施例可包括：隨後自襯帶 910 移除基板 906 之單分化之部分（例如，作為個別積體電路）。在一實施例中，單分化之晶粒黏著薄膜 908 保留在基板 906 之單分化之部分之背側上。其他實施例可包括：自元件層 904 移除遮罩光阻層 902。在一替代實施例中，在基板 906 比約 50 微米薄之情況下，雷射切除製程 912 用於徹底單分基板 906，而無需使用額外電漿製程。

【0058】 在一實施例中，在單分晶粒黏著薄膜 908 之後，自元件層 904 移除遮罩光阻層 902。在一實施例中，自襯帶 910 移除單分化之積體電路，以用於封裝。在一個此類實施例中，經佈局圖樣之晶粒黏著薄膜 908 保留在每一積體電路之背側上且包括在最終之封裝中。然而，在另一實施例中，在單分製程期間或在單分製程之後移除經佈局圖樣之晶粒黏著薄膜 908。

【0059】 再次參看第 4A 圖至第 4C 圖，可藉由具有約 10 微米或更小之寬度的切割道 407 分隔該複數個積體電路 406。利

用基於飛秒之雷射劃線方法，可在積體電路之佈局中使此緊密作用得以實現，此舉至少部分歸因於嚴密的雷射剖面控制。舉例而言，第 10 圖圖示根據本發明之一實施例，藉由使用與習知切割相比較窄之切割道達成的半導體晶圓或基板上之緊密作用，該習知切割可限於最小寬度。

【0060】 參看第 10 圖，藉由使用與習知切割相比較窄之切割道（例如，在佈局 1002 中約 10 微米或更小之寬度）達成半導體晶圓上之緊密作用，該習知切割可限於最小寬度（例如，在佈局 1000 中約 70 微米或更大之寬度）。然而，應理解，即使在其他方面可藉由基於飛秒之雷射劃線製程來實現，並非總是期望將切割道寬度減少至小於 10 微米。舉例而言，一些應用可能需要至少 40 微米之切割道寬度，以在分隔積體電路之切割道中製造虛擬元件或測試元件。

【0061】 再次參看第 4A 圖至第 4C 圖，該複數個積體電路 406 可以非限制性佈局佈置在半導體晶圓或基板 404 上。舉例而言，第 11 圖圖示允許較緊密堆積之自由形式積體電路佈置。根據本發明之一實施例，與柵格對準方法相比，該較緊密堆積可提供每晶圓更多之晶粒。參看第 11 圖，自由形式佈局（例如半導體晶圓或基板 1102 上之非限制性佈局）允許較緊密堆積，且因此與柵格對準方法（例如，半導體晶圓或基板 1100 上之限制性佈局）相比允許每晶圓更多之晶粒。在一實施例中，雷射切除及電漿蝕刻單分製程之速度與晶粒大小、佈局或切割道數目無關。

【0062】 單一製程工具可經設置以執行混合基於飛秒之雷射

切除及電漿蝕刻單分製程中之許多或全部操作。舉例而言，第 12 圖圖示根據本發明之一實施例，用於晶圓或基板之雷射及電漿切割之工具佈局的方塊圖。

【0063】 參看第 12 圖，製程工具 1200 包括工廠介面(factory interface; FI) 1202，工廠介面 1202 具有與工廠介面 1202 耦合之複數個負載鎖室 1204。群集工具 1206 與工廠介面 1202 耦合。群集工具 1206 包括一或多個電漿蝕刻腔室，諸如電漿蝕刻腔室 1208。雷射劃線設備 1210 亦耦合至工廠介面 1202。在一實施例中，製程工具 1200 之整體佔地面積可為約 3500 毫米(3.5 公尺)×約 3800 毫米(3.8 公尺)，如第 12 圖所示。

【0064】 在一實施例中，雷射劃線設備 1210 安放基於飛秒之雷射。基於飛秒之雷射適合於執行混合雷射及蝕刻單分製程之雷射切除部分，諸如上述之雷射切除製程。在一實施例中，雷射劃線設備 1200 中亦包括活動平臺，該活動平臺經設置以用於使晶圓或基板（或晶圓或基板之載體）相對於基於飛秒之雷射移動。在一特定實施例中，基於飛秒之雷射亦可活動。在一實施例中，雷射劃線設備 1210 之整體佔地面積可為約 2240 毫米×約 1270 毫米，如第 12 圖所示。

【0065】 在一實施例中，一或多個電漿蝕刻腔室 1208 經設置以用於穿過經佈局圖樣之遮罩中的間隙而蝕刻晶圓或基板，以單分複數個積體電路。在一個此類實施例中，一或多個電漿蝕刻腔室 1208 經設置以執行深矽蝕刻製程。在一特定實施例中，一或多個電漿蝕刻腔室 1208 為 Applied Centura® Silvia™ Etch 系統，該系統可購自 Applied Materials

(Sunnyvale , CA , USA) 。可將該蝕刻腔室特定設計用於深矽蝕刻，該深矽蝕刻用於產生安放於單結晶矽基板或晶圓上或單結晶矽基板或晶圓中之單分化之積體電路。在一實施例中，電漿蝕刻腔室 1208 中包括高密度電漿源，以促進高的矽蝕刻速度。在一實施例中，製程工具 1200 之群集工具 1206 部分中包括超過一個的蝕刻腔室，以使單分或切割製程之高製造產量得以實現。

【0066】 工廠介面 1202 可為合適大氣埠，該大氣埠通向帶有雷射劃線設備 1210 之外部製造設施與群集工具 1206 之間的介面。工廠介面 1202 可包括具有臂或葉片之機器人，該等機器人用於將晶圓（或晶圓之載體）自儲存單元（諸如前開口式晶圓盒）傳送至群集工具 1206 或雷射劃線設備 1210 或該兩者中。

【0067】 群集工具 1206 可包括適合於執行單分方法中之功能的其他腔室。舉例而言，在一實施例中，群集工具 1206 包括沉積腔室 1212，以代替額外之蝕刻腔室。沉積腔室 1212 可經設置以用於在晶圓或基板之雷射劃線之前在晶圓或基板之元件層上或上方沉積遮罩。在一個此類實施例中，沉積腔室 1212 適合於沉積光阻層。在另一實施例中，群集工具 1206 包括濕潤/乾燥站 1214，以代替額外之蝕刻腔室。該濕潤/乾燥站可適合於清潔殘渣及碎片，或用於在基板或晶圓之雷射劃線及電漿蝕刻單分製程之後移除遮罩。在一實施例中，群集工具 1206 亦包括作為製程工具 1200 之部件的測量站。

【0068】 本發明之實施例可提供為電腦程式產品或軟體，該

電腦程式產品或軟體可包括機器可讀取媒體，該機器可讀取媒體上儲存有指令，該等指令可用於程式化電腦系統（或其他電子元件）以執行根據本發明之實施例之製程。在一實施例中，該電腦系統與結合第 12 圖描述之製程工具 1200 耦合。機器可讀取媒體包括用於儲存或傳送由機器（例如電腦）讀取之形式之資訊的任何機構。舉例而言，機器可讀取（例如電腦可讀取）媒體包括機器（例如電腦）可讀取儲存媒體（例如唯讀記憶體(read only memory; ROM)、隨機存取記憶體(random access memory; RAM)、磁碟儲存媒體、光學儲存媒體、快閃記憶體元件等等）、機器（例如電腦）可讀取傳輸媒體（電氣、光學、聲學或其他傳播訊號形式（例如紅外訊號、數位訊號等等）），等等。

【0069】 第 13 圖圖示以電腦系統 1300 為示例性形式之機器的圖形表示，在電腦系統 1300 內可執行一組指令，該等指令用於使機器執行本文所述方法中之任何一或多者。在替代實施例中，該機器可在區域網路(Local Area Network; LAN)、企業內部網路、企業外部網路或網際網路中連接（例如網路連接）至其他機器。該機器在客戶端-伺服器網路環境中可作為伺服器或客戶端機器工作，或在同級間（或分散式）網路環境中作為同級機器工作。該機器可為個人電腦(personal computer; PC)、平板 PC、機上盒(set-top box; STB)、個人數位助理(Personal Digital Assistant; PDA)、蜂巢式電話、網路設備、伺服器、網路路由器、切換器或橋接器，或能夠執行指定該機器將要採取之動作之一組指令（順序或其他方式）

的任何機器。此外，儘管僅圖示單個機器，但術語「機器」亦應被視為包括個別或共同執行一組（或多組）指令以執行本文所述方法中之任何一或多者的機器（例如電腦）之任何集合。

【0070】 示例性電腦系統 1300 包括處理器 1302、主記憶體 1304（例如唯讀記憶體(ROM)、快閃記憶體、諸如同步 DRAM (SDRAM)或 Rambus DRAM (RDRAM)之動態隨機存取記憶體(dynamic random access memory; DRAM)等等）、靜態記憶體 1306（例如快閃記憶體、靜態隨機存取記憶體(static random access memory; SRAM)等等）及輔助記憶體 1318（例如資料儲存元件），該等設備經由匯流排 1330 彼此通訊。

【0071】 處理器 1302 表示一或多個通用處理元件，諸如微處理器、中央處理單元等等。更特定言之，處理器 1302 可為複雜指令集計算(complex instruction set computing; CISC)微處理器、精簡指令集計算(reduced instruction set computing; RISC)微處理器、超長指令字集(very long instruction word; VLIW)微處理器、實施其他指令集之處理器或實施指令集組合之處理器。處理器 1302 亦可為一或多個專用處理元件，諸如特殊應用積體電路(application specific integrated circuit; ASIC)、現場可程式化閘陣列(field programmable gate array; FPGA)、數位訊號處理器(digital signal processor; DSP)、網路處理器等等。處理器 1302 經設置以執行用於執行本文所述操作之處理邏輯 1326。

【0072】 電腦系統 1300 可進一步包括網路介面元件 1308。

電腦系統 1300 亦可包括視訊顯示單元 1310(例如液晶顯示器(liquid crystal display; LCD)、發光二極體(LED)顯示器或陰極射線管(cathode ray tube; CRT))、文數輸入元件 1312(例如鍵盤)、遊標控制元件 1314(例如滑鼠)及訊號產生元件 1316(例如揚聲器)。

【0073】 輔助記憶體 1318 可包括機器可存取儲存媒體(或更具體而言,電腦可讀取儲存媒體) 1331,實施本文所述方法或功能中之任何一或多者之一或多組指令(例如軟體 1322)儲存在機器可存取儲存媒體 1331 上。在電腦系統 1300 執行軟體 1322 期間,軟體 1322 亦可完全或至少部分地常駐於主記憶體 1304 內部及/或處理器 1302 內部,主記憶體 1304 及處理器 1302 亦構成機器可讀取儲存媒體。可進一步經由網路介面元件 1308 在網路 1320 上發送或接收軟體 1322。

【0074】 儘管在示例性實施例中將機器可存取儲存媒體 1331 圖示為單個媒體,但術語「機器可讀取儲存媒體」應被視為包括儲存一或多組指令之單個媒體或多個媒體(例如集中式或分散式資料庫,及/或相關聯之快取記憶體及伺服器)。術語「機器可讀取儲存媒體」亦應被視為包括能夠儲存或編碼由機器執行且使機器執行本發明之方法中任何一或多者之一組指令的任何媒體。因此,術語「機器可讀取儲存媒體」應被視為包括(但不限於)固態記憶體,以及光學及磁性媒體。

【0075】 根據本發明之一實施例,機器可存取儲存媒體具有儲存在機器可存取儲存媒體上之指令,該等指令使資料處理系統執行切割具有複數個積體電路之半導體晶圓的方法。該

方法包括在半導體晶圓上方形成遮罩，該遮罩由覆蓋且保護積體電路之一層組成。然後用基於飛秒之雷射劃線製程將該遮罩佈局圖樣，以提供具有間隙之經佈局圖樣之遮罩。在積體電路之間曝露該半導體晶圓之區域。然後穿過經佈局圖樣之遮罩中的間隙將半導體晶圓蝕刻，以單分積體電路。

【0076】 因此，本文揭示了切割半導體晶圓之方法，其中每一晶圓具有複數個積體電路。根據本發明之一實施例，切割具有複數個積體電路之半導體晶圓的方法包括以下步驟：在該半導體晶圓上方形成遮罩，該遮罩由覆蓋且保護該等積體電路之一層組成。該方法亦包括以下步驟：用基於飛秒之雷射劃線製程將該遮罩佈局圖樣，以提供具有間隙之經佈局圖樣之遮罩，從而曝露該等積體電路之間的半導體晶圓之區域。該方法亦包括以下步驟：穿過經佈局圖樣之遮罩中的間隙將該半導體晶圓蝕刻，以單分積體電路。在一實施例中，用基於飛秒之雷射劃線製程將該遮罩佈局圖樣包括：在該等積體電路之間的半導體晶圓之區域中形成溝道。在該實施例中，蝕刻半導體晶圓包括：蝕刻由雷射劃線製程形成之溝道。

【符號說明】

【0077】

100	半導體晶圓	102	區域
104	切割道	106	切割道
200	遮罩	202	間隙
204	間隙	206	區域
300	流程圖	302	操作

304	操作	306	操作
402	遮罩	404	半導體晶圓或基板
406	積體電路	407	切割道
408	遮罩	410	間隙
412	溝道	500A	通孔
500B	通孔	500C	通孔
502A	損壞	502B	損壞
502C	損壞	600	切割道區域/切割道
602	頂部部分	604	第一二氧化矽層
606	第一蝕刻終止層	608	第一低介電常數介電層
610	第二蝕刻終止層	612	第二低介電常數介電層
614	第三蝕刻終止層	616	無摻雜矽玻璃層
618	第二二氧化矽層	620	光阻層
622	銅金屬	700	曲線圖
702	結晶矽	704	銅
706	結晶二氧化矽	708	非晶二氧化矽
800	方程式	902	遮罩層/光阻層/遮罩
904	元件層	906	基板
908	晶粒黏著薄膜	910	襯帶
912	雷射劃線製程/雷射切割製程	914	溝道
916	穿矽電漿深蝕刻製程	1000	佈局

1002	佈局	1100	半導體晶圓或基板
1102	半導體晶圓或基板	1200	製程工具
1202	工廠介面	1204	負載鎖室
1206	群集工具	1208	電漿蝕刻腔室
1210	雷射劃線設備	1212	沉積腔室
1214	濕潤/乾燥站	1300	電腦系統
1302	處理器	1304	主記憶體
1306	靜態記憶體	1308	網路介面元件
1310	視訊顯示單元	1312	文數輸入元件
1314	遊標控制元件	1316	訊號產生元件
1318	輔助記憶體	1320	網路
1322	軟體	1326	處理邏輯
1330	匯流排	1331	機器可存取儲存媒體

【生物材料寄存】

國內寄存資訊【請依寄存機構、日期、號碼順序註記】

無

國外寄存資訊【請依寄存國家、機構、日期、號碼順序註記】

無

【序列表】(請換頁單獨記載)

無

申請專利範圍

104年10月~日修正替換頁

1. 一種用於切割包含複數個積體電路之一半導體晶圓的系統，該系統包含：

一工廠介面；

一雷射劃線設備，該雷射劃線設備與該工廠介面耦合；

以及

一群集工具，該群集工具與該工廠介面耦合，該群集工具包含一電漿蝕刻腔室，其中該雷射劃線設備並未包含於該群集工具中。

2. 如請求項 1 所述之系統，其中該雷射劃線設備經設置以執行在一半導體晶圓之複數積體電路之間的複數切割道之雷射切除，且其中該電漿蝕刻腔室經設置以在該雷射切除之後蝕刻該半導體晶圓，以單分該等積體電路。

3. 如請求項 1 所述之系統，該群集工具進一步包含：

一沉積腔室，該沉積腔室經設置以在該半導體晶圓之該等積體電路上方形成一遮罩層。

4. 如請求項 2 所述之系統，該群集工具進一步包含：

一濕潤/乾燥站，該濕潤/乾燥站經設置以在該雷射切除或該蝕刻之後清潔該半導體晶圓。

5. 如請求項 1 所述之系統，其中該基於飛秒之雷射具有約小於或等於 540 奈米之一波長，且該基於飛秒之雷射具有約小於或等於 400 飛秒之一雷射脈衝寬度。

6. 如請求項 1 所述之系統，其中該電漿蝕刻腔室經設置以產生一高密度電漿。

7. 如請求項 3 所述之系統，其中該沉積腔室經設置以沉積一聚合物層。

8. 如請求項 1 所述之系統，進一步包含一測量站。

9. 如請求項 1 所述之系統，其中該系統之整體佔地面積係約 3500 毫米乘 3800 毫米。

10. 如請求項 1 所述之系統，其中該雷射劃線設備包含一基於飛秒的雷射。

11. 一種用於切割包含複數個積體電路之一半導體晶圓的系統，該系統包含：

一工廠介面；

一雷射劃線設備，該雷射劃線設備與該工廠介面耦合並包含一基於飛秒的雷射，其中該雷射劃線設備經設置以執行

在一半導體晶圓之複數積體電路之間的複數切割道之雷射切除；以及

一群集工具，該群集工具與該工廠介面耦合，該群集工具包含：

一電漿蝕刻腔室，該電漿蝕刻腔室經設置以在該雷射切除之後蝕刻該半導體晶圓，以單分該等積體電路；

一沉積腔室，該沉積腔室經設置以在該半導體晶圓之該等積體電路上方形成一遮罩層；以及

一濕潤/乾燥站，該濕潤/乾燥站經設置以在雷射切除或蝕刻之後清潔該半導體晶圓，其中該雷射劃線設備並未包含於該群集工具中；

其中該系統之整體佔地面積係約 3500 毫米乘 3800 毫米。

12. 如請求項 11 所述之系統，其中該基於飛秒之雷射具有約小於或等於 540 奈米之一波長，且該基於飛秒之雷射具有約小於或等於 400 飛秒之一雷射脈衝寬度。

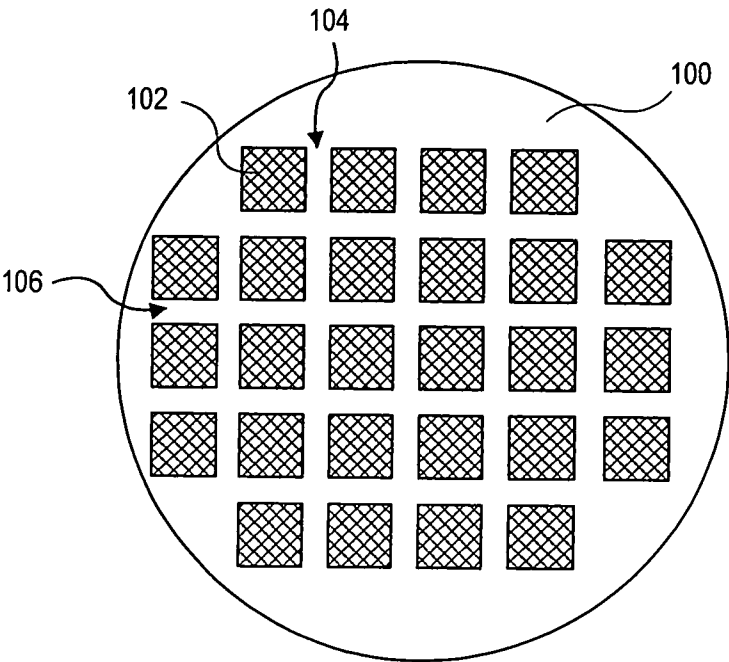
13. 如請求項 11 所述之系統，其中該電漿蝕刻腔室經設置以產生一高密度電漿。

14. 如請求項 11 所述之系統，其中該沉積腔室經設置以沉積一聚合物層。

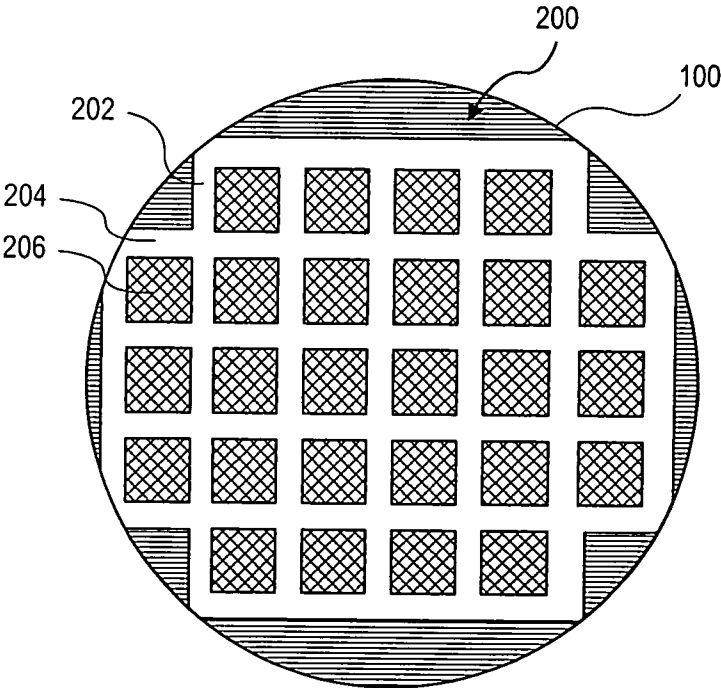
104年10月27日修正替換頁

15. 如請求項 11 所述之系統，進一步包含一測量站。

圖式

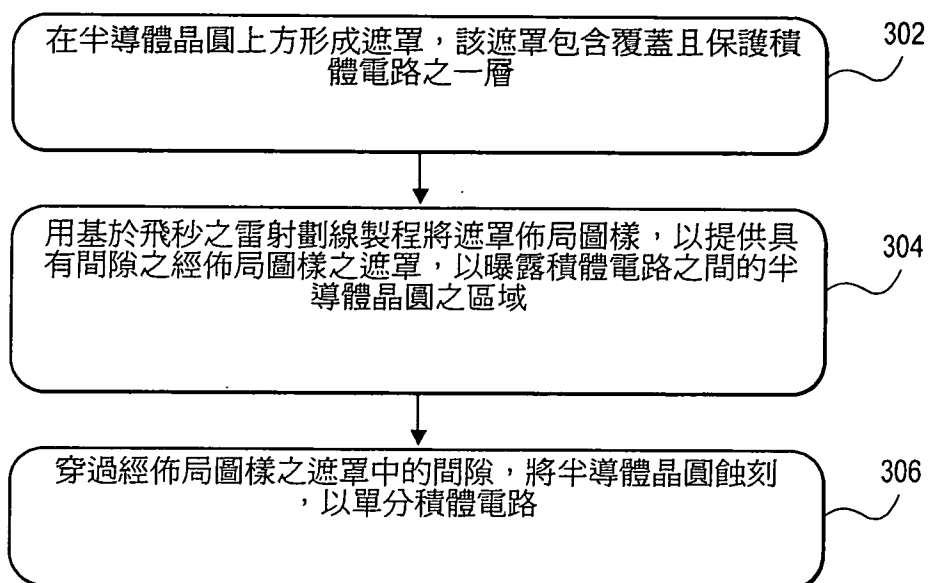


第1圖

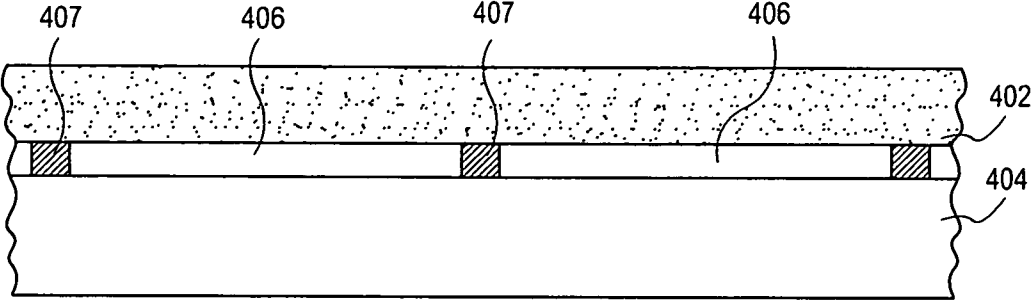


第2圖

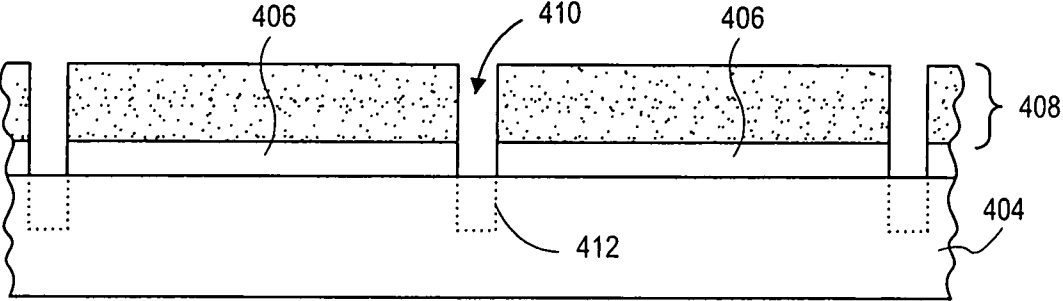
流程圖 300



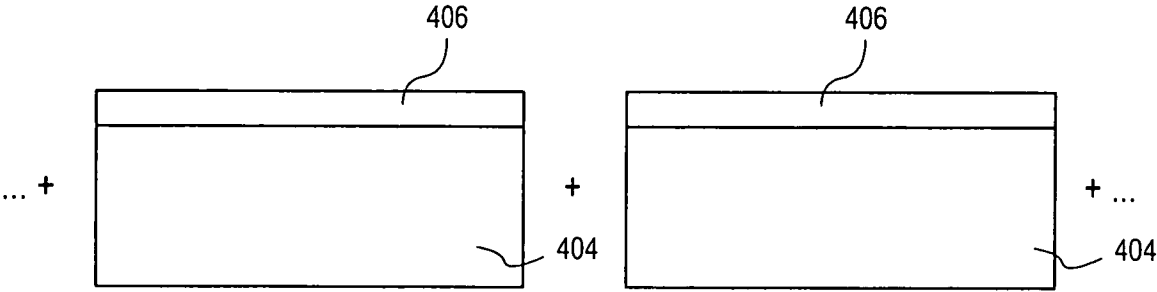
第3圖



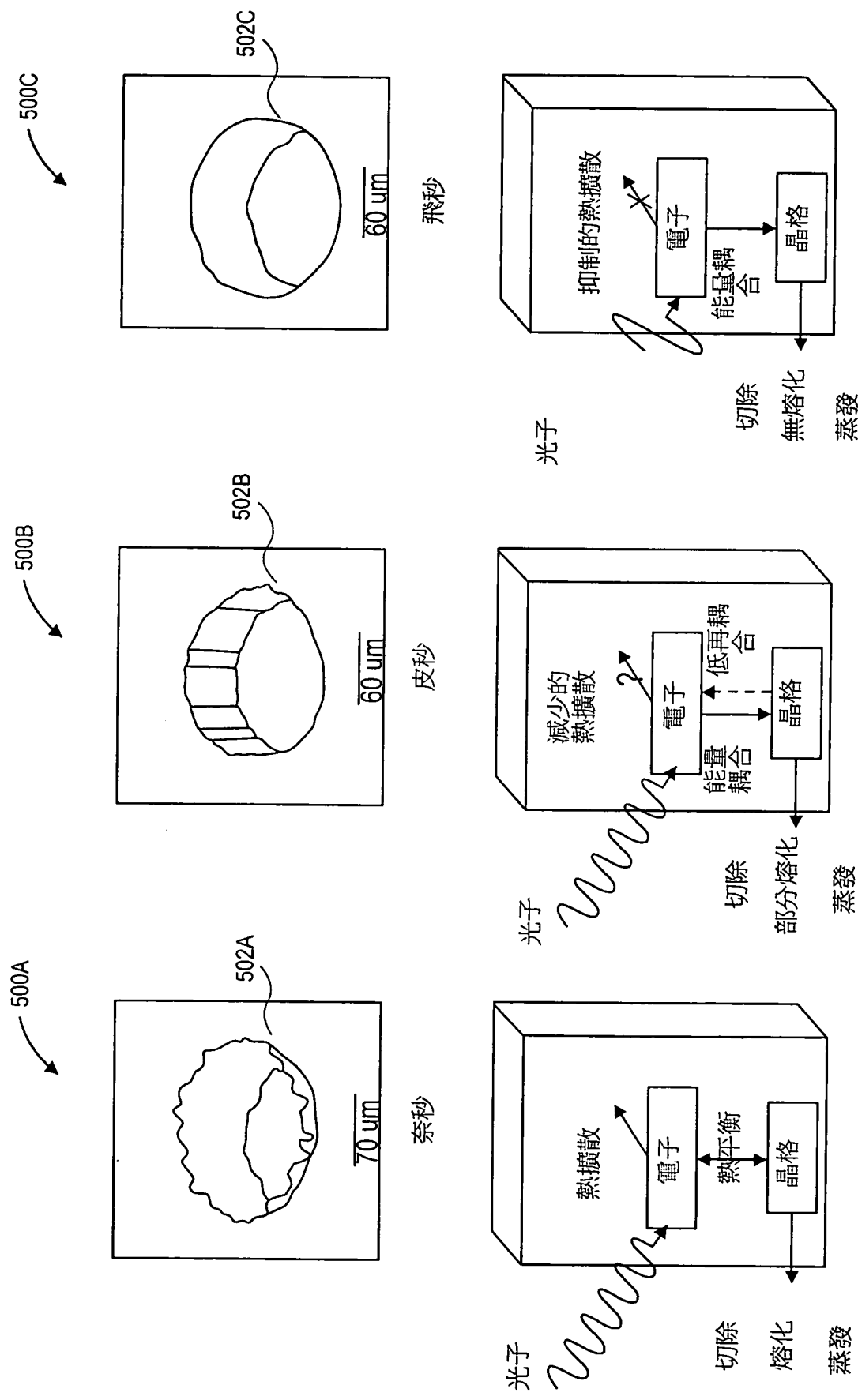
第4A圖



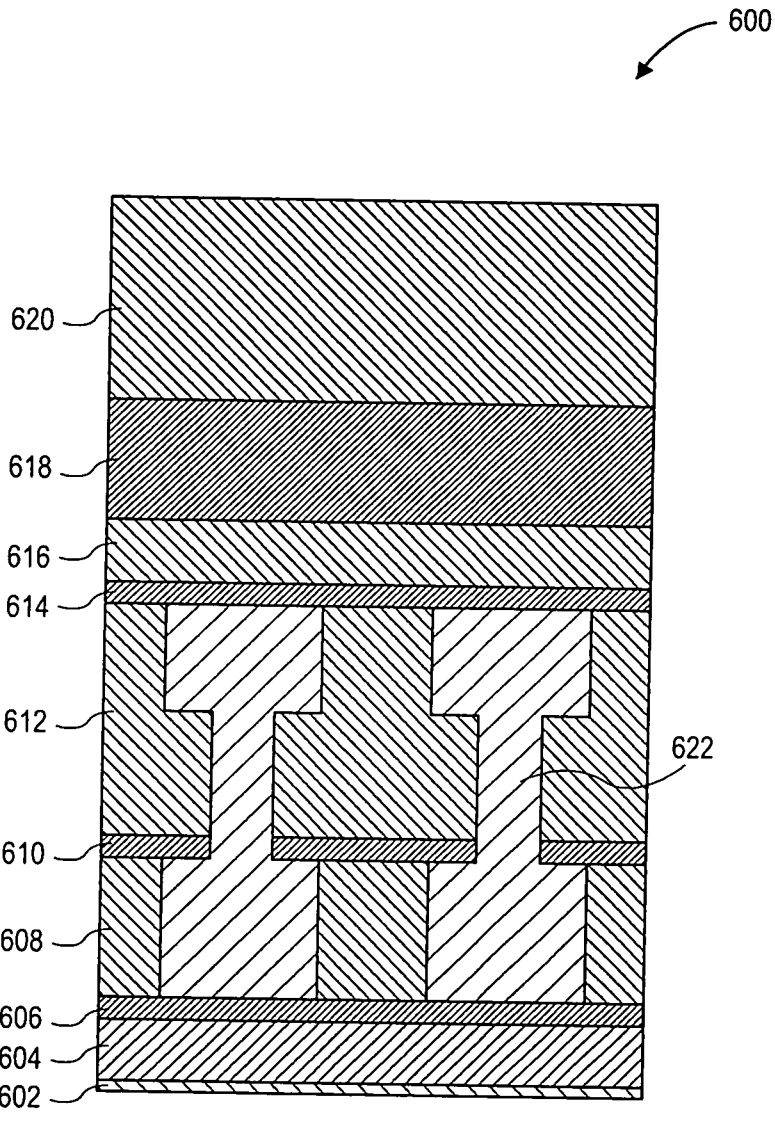
第4B圖



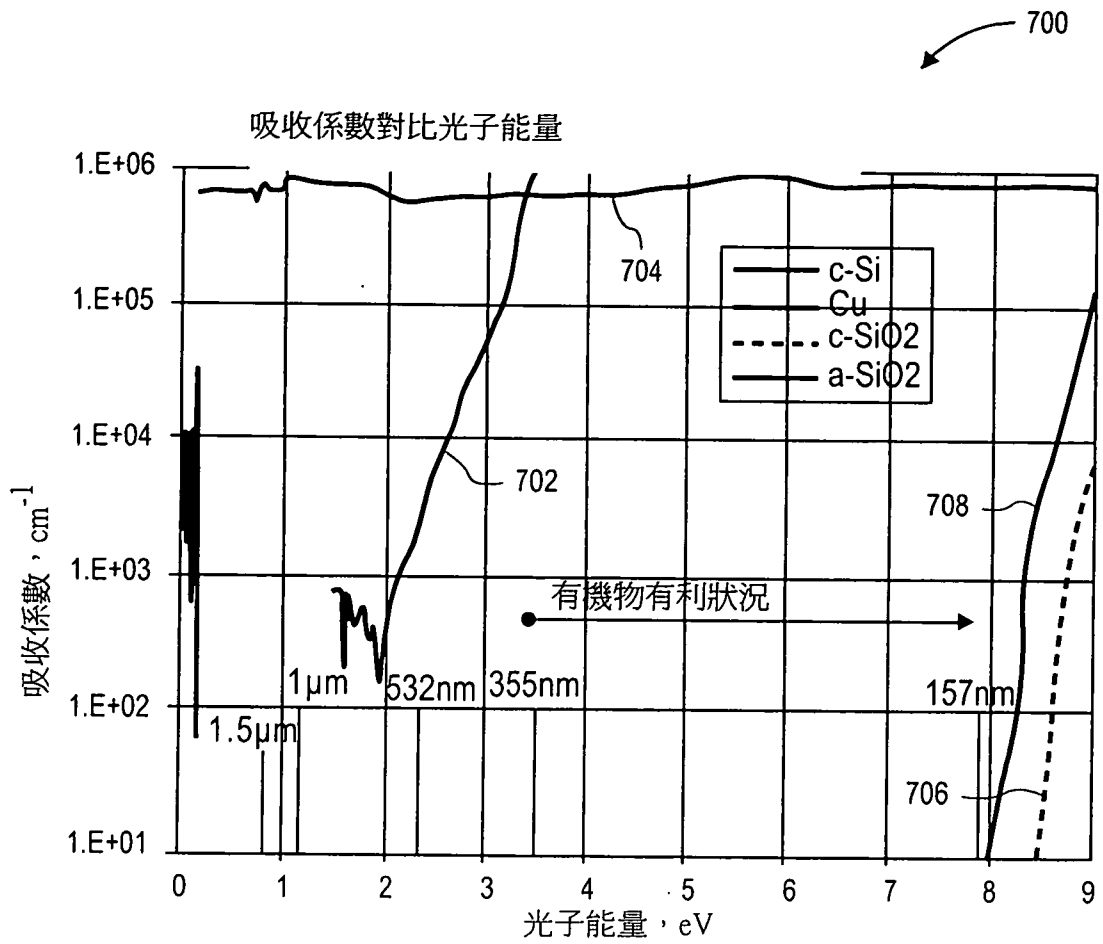
第4C圖



第5圖



第6圖



第7圖

800

$$I = \frac{E_p}{\pi \cdot w_0^2 \cdot \tau}$$

強度

脈衝能量

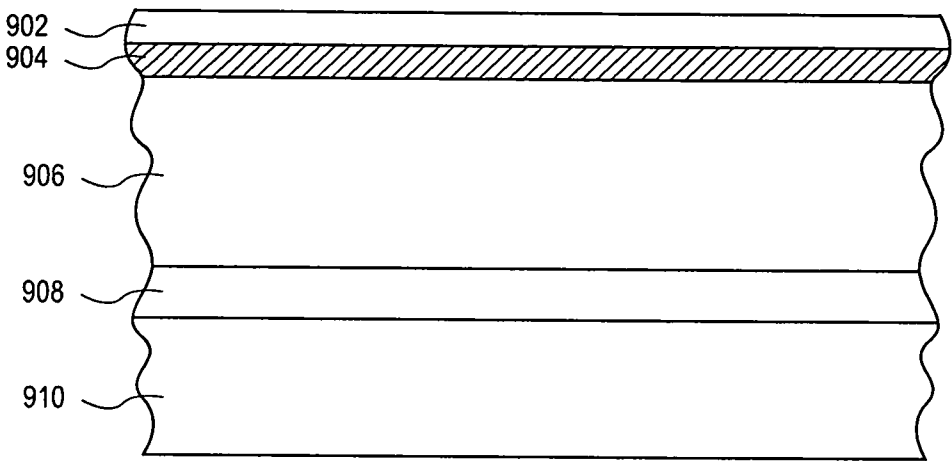
E_p

$\pi \cdot w_0^2 \cdot \tau$

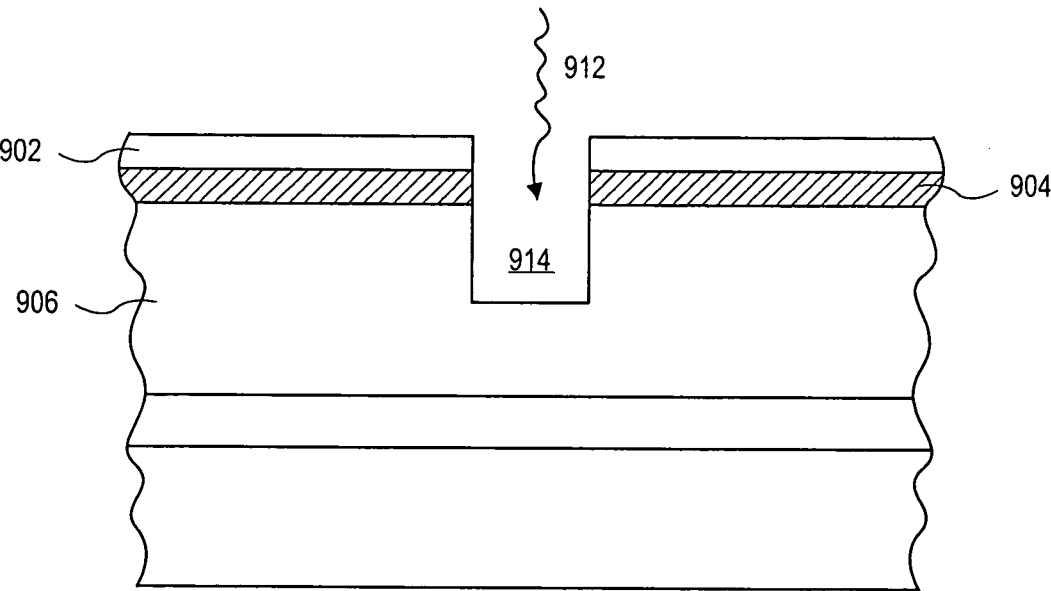
脈衝寬度

光束半徑

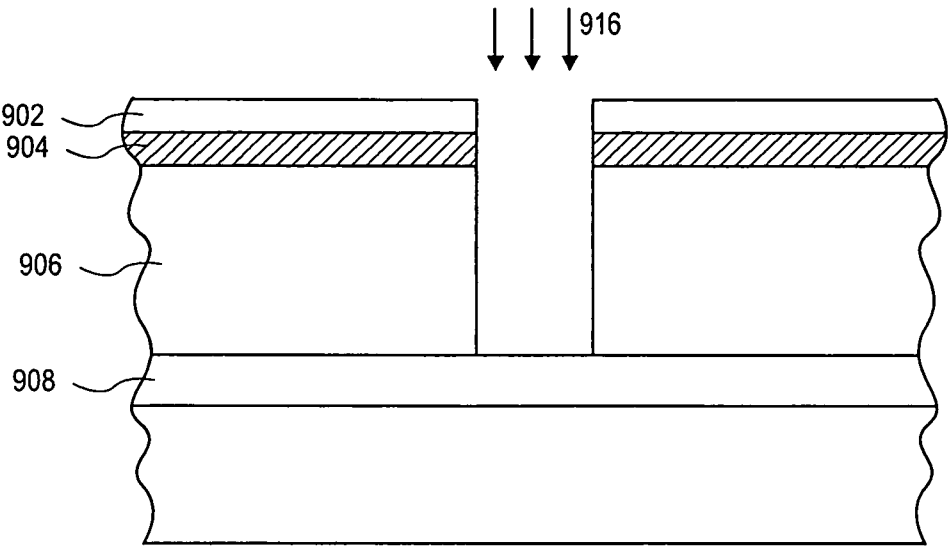
第8圖



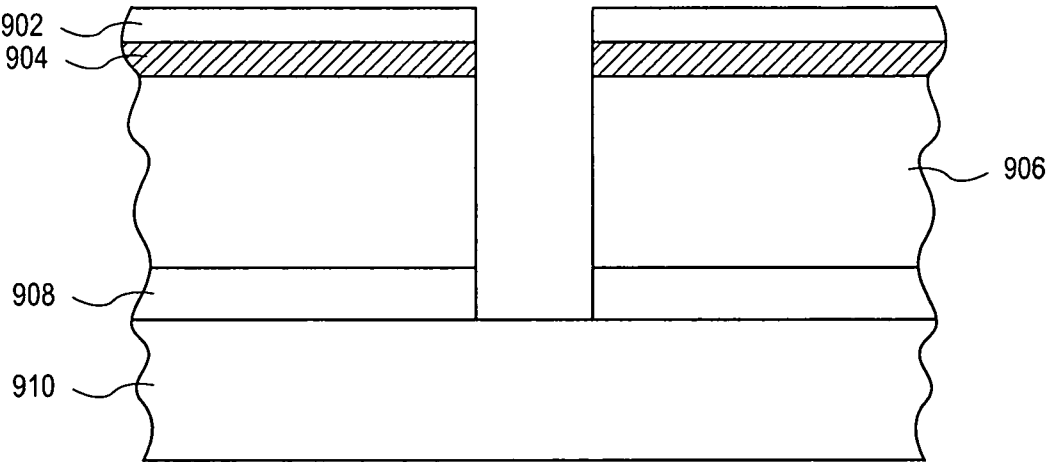
第9A圖



第9B圖

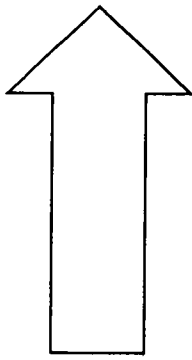
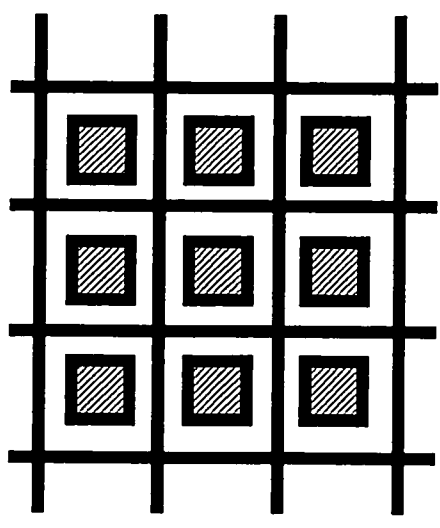


第9C圖

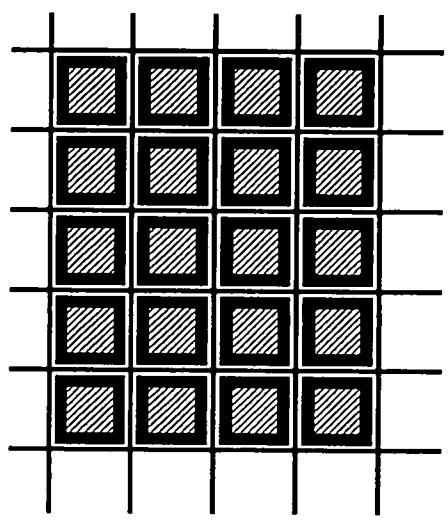


第9D圖

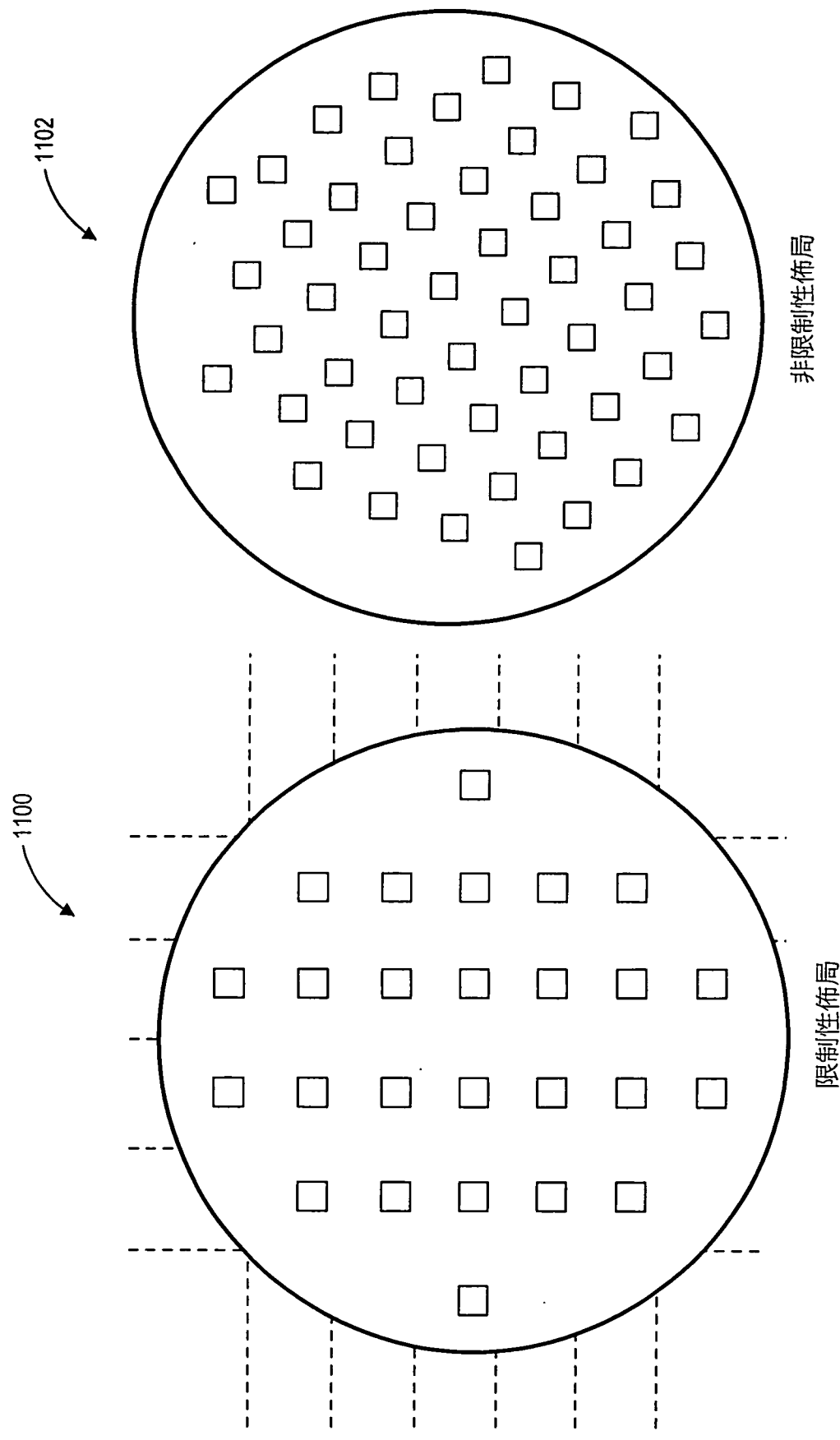
1000



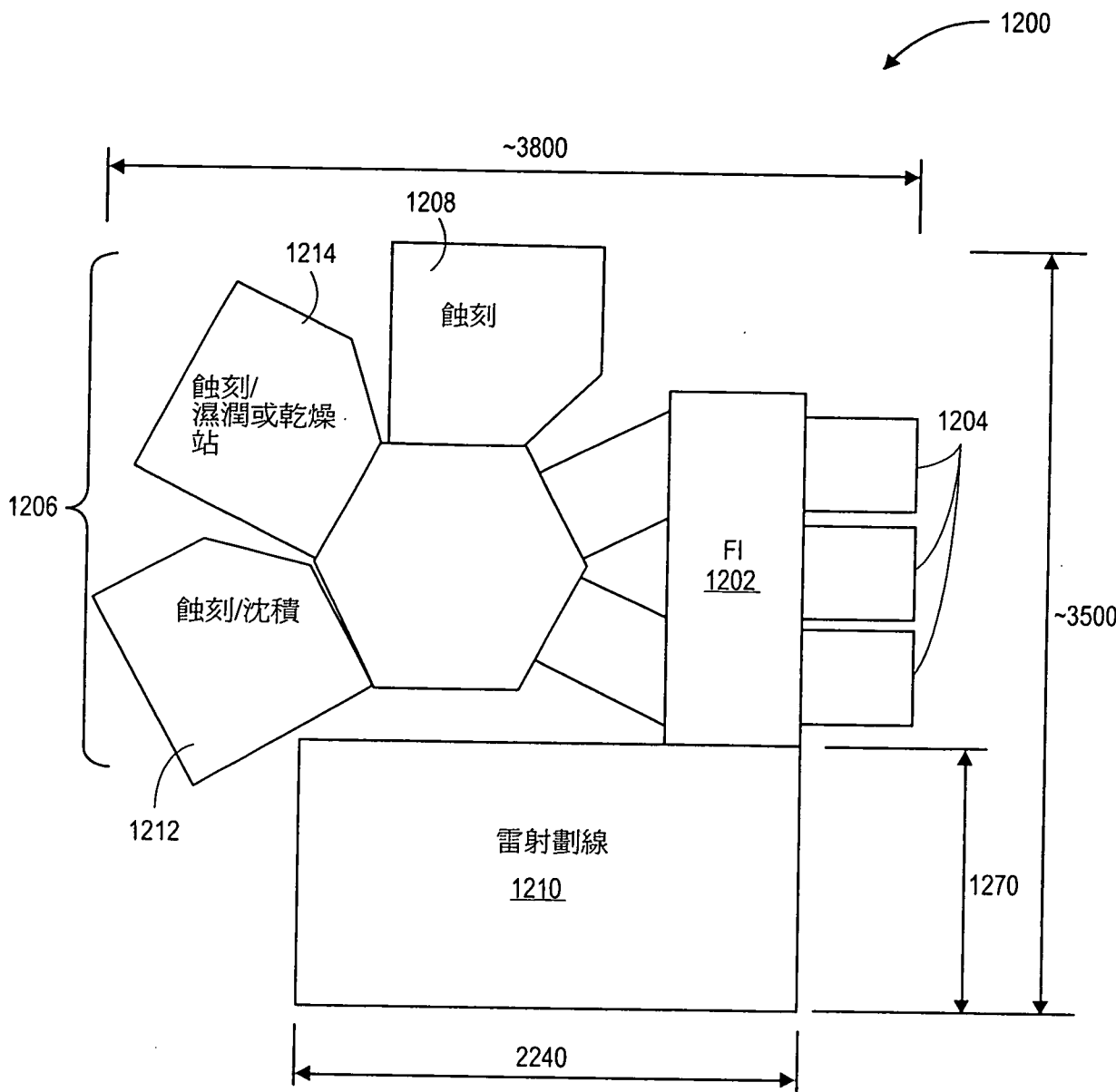
1002



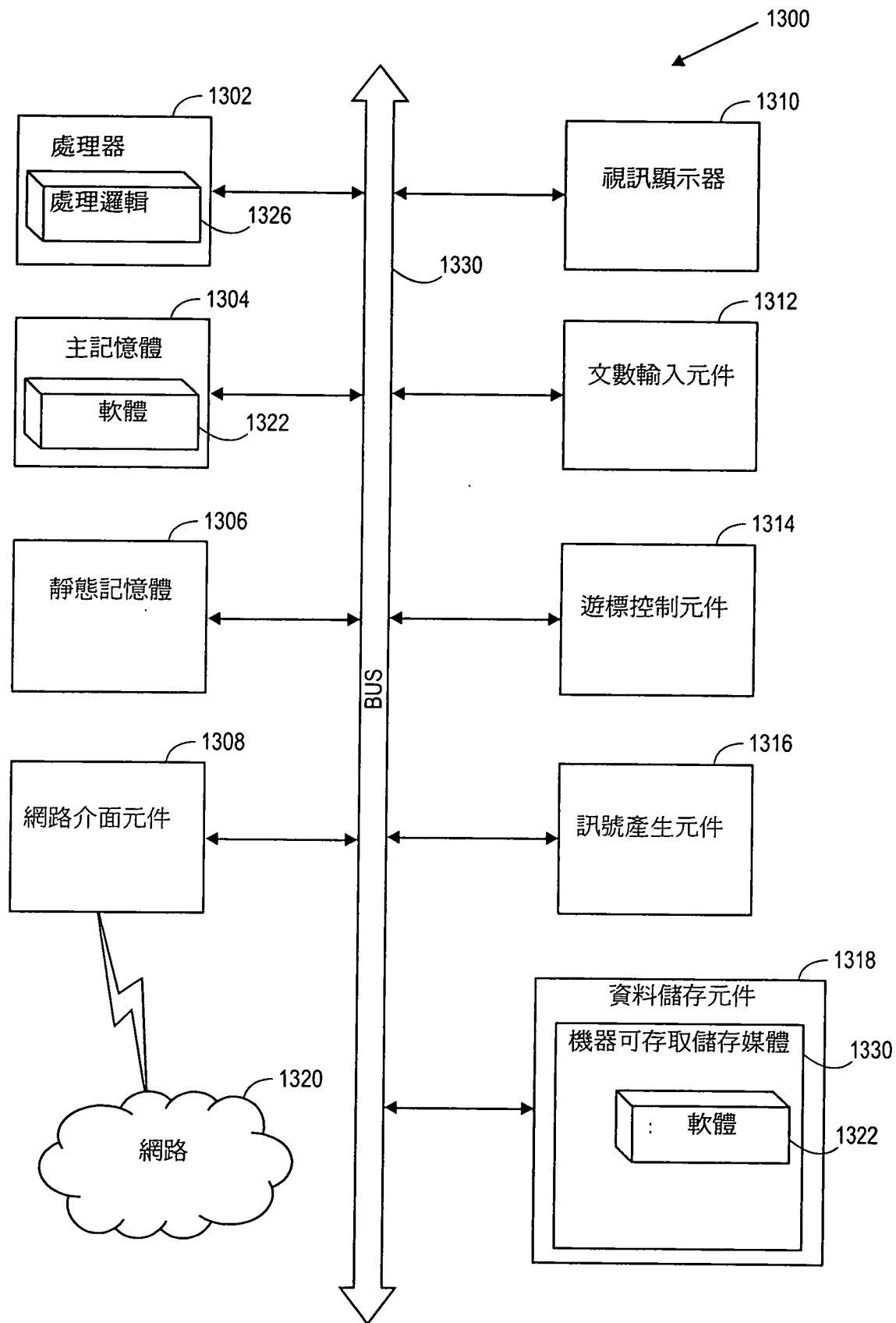
第10圖



第11圖



第12圖



第13圖