



(12) 发明专利

(10) 授权公告号 CN 1770639 B

(45) 授权公告日 2012.03.28

(21) 申请号 200510119307.4

CN 1266555 A, 2000.09.13, 全文.

(22) 申请日 2005.11.03

SHU LIN, DANIEL J. COSTELLO, JR. .

(30) 优先权数据

10/981,309 2004.11.04 US

Error Control Coding: Fundamentals and Applications. PRENTICE-HALL, Inc. Englewood Cliff, New Jersey 07632, 1983, 278-279.

(73) 专利权人 艾格瑞系统有限公司

地址 美国宾夕法尼亚

Hongwei Song, Jingfeng Liu, B. V. K. Vijaya Kumar. concatenated low density parity check (ldpc) codes for magnetic recording channels. DIGEST OF INTERMAG 2003, PROGRAM OF THE 2003 IEEE INTERNATIONAL MAGNETICS CONFERENCE. 2003, DT-12.

(72) 发明人 宋宏伟

(74) 专利代理机构 中国国际贸易促进委员会专利商标事务所 11038

代理人 康建忠

Yu Kou, Shu Lin, Marc P. C. Fossorier.

(51) Int. Cl.

H03M 13/00 (2006.01)

H03M 13/29 (2006.01)

Low-Density Parity-Check Codes Based on Finite Geometries A Rediscovery and New Results. IEEE TRANSACTIONS ON INFORMATION THEORY 47 7. 2001, 47 (7), 2711-2736.

(56) 对比文件

CN 1508972 A, 2004.06.30, 全文.

US 5428628 A, 1995.06.27, 全文.

US 6553536 B1, 2003.04.22, 全文.

CN 1471761 A, 2004.01.28, 全文.

审查员 孙薇薇

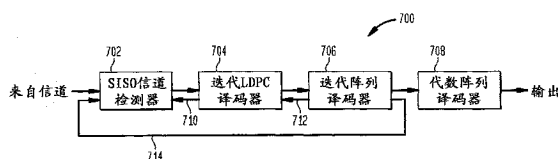
权利要求书 2 页 说明书 7 页 附图 4 页

(54) 发明名称

级联的迭代和代数译码

(57) 摘要

本发明涉及级联的迭代和代数译码。提供了一种用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据的方法和一种用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据的级联的译码器。该方法包括：(a) 将至少一个内部译码器应用于所述 EC 编码数据以生成第一译码数据，其中，所述至少一个内部译码器对应于所述至少一个内部编码器；(b) 将至少一个迭代译码器应用于所述第一译码数据以生成第二译码数据，其中，所述至少一个迭代译码器对应于所述外部编码器；以及 (c) 将代数译码器应用于所述第二译码数据以生成输出译码数据，其中，所述代数译码器对应于所述外部编码器。



1. 一种用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据的方法,该方法包括:

(a) 将至少一个内部译码器应用于所述 EC 编码数据以生成第一译码数据,其中,所述至少一个内部译码器对应于所述至少一个内部编码器;

(b) 将至少一个迭代译码器应用于所述第一译码数据以生成第二译码数据,其中,所述至少一个迭代译码器对应于所述外部编码器;以及

(c) 将代数译码器应用于所述第二译码数据以生成输出译码数据,其中,所述代数译码器对应于所述外部编码器,其中:

所述外部编码器是应用阵列码的阵列编码器;

所述至少一个内部编码器是应用 LDPC 码的 LDPC 编码器;

所述 EC 编码数据是通过对原始数据应用外部阵列编码器然后应用至少一个内部 LDPC 编码器生成的;

所述至少一个内部译码器包括 LDPC 译码器,其对所述 EC 编码数据应用 LDPC 译码以生成所述第一译码数据;

所述至少一个迭代译码器包括迭代阵列译码器,其对所述第一译码数据以迭代方式应用阵列译码以生成所述第二译码数据;以及

所述代数译码器是代数阵列译码器,其对所述第二译码数据以代数方式应用阵列译码以生成所述输出译码数据。

2. 如权利要求 1 所述的方法,其中,所述至少一个内部 LDPC 译码器以迭代方式应用 LDPC 译码。

3. 如权利要求 1 所述的方法,其中,

所述 EC 编码数据包括与通过将所述外部编码器应用于所述原始数据以生成第一符号块,以及将所述至少一个内部编码器应用于所述第一符号块以生成第一码字块而生成的第一码字块对应的第二码字块;以及

步骤 (a) 包括独立地译码所述 EC 编码数据中的每个码字以生成第一译码数据,其中:

所述第一译码数据包括对应于所述第一符号块的第二符号块;以及

由所述至少一个内部译码器译码至少一个码字生成所述第二符号块中的两个或更多个符号。

4. 如权利要求 1 所述的方法,其中,步骤 (a) 进一步包括应用信道检测器来从信道接收所述 EC 编码数据的步骤。

5. 如权利要求 4 所述的方法,其中,所述方法还包括下述至少一个:

将附带信息从所述至少一个内部译码器传递到所述信道检测器;

将附带信息从所述至少一个迭代译码器传递到所述信道检测器;和

将附带信息从所述至少一个迭代译码器传递到所述至少一个内部译码器。

6. 一种级联的译码器,用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据,所述译码器包括:

(a) 至少一个内部译码器,用来译码所述 EC 编码数据以生成第一译码数据,其中,所述至少一个内部译码器对应于所述至少一个内部编码器;

(b) 至少一个迭代译码器,用来译码所述第一译码数据以生成第二译码数据,其中,所

述至少一个迭代译码器对应于所述外部编码器；以及

(c) 代数译码器, 用来译码所述第二译码数据以生成输出译码数据, 其中, 所述代数译码器对应于所述外部编码器, 其中:

所述外部编码器是应用阵列码的阵列编码器;

所述至少一个内部编码器是应用 LDPC 码的 LDPC 编码器;

所述 EC 编码数据是通过对原始数据应用外部阵列编码器然后应用至少一个内部 LDPC 编码器生成的;

所述至少一个内部译码器包括 LDPC 译码器, 其对所述 EC 编码数据应用 LDPC 译码以生成所述第一译码数据;

所述至少一个迭代译码器包括迭代阵列译码器, 其对所述第一译码数据以迭代方式应用阵列译码以生成所述第二译码数据; 以及

所述代数译码器是代数阵列译码器, 其对所述第二译码数据以代数方式应用阵列译码以生成所述输出译码数据。

7. 如权利要求 6 所述的译码器, 其中:

所述 EC 编码数据包括与通过将所述外部编码器应用于所述原始数据以生成第一符号块, 以及将所述至少一个内部编码器应用于所述第一符号块以生成第一码字块而生成的第一码字块对应的第二码字块; 以及

所述至少一个内部译码器用来独立地译码所述 EC 编码数据中的每个码字以生成第一译码数据, 其中:

所述第一译码数据包括对应于所述第一符号块的第二符号块; 以及

由所述至少一个内部译码器译码至少一个所述码字生成所述第二符号块中的两个或更多个符号。

级联的迭代和代数译码

技术领域

[0001] 本发明涉及纠错 (EC) 编码, 以及更具体地说, 涉及级联错误编码和译码。

[0002] 背景技术

[0003] 在数字通信系统中, 在通常经受一些量的噪声损害的信道上, 将信息从发射机传送到接收机。类似地, 在数字存储系统 (例如磁性、光学、半导体和有机存储系统) 中, 在传送到存储介质、存储在存储介质上以及从存储介质回读期间, 会引入对信息的减损。错误发生的速率, 称为误码率 (BER) 对数字通信链路和数据存储来说是非常重要的设计标准。BER 通常定义成所引入的误码的数量与总位数之比。通常, BER 必须保持低于取决于应用的特定值。在通信和存储系统中, 通常采用基于向原始消息添加冗余的 EC 编码技术来确保存在减损, 诸如噪声和符号间干扰 (ISI) 的情况下, 尽可能准确地恢复原始信息。能在 Bernard Skalar 和 Fredric J. Harris, “The ABCs of linear block codes,” IEEE Signal Processing Magazine, July 2004, pp. 14-35 中找到 EC 编码的介绍和概述, 其内容在此全部引入以供参考。

[0004] 通常, EC 译码器分成两种主要种类: 代数硬译码器和迭代软译码器。硬译码是指将接收信号或从存储介质回读的信号样本直接译码成数字符号 (例如二进制数据块) 的过程, 而软译码是指导致更多概率信息, 诸如特定样本是二进制 0 或二进制 1 的概率的过程。例如, 典型的软输出译码器可能使用 4 位带符号二进制值来表示每个接收样本。将接近 +7 的值被视为具有表示所接收的二进制值 1 的高概率, 而接近 -8 的值被视为具有表示所接收的二进制 0 的高概率。迭代译码能通过生成比在前、较不可靠位估计更可靠的位估计, 来提高译码精度。

[0005] 迭代译码器 (例如 turbo 译码器、低密度奇偶校验 (LDPC) 译码器以及迭代阵列译码器) 具有高编码增益的有吸引力的特性。编码增益被定义为编码信号比未编码信号提供的效率增加。用分贝表示, 编码增益能表示例如当相对于未编码, 利用特定编码时, 能实现的维持相同数据率的发射功率减小的程度。迭代译码器的一个特性是对于译码器的编码增益, 无闭式表达式。如果能够用有限操作数来分析地表示, 则将表达式说成是闭式表达式。例如, 无穷和通常不被视为闭式。由于对于迭代译码器的编码增益, 无闭式表达式, 通常通过模拟来确定这些译码器的编码增益。不幸的是, 当迭代译码器的目标 BER 非常低 (例如 10^{-15} 或更低) 时, 使用当今的计算系统, 译码器的模拟是无法实施的。因此, 例如, 通过模拟, 将能示出特定的迭代译码器以显示出对其目标 BER 为 10^{-5} 的系统的显著编码增益, 但对 10^{-15} 的目标 BER, 不能确定其性能。另外, 实验数据倾向于表示, 对于迭代译码器, 性能倾向于在低 BER 时变平, 引发迭代译码器可能不能以合理的迭代次数来校正所有错误的另外的问题。能在 J. L. Fan, “Array codes as Low Density Parity Check codes,” Allerton Conference on Communication, Control, and Computing 的第 38 刊, 955-96, 2000 年 9 月中找到有关阵列编码和 LDPC 编码的更多信息, 在此引入以供参考。能在 B. Sklar, “A Primer on Turbo Code Concept,” pp. 94-102, IEEE Communication Magazine, 1997 年 12 月中找到有关 turbo 编码的更多信息, 在此全部引入以供参考。

[0006] 另一方面,代数译码器(例如 Hamming 译码器、Reed-Solomon 译码器、Bose-Chaudhuri-Hocquenghem(BCH) 译码器以及代数阵列译码器)会比迭代译码器更低效(例如低编码增益)。然而,能在任意低的目标 BER,分析计算代数译码器的性能。因此,指定特定目标 BER,以及指定期望的信道出错率,能使用闭式表达式来确定是否能使用特定代数码来满足目标 BER。

[0007] 对于数据存储应用,校正的误码率(即纠错后的 BER)最好为约 10^{-15} 或更小。在数据存储应用中会引入误码,例如,因为读取头的误循迹、读取头相对于记录介质的飞行高度变化、位密度以及系统的信噪比(SNR)。今天,数据存储应用的目的是实现每平方英寸 1 兆兆位以及更高的存储密度($1\text{Tbit}/\text{in}^2$)。这种高位密度产生高符号间干扰(ISI),使实现低 BER 的任务变得复杂。另外,通过这些高位密度,记录介质上每位占用的物理空间变得相对小,导致相对低的信号强度,这影响 SNR。另外,计算上复杂的编码/译码方案使得相关译码操作难以以高位速率实现。

[0008] 因此,存在对于尽管复杂化通常与高位密度,诸如 $1\text{Tbit}/\text{in}^2$ 有关的大 ISI 和低 SNR,但导致 10^{-15} 或更低的校正 BER 的编码方案的需要。另外,存在对于允许以高数据速率进行编码/译码的编码方案的需要。

发明内容

[0009] 根据本发明的原理,通过包含使用级联的代数和迭代译码器的用于纠错编码和解码的方法和装置,来解决现有技术中的问题。使用迭代译码器将错误从高 BER 有效地降低到中 BER,同时代数译码器确保在低 BER 的性能。

[0010] 本发明的一个实施例是一种 EC 编码的方法,包括(1)使用 EC 外部编码器对数据进行 EC 编码以产生能使用代数 EC 外部译码器译码的编码数据,以及(2)使用一个或多个 EC 内部编码器来进一步 EC 编码该编码数据,以便产生能使用一个或多个迭代 EC 内部译码器译码的进一步编码数据。

[0011] 本发明的另一实施例是一种通过将迭代 EC 内部译码器和代数 EC 外部译码器应用于 EC 编码数据来译码 EC 编码数据的方法。迭代 EC 内部译码器用来作为由 EC 内部编码器生成的冗余数据的功能,校正 EC 编码数据中的错误。代数 EC 外部编码器用来通过利用由 EC 外部编码器生成的冗余数据,校正 EC 编码数据中的错误。

[0012] 本发明的另一实施例是用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据的方法。该方法包括步骤(a)将至少一个内部译码器应用于 EC 编码的数据以生成第一译码数据,其中,至少一个内部译码器对应于至少一个内部编码器;(b)将至少一个迭代译码器应用于第一译码数据以生成第二译码数据,其中,至少一个迭代译码器对应于外部编码器;以及(c)将代数译码器应用于第二译码数据以生成输出译码数据,其中,代数译码器对应于外部编码器。

[0013] 本发明的另一实施例是级联译码器,用于译码通过将外部编码器后面跟随至少一个内部编码器应用于原始数据而生成的 EC 编码数据。该译码器包括:(a)至少一个内部译码器,用来译码 EC 编码数据以生成第一译码数据,其中,至少一个内部译码器对应于至少一个内部编码器;(b)至少一个迭代译码器,用来译码第一译码数据以生成第二译码数据,其中,至少一个迭代译码器对应于外部编码器;以及(c)代数译码器,用来译码第二译码数

据以生成输出译码数据,其中,代数译码器对应于外部编码器。

[0014] 本发明的另一实施例是一种级联译码器,用于译码通过 (1) 将外部编码器应用于第一数据块以生成第一符号块,以及 (2) 将至少一个内部编码器应用于第一符号块以生成第一码字块而生成的 EC 编码数据。该级联译码器包括:至少一个内部译码器,用来译码对应于第一码字块的第二码字块。译码第二码字块生成对应于第一符号块的第二符号块。至少一个内部译码器独立地译码第二码字块中的每个码字。由内部译码器译码这些码字中的至少一个,以生成第二符号块中的两个或多个符号。该级联译码器还包括代数外部译码器,用来将代数译码方案应用于第二符号块,以生成对应于第一数据块的第二数据块。

附图说明

[0015] 从下述详细说明、附加权利要求及附图,本发明的其他方面、特征和优点将变得显而易见,其中:

[0016] 图 1 示例说明根据本发明的示例性纠错系统。

[0017] 图 2 包括表 1,详述与将码字通过信道有关的情况。

[0018] 图 3 示例说明图 1 的编码器 110 的示例性实施例 300。

[0019] 图 4 示例说明与图 3 的编码器 300 的操作有关的另外的细节。

[0020] 图 5 示例说明图 1 的译码器 124 的示例性实施例 500。

[0021] 图 6 示例说明图 1 的译码器 124 的另外的示例性实施例 600。

[0022] 图 7 示例说明图 1 的译码器 124 的另一示例性实施例 700。

具体实施方式

[0023] 其中,参考“一个实施例”或“实施例”是指与该实施例有关的特定特征、结构或特性包括在本发明的至少一个实现中。出现在本说明书的不同地方中的短语“在一个实施例”不一定均参考相同实施例,也不是单独或另外的实施例必定相互排除其他实施例。

[0024] 纠错系统

[0025] 图 1 示例说明根据本发明的示例性 EC 系统 100。EC 系统 100 包括 EC 编码器 110 和 EC 译码器 124。EC 编码器 110 包括 EC 外部编码器 104 和一个或多个 EC 内部编码器 108。EC 译码器 124 包括一个或多个 EC 内部译码器 118 和 EC 外部译码器 122。

[0026] 在操作中,外部编码器 104 通过冗余数据编码输入数据 102 以便产生编码数据 106。然后,将编码数据 106 传送到一系列一个或多个内部编码器 108,在其中执行另外的 EC 编码以产生编码数据 112。然后,通过信道 114(例如传输或存储信道)传递编码数据 112,其中,错误总是引入到数据中。然后,接收(在传输信道的情况下)或检索(在存储信道的情况下)(可能出错的)编码数据,然后,将最终编码数据 116 提供给 EC 译码器 124。在译码器 124 中,一个或多个内部译码器 118 操作以便校正由该信道引入的一些或所有错误。内部译码器的输出 120 传递到外部译码器 122,在其中可以校正一些或所有剩余错误。最后,从译码器 124 输出恢复或部分恢复的数据 126。

[0027] 在编码器 110 中,如本领域所公知的,外部编码器 104 和内部编码器 108 能是多种 EC 编码器的适当组合(例如 turbo,二维乘积代码(2DPC)、LDPC、hamming、Reed Solomon、BCH 和阵列编码器),由外部编码器 104 产生的代码是可代数译码。

[0028] 同样,在译码器 124 中,内部译码器 118 和外部译码器 122 是对应于组成编码器 110 的编码器的 EC 译码器的适当组合,外部译码器是至少可选迭代译码的。通常,内部译码器 118 可以是一系列相应于内部编码器 108 以及可能外部编码器 104 的一个或多个迭代或代数译码器。

[0029] 编码

[0030] 图 3 示例说明图 1 的编码器 110 的示例性实施例 300,包括可操作地连接到(内部)LDPC 编码器 308 的(外部)阵列编码器 304。在操作中,阵列编码器 304 接收将传送或存储的输入数据 302,编码输入数据以产生阵列编码数据 306,然后,将阵列编码数据传递到 LDPC 编码器 308。然后,LDPC 编码器 308 编码阵列编码的数据以产生 LDPC/阵列编码数据 310。

[0031] 图 4 示例说明与图 3 的编码器 300 的操作有关的另外的细节。首先,将由编码器 300 编码的输入数据被分组为 p 行、 $(q-r)$ 列的块 302,其中,每块的项是输入数据的单个位, p , q 和 r 是正整数,以及 $0 < r < q$ 。在阵列编码器术语中, $(q-r)$ 列的每一个被视为一个符号。块 302 由此能被视为具有 $(q-r)$ 个数据符号 312 的数据块。阵列编码器 304 的操作导致 $(p \times q)$ 块 306,包括原始的 $(q-r)$ 个符号 312 以及 r 个码(在这种情况下,奇偶)符号 316。然后,将最终 $(p \times q)$ 数据块 306 输送到 LDPC 编码器 308,其中,与块 306 中的其他列无关地编码每一列。LDPC 编码导致将 h 位代码(在这种情况下,为奇偶)添加到数据块 306 的每一列以便产生 q 个码字(例如码字 318 和 320),每个长度为 $(p+h)$ 。内部 LDPC 编码器在不同实施例中,可以根据最适合于实现,并行或串行地处理每列。通常,与串行实现相比,并行实现选项能加速内部编码器的操作。

[0032] 在另外的实现中,可以通过 LDPC 编码器 308,将块 306 的一个或多个列组合成单个码字,每个组合与其他无关地进行操作。

[0033] 检测

[0034] 在由图 5、6 和 7 所示的译码器的每个实施例中,软输入-软输出(SISO)信道检测器(例如如图 5 的 SISO 信道检测器 502)从信道接收数据。该数据被基本上排列成类似于从内部译码器 308 输出的数据块 310,但可能被与译码器和解码器之间的信道有关的噪声和减损破坏。SISO 信道检测器使用 SISO 算法(例如软输出 Viterbi 算法(SOVA))来处理该数据,以及输出对于所接收的每个数据位的软估计。该估计可以是具有范围 -32 至 $+31$ 的六位二进制值的形式。如果该值接近 -32 ,非常可能认为所接收的数据位作为二进制 0 传送。如果该值接近 $+31$,非常可能认为所接收的数据位作为二进制 1 传送。由信道检测器生成的软估计被划分成对应于由编码器生成的 $(p+h)$ 位的 q 个码字的 $(p+h)$ 六位值的 q 列,以及软数据的 q 列被传递到译码器的第一级用于处理。

[0035] 译码

[0036] 在图 3 的编码器实施例中,由于能迭代和/或代数译码阵列编码的数据,如图 5、6 和 7 所示,有用于译码器实现的各种选择。

[0037] 注意,当码字(例如如图 4 的列 318)通过信道,由信道检测器处理,以及通过一个或多个内部译码器起作用时,存在与输入到外部译码器的数据有关的多个不同的可能情形,如图 2 的表 1 所述。在第一情形中,信道不引入错误,以及所接收的码字对应于从译码器传送到信道的码字。在第二情形中,信道将一个或多个错误引入到码字中,但差错可由内部译

码器校正。在第三情形中,由信道引入一个或多个错误,其错误超出内部译码器的校正能力。在该第三情形中,编码的符号(例如如图4的原始数据符号312或奇偶符号316)不能仅由内部译码器恢复。该不可恢复的符号被定义为擦除符号以及其位置被标记到外部译码器。在第四情形中,错误的属性是初始码字被映射到另一有效码字但对应于符号一个不同于初始编码的一个。在这种情况下,由内部译码器恢复数据符号或奇偶符号,但它不是被编码的符号。这种类型的符号被称为错误符号。在第五种情形中,错误的属性是初始码字被映射到对应于不同于初始符号的符号的无效码字。在这种情况下,内部译码器将该无效码字译码成错误符号。同样地,这是错误符号的另一例子。

[0038] 由内部译码器操作产生的 $(p \times q)$ 数据块包括足够冗余以便(在由外部译码器译码期间)允许校正达 x 个错误符号和 $(r-2x)$ 个擦除符号,其中, r 是大于零的整数, $(r-2x)$ 是大于零的整数,以及 x 是整数以致 $0 \leq x \leq \frac{r}{2}$ 。因此,例如,如果外部编码器将七个码符号添加到所接收的数据符号块(即 $r = 7$),那么,如果没有符号错误,外部译码器将能从那个块中的达七个擦除符号恢复,如果有一个符号错误,外部译码器将能从那个块中的达五个擦除符号恢复,如果有两个符号错误,那么外部译码器将能从那个块中的达三个擦除符号恢复等等。注意,在该例子中,如果有多于三个符号错误,那么外部译码器将不能恢复原始数据。

[0039] 译码器实施例

[0040] 图5示例说明图1的译码器124的示例性实施例,包括SISO信道检测器502、迭代LDPC译码器504和代数阵列译码器506。在操作中,信道检测器502从信道接收EC编码数据,产生数据的软估计,将估计划分为 q 列和 $(p+h)$ 行的块,以及将估计递送到LDPC译码器504。

[0041] LDPC译码器与其他列无关地迭代译码每一列,以及如果LDPC译码器504在特定最大多次迭代后,不能收敛到有效码字,则将一列标记擦除符号至代数阵列译码器506。

[0042] 注意,内部LDPC译码器能在最适合于实现的不同实现中,串行或并行地处理每一列。通常,与串行实现相比,并行实现选择能加速内部译码器的操作。

[0043] 如前所述,通过LDPC译码器从码字恢复符号的尝试将导致(1)擦除符号,(2)错误符号,或(3)校正原始符号。在第一情形中,由LDPC译码器504将码字标记为擦除符号至阵列译码器506。在阵列译码器506中,注意到该擦除并丢弃该符号。在后两种情况下,从码字中去除 h 个奇偶位,以及将最终符号传递到阵列译码器用于进一步处理。假定零错误符号,代数阵列译码器506能校正达 r 个擦除符号,其中 r 是大于零的整数。如果存在由内部译码器标记的多于 r 个擦除符号,那么,将整个块标记为不可由阵列译码器校正。如果在数据块中存在 r 个或更少擦除符号以及无错误符号,或如果在数据块中存在 $r-2x$ 个或更少擦除符号,其中 x 是块中的错误符号的整数,那么可校正该数据块以及可由阵列译码器506恢复原始数据符号并传递到译码器500的输出。

[0044] 假定 f_{inner} 是内部LDPC译码器的故障率,那么,使用下述公式,能分析地计算级联的代数迭代译码器的块错误率:

$$[0045] \quad \text{BlockER} = \sum_{i=0}^r \frac{q!(q-i)!}{i!} f_{\text{inner}}^i (1 - f_{\text{inner}})^{q-i} \quad (1)$$

[0046] 在另一实现中,由LDPC编码器308生成的码字由多于一个符号形成。在这种情况下

下,译码器 504 将译码码字以生成被编码为码字的原始符号。每个码字可以组合不同多个符号以及由 LDPC 译码器与其他无关地操作每个码字,以便产生相应多个原始符号、擦除符号或错误符号。

[0047] 利用附带信息进行译码

[0048] 图 6 示例说明图 1 的译码器 124 的另一示例性实施例 600,包括 SISO 信道检测器 602、迭代 LDPC 译码器 604 和代数阵列译码器 606。在操作中,信道检测器 602 从信道接收 EC 编码数据,产生数据的软估计,将估计分为 q 列和 $(p+h)$ 行的块,并将估计递送到 LDPC 译码器 604。LDPC 译码器与其他无关地迭代解码每一列,以及如果译码器在特定最大多次迭代后,仍然不能会聚成有效码字,则将该列标记为擦除符号。在图 6 的实施例中,通过允许从内部译码器到信道检测器 602 的附带信息(例如软估计)交换,提高内部译码器 604 的判定性能。其中,数据路径 608 用于信息交换。

[0049] 关于图 5 的实施例,将擦除符号标记到阵列译码器,其中,记下擦除符号的位置。对于非擦除符号,从每个码字去除 h 个奇偶位,并将每个非擦除符号传递到阵列译码器用于进一步处理。代数阵列译码器进一步处理所述符号,以及假定错误的数目在整个译码器的编码增益内,则阵列译码器以目标 BER,在译码器输出上输出原始数据符号。

[0050] 作为利用 LDPC 译码器和 SISO 信道检测器之间的外来数据交换,由多次迭代产生的好处的结果,实施例 600 的故障率 f_{inner} 应当好于(即低于)与图 5 的实施例有关的故障率 f_{inner} ,导致经方程式(1)的改善的(即更低)误码率。

[0051] 级联的内部译码器

[0052] 图 7 示例说明图 1 的译码器 124 的另一示例性实施例 700。实施例 700 包括 SISO 信道检测器 702、迭代 LDPC 译码器 704、迭代阵列译码器 706 和代数阵列译码器 708。在操作中,信道检测器 702 从信道接收 EC 编码的数据,产生数据的软估计,将估计划分为 q 列和 $(p+h)$ 行的块,并将估计递送到 LDPC 译码器 704。LDPC 译码器与其他无关地迭代译码每一列,以及如果译码器在特定最大多次迭代后,仍然不能会聚到有效码字,则将该列标记为擦除符号。在该实施例中,如在图 6 中的实施例中,通过允许从 LDPC 译码器 704 到信道检测器 702(经数据路径 710)的附带信息交换,提高了内部译码器 704 的判定性能。然而,在该实施例中,利用可以迭代地译码和代数地译码阵列码的事实,将额外的译码器级(迭代阵列译码器级 706)添加到译码器。而且,为了进一步提高性能,支持(经数据路径 712)在两个迭代译码器级 704 和 706 之间和(经数据路径 714)在第二迭代译码器级 706 和 SISO 信道检测器 702 之间的附带信息交换。

[0053] 关于图 5 和 6 的实施例,将擦除符号标记到外部译码器,在该情况下为代数阵列译码器 708,其中,记下擦除符号的位置。否则,从每个码字中去除 h 个奇偶位,并将每个非擦除符号传递到代数阵列译码器 708 用于进一步处理。代数阵列译码器进一步处理符号,以及假定错误的数目在检测器的编码增益内,译码器 708 在译码器的输出处输出原始数据符号。

[0054] 作为利用 LDPC 译码器、迭代阵列译码器和 SISO 信道检测器之间的附带信息交换,从多次迭代获得的好处,实施例 700 的故障率 f_{inner} 应当好于(即低于)与图 5 的实施例或图 6 的实施例有关的故障率。

[0055] 更具体地说,在本发明的不同实现中,可以利用 N 个迭代译码器和 M 个代数译码

器,其中,N和M均是大于零的整数。注意,在一些实现中,可以交错迭代和代数译码器,只要最后一个译码器是代数译码器。

[0056] 在本发明的不同实施例中,内部编码器/译码器可以是二维乘积编码器/译码器。

[0057] 级联的代数和迭代编码方案在选择编码增益相对于目标 BER 的复杂度方面,提供大的灵活性。能以串行、部分并行或全并行硬件或软件来执行译码。译码器的复杂性低于相同码率的单个迭代(例如 LDPC)译码器,因为操作的每个数据量能更小(例如与整个块相比的列)。使用用于阵列编码的代数译码,分析上能将块错误率计算到相对低 BER(例如 10^{-15})。

[0058] 本发明能用硬件、软件或硬件和软件的一些组合来实现,包括但不限于:离散硬件逻辑、应用专用集成电路、定制集成电路、可编程逻辑、基于可编程微处理器的系统,或网络设备,诸如成帧器、路由器、线路接口单元、复用器、解复用器以及映射程序,或其他多接口设备,诸如添加/丢弃多路复用器、ATM 交换机以及包含多个接口的其他设备。

[0059] 尽管已经参考示例性实施例,描述了本发明,不应当在限制的意义上构造本说明书。所述的实施例的各种改进,以及对本领域的技术人员来说显而易见的本发明的其他实施例视为如在权利要求中所述的本发明的原理和范围内。

[0060] 尽管方法权利要求中的步骤,如果有的话,通过相应的标记,按特定顺序描述,除非权利要求列举暗示用于实现这些步骤的一些或全部的特定顺序,那些步骤不一定意图限制到按特定的顺序实现。

图1

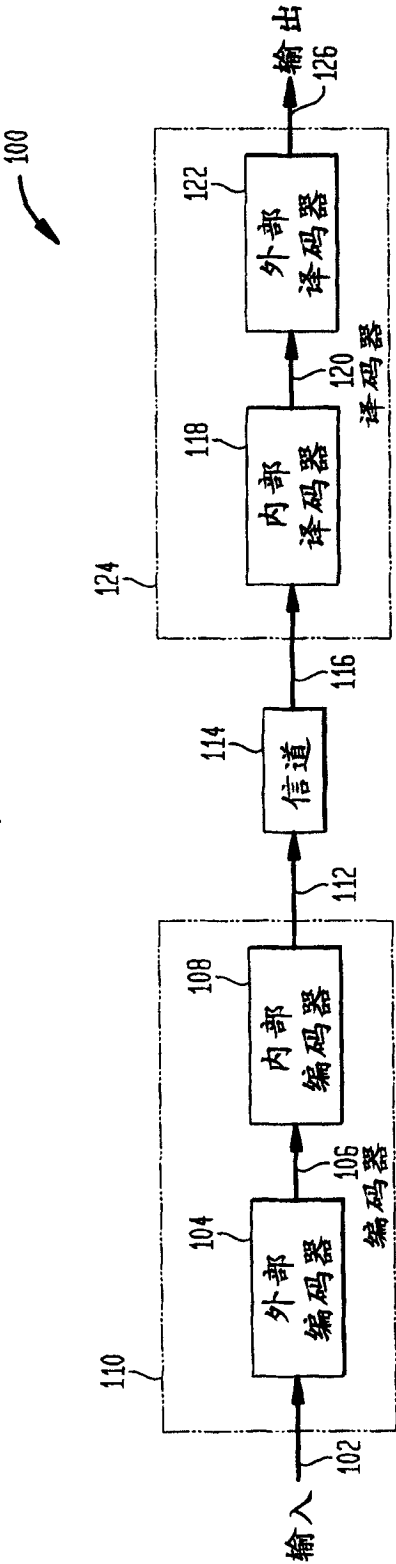


图2
表1

情况	由信道引入 错误?	有效码字 输入到 内部译码器?	译码的符号 对应于传送 的符号吗?	恢复原始 符号吗?
1	否	是	是	是
2	是	否	是	是
3	是	否	否	否(擦除符号)
4	是	是	否	否(错误符号)
5	是	否	否	否(错误符号)

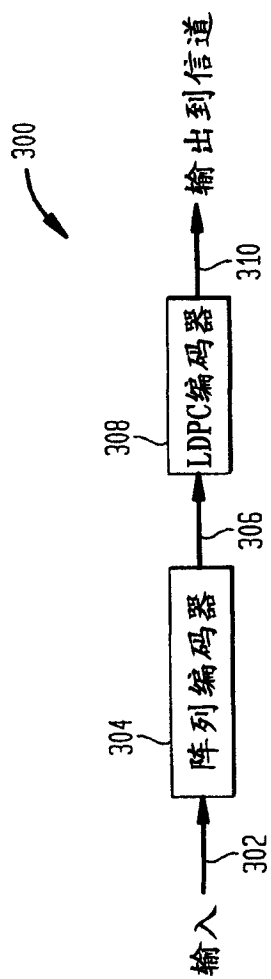


图3

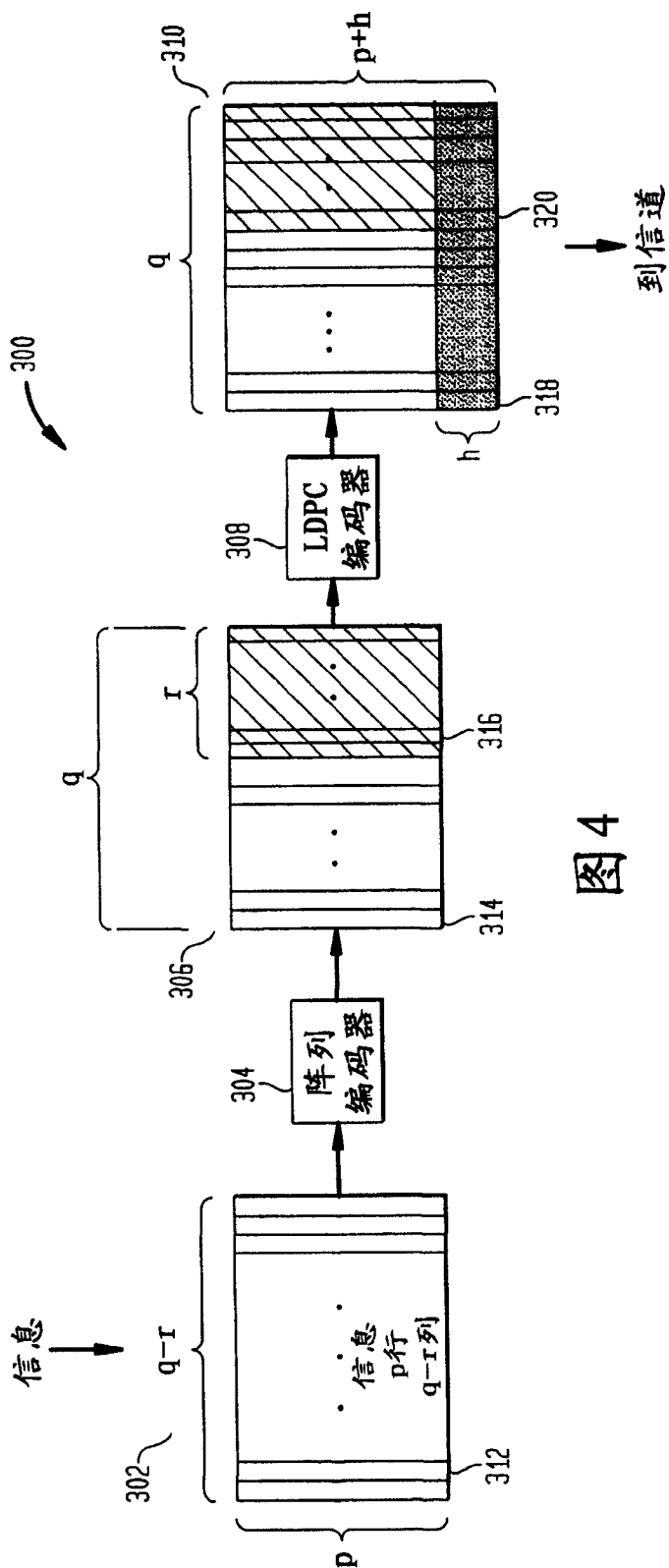


图4

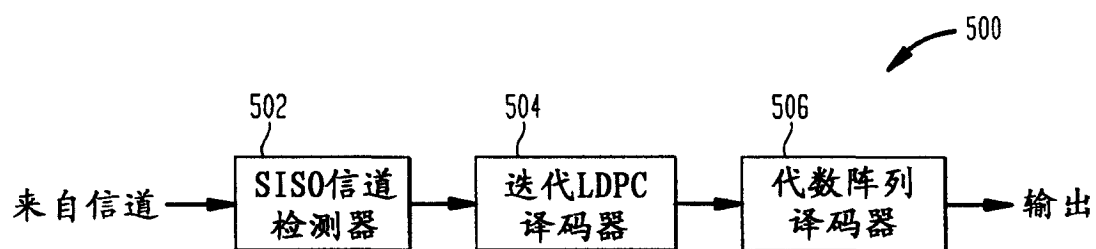


图 5

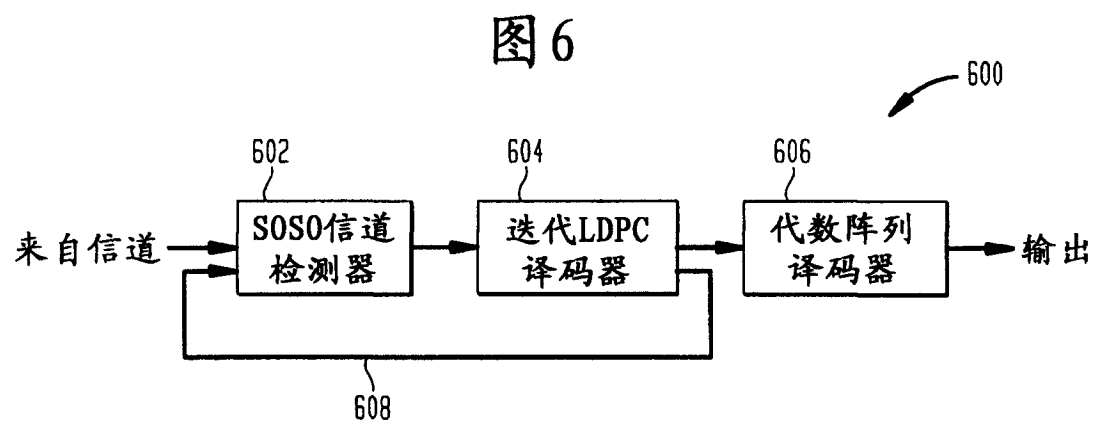


图 6

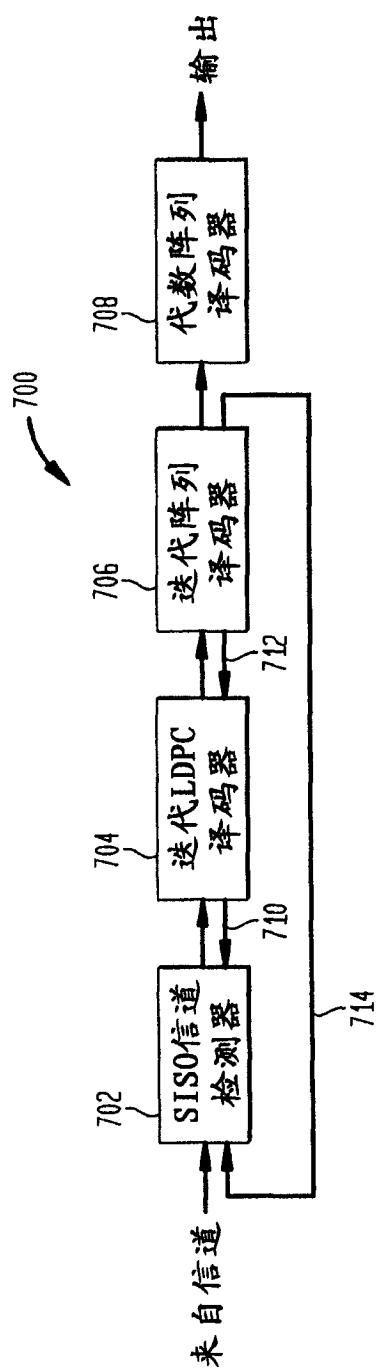


图7