(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 7 月 17 日(17.07.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/108940 A1

(51) 国際特許分類:
H01L 21/336 (2006.01) *H01L 29/78* (2006.01)

(21) 国際出願番号: PCT/JP2013/001344

(22) 国際出願日: 2013 年 3 月 5 日(05.03.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2013-001907 2013 年 1 月 9 日(09.01.2013) JP

(71) 出願人: 国立大学法人東京工業大学(**TOKYO INSTITUTE OF TECHNOLOGY**) [JP/JP]; 〒1528550 東京都目黒区大岡山２－１２－１ Tokyo (JP).

(72) 発明者: 宮本 恭幸(**MIYAMOTO, Yasuyuki**); 〒1528550 東京都目黒区大岡山２－１２－１国立大学法人東京工業大学内 Tokyo (JP). 金澤 徹(**KANAZAWA, Tohru**); 〒1528550 東京都目黒区大岡山２－１２－１国立大学法人東京工業大学内 Tokyo (JP). 柏野 壮志(**KASHIWANO, Masashi**); 〒1528550 東京都目黒区大岡山２－１２－１国立大学法人東京工業大学内 Tokyo (JP).

(74) 代理人: 森下 賢樹(**MORISHITA, Sakaki**); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

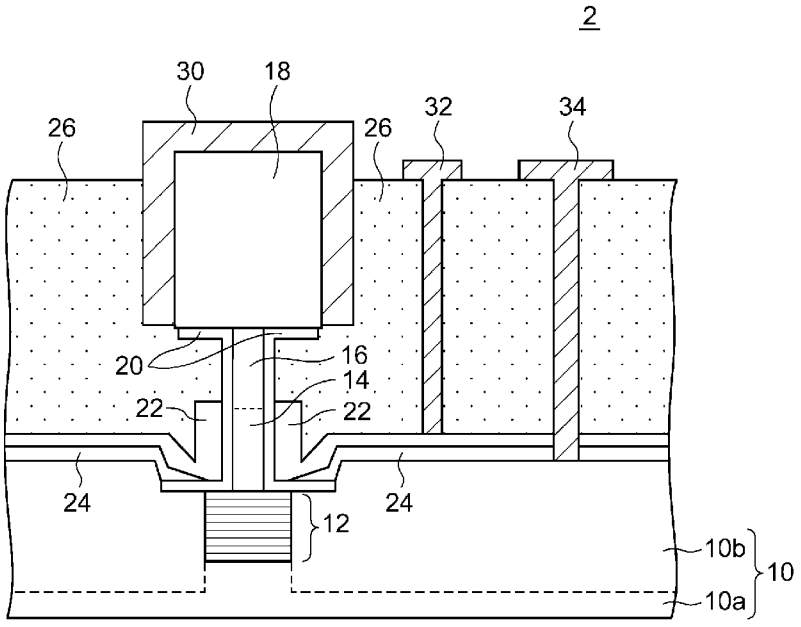
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ

[続葉有]

(54) **Title**: FIELD-EFFECT TRANSISTOR

(54) 発明の名称 : 電界効果トランジスタ



(57) **Abstract**: Provided is an FET (2) having a channel region (14) and a superlattice region (12) that are provided between source and drain electrodes. The channel region (14) is formed in a region in contact with one surface of the superlattice region (12). A drain region (16) and a drain electrode (18) are formed in this order adjacent to the channel region (14). An impurity-doped region (10) having an impurity diffused therein is formed around the superlattice region (12).

(57) 要約: ソース・ドレイン電極間にチャネル領域１４および超格子領域１２を備えるＦＥＴ２が提供される。チャネル領域１４は、超格子領域１２の一面に接する領域に形成される。チャネル領域１４と隣接して、ドレイン領域１６、ドレイン電極１８が順に形成される。超格子領域１２の周囲には、不純物が拡散された不純物ドーピング領域１０が形成される。

WO 2014/108940 A1

(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告（条約第 21 条(3)）

明　細　書

発明の名称 ： 電界効果トランジスタ

技術分野

[0001] 本発明は、半導体電界効果トランジスタ（ＦＥＴ：Field Effect Transistor）に関する。

背景技術

[0002] 高速低消費電力デバイスの実現には、低電圧で高いオン電流を流すための高移動度を持つ化合物半導体がチャネル材料として研究されているが、低消費電力動作のためにはオフ時の電流を小さくすることも重要である。低電圧でオフ電流を小さくするためには、ゲートソース間しきい値電圧（以下、単にしきい値電圧と称する）以下における電圧の変化に対する電流の変化を示すサブスレッショルドスロープ（ＳＳ）特性を小さくする必要があり、従来のキャリアの熱分布限界から一桁変化させるために、室温で６０ｍＶ／ｄｅｃを下回る急峻なＳＳ特性を得る必要がある。

[0003] 従来提案されているトンネルＦＥＴではトンネル時の抵抗が大きく、高いオン電流を急峻なＳＳ特性と両立させることが出来なかったことから、電界効果トランジスタのソースにドーピングして多くのキャリヤを持った超格子を入れたトランジスタが提案されている（特許文献１）。このトランジスタでは、ミニバンドの許容帯に満たされたキャリヤを供給することで高いオン電流を満たしつつ、ミニバンドの禁制帯とチャネルが重なった時は、キャリヤの供給が止まるが、ミニバンドの禁制帯と許容帯のエネルギー差は超格子の設計で変えられることから、急峻なオン/オフの切り替えが設計できる。

先行技術文献

特許文献

[0004] 特許文献1：米国特許第８，１２９，７６３Ｂ２号明細書

非特許文献

[0005] 非特許文献1：E. Gnani et. al, IEDM. Technol. digest, 2011 5.1.1-5.1.4

非特許文献2：M. Egard et. al, IEDM. Technol. digest, 2011 13.2.1-13.2.4

非特許文献3：Y. Yonai et. al, IEDM. Technol. digest, 2011 13.3.1-13.3.4

発明の概要

発明が解決しようとする課題

[0006] 本発明者は、かかるトンネルＦＥＴについて検討した結果、以下の課題を認識するに至った。

トンネルＦＥＴを実現するためには、高濃度、具体的には１０^{19}／ｃｍ^{3}以上でドーピングされた超格子によってミニバンドを形成する必要がある。１０^{19}／ｃｍ^{3}という濃度オーダーは、一辺１０ｎｍの立方体の体積あたり、数十個の程度の割合でドーパントが混入することを意味する。一方、超格子の層の厚みは、たかだか３～４ｎｍ程度であるため、濃度１０^{19}／ｃｍ^{3}のオーダーでドーピングすると、ある層にはドーパントが存在し、ある層にはドーパントが存在しないといったように、ドーパントが超格子にランダムに混入した状態となる。ランダムに存在するドーパントは、超格子により形成されるポテンシャルを乱すことになり、ミニバンドを壊してしまうという問題がある。また、キャリアと不純物との散乱によってキャリアのコヒーレンス性が劣化し、ミニバンドが壊れるという問題がある。なおこれらの問題を当業者の共通の認識としてとらえてはならない。

[0007] 本発明はかかる課題に鑑みてなされたものであり、そのある態様の例示的な目的のひとつは、良好なミニバンドを維持しつつ、高濃度キャリアを実現可能なＦＥＴの提供にある。

課題を解決するための手段

[0008] 本発明のある態様は、ソース・ドレイン電極間にチャネル領域および超格子領域を備える電界効果トランジスタに関する。この電界効果トランジスタにおいて、超格子領域の周囲に、不純物が拡散された不純物ドーピング領域が形成される。

[0009] この態様によれば、超格子領域に不純物を拡散する代わりに、その周辺の領域に、高濃度でドープされた不純物ドーピング領域を形成することにより、不純物ドーピング領域から高濃度のキャリアを超格子領域に発生させ、チャネル領域に供給することができる。これにより、良好なミニバンドを維持しつつ、高濃度キャリアを実現できる。

[0010] なお、以上の構成要素を任意に組み合わせたもの、あるいは本発明の表現を、方法、装置などの間で変換したものもまた、本発明の態様として有効である。

発明の効果

[0011] 本発明のある態様によれば、良好なミニバンドを維持しつつ、高濃度キャリアを実現できる。

図面の簡単な説明

[0012] [図1]実施の形態に係るＮチャンネルのＦＥＴの構成を示す断面図である。
[図2]図２（ａ）～（ｆ）は、図１のＦＥＴの製造方法を示す断面図である。
[図3]図３（ａ）～（ｄ）は、図１のＦＥＴの製造方法を示す断面図である。
[図4]図４は、変形例２に係るＮチャンネルのＦＥＴの構成を示す斜視図である。

発明を実施するための形態

[0013] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0014] 図１は、実施の形態に係るＮチャンネルのＦＥＴ２の構成を示す断面図である。ＦＥＴ２は、III－Ｖ族化合物半導体トランジスタであり、不純物ドーピング領域１０、超格子領域１２、チャネル領域１４、ドレイン領域１６、ドレイン電極１８、ゲート絶縁膜２０、ゲート電極２２、絶縁膜２４、層間

絶縁膜２６、ドレイン引出電極３０、ゲート引出電極３２、ソース引出電極３４を備える。

[0015] ＦＥＴ２は、超格子領域１２およびチャネル領域１４が、縦方向に積層された構造を有し、キャリアである電子は、ＦＥＴ２の基板（底面）側から、電極が形成される上面に向かって垂直方向に流れる。チャネル領域１４はたとえばアンドープのインジウムガリウム砒素（ｉ－ＩｎＧａＡｓ）であり、超格子領域１２は、インジウムガリウムヒ素とインジウムリンの積層構造（ＩｎＧａＡｓ／ＩｎＰ）を有する。

[0016] 超格子領域１２の周囲の領域、より具体的には、その側面および底面に接する領域には、高濃度の、具体的には２～１０×$10^{19}$$cm^{-3}$程度にてｎ型不純物がドーピングされた半導体層である不純物ドーピング領域１０が形成される。不純物ドーピング領域１０および超格子領域１２は、チャネル領域１４にキャリアを供給するソース領域であり、本実施の形態において、不純物ドーピング領域１０は、ソース電極を兼ねている。

[0017] 不純物ドーピング領域１０のうち、超格子領域１２の底面に接する領域を第１不純物ドーピング領域１０ａ、超格子領域１２の側面に接する領域を第２不純物ドーピング領域１０ｂと称する。これらは区別されることなく一体形成されてもよいし、別々の領域として形成されてもよい。

[0018] 不純物ドーピング領域１０は、ＩｎＧａＡｓ／ＩｎＰの超格子領域１２にバンド不連続を用いて効率よくキャリヤを供給可能な、ｎ型の不純物がドープされたインジウムリン（ｎ－ＩｎＰ）で形成してもよい。なお、不純物ドーピング領域１０をｎ－ＩｎＰで形成する場合、後述の変形例２で示すように、不純物ドーピング領域１０とＩｎＰ基板の間に、ｎ－ＩｎＧａＡｓ層を形成してもよい。

[0019] あるいは、不純物ドーピング領域１０は、超格子領域１２とバンドが連続するｎ－ＩｎＧａＡｓで形成してもよいし、適度なバンド不連続を有するインジウムガリウムヒ素リン（ｎ－ＩｎＧａＡｓＰ）などで形成してもよい。また、第１不純物ドーピング領域１０ａと第２不純物ドーピング領域１０ｂ

を別々の工程で形成する場合、それらは必ずしも同じ材料である必要はなく、それぞれを異なる材料で形成してもよい。

[0020] ドレイン領域１６は、チャネル領域１４の上に形成される。たとえばドレイン領域１６は、第１の導電性でドープされたインジウムガリウムヒ素（ｎ－ＩｎＧａＡｓ）であり、チャネル領域１４と同じＩｎＧａＡｓに、ｎ型の不純物をドーピングすることにより形成することができる。

[0021] ドレイン電極１８は、ドレイン領域１６の上に形成される。ドレイン電極１８は、たとえばタングステンシリサイド（ＷＳｉ）で形成される。

[0022] チャネル領域１４およびドレイン領域１６の側壁に沿って、ゲート絶縁膜２０が形成される。ゲート絶縁膜２０の材料としては、二酸化ケイ素（SiO_2）、あるいはｈｉｇｈ－ｋ材料である酸化アルミニウム（Al_2O_3）、酸化ハフニウム（HfO_2）などが例示される。

[0023] チャネル領域１４を、ゲート絶縁膜２０を介して挟み込むようにして、ゲート電極２２が形成される。ゲート電極２２は、たとえばアルミニウム（Ａｌ）などが用いられる。ゲート電極２２と不純物ドーピング領域１０ｂの間には、層間の前縁および超格子領域１２の近傍の寄生容量を低減を目的として絶縁膜２４が形成される。絶縁膜２４の材料としては、Al_2O_3やSiO_2などの蒸着可能な絶縁膜材料が例示される。

[0024] ゲート電極２２の上には、ＢＣＢ（ベンゾシクロブテン）等の層間絶縁膜２６が形成される。ドレイン引出電極３０、ゲート引出電極３２、ソース引出電極３４は、層間絶縁膜２６の開口を介して、ドレイン電極１８、ゲート電極２２、不純物ドーピング領域１０それぞれと接続される。

[0025] 以上がＦＥＴ２の構成である。

[0026] 続いて、その製造方法について説明する。図２（ａ）～（ｆ）および図３（ａ）～（ｄ）は、図１のＦＥＴ２の製造方法を示す断面図である。

なお、ここで説明する製造方法は一例であり、本発明に係るＦＥＴ２の製造方法はそれに限定されない。

[0027] 図２（ａ）に示すように、結晶成長により、第１不純物ドーピング領域１

０ａとなるｎ－ＩｎＰ基板の上に、超格子領域（ＩｎＧａＡｓ／ＩｎＰ）１２、チャネル領域（ｉ－ＩｎＧａＡｓ層）１４、ドレイン領域（ｎ－ＩｎＧａＡｓ層）１６を順に形成する。チャネル長はチャネル領域１４の層厚で決定される。不純物ドーピング領域（ｎ－ＩｎＰ）１０のキャリヤ濃度は２～１０×$10^{19}$$cm^{-3}$程度とする。

[0028] 続いて、ドレイン領域１６の上に、ストライプ状のドレイン電極１８を形成する。このドレイン電極の幅は最終のチャネル幅である５～２０ｎｍに対して数十ｎｍ広く形成する。

[0029] 続けて、図２（ｂ）に示すように、このドレイン電極１８をマスクとして、ドライエッチング、たとえば反応性イオンエッチング（ＲＩＥ）によりチャネル領域１４の深さまでエッチングを行い、超格子領域１２に到達する前でエッチングを停止する。たとえばメタン／水素を用いたＩＣＰ（誘導結合型）－ＲＩＥなどを用いてもよい。

[0030] 続いて、図２（ｃ）に示すように、チャネル領域１４の両側を、選択性のあるウェットエッチャント（たとえばクエン酸系エッチャント）でエッチングし、メサ幅を狭める。

[0031] 続いて、原子層堆積法などを用いて、全面に一様にSiO_2やAl_2O_3、HfO_2などの絶縁膜１９を堆積させる(図２（ｄ））。

[0032] 続いて、図２（ｅ）に示すように、ドレイン電極１８をマスクとして、ドライエッチング、たとえばＣＦ４（四フッ化炭素）を用いたＲＩＥによって、チャネル領域１４の側壁以外の部分の絶縁膜を除去する。これにより、ゲート絶縁膜２０が形成される。

[0033] 続いて、図２（ｆ）に示すように、ドレイン電極１８をマスクとして、ドライエッチング、たとえばメタン／水素を用いたＩＣＰ－ＲＩＥにより超格子領域１２までエッチングする（Ｓ１０）。続けてウェットエッチング（たとえばブロムメタノール）により、超格子領域１２の側壁をエッチングして寸法を縮小する（Ｓ１２）。このとき、残す超格子領域１２の幅は、最終的に形成したいチャネル幅に対して１０～２０ｎｍ程度大きくとる。

[0034] 続いて、図３（ａ）に示すように、ドレイン電極１８およびチャネル領域１４の側壁の絶縁膜２０に成長しない選択成長条件のもとで、第２不純物ドーピング領域（ｎ－ＩｎＰ層）１０ｂの成長を行う。成膜した不純物ドーピング領域１０ｂの上端は、超格子領域１２よりも高くとる。

[0035] 続いて、図３（ｂ）に示すように、Al_2O_3やSiO_2などの絶縁膜２４を角度をつけた蒸着で形成する。

[0036] 続いて、図３（ｃ）に示すように、ドレイン引出電極３０およびゲート電極２２が形成される。ゲート電極２２は、ドレイン引出電極３０と自己整合的に絶縁するように角度をつけた蒸着により形成される。なお、第２不純物ドーピング領域１０ｂの成長によりチャネル側面に損傷が生じうる場合、ゲート電極２２の形成直前に、ゲート絶縁膜２０を一旦除去し、またチャネル側面を薄くエッチングして損傷を取り除いてから、再度、ゲート絶縁膜２０を形成することが好ましい。これにより、良好なゲート絶縁膜２０の特性が得られる

[0037] 続いて図３（ｄ）に示すように、スピンコートにより層間絶縁膜２６でデバイス全体を覆い、ドレイン引出電極３０のみを頭出し、露出させる。その後、層間絶縁膜２６に窓を開け、ゲート引出電極３２およびソース引出電極３４が形成される。

[0038] 以上がＦＥＴ２の製造方法である。

[0039] 実施の形態に係るＦＥＴ２によれば、不純物ドーピングした半導体である不純物ドーピング領域１０ｂ、第１不純物ドーピング領域１０ａと、超格子領域１２を隣接させることで、超格子領域１２に不純物ドーピング領域１０ｂおよび第１不純物ドーピング領域１０ａからキャリアを供給することができる。これにより、超格子領域１２に高濃度ドーピングを行う必要がなくなるため、良好なミニバンドを維持しつつ、高濃度キャリアを実現できる。

[0040] 加えて、チャネル長がキャリヤの散乱長より短い場合には、ソース領域でのキャリヤ量と分布によってトランジスタの電圧-電流特性が決まる。したがって、電圧ー電流特性（たとえば急峻なオン・オフ特性、高いオン電流など

）を柔軟かつ自由に設計可能とすることができる。

[0041] 以上、本発明について、実施の形態をもとに説明した。この実施の形態は例示であり、それらの各構成要素や各処理プロセスの組み合わせにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。以下、こうした変形例について説明する。

[0042] （変形例１）

実施の形態では、チャネル領域１４をｉ－ＩｎＧａＡｓにおいて、超格子領域１２をＩｎＧａＡｓ／ＩｎＰとする場合を説明したが、本発明において、チャネル領域１４および超格子領域１２の材料はそれには限定されない。

たとえば、チャネル領域１４をｉ－ＩｎＧａＡｓとする場合、超格子領域１２は、インジウムガリウムヒ素とアルミニウムインジウムヒ素の積層構造（ＩｎＧａＡｓ／ＡｌＩｎＡｓ）としてもよい。また、チャネル領域１４を窒化ガリウム（ＧａＮ）とする場合、超格子領域１２はＡｌＧａＮ／ＧａＮの積層構造としてもよい。当業者であれば、チャネル領域１４および超格子領域１２の材料については、その他の組み合わせもあり得ることが理解される。

[0043] （変形例２）

図４は、変形例２に係るＮチャンネルのＦＥＴの構成を示す斜視図である。ＦＥＴ２ａにおいて、不純物ドーピング領域１０は、ｎ－ＩｎＰで形成され、不純物ドーピング領域１０とＩｎＰ基板１１の間には、ｎ－ＩｎＧａＡｓ層１３が形成される。また、ソース引出電極３４とＩｎＰ基板１１の間にも、ｎ－ＩｎＧａＡｓ層１５が形成される。

[0044] （変形例３）

実施の形態では、ソースから電子を供給するＮチャンネルのＦＥＴについて説明したが、本発明は、チャネルに正孔を供給するＰチャンネルのＦＥＴにも適用可能である。この場合、拡散する不純物（ドーパント）の極性を、ｎ型からｐ型に変更すればよい。

[0045] （変形例４）

実施の形態では、ソースが下側（基板側）、ドレインが上側の構造を有するＦＥＴについて説明したが本発明はそれには限定されず、特許文献１に記載のように、ソースが上側、ドレインが下側の構造を有するＦＥＴにも適用でき、その場合も本発明の範囲に含まれる。

[0046]（変形例５）

実施の形態では、超格子領域１２のレイヤが、基板に対して垂直方向に積み上げられ、キャリアが鉛直方向に移動する構造について説明したが、本発明はそれには限定されない。超格子領域１２のレイヤを、基板と平行に、つまり水平方向に積層し、キャリアが水平方向に移動する構造としてもよい。

[0047] 実施の形態で説明した各部材の材料や寸法は例示であり、当業者であれば、各材料や寸法を、適宜変更しうることが理解される。

[0048] 実施の形態にもとづき、具体的な用語を用いて本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を逸脱しない範囲において、多くの変形例や配置の変更が認められる。

符号の説明

[0049] ２…ＦＥＴ、１０…不純物ドーピング領域、１０ａ…第１不純物ドーピング領域、１０ｂ…第２不純物ドーピング領域、１２…超格子領域、１４…チャネル領域、１６…ドレイン領域、１８…ドレイン電極、２０…ゲート絶縁膜、２２…ゲート電極、２４…絶縁膜、２６…層間絶縁膜、３０…ドレイン引出電極、３２…ゲート引出電極、３４…ソース引出電極。

産業上の利用可能性

[0050] 本発明は、半導体電界効果トランジスタ（ＦＥＴ：Field Effect Transistor）に関する。

請求の範囲

［請求項1］ ソース・ドレイン電極間にチャネル領域および超格子領域を備える電界効果トランジスタにおいて、前記超格子領域の積層構造の少なくとも側面と接する領域に、不純物が拡散された不純物ドーピング領域を形成したことを特徴とする電界効果トランジスタ。

［請求項2］ 前記チャネル領域を、前記超格子領域の積層構造の上面および底面の一方に接する領域に形成し、

前記不純物ドーピング領域を、前記超格子領域の積層構造の側面に加えて、前記チャネル領域と反対側の、前記積層構造の上面および底面の他方に接する領域に形成したことを特徴とする請求項１に記載の電界効果トランジスタ。

［請求項3］ 第１電極と、

前記第１電極と電気的に接続される第１不純物ドーピング領域と、

前記第１不純物ドーピング領域の上に形成された積層構造を有する超格子領域と、

前記第１不純物ドーピング領域の上に、前記超格子領域を側面から囲むように形成された第２不純物ドーピング領域と、

前記超格子領域の上に設けられたチャネル領域と、

前記チャネル領域の上に設けられたドレイン領域と、

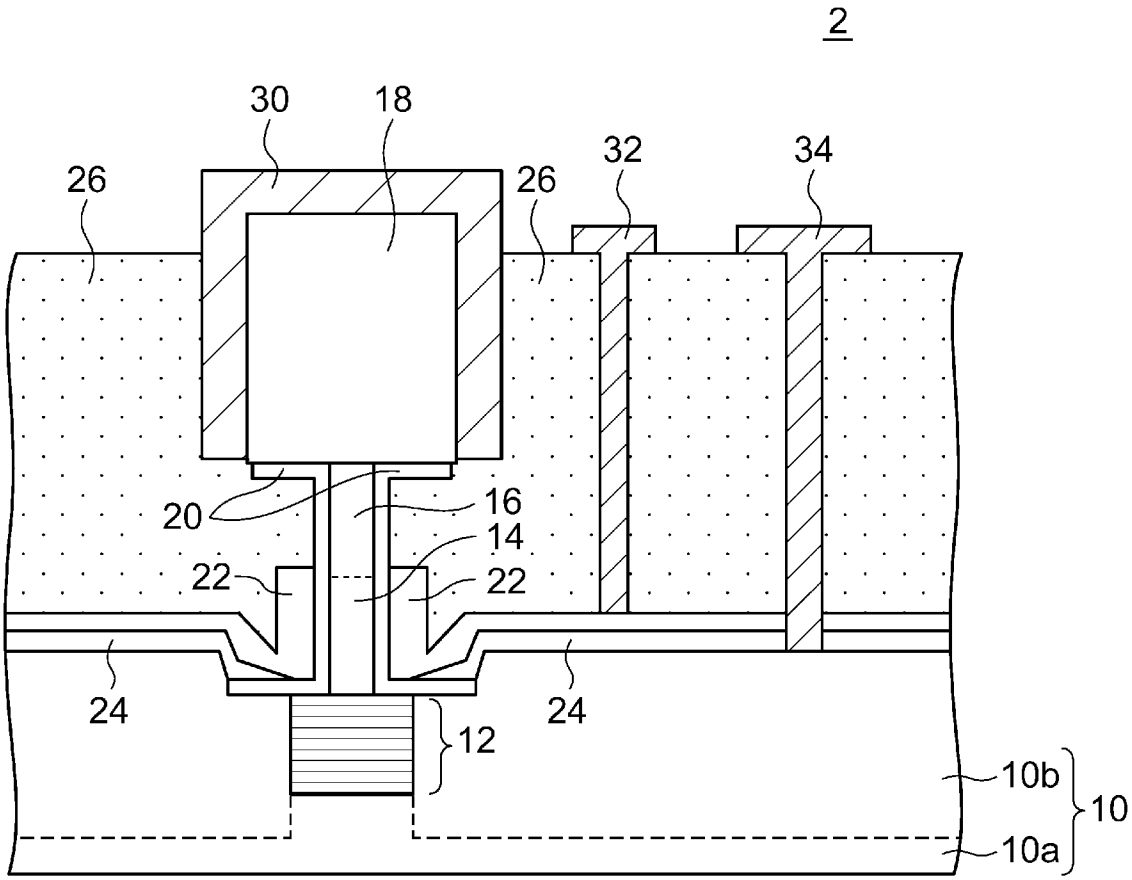
前記ドレイン領域の上に設けられた第２電極と、

前記チャネル領域および前記ドレイン領域の側面に形成されたゲート絶縁膜と、

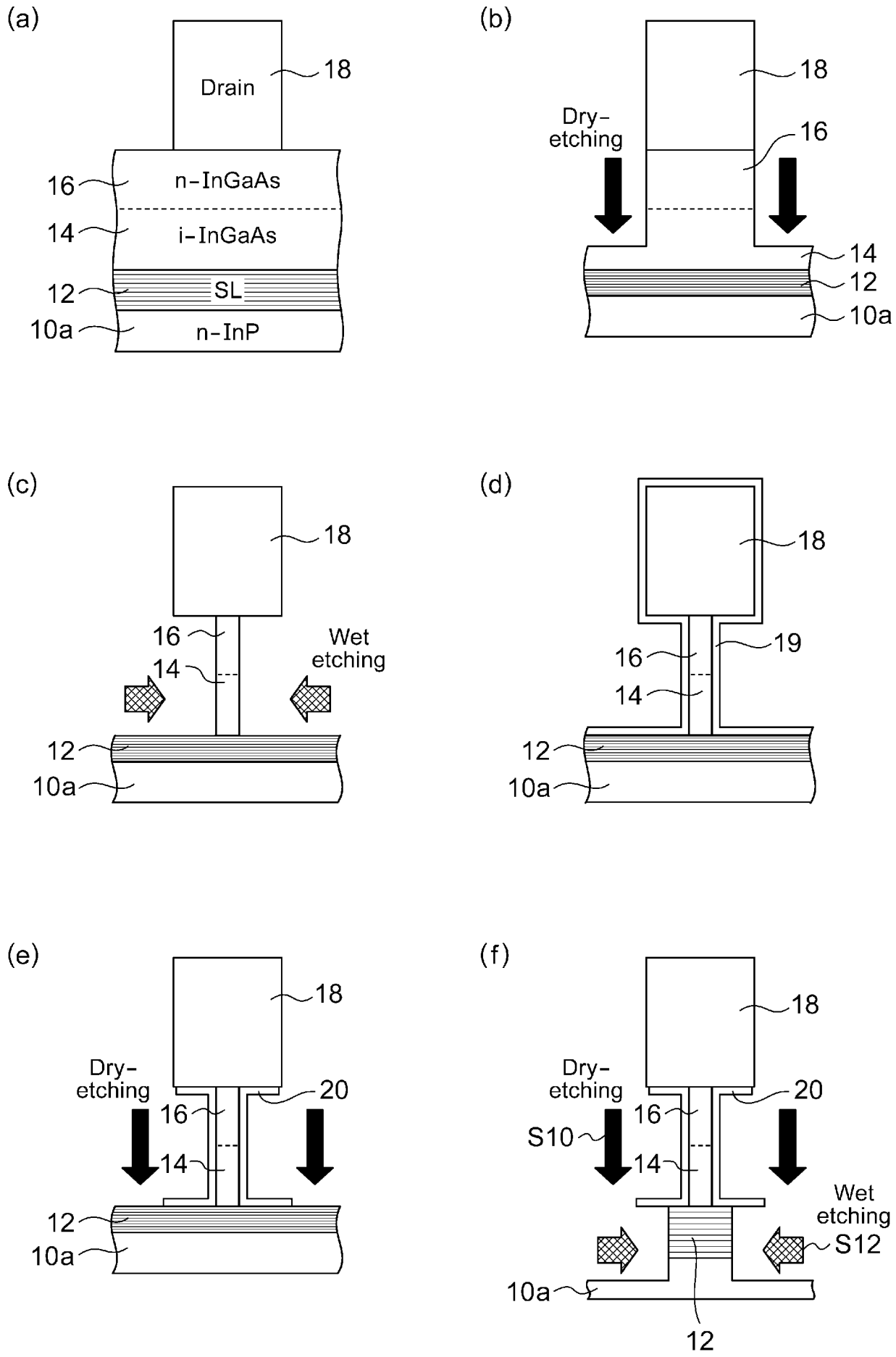
前記ゲート絶縁膜に接して形成されたゲート電極と、

を備えることを特徴とする電界効果トランジスタ。

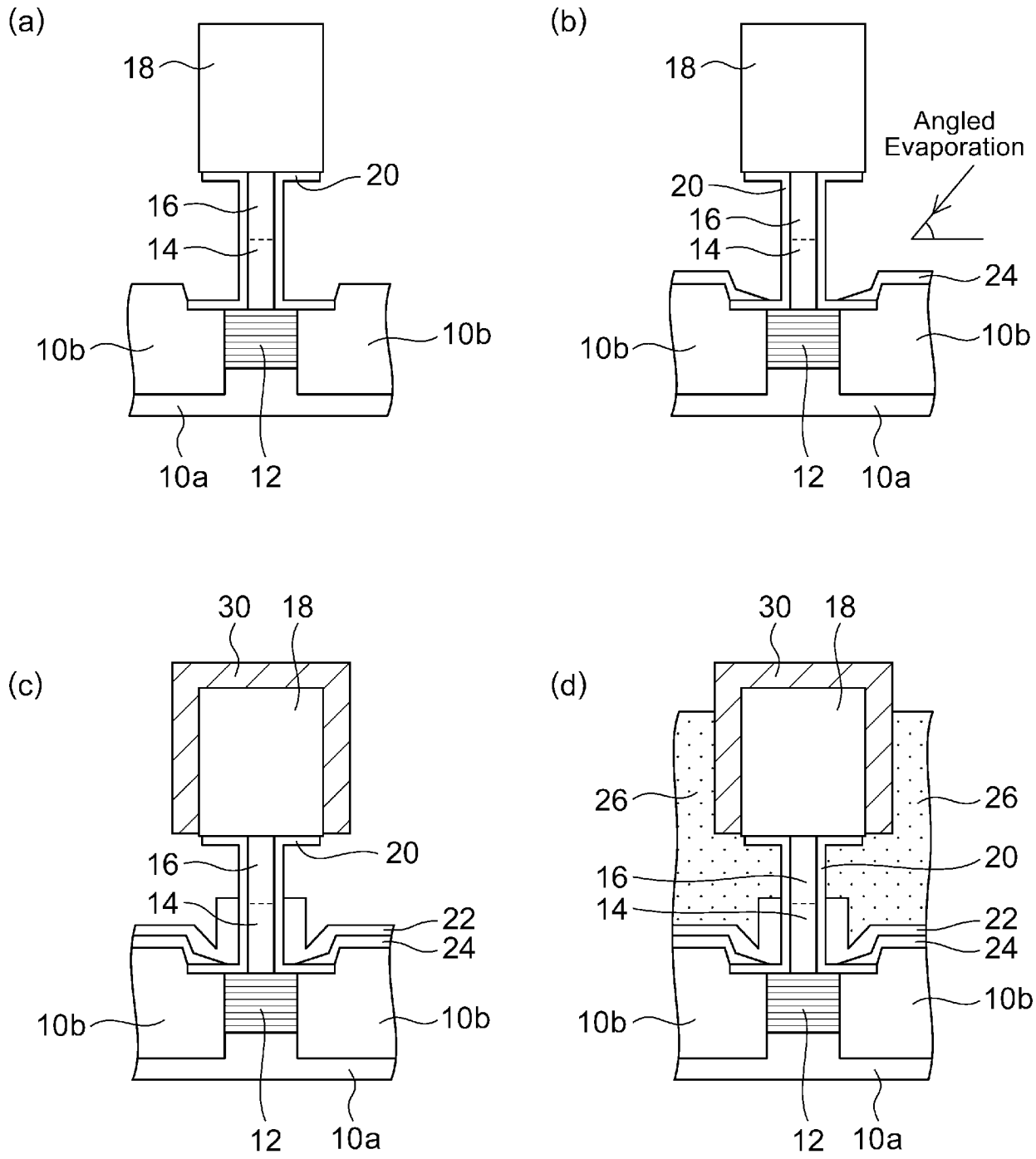
[図1]



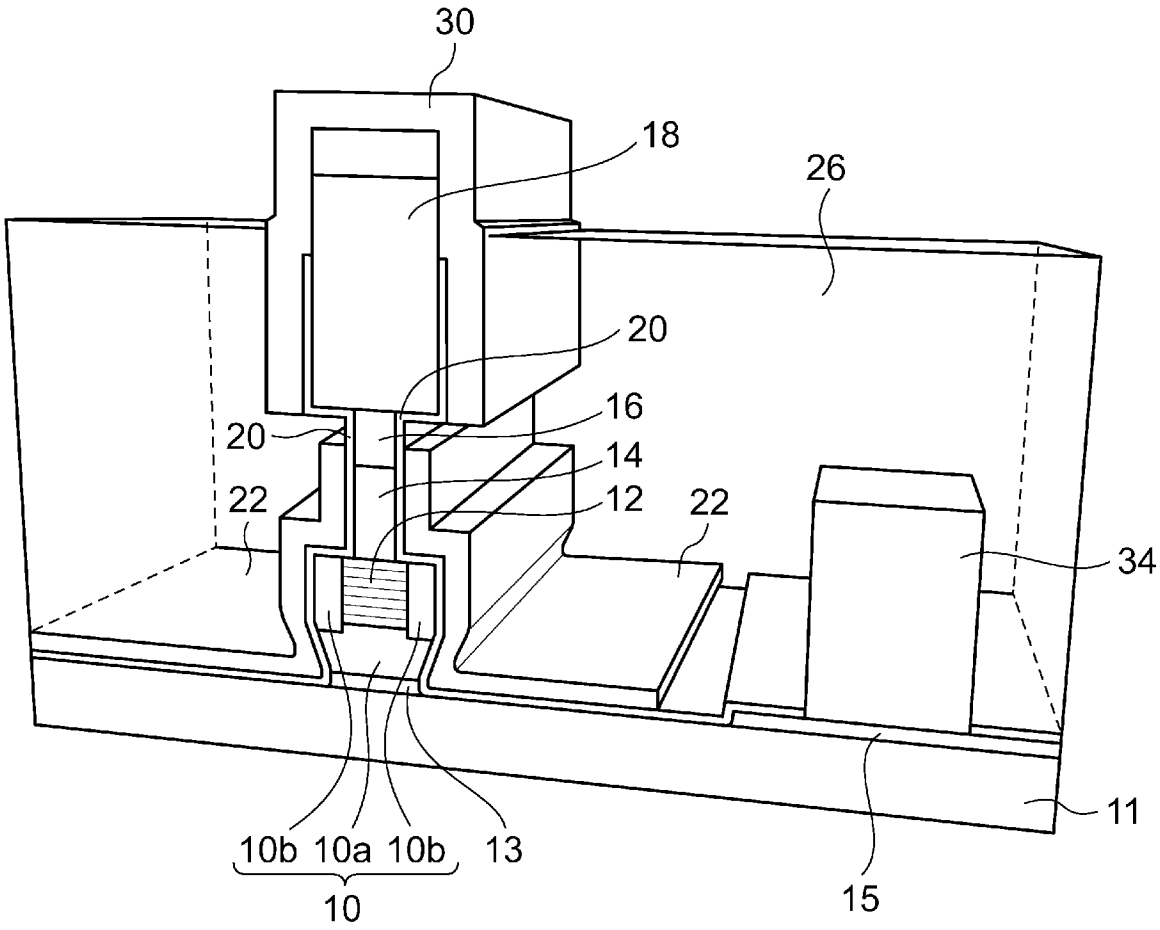
[図2]


(a)
Drain
18
16
n-InGaAs
14
i-InGaAs
12
SL
10a
n-InP
(b)
18
Dry-
etching
16
14
12
10a
(c)
18
16
14
Wet
etching
12
10a
(d)
18
16
19
14
12
10a
(e)
18
Dry-
etching
20
16
14
12
10a
(f)
18
Dry-
etching
20
S10
16
14
Wet
etching
S12
10a
12

[図3]


(a)
18
20
16
14
10b
10b
10a
12
(b)
18
Angled
Evaporation
20
16
14
24
10b
10b
12
10a
(c)
30
18
16
20
14
22
24
10b
10b
12
10a
(d)
30
18
26
26
16
20
14
22
24
10b
10b
12
10a

[図4]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/001344

A. CLASSIFICATION OF SUBJECT MATTER
H01L21/336(2006.01)i, *H01L29/78*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L21/336, H01L29/78

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2013
Kokai Jitsuyo Shinan Koho	1971-2013	Toroku Jitsuyo Shinan Koho	1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2009-535861 A (Mears Technologies, Inc.), 01 October 2009 (01.10.2009), paragraphs [0024] to [0027]; fig. 1 & WO 2007/130973 A1 & US 2006/0220118 A1	1,2 3
Y	JP 2008-543053 A (Mears Technologies, Inc.), 27 November 2008 (27.11.2008), paragraph [0025]; fig. 1 & WO 2006/127269 A2 & US 2004/0261695 A1	1,2
Y	JP 63-94682 A (Semiconductor Energy Laboratory Co., Ltd.), 25 April 1988 (25.04.1988), page 3, upper left column, line 9 to page 4, upper right column, line 17; fig. 1, 2 & US 4908678 A1	1,2

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
27 May, 2013 (27.05.13)	04 June, 2013 (04.06.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／００１３４４

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336(2006.01)i, H01L29/78(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L21/336, H01L29/78

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2009-535861 A （メアーズ　テクノロジーズ,　インコーポレイテッド） 2009.10.01, [0024]-[0027], 第１図, & WO 2007/130973 A1 & US 2006/0220118 A1	1,2
A		3
Y	JP 2008-543053 A （メアーズ　テクノロジーズ,　インコーポレイテッド） 2008.11.27, [0025], 第１図 & WO 2006/127269 A2 & US 2004/0261695 A1	1,2

☑　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２７．０５．２０１３	国際調査報告の発送日 ０４．０６．２０１３
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　５Ｏ　３２４８ 井上　弘亘 電話番号　０３－３５８１－１１０１　内線　３５５９

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 63-94682 A (株式会社　半導体エネルギー研究所) 1988.04.25, 第３頁左上欄第９行－第４頁右上欄第１７行, 第１，２図 & US 4908678 A1	1,2