

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第6525722号
(P6525722)

(45) 発行日 令和1年6月5日 (2019. 6. 5)

(24) 登録日 令和1年5月17日 (2019. 5. 17)

(51) Int. Cl.	F I
G 1 1 C 11/406 (2006. 01)	G 1 1 C 11/406
G 1 1 C 11/405 (2006. 01)	G 1 1 C 11/405
G 1 1 C 11/56 (2006. 01)	G 1 1 C 11/56 2 5 0
H O 1 L 21/8242 (2006. 01)	H O 1 L 27/108 3 2 1
H O 1 L 27/108 (2006. 01)	H O 1 L 29/78 6 1 8 B
請求項の数 6 (全 39 頁) 最終頁に続く	

(21) 出願番号	特願2015-101479 (P2015-101479)	(73) 特許権者	000153878
(22) 出願日	平成27年5月19日 (2015. 5. 19)		株式会社半導体エネルギー研究所
(65) 公開番号	特開2016-6707 (P2016-6707A)		神奈川県厚木市長谷398番地
(43) 公開日	平成28年1月14日 (2016. 1. 14)	(72) 発明者	松崎 隆徳
審査請求日	平成30年5月18日 (2018. 5. 18)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2014-110726 (P2014-110726)		半導体エネルギー研究所内
(32) 優先日	平成26年5月29日 (2014. 5. 29)		
(33) 優先権主張国	日本国 (JP)	審査官	堀田 和義
		(56) 参考文献	米国特許出願公開第2004/0085813 (US, A1)
			特開2001-291385 (JP, A)
			特開2002-133876 (JP, A)
			最終頁に続く

(54) 【発明の名称】 記憶装置、電子部品、及び電子機器

(57) 【特許請求の範囲】

【請求項1】

メモリセルと、リフレッシュ回路と、を有する記憶装置であって、
前記メモリセルは、複数の電位を保持することによって多値のデータを記憶する機能を有し、

前記メモリセルは、電荷が移動することで、前記複数の電位の一である電位が変化する機能を有し、

前記リフレッシュ回路は、補償電圧生成回路と、電圧加算回路と、リフレッシュタイミング制御回路と、を有し、

前記補償電圧生成回路は、電荷が移動することで減少した分の電位を見積もる機能を有し、

前記電圧加算回路は、前記メモリセルから読み出した電位に、前記補償電圧生成回路で見積もった電位を加えた電位を前記メモリセルに与えてリフレッシュを行う機能を有し、

前記リフレッシュタイミング制御回路は、前記リフレッシュを行う間隔を制御する機能を有すること、を特徴とする記憶装置。

【請求項2】

請求項1において、

前記メモリセルは、第1のトランジスタと、第2のトランジスタと、を有し、

前記第1のトランジスタのソース又はドレインは、前記第2のトランジスタのゲートに電氣的に接続され、

10

20

前記多値のデータは、前記第 1 のトランジスタのソース又はドレインと、前記第 2 のトランジスタのゲートとの間に電荷を保持することで、記憶されること、を特徴とする記憶装置。

【請求項 3】

請求項 2 において、
前記第 1 のトランジスタは、半導体層が酸化物半導体を有することを特徴とする記憶装置。

【請求項 4】

請求項 2 又は 3 において、

前記第 2 のトランジスタは、半導体層がシリコンを有することを特徴とする記憶装置。

【請求項 5】

請求項 1 乃至 4 のいずれか一に記載の前記記憶装置と、前記記憶装置に電氣的に接続されたリードと、を有することを特徴とする電子部品。

【請求項 6】

請求項 5 に記載の電子部品と、表示装置と、を有することを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明の一態様は、記憶装置、電子部品、及び電子機器に関する。

【0002】

なお本発明の一態様は、上記の技術分野に限定されない。具体的に本明細書で開示する本発明の一態様の技術分野としては、半導体装置、表示装置、発光装置、記憶装置、それらの駆動方法、または、それらの製造方法、を一例として挙げることができる。

【背景技術】

【0003】

特許文献 1 には酸化物半導体をチャネル形成領域に用いたトランジスタ（以下、O S トランジスタ）と、シリコンをチャネル形成領域に用いたトランジスタ（以下、S i トランジスタ）と、を有する記憶装置が記載されている。また O S トランジスタは、オフ電流が低いことが記載されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2 0 1 2 - 2 5 6 4 0 0 号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

本発明の一態様は、記憶装置等を提供することを課題の一とする。または、本発明の一態様は、電子部品等を提供することを課題の一とする。または、本発明の一態様は、電子機器等を提供することを課題の一とする。

【0006】

または、本発明の一態様は、多値データの保持特性に優れた記憶装置等を提供することを課題の一とする。

【0007】

なお本発明の一態様の課題は、上記列挙した課題に限定されない。上記列挙した課題は、他の課題の存在を妨げるものではない。なお他の課題は、以下の記載で述べる、本項目で言及していない課題である。本項目で言及していない課題は、当業者であれば明細書又は図面等の記載から導き出せるものであり、これらの記載から適宜抽出することができる。なお、本発明の一態様は、上記列挙した記載、及び／又は他の課題のうち、少なくとも一つの課題を解決するものである。

【課題を解決するための手段】

【0008】

本発明の一態様は、メモリセルと、リフレッシュ回路と、を有する記憶装置であって、メモリセルは、複数の電位を保持することによって多値のデータを記憶する機能を有し、メモリセルは、電荷が移動することで、複数の電位が変化する機能を有し、リフレッシュ回路は、メモリセルから読み出した電位に、電荷が移動することで変化した分の電位を加えた電位をメモリセルに与える機能を有する記憶装置である。

【0009】

本発明の一態様は、メモリセルと、リフレッシュ回路と、を有する記憶装置であって、メモリセルは、複数の電位を保持することによって多値のデータを記憶する機能を有し、メモリセルは、電荷が移動することで、複数の電位の一である電位が変化する機能を有し、リフレッシュ回路は、補償電圧生成回路と、電圧加算回路と、リフレッシュタイミング制御回路と、を有し、補償電圧生成回路は、電荷が移動することで減少した分の電位を見積もる機能を有し、電圧加算回路は、メモリセルから読み出した電位に、補償電圧生成回路で見積もった電位を加えた電位をメモリセルに与えてリフレッシュを行う機能を有し、リフレッシュタイミング制御回路は、リフレッシュを行う間隔を制御する機能を有する記憶装置である。

【0010】

本発明の一態様において、メモリセルは、第1のトランジスタと、第2のトランジスタと、を有し、第1のトランジスタのソース又はドレインは、第2のトランジスタのゲートに電氣的に接続され、多値のデータは、第1のトランジスタのソース又はドレインと、第2のトランジスタのゲートとの間に電荷を保持することで、記憶される記憶装置が好ましい。

【0011】

本発明の一態様において、第1のトランジスタは、半導体層が酸化物半導体を有する記憶装置が好ましい。

【0012】

本発明の一態様において、第2のトランジスタは、半導体層がシリコンを有する記憶装置が好ましい。

【0013】

なおその他の本発明の一態様については、以下で述べる実施の形態における説明、及び図面に記載されている。

【発明の効果】

【0014】

本発明の一態様は、記憶装置等を提供することができる。または、本発明の一態様は、電子部品等を提供することができる。または、本発明の一態様は、電子機器等を提供することができる。

【0015】

または、本発明の一態様は、多値データの保持特性に優れた記憶装置等を提供することができる。

【0016】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。なお、本発明の一態様は、必ずしも、これらの効果の全てを有する必要はない。なお、これら以外の効果は、明細書、図面、請求項などの記載から、自ずと明らかとなるものであり、明細書、図面、請求項などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0017】

【図1】本発明の一態様を説明するためのブロック図及び動作を説明する図。

【図2】本発明の一態様を説明するための回路図。

【図3】本発明の一態様を説明するためのタイミングチャート図。

【図4】本発明の一態様を説明するための回路図。

【図 5】本発明の一態様を説明するためのブロック図。

【図 6】本発明の一態様を説明するための回路図、タイミングチャート及び動作を説明する図。

【図 7】本発明の一態様を説明するための回路図及び動作を説明する図。

【図 8】本発明の一態様を説明するための回路図及び動作を説明する図。

【図 9】本発明の一態様を説明するための回路図。

【図 10】酸化物半導体の断面における高分解能 T E M 像および局所的なフーリエ変換像。

【図 11】酸化物半導体膜のナノビーム電子回折パターンを示す図、および透過電子回折測定装置の一例を示す図。

【図 12】電子照射による結晶部の変化を示す図。

【図 13】透過電子回折測定による構造解析の一例を示す図、および平面における高分解能 T E M 像。

【図 14】本発明の一態様を説明するためのレイアウト図、及び回路図。

【図 15】本発明の一態様を説明するための断面模式図。

【図 16】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 17】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 18】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 19】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 20】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 21】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 22】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 23】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 24】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 25】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 26】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 27】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 28】本発明の一態様を説明するためのレイアウト図、及び断面模式図。

【図 29】電子部品の作製工程を示すフローチャート及び斜視模式図。

【図 30】電子部品を用いた電子機器。

【発明を実施するための形態】

【0018】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる態様で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

【0019】

また、図面において、大きさ、層の厚さ、又は領域は、明瞭化のために誇張されている場合がある。よって、必ずしもそのスケールに限定されない。なお図面は、理想的な例を模式的に示したものであり、図面に示す形状又は値などに限定されない。例えばタイミングチャートは、ノイズによる信号、電圧、若しくは電流のばらつき、又は、タイミングのずれによる信号、電圧、若しくは電流のばらつきなどを含むことが可能である。

【0020】

また本明細書等において、トランジスタとは、ゲートと、ドレインと、ソースとを含む少なくとも三つの端子を有する素子である。そして、ドレイン（ドレイン端子、ドレイン領域又はドレイン電極）とソース（ソース端子、ソース領域又はソース電極）の間にチャネル形成領域を有しており、ドレインとチャネル形成領域とソースとを介して電流を流すことができるものである。

【0021】

ここで、ソースとドレインとは、トランジスタの構造又は動作条件等によって変わるため

10

20

30

40

50

、いずれがソース又はドレインであるかを限定することが困難である。そこで、ソースとして機能する部分、及びドレインとして機能する部分を、ソース又はドレインと呼ばず、ソースとドレインとの一方を第1電極と表記し、ソースとドレインとの他方を第2電極と表記する場合がある。

【0022】

なお本明細書にて用いる「第1」、「第2」、「第3」という序数詞は、構成要素の混同を避けるために付したものであり、数的に限定するものではないことを付記する。

【0023】

なお本明細書において、AとBとが接続されている、とは、AとBとが直接接続されているものの他、電氣的に接続されているものを含むものとする。ここで、AとBとが電氣的に接続されているとは、AとBとの間で、何らかの電氣的作用を有する対象物が存在するとき、AとBとの電氣信号の授受を可能とするものをいう。

【0024】

なお、例えば、トランジスタのソース（又は第1の端子など）が、Z1を介して（又は介さず）、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2を介して（又は介さず）、Yと電氣的に接続されている場合や、トランジスタのソース（又は第1の端子など）が、Z1の一部と直接的に接続され、Z1の別の一部がXと直接的に接続され、トランジスタのドレイン（又は第2の端子など）が、Z2の一部と直接的に接続され、Z2の別の一部がYと直接的に接続されている場合では、以下のように表現することが出来る。

【0025】

例えば、「XとYとトランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とは、互いに電氣的に接続されており、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yの順序で電氣的に接続されている。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、Xと電氣的に接続され、トランジスタのドレイン（又は第2の端子など）はYと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この順序で電氣的に接続されている」と表現することができる。または、「Xは、トランジスタのソース（又は第1の端子など）とドレイン（又は第2の端子など）とを介して、Yと電氣的に接続され、X、トランジスタのソース（又は第1の端子など）、トランジスタのドレイン（又は第2の端子など）、Yは、この接続順序で設けられている」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続の順序について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

【0026】

または、別の表現方法として、例えば、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した、トランジスタのソース（又は第1の端子など）とトランジスタのドレイン（又は第2の端子など）との間の経路であり、前記第1の接続経路は、Z1を介した経路であり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有しておらず、前記第3の接続経路は、Z2を介した経路である。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なくとも第1の接続経路によって、Z1を介して、Xと電氣的に接続され、前記第1の接続経路は、第2の接続経路を有しておらず、前記第2の接続経路は、トランジスタを介した接続経路を有し、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の接続経路によって、Z2を介して、Yと電氣的に接続され、前記第3の接続経路は、前記第2の接続経路を有していない。」と表現することができる。または、「トランジスタのソース（又は第1の端子など）は、少なく

10

20

30

40

50

とも第1の電氣的パスによって、Z1を介して、Xと電氣的に接続され、前記第1の電氣的パスは、第2の電氣的パスを有しておらず、前記第2の電氣的パスは、トランジスタのソース（又は第1の端子など）からトランジスタのドレイン（又は第2の端子など）への電氣的パスであり、トランジスタのドレイン（又は第2の端子など）は、少なくとも第3の電氣的パスによって、Z2を介して、Yと電氣的に接続され、前記第3の電氣的パスは、第4の電氣的パスを有しておらず、前記第4の電氣的パスは、トランジスタのドレイン（又は第2の端子など）からトランジスタのソース（又は第1の端子など）への電氣的パスである。」と表現することができる。これらの例と同様な表現方法を用いて、回路構成における接続経路について規定することにより、トランジスタのソース（又は第1の端子など）と、ドレイン（又は第2の端子など）とを、区別して、技術的範囲を決定することができる。

10

【0027】

なお、これらの表現方法は、一例であり、これらの表現方法に限定されない。ここで、X、Y、Z1、Z2は、例えば、装置、素子、回路、配線、電極、端子、導電膜、層、などである。

【0028】

なお本明細書において、「上に」、「下に」などの配置を示す語句は、構成同士的位置関係を、図面を参照して説明するために、便宜上用いている。また、構成同士的位置関係は、各構成を描写する方向に応じて適宜変化するものである。従って、明細書で説明した語句に限定されず、状況に応じて適切に言い換えることができる。

20

【0029】

なお図面におけるブロック図の各回路ブロックの配置は、説明のため位置関係を特定するものであり、異なる回路ブロックで別々の機能を実現するよう示していても、実際の回路ブロックにおいては同じ回路ブロック内で別々の機能を実現するように設けられている場合もある。また図面における各回路ブロックの機能は、説明のため機能を特定するものであり、一つの回路ブロックとして示していても、実際の回路ブロックにおいては一つの回路ブロックで行う処理を、複数の回路ブロックで行うよう設けられている場合もある。

【0030】

本明細書において、「平行」とは、二つの直線が -10° 以上 10° 以下の角度で配置されている状態をいう。従って、 -5° 以上 5° 以下の場合も含まれる。

30

【0031】

「垂直」とは、二つの直線が 80° 以上 100° 以下の角度で配置されている状態をいう。従って、 85° 以上 95° 以下の場合も含まれる。

【0032】

なお、「膜」という言葉と、「層」という言葉とは、場合によっては、または、状況に応じて、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

【0033】

（実施の形態1）

40

本実施の形態では、記憶装置及び記憶装置を構成する各回路の一例について、説明する。

【0034】

本明細書等において記憶装置とは、半導体特性を利用することで機能しうるもの全般を指す。よって、トランジスタ等の半導体素子で構成されるメモリセル、メモリセルを制御する周辺回路、あるいはメモリセル及び周辺回路等を含むシステム全体を記憶装置という。

【0035】

<記憶装置について>

図1（A）には、メモリセルMCを有する記憶装置100の構成例について示す。

【0036】

記憶装置100は、メモリセルアレイ110と、周辺回路120と、リフレッシュ回路1

50

30とを有する。メモリセルアレイ110は、複数のメモリセルMCを有する。

【0037】

記憶装置100が有するメモリセルMCは、データに応じた電位（データ電位）が与えられ、電荷を保持してデータの保持を行う機能を有する回路である。メモリセルMCが保持するデータは、多値のデータである。つまり、メモリセルMCは、保持する電荷量を異ならせて複数の電位に設定し、多値のデータを保持する。そのため電荷量が増減して保持する電位が変化すると、読み出したデータが、元のデータかどうかはわからなくなる。

【0038】

本実施の形態で説明するリフレッシュ回路130は、変化した電荷量によって変動した電位分を読み出した電位に加えることで、元のデータの状態を継続的に維持させる。具体的には、まず、データをメモリセルMCに書き込んだ後、一定期間ごとにメモリセルMCから電位を読み出す。そして、読み出した電位に、データを書きこんでから経過した時間に応じて変化した分の電位を加え、リフレッシュ電位を得る。そして、リフレッシュ電位を再度メモリセルMCに書き込む。以上の動作を、リフレッシュ回路130を有する記憶装置100で行う。記憶装置100は、メモリセルMCに保持されたデータが、電荷の移動によって変化しても、データを維持できる。

10

【0039】

なお図1（A）中では、周辺回路120からメモリセルMCに書きこむデータ電位を電位VMとして図示している。メモリセルMC内に保持される電位VMは、電荷が移動することで電位が変化するが、この変位する電位を電位Vcとして図示している。電位VM-Vcは、電位VMがVc変化した電位であり、これがリフレッシュ回路130に読み出される。そして、VcをVM-Vcに加えた電位VM、すなわちリフレッシュ電位をリフレッシュ回路130からメモリセルMCに書きこむ。上述したように、リフレッシュ回路130は、読み出される電位（VM-Vc）に変化した分の電位Vcを加えることで、元のデータ電位VMを生成し、再度メモリセルMCに与えることでデータのリフレッシュを行う。

20

【0040】

メモリセルMCは、一例としてマトリクス状に配置される。メモリセルMCに、データ電位が与えられることを、データを書きこむともいう。またメモリセルMCから、データ電位を取り出すことを、データを読み出すともいう。

30

【0041】

メモリセルMCのデータ電位の保持は、回路素子間、例えばトランジスタや容量素子を接続するノードで行う構成とすることが好ましい。該構成とすることで、トランジスタの導通状態又は非導通状態（オン又はオフともいう）あるいは容量素子に与える電位を制御することで、データの読み出し及び書き込みを制御することができる。

【0042】

データ電位を保持するためのトランジスタは、オフとした際に流れる電流である、オフ電流が小さいことが好ましい。オフ電流が小さいトランジスタとすることで、時間の経過によってトランジスタに流れる電荷の移動を小さくすることができる。そのため、メモリセルMCで保持するデータ電位の低下を小さくすることができる。

40

【0043】

メモリセルMCのデータの読み出し及び書き込みは、配線RWL、配線WWL、配線BL、及び配線SLに与える各信号又は電位によって制御する。また、配線RWL、配線WWL、配線BL、及び配線SLは、メモリセルMC、周辺回路120、リフレッシュ回路130との間で信号又は電位を伝送する機能を有する。

【0044】

周辺回路120は、メモリセルMCへのデータ電位の書き込み、読み出しを制御する機能を有する回路である。また、周辺回路120は、リフレッシュ回路130とメモリセルMCとの間でのデータ電位の書き込み、読み出しを制御する機能を有する回路である。具体的に周辺回路120は、配線RWL、配線WWLに与える読み出しワード信号及び書き込

50

みワード信号を供給する。また周辺回路120は、配線BL及び／又は配線SLを介してメモリセルMCに与えるデータ電位VMを供給する。周辺回路120は、一例としては、ローデコーダ、カラムデコーダあるいはシフトレジスタを有し、各信号又は電位を配線RWL、配線WWL、配線BL、及び配線SLに与える。

【0045】

リフレッシュ回路130は、メモリセルMCから読み出した電位($V_M - V_c$)に、電荷が移動することで変化した分の電位 V_c を加えた電位(リフレッシュ電位)VMをメモリセルMCに与える機能を有する回路である。

【0046】

リフレッシュ回路130の機能について、図1(B)に図を示して説明する。図1(B)では、一例として、データ電位VMを4値のデータ電位 VM_{00} 、 VM_{01} 、 VM_{10} 、 VM_{11} で表した図である。データ電位 VM_{00} 、 VM_{01} 、 VM_{10} 、 VM_{11} はそれぞれ、データ00、01、10、11に対応する。

【0047】

各データ電位は、データ電位の分布を有する。実線で表す元のデータ電位の分布は、時間の経過とともに変化し、点線で表すデータ電位の分布へ変動する。電位の変動は、上述した電位 V_c で表すことができる。

【0048】

なおデータ電位の分布は、各データに対応するデータ電位のばらつきを表している。電位差 V_f は、データを書き込んだ直後での、隣接するデータ電位が取りうる最大値と最小値の差である。

【0049】

図1(A)のリフレッシュ回路130で行うデータのリフレッシュの動作は、電位 V_c が電位差 V_f を超える前に行う。データのリフレッシュによって電位 V_c が、点線に表すデータ電位に加えられることで、元のデータ電位にリフレッシュすることができる。

【0050】

以上説明したように本実施の形態の記憶装置は、リフレッシュ回路130を有する記憶装置とする。該構成により、メモリセルMCに保持するデータ電位が、電荷の移動によって変化しても、元のデータ電位にリフレッシュできる。そのため、メモリセルMCに書きこまれたデータの保持特性を維持できる。

【0051】

<メモリセルについて>

次いでメモリセルMCについて一例を示し詳述する。

【0052】

図2にメモリセルMCの回路構成の一例を示す。メモリセルMCは、トランジスタ11、トランジスタ12、容量素子13を有する。

【0053】

トランジスタ11は、ソース又はドレインの一方が配線BL、ソース又はドレインの他方が配線SL、ゲートがトランジスタ12のソース又はドレインの一方、に接続される。

【0054】

トランジスタ12は、ソース又はドレインの一方がトランジスタ11のゲート、ソース又はドレインの他方が配線BL、ゲートが配線WWL、に接続される。

【0055】

容量素子13は、一方の電極がトランジスタ11のゲート、他方の電極が配線RWL、に接続される。

【0056】

図2に示すメモリセルMCでは、トランジスタ12をOSトランジスタとする構成としている。トランジスタ11は、Siトランジスタとする構成としている。該構成とすることで、SiトランジスタとOSトランジスタとを積層して設けることができる。そのため、メモリセルのレイアウト面積の縮小を図ることができる。なおトランジスタ11はpチャ

10

20

30

40

50

ネル型のトランジスタとして、トランジスタ 1 2 は n チャンネル型のトランジスタとして説明を行う。

【0057】

図 2 に示すメモリセル MC では、トランジスタ 1 1 とトランジスタ 1 2 と容量素子 1 3 とが接続されるノードをノード FN として示している。ノード FN は、トランジスタ 1 2 をオフにすることで、データ電位に応じた電荷を保持する。

【0058】

トランジスタ 1 2 に用いる OS トランジスタは、極めて低いオフ電流特性を有するといった特性を有する。そのため、トランジスタ 1 2 を介した電荷の移動を小さくでき、電荷の移動によって変動する電位 V_c を小さくすることができる。

10

【0059】

次いでメモリセル MC の動作例について説明する。

【0060】

まずデータ電位 VM の書き込みを行う動作の一例を説明する。図 3 (A) にタイミングチャートを示す。

【0061】

まず時刻 t_1 では、配線 RWL に伝送される読み出しワード信号を L レベルにし、配線 WWL に伝送される書き込みワード信号を H レベルにする。該動作により、トランジスタ 1 1 及びトランジスタ 1 2 がオンとなる。

【0062】

20

次いで時刻 t_2 では、配線 SL にデータ電位 VM が伝送される。トランジスタ 1 1 がオンのため、トランジスタ 1 1 を介して配線 SL の電位 VM からトランジスタ 1 1 の閾値電圧分 (V_{th}) 下がった電位 ($VM - V_{th}$) が配線 BL に伝送される。トランジスタ 1 2 がオンのため、トランジスタ 1 2 を介して配線 BL の電位 ($VM - V_{th}$) がノード FN に与えられる。

【0063】

次いで時刻 t_3 では、配線 WWL に伝送される書き込みワード信号を L レベルにする。そしてトランジスタ 1 2 をオフにする。トランジスタ 1 2 がオフになることで、ノード FN には電位 ($VM - V_{th}$) に応じた電荷が保持される。すなわち、データ電位がメモリセル MC に書きこまれた状態となる。

30

【0064】

次いで時刻 t_4 では、配線 RWL に伝送される読み出しワード信号を H レベルにする。トランジスタ 1 2 がオフのため、ノード FN は電氣的に浮遊状態である。そのため、配線 RWL の電位の上昇と共にノード FN の電位も上昇する。ノード FN の電位が上昇することにより、トランジスタ 1 1 がオフになる。そして、配線 BL 及び配線 SL の電位を L レベルにする。

【0065】

メモリセル MC へのデータ電位の書き込みは、図 4 (A) に示す回路図で模式的に説明することができる。図 4 (A) に示す点線矢印は、メモリセル MC へのデータ電位の書き込み時における、電荷の流れを表している。

40

【0066】

次いでデータ電位 VM の読み出しを行う動作の一例を説明する。図 3 (B) にタイミングチャートを示す。データ電位の読み出し時において、ノード FN に書きこんだ電位 ($VM - V_{th}$) は、電荷の移動により電位が低下して電位 ($VM - V_{th} - V_c$) に変化したものとして説明を行う。

【0067】

まず時刻 t_5 では、ノード FN に保持された電位 ($VM - V_{th} - V_c$) を読み出すために、配線 SL が電位 VDM にプリチャージされる。

【0068】

次いで時刻 t_6 では、配線 RWL に伝送される読み出しワード信号を L レベルにする。ト

50

ランジスタ12がオフのため、ノードFNは電氣的に浮遊状態である。そのため、配線RWLの電位の低下と共にノードFNの電位も低下する。ノードFNの電位が低下することにより、トランジスタ11がオンになる。すると、配線SLがプリチャージした電位VDMから電位($V_M - V_c$)に変化する。すなわち、データ電位($V_M - V_c$)が配線SLに読み出された状態となる。

【0069】

読み出し動作では、ノードFNに保持された電位($V_M - V_{th} - V_c$)が配線SLに読み出す電位($V_M - V_c$)になる際にトランジスタ11の閾値電圧 V_{th} がキャンセルされる。そのため、読み出されるデータ電位は、トランジスタ11の閾値電圧のばらつきの影響を小さくすることができる。従ってデータ電位の分布が狭くなり、電位差 V_f を大きくすることができる。

10

【0070】

次いで時刻t7では、配線RWLに伝送される読み出しワード信号をHレベルにする。トランジスタ12がオフのため、ノードFNは電氣的に浮遊状態である。そのため、配線RWLの電位の上昇と共にノードFNの電位も上昇する。ノードFNの電位が上昇することにより、トランジスタ11がオフになる。

【0071】

次いで時刻t8では、配線SLの電位を、読み出した電位($V_M - V_c$)からLレベルにする。

【0072】

20

メモリセルMCからのデータ電位の読み出しは、図4(B)に示す回路図で模式的に説明することができる。図4(B)に示す点線矢印は、メモリセルMCへのデータ電位の読み出し時における、電荷の流れを表している。

【0073】

以上説明したように本実施の形態の記憶装置が有するメモリセルMCは、データ電位の分布を狭くして、電位差 V_f を大きくすることができる。該構成により、電位 V_c を大きくすることができる。そのため、リフレッシュする間隔を広げることができる。

【0074】

<リフレッシュ回路について>

図5では図1(A)で示したブロック図のリフレッシュ回路について機能を細分化してブロック図を構成したものである。図5に示すブロック図でリフレッシュ回路130は、リフレッシュタイミング制御回路131と、補償電圧生成回路132と、電圧加算回路133と、を有する。

30

【0075】

リフレッシュタイミング制御回路131は、メモリセルに保持されたデータ電位を、リフレッシュする間隔を制御する機能を有する回路である。

【0076】

図6(A)には、リフレッシュタイミング制御回路131の回路構成例を示す。リフレッシュタイミング制御回路131は、トランジスタ141、容量素子142、及びバッファ143を有する。

40

【0077】

トランジスタ141は、メモリセルMCが有するトランジスタ12と同じ特性のトランジスタであることが好ましい。例えば、メモリセルMCのトランジスタ12がOSトランジスタであれば、トランジスタ141はOSトランジスタとすることが好ましい。

【0078】

容量素子142は、ノードN1で電荷を保持するために設ける。バッファ143のゲート容量や寄生容量が十分大きければ、省略することができる。

【0079】

バッファ143は、ノードN1の電位を2値の信号として出力させるための機能を有する。バッファ143としては、例えばインバータを2つ、直列に設ければよい。

50

【0080】

トランジスタ141とバッファ143との間のノードN1には、基準電位を与える。基準電位としては、グラウンド電位からの電位差が電位差V_fに相当する電位V_fを与えればよい。

【0081】

電位V_fは、トランジスタ141のゲートに与える信号E_{N1}によってノードN1に書きこまれる。書きこまれた電位V_fは、トランジスタ141をオフとすることで保持される。ノードN1では、メモリセルMCと同様にトランジスタ141を介して電荷が移動する。そのためノードN1の電位は、徐々に減少する。

【0082】

ノードN1に保持された電位の変化を図6（B）に示す図を用いて説明する。図6（B）では、ノードN1の電位の変化を信号V_{N1}、バッファ143の出力を信号V_oとする。

【0083】

図6（B）に示すように、信号V_{N1}は信号E_{N1}によって電位V_fが書きこまれたのち、電位が減少する。信号V_{N1}が減少するため、バッファ143の入力電位が低下する。バッファ143では、入力電位がインバータの閾値を下回ることにより、出力電位が高電位から低電位に変化する。この変化するまでの期間を期間T_{ref}とする。期間T_{ref}は、リフレッシュを行うための間隔に相当する期間である。

【0084】

期間T_{ref}が得られた後は、再度ノードN1には、基準電位を与え、期間T_{ref}を設定する。

【0085】

期間T_{ref}は、データ電位の書き込み、リフレッシュ動作毎に設定する。リフレッシュ動作は、メモリセルMCからのデータ電位の読み出し、データ電位のリフレッシュ、そしてデータ電位の書き込みを行う動作である。データ電位の書き込みは、周辺回路120を制御して新たにメモリセルMCへデータ電位を書きこむ動作をいう。

【0086】

期間T_{ref}によって設定される一連の動作は、図6（C）のように行えばよい。例えば、期間144をリフレッシュ動作を行う期間、期間145をデータ電位の書き込みを行う期間とすると、期間T_{ref}は、各動作が終わった直後から設定され、期間T_{ref}経過後にリフレッシュ動作を行う構成とすればよい。

【0087】

なお期間144では、前述したように、メモリセルMCからのデータ電位の読み出し、データ電位のリフレッシュ、そしてデータ電位の書き込みを行う。データ電位のリフレッシュは、リフレッシュするデータの電位減少分を加算する動作に相当する。

【0088】

次いで補償電圧生成回路132は、メモリセルMCに保持したデータ電位から、電荷が移動することで減少した分の電位V_cを見積もる機能を有する回路である。

【0089】

図7（A）には、補償電圧生成回路132の回路構成例を示す。補償電圧生成回路132は、トランジスタ151、容量素子152、ボルテージフォロワ153、及び反転増幅器154を有する。

【0090】

トランジスタ151は、メモリセルMCが有するトランジスタ12と同じ特性のトランジスタであることが好ましい。例えば、メモリセルMCのトランジスタ12がOSトランジスタであれば、トランジスタ151はOSトランジスタとすることが好ましい。

【0091】

容量素子152は、ノードN2で電荷を保持するために設ける。ボルテージフォロワ153のゲート容量や寄生容量が十分大きければ、省略することができる。

【0092】

10

20

30

40

50

ボルテージフォロワ 153 及び反転増幅器 154 は、ノード N2 の電位の変化を反転して出力するための機能を有する。

【0093】

トランジスタ 151 とボルテージフォロワ 153 との間のノード N2 には、データ電位、多値のデータの場合はいずれかのデータ電位（図 7（A）では VM と図示）を与える。

【0094】

データ電位 VM は、トランジスタ 151 のゲートに与える信号 EN2 によって、ノード N2 に書きこまれる。書きこまれたデータ電位 VM は、トランジスタ 151 をオフとすることで保持される。ノード N2 では、メモリセル MC と同様にトランジスタ 151 を介して電荷が移動する。そのためノード N2 の電位は、徐々に減少する。

10

【0095】

ノード N2 に保持された電位の変化を図 7（B）に示す図を用いて説明する。図 7（B）では、ノード N2、N3 の電位の変化を信号 V_{N2} 、 V_{N3} とし、反転増幅器 154 の出力を信号 Vc とする。

【0096】

図 7（B）に示すように、信号 V_{N2} 、 V_{N3} は信号 EN2 によってデータ電位 VM が書きこまれたのち、電位が減少する。信号 V_{N2} 、 V_{N3} が減少するため、反転増幅器 154 の出力が上昇する。電位の減少に反転して上昇する、反転増幅器 154 の出力電位は、電位 Vc として利用することができる。

【0097】

20

次いで電圧加算回路 133 は、メモリセル MC から読み出した電位（ $VM - Vc$ ）に、補償電圧生成回路 132 で見積もった電位 Vc を加えた電位 VM を配線 SL に与え、メモリセル MC に書きこむ機能を有する回路である。

【0098】

図 8（A）には、容量素子 161、容量素子 162、スイッチ SW_A 乃至 SW_D、ボルテージフォロワ 163、及び補償電圧生成回路 132 を示す。スイッチ SW_A 乃至 SW_D は、制御信号 EN_A 乃至 EN_D によって、オン又はオフが制御される。なお以下の議論でスイッチ SW_C の一方の端子は、固定電位線、例えばグラウンド線に接続されているとして説明する。

【0099】

30

容量素子 161 は、ノード N_A で電荷を保持するために設ける。

【0100】

容量素子 162 は、ノード N_C の電位にノード N_A の電位の上昇分を加えるために設ける。

【0101】

スイッチ SW_A 乃至 SW_D は、トランジスタを用いればよい。スイッチにトランジスタを用いる場合、OS トランジスタを用いることが好ましい。OS トランジスタをスイッチに用いることで、各ノードでの電荷の保持特性を良好なものとすることができる。なお、スイッチ SW_A 乃至 SW_D は n チャネル型の OS トランジスタであるとして説明する。つまり、制御信号 EN_A 乃至 EN_D が H レベルで導通状態、L レベルで非導通状態となるとして説明する。

40

【0102】

電荷の移動によって電位が減少したデータ電位（ $VM - Vc$ ）に、減少分の電位 Vc を加えて、元のデータ電位である電位 VM にリフレッシュするためのスイッチ SW_A 乃至 SW_D の制御について図 8（B）に示すタイミングチャートを用いて説明する。図 8（B）では、制御信号 EN_A 乃至 EN_D を示している。

【0103】

時刻 T1 では、制御信号 EN_C 及び EN_D を H レベルから L レベルに切り替える。すると、スイッチ SW_C 及び SW_D がオンからオフになる。ノード N_A とグラウンド線とが導通状態から非導通状態、ノード N_C とノード N_B とが導通状態から非導通状

50

態になる。このとき、ノードN__AおよびノードN__Cは、電氣的に浮遊状態となる。そのため、ノードN__Aにグラウンド電位、ノードN__Cに電位V_cが保持される。

【0104】

次いで時刻T₂では、制御信号EN__BをHレベルにする。すると、スイッチSW__Bがオンとなり、配線SLに読み出されていた電位(V_M−V_c)がノードN__Aに与えられる。このとき、ノードN__Cは、電氣的に浮遊状態となっている。そのため、ノードN__Aに電位(V_M−V_c)が与えられて、該ノードN__Aの電位の上昇につれて、容量素子162で容量結合が生じ、ノードN__Cの電位も上昇する。ノードN__Cでの上昇は、始めに保持されていた電位V_cに電位(V_M−V_c)が加わるように電位が変化する。結果として、ノードN__Cの電位は、電位V_cが相殺された電位V_Mとなる。

10

【0105】

次いで時刻T₃では、制御信号EN__BをLレベルにし、制御信号EN__AをHレベルにする。すると、スイッチSW__Aがオン、スイッチSW__Bがオフになる。配線SLと、ボルテージフォロワ163の出力端子とが、導通状態となる。そのためボルテージフォロワ163の出力電位、すなわちノードN__Cの電位である電位V_Mが、配線SLに与えられる。配線SLに与えられるノードN__Cの電位V_M(すなわち、リフレッシュ電位)は、周辺回路120の動作によってメモリセルMCに書きこまれる。

【0106】

次いで時刻T₄では、制御信号EN__AをLレベルにし、配線SLと、ボルテージフォロワ163の出力端子とを、非導通状態とする。そして、時刻T₅では、制御信号EN__C及びEN__DをLレベルからHレベルに切り替え、ノードN__Aをグラウンド電位、ノードN__Cを電位V_cにする。

20

【0107】

以上説明した、リフレッシュ回路を有する記憶装置は、変化した電荷量によって変動した電位分を読み出した電位に加えることで、元のデータの状態を継続的に維持させることができる。リフレッシュ回路は、リフレッシュタイミグ制御回路と、補償電圧生成回路と、電圧加算回路を有し、データ電位のリフレッシュを行う。リフレッシュタイミグ制御回路は、リフレッシュを行う間隔を制御し、一定期間ごとにデータ電位をメモリセルMCから読み出す。読み出したデータ電位は電荷の移動によって電位が変化しているため、補償電圧生成回路で変化分の電位V_cを見積もる。そして電圧加算回路によって、メモリセルMCから読み出したデータ電位に、電位V_cを加えた元のデータに相当する電位を生成し、再度メモリセルMCに書き込むことができる。その結果、複数の電位の分布で保持される多値のデータを保持するメモリでも、電荷の移動が生じて、データの保持特性を維持できる。

30

【0108】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0109】

(実施の形態2)

本実施の形態では、実施の形態1で説明したメモリセルMCを構成する別の回路構成の変形例について説明する。

40

【0110】

図9(A)乃至(D)には、上記実施の形態1で説明したメモリセルMCが取り得る回路構成の変形例を示す。

【0111】

図9(A)に示すメモリセルMC__Aは、トランジスタ11__Aと、トランジスタ12と、容量素子13と、を有する。トランジスタ11__Aは、nチャネルトランジスタである。図9(A)の構成を上記実施の形態1のメモリセルMCに適用可能である。

【0112】

図9(B)に示すメモリセルMC__Bは、トランジスタ11と、トランジスタ12__Aと

50

、容量素子13と、を有する。トランジスタ12__Aはバックゲートを有し、配線BGLよりバックゲートを制御可能な構成としている。当該構成により、トランジスタ12__Aの閾値電圧を制御可能な構成とすることができる。図9(B)の構成を上記実施の形態1のメモリセルMCに適用可能である。

【0113】

図9(C)に示すメモリセルMC__Cは、トランジスタ11__Aと、トランジスタ12と、容量素子13と、トランジスタ20__Aを有する。トランジスタ20__Aは、トランジスタ11__Aと同じnチャネルトランジスタである。図9(C)の構成を上記実施の形態1のメモリセルMCに適用可能である。

【0114】

図9(D)に示すメモリセルMC__Dは、トランジスタ11__Bと、トランジスタ12と、容量素子13と、トランジスタ20__Bを有する。トランジスタ20__Bは、トランジスタ11__Bと同じpチャネルトランジスタである。図9(D)の構成を上記実施の形態1のメモリセルMCに適用可能である。

【0115】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0116】

(実施の形態3)

本実施の形態では、上記実施の形態で説明したオフ電流の低いOSトランジスタ、及びOSトランジスタの半導体層が有する酸化物半導体について説明する。

【0117】

<OSトランジスタについて>

上記実施の形態で説明したオフ電流の低いトランジスタとして挙げたOSトランジスタは、Siトランジスタよりも低いオフ電流が得られる。

【0118】

OSトランジスタは、酸化物半導体中の不純物濃度を低減し、酸化物半導体を真性または実質的に真性にする事でオフ電流を低くすることができる。ここで、実質的に真性とは、酸化物半導体中のキャリア密度が、 $1 \times 10^{17} / \text{cm}^3$ 未満であること、 $1 \times 10^{15} / \text{cm}^3$ 未満であること、あるいは $1 \times 10^{13} / \text{cm}^3$ 未満であることを指す。酸化物半導体において、水素、窒素、炭素、シリコン、および主成分以外の金属元素は不純物となる。例えば、水素および窒素はドナー準位の形成に寄与し、キャリア密度を増大させてしまう。

【0119】

真性または実質的に真性にした酸化物半導体を用いたトランジスタは、キャリア密度が低いため、閾値電圧がマイナスとなる電気特性になることが少ない。また、当該酸化物半導体を用いたトランジスタは、酸化物半導体のキャリアトラップが少ないため、電気特性の変動が小さく、信頼性の高いトランジスタとなる。また、当該酸化物半導体を用いたトランジスタは、オフ電流を非常に低くすることが可能となる。

【0120】

なおオフ電流を低くしたOSトランジスタでは、室温(25℃程度)にてチャネル幅1μmあたりのオフ電流が 1×10^{-18} A以下、 1×10^{-21} A以下、あるいは 1×10^{-24} A以下、又は85℃にて 1×10^{-15} A以下、 1×10^{-18} A以下、あるいは 1×10^{-21} A以下とすることができる。

【0121】

なおオフ電流とは、nチャネル型トランジスタの場合、トランジスタが非導通状態のときにソースとドレインとの間に流れる電流をいう。具体的には、nチャネル型トランジスタの閾値電圧より低い電圧をゲートとソースの間に印加する場合に、ソースとドレインとの間を流れる電流をオフ電流とすることができる。

【0122】

10

20

30

40

50

その結果、メモリセルMCはOSトランジスタであるトランジスタ12を非導通状態とし、ノードFNに電荷を保持させることができる。

【0123】

またメモリセルMCの構成で用いるOSトランジスタは、低いオフ電流が得られるトランジスタとすることに加えて、良好なスイッチング特性が得られるトランジスタとすることができる。

【0124】

なおメモリセルMCの構成で用いるOSトランジスタは、絶縁表面上に形成することができる。この場合、Siトランジスタのように半導体基板をそのままチャネル形成領域として用いる場合と異なり、ゲート電極とボディもしくは半導体基板との間で寄生容量が形成されない。従ってOSトランジスタを用いる場合、ゲート電界によるキャリアの制御が容易になり、良好なスイッチング特性を得ることができる。

【0125】

<酸化物半導体について>

次いで、OSトランジスタの半導体層に用いることのできる酸化物半導体について説明する。

【0126】

トランジスタの半導体層中のチャネル形成領域に用いる酸化物半導体としては、少なくともインジウム(In)又は亜鉛(Zn)を含むことが好ましい。特にIn及びZnを含むことが好ましい。また、それらに加えて、酸素を強く結びつけるスタビライザーを有することが好ましい。スタビライザーとしては、ガリウム(Ga)、スズ(Sn)、ジルコニウム(Zr)、ハフニウム(Hf)及びアルミニウム(Al)の少なくともいずれかを有すればよい。

【0127】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種又は複数種を有してもよい。

【0128】

トランジスタの半導体層として用いられる酸化物半導体としては、例えば、酸化インジウム、酸化スズ、酸化亜鉛、In-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、In-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-Zr-Zn系酸化物、In-Ti-Zn系酸化物、In-Sc-Zn系酸化物、In-Y-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、In-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物等がある。

【0129】

例えば、In:Ga:Zn=1:1:1、In:Ga:Zn=3:1:2、あるいはIn:Ga:Zn=2:1:3の原子数比のIn-Ga-Zn系酸化物やその組成の近傍の酸化物を用いるとよい。特に、In:Ga:Zn=4:2:3あるいはその近傍の原子数比のIn-Ga-Zn系酸化物を用いるとよい。In:Ga:Zn=4:2:3あるいはその近傍の原子数比のIn-Ga-Zn系酸化物を得るためには、In:Ga:Zn=4

10

20

30

40

50

：2：4．1のターゲットを用いて酸化物半導体を成膜する。

【0130】

半導体層を構成する酸化物半導体膜に水素が含まれると、酸化物半導体と結合することによって、水素の一部がドナーとなり、キャリアである電子を生じてしまう。これにより、トランジスタの閾値電圧がマイナス方向にシフトしてしまう。そのため、酸化物半導体膜の形成後において、脱水化処理（脱水素化処理）を行い酸化物半導体膜から、水素、又は水分を除去して不純物が極力含まれないように高純度化することが好ましい。

【0131】

なお、酸化物半導体膜への脱水化処理（脱水素化処理）によって、酸化物半導体膜から酸素が減少してしまうことがある。よって、酸化物半導体膜への脱水化処理（脱水素化処理）によって増加した酸素欠損を補填するため酸素を酸化物半導体膜に加える処理を行うことが好ましい。本明細書等において、酸化物半導体膜に酸素を供給する場合を、加酸素化処理と記す場合がある、または酸化物半導体膜に含まれる酸素を化学量論的組成よりも多くする場合を過酸素化処理と記す場合がある。

10

【0132】

このように、酸化物半導体膜は、脱水化処理（脱水素化処理）により、水素又は水分が除去され、加酸素化処理により酸素欠損を補填することによって、i型（真性）化又はi型に限りなく近く実質的にi型（真性）である酸化物半導体膜とすることができる。

【0133】

以下では、酸化物半導体膜の構造について説明する。

20

【0134】

酸化物半導体膜は、非単結晶酸化物半導体膜と単結晶酸化物半導体膜とに大別される。非単結晶酸化物半導体膜とは、CAAC-OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜、多結晶酸化物半導体膜、微結晶酸化物半導体膜、非晶質酸化物半導体膜などをいう。

【0135】

まずは、CAAC-OS膜について説明する。

【0136】

CAAC-OS膜は、c軸配向した複数の結晶部を有する酸化物半導体膜の一つである。

【0137】

透過型電子顕微鏡 (TEM: Transmission Electron Microscope) によって、CAAC-OS膜の明視野像および回折パターンの複合解析像 (高分解能TEM像ともいう。) を観察することで複数の結晶部を確認することができる。一方、高分解能TEM像によっても明確な結晶部同士の境界、即ち結晶粒界 (グレインバウンダリーともいう。) を確認することができない。そのため、CAAC-OS膜は、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。

30

【0138】

試料面と概略平行な方向から、CAAC-OS膜の断面の高分解能TEM像を観察すると、結晶部において、金属原子が層状に配列していることを確認できる。金属原子の各層は、CAAC-OS膜の膜を形成する面 (被形成面ともいう。) または上面の凹凸を反映した形状であり、CAAC-OS膜の被形成面または上面と平行に配列する。

40

【0139】

一方、試料面と概略垂直な方向から、CAAC-OS膜の平面の高分解能TEM像を観察すると、結晶部において、金属原子が三角形状または六角形状に配列していることを確認できる。しかしながら、異なる結晶部間で、金属原子の配列に規則性は見られない。

【0140】

図10(a)は、CAAC-OS膜の断面の高分解能TEM像である。また、図10(b)は、図10(a)をさらに拡大した断面の高分解能TEM像であり、理解を容易にするために原子配列を強調表示している。

【0141】

50

図10(c)は、図10(a)のA-O-A'間において、丸で囲んだ領域(直径約4 nm)の局所的なフーリエ変換像である。図10(c)より、各領域においてc軸配向性が確認できる。また、A-O間とO-A'間とでは、c軸の向きが異なるため、異なるグレインであることが示唆される。また、A-O間では、c軸の角度が 14.3° 、 16.6° 、 26.4° のように少しずつ連続的に変化していることがわかる。同様に、O-A'間では、c軸の角度が -18.3° 、 -17.6° 、 -15.9° と少しずつ連続的に変化していることがわかる。

【0142】

なお、CAAC-OS膜に対し、電子回折を行うと、結晶の配向性を示すスポット(輝点)が観測される。例えば、CAAC-OS膜の上面に対し、例えば1 nm以上30 nm以下の電子線を用いる電子回折(ナノビーム電子回折ともいう。)を行うと、スポットが観測される(図11(A)参照。)

10

【0143】

断面の高分解能TEM像および平面の高分解能TEM像より、CAAC-OS膜の結晶部は配向性を有していることがわかる。

【0144】

なお、CAAC-OS膜に含まれるほとんどの結晶部は、一辺が100 nm未満の立方体内に収まる大きさである。従って一辺が10 nm未満、5 nm未満または3 nm未満の立方体内に収まる大きさ結晶部も含まれる。ただし、CAAC-OS膜に含まれる複数の結晶部が連結することで、一つの大きな結晶領域を形成する場合がある。このため、平面の高分解能TEM像において、 2500 nm^2 以上、 $5 \mu\text{m}^2$ 以上または $1000 \mu\text{m}^2$ 以上となる結晶領域が観察される場合がある。

20

【0145】

CAAC-OS膜に対し、X線回折(XRD: X-Ray Diffraction)装置を用いて構造解析を行うと、例えばInGaZnO₄の結晶を有するCAAC-OS膜のout-of-plane法による解析では、回折角(2θ)が 31° にピークが現れる。このピークは、InGaZnO₄の結晶の(009)面に帰属されることから、CAAC-OS膜の結晶がc軸配向性を有し、c軸が被形成面または上面に概略垂直な方向を向いていることが確認できる。

【0146】

一方、CAAC-OS膜に対し、c軸に概略垂直な方向からX線を入射させるin-plane法による解析では、 2θ が 56° にピークが現れる。このピークは、InGaZnO₄の結晶の(110)面に帰属される。InGaZnO₄の単結晶酸化物半導体膜であれば、 2θ を 56° に固定し、試料面の法線ベクトルを軸(ϕ 軸)として試料を回転させながら分析(ϕ スキャン)を行うと、(110)面と等価な結晶面に帰属されるピークが6本観察される。これに対し、CAAC-OS膜の場合は、 2θ を 56° に固定して ϕ スキャンした場合でも、明瞭なピークが現れない。

30

【0147】

以上のことから、CAAC-OS膜では、異なる結晶部間ではa軸およびb軸の配向は不規則であるが、c軸配向性を有し、かつc軸が被形成面または上面の法線ベクトルに平行な方向を向いていることがわかる。従って、前述の断面の高分解能TEM観察で確認された層状に配列した金属原子の各層は、結晶のab面に平行な面である。

40

【0148】

なお、結晶部は、酸化物半導体膜を成膜する際、または加熱処理などの結晶化処理を行った際に形成される。上述したように、結晶のc軸は、CAAC-OS膜の被形成面または上面の法線ベクトルに平行な方向に配向する。従って、例えば、CAAC-OS膜の形状をエッチングなどによって変化させた場合、結晶のc軸がCAAC-OS膜の上面の法線ベクトルと平行にならないこともある。

【0149】

また、CAAC-OS膜中において、c軸配向した結晶部の分布が均一でなくてもよい。

50

例えば、C A A C - O S 膜の結晶部が、C A A C - O S 膜の上面近傍からの結晶成長によって形成される場合、上面近傍の領域は、被形成面近傍の領域よりも c 軸配向した結晶部の割合が高くなることがある。また、不純物の添加された C A A C - O S 膜は、不純物が添加された領域が変質し、部分的に c 軸配向した結晶部の割合の異なる領域が形成されることもある。

【0150】

なお、InGaZnO₄の結晶を有するC A A C - O S 膜のout-of-plane法による解析では、2θが31°近傍のピークの他に、36°にもピークが現れる場合がある。2θが36°近傍のピークは、C A A C - O S 膜中に、c 軸配向性を有さない結晶が含まれることを示している。C A A C - O S 膜は、2θが31°にピークを示し、2θが36°にピークを示さないことが好ましい。

10

【0151】

C A A C - O S 膜は、不純物濃度の低い酸化物半導体膜である。不純物は、水素、炭素、シリコン、遷移金属元素などの酸化物半導体膜の主成分以外の元素である。シリコンなどの、酸化物半導体膜を構成する金属元素よりも酸素との結合力の強い元素は、酸素を奪うことで酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。また、鉄やニッケルなどの重金属、アルゴン、二酸化炭素などは、原子半径（または分子半径）が大きいため、酸化物半導体膜の原子配列を乱し、結晶性を低下させる要因となる。なお、酸化物半導体膜に含まれる不純物は、キャリアトラップやキャリア発生源となるやすい。

20

【0152】

また、C A A C - O S 膜は、欠陥準位密度の低い酸化物半導体膜である。例えば、酸化物半導体膜中の酸素欠損は、キャリアトラップとなり、水素を捕獲することによってキャリア発生源となる。

【0153】

不純物濃度が低く、欠陥準位密度が低い（酸素欠損の少ない）ことを、高純度真性または実質的に高純度真性と呼ぶ。高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリア発生源が少ないため、キャリア密度を低くすることができる。従って、当該酸化物半導体膜を用いたトランジスタは、閾値電圧がマイナスとなる電気特性（ノーマリーオンともいう。）になることが少ない。また、高純度真性または実質的に高純度真性である酸化物半導体膜は、キャリアトラップが少ない。そのため、当該酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。なお、酸化物半導体膜のキャリアトラップに捕獲された電荷は、放出するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜を用いたトランジスタは、電気特性が不安定である。

30

【0154】

また、C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動が小さい。

【0155】

次に、多結晶酸化物半導体膜について説明する。

【0156】

多結晶酸化物半導体膜は、高分解能TEM像において結晶粒を確認することができる。多結晶酸化物半導体膜に含まれる結晶粒は、例えば、高分解能TEM像で、2nm以上300nm以下、3nm以上100nm以下または5nm以上50nm以下の粒径であることが多い。また、多結晶酸化物半導体膜は、高分解能TEM像で、結晶粒界を確認することができる。

40

【0157】

多結晶酸化物半導体膜は、複数の結晶粒を有し、当該複数の結晶粒間において結晶の方位が異なっている。また、例えばInGaZnO₄の多結晶酸化物半導体膜に対し、XRD装置を用いてout-of-plane法による構造解析を行うと、2θが31°のピーク、2θが36°のピーク、およびその他のピークが現れる。

50

【0158】

多結晶酸化物半導体膜は、高い結晶性を有するため、高い電子移動度を有する。従って、多結晶酸化物半導体膜を用いたトランジスタは、高い電界効果移動度を有する。ただし、多結晶酸化物半導体膜は、結晶粒界に不純物が偏析しやすい。また、多結晶酸化物半導体膜の結晶粒界は欠陥準位となる。多結晶酸化物半導体膜は、結晶粒界がキャリアトラップやキャリア発生源となり得るため、多結晶酸化物半導体膜を用いたトランジスタは、CAAC-O-S膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなりやすい。

【0159】

次に、微結晶酸化物半導体膜について説明する。

10

【0160】

微結晶酸化物半導体膜は、高分解能TEM像において、結晶部を確認することのできる領域と、明確な結晶部を確認することのできない領域と、を有する。微結晶酸化物半導体膜に含まれる結晶部は、1nm以上100nm以下、または1nm以上10nm以下の大きさであることが多い。特に、1nm以上10nm以下、または1nm以上3nm以下の微結晶であるナノ結晶(nc:nanocrystal)を有する酸化物半導体膜を、nc-O-S(nanocrystalline Oxide Semiconductor)膜と呼ぶ。また、nc-O-S膜は、高分解能TEM像では、結晶粒界を明確に確認できない場合がある。

【0161】

20

nc-O-S膜は、微小な領域(例えば、1nm以上10nm以下の領域、特に1nm以上3nm以下の領域)において原子配列に周期性を有する。また、nc-O-S膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。従って、nc-O-S膜は、分析方法によっては、非晶質酸化物半導体膜と区別が付かない場合がある。例えば、nc-O-S膜に対し、結晶部よりも大きい径のX線を用いるXRD装置を用いて構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、nc-O-S膜に対し、結晶部よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子回折(制限視野電子回折ともいう。)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-O-S膜に対し、結晶部の大きさと近い結晶部より小さいプローブ径の電子線を用いるナノビーム電子回折を行うと、円周状に分布した複数のスポットが観測される(図11(B)参照。)

30

【0162】

nc-O-S膜は、非晶質酸化物半導体膜よりも規則性の高い酸化物半導体膜である。そのため、nc-O-S膜は、非晶質酸化物半導体膜よりも欠陥準位密度が低くなる。ただし、nc-O-S膜は、異なる結晶部間で結晶方位に規則性が見られない。そのため、nc-O-S膜は、CAAC-O-S膜と比べて欠陥準位密度が高くなる。

【0163】

従って、nc-O-S膜は、CAAC-O-S膜と比べて、キャリア密度が高い。キャリア密度が高い酸化物半導体膜は、電子移動度が高い。従って、nc-O-S膜を用いたトランジスタは、高い電界効果移動度を有する。また、nc-O-S膜は、CAAC-O-S膜と比べて、欠陥準位密度が高いため、キャリアトラップが多い。従って、nc-O-S膜を用いたトランジスタは、CAAC-O-S膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。ただし、nc-O-S膜は、比較的の不純物が多く含まれていても形成することのできるため、CAAC-O-S膜よりも形成が容易となり、用途によっては好適に用いることができる。そのため、nc-O-S膜を用いたトランジスタを有する記憶装置は、生産性高く作製することができる。

40

【0164】

次に、非晶質酸化物半導体膜について説明する。

【0165】

非晶質酸化物半導体膜は、膜中における原子配列が不規則であり、結晶部を有さない酸化

50

物半導体膜である。石英のような無定形状態を有する酸化物半導体膜が一例である。

【0166】

非晶質酸化物半導体膜は、高分解能TEM像において結晶部を確認することができない。

【0167】

非晶質酸化物半導体膜に対し、XRD装置を用いた構造解析を行うと、out-of-plane法による解析では、結晶面を示すピークが検出されない。また、非晶質酸化物半導体膜に対し、電子回折を行うと、ハローパターンが観測される。また、非晶質酸化物半導体膜に対し、ナノビーム電子回折を行うと、スポットが観測されず、ハローパターンが観測される。

【0168】

非晶質酸化物半導体膜は、水素などの不純物を高い濃度で含む酸化物半導体膜である。また、非晶質酸化物半導体膜は、欠陥準位密度の高い酸化物半導体膜である。

【0169】

不純物濃度が高く、欠陥準位密度が高い酸化物半導体膜は、キャリアトラップやキャリア発生源が多い酸化物半導体膜である。

【0170】

従って、非晶質酸化物半導体膜は、nc-OS膜と比べて、さらにキャリア密度が高い。そのため、非晶質酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になりやすい。従って、ノーマリーオンの電気特性が求められるトランジスタに好適に用いることができる。非晶質酸化物半導体膜は、欠陥準位密度が高いため、キャリアトラップが多い。従って、非晶質酸化物半導体膜を用いたトランジスタは、CAAC-OS膜やnc-OS膜を用いたトランジスタと比べて、電気特性の変動が大きく、信頼性の低いトランジスタとなる。

【0171】

次に、単結晶酸化物半導体膜について説明する。

【0172】

単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低い（酸素欠損が少ない）酸化物半導体膜である。そのため、キャリア密度を低くすることができる。従って、単結晶酸化物半導体膜を用いたトランジスタは、ノーマリーオンの電気特性になることが少ない。また、単結晶酸化物半導体膜は、不純物濃度が低く、欠陥準位密度が低いため、キャリアトラップが少い。従って、単結晶酸化物半導体膜を用いたトランジスタは、電気特性の変動が小さく、信頼性の高いトランジスタとなる。

【0173】

なお、酸化物半導体膜は、欠陥が少ないと密度が高くなる。また、酸化物半導体膜は、結晶性が高いと密度が高くなる。また、酸化物半導体膜は、水素などの不純物濃度が低いと密度が高くなる。単結晶酸化物半導体膜は、CAAC-OS膜よりも密度が高い。また、CAAC-OS膜は、微結晶酸化物半導体膜よりも密度が高い。また、多結晶酸化物半導体膜は、微結晶酸化物半導体膜よりも密度が高い。また、微結晶酸化物半導体膜は、非晶質酸化物半導体膜よりも密度が高い。

【0174】

なお、酸化物半導体膜は、nc-OS膜と非晶質酸化物半導体膜との間の物性を示す構造を有する場合がある。そのような構造を有する酸化物半導体膜を、特に非晶質ライク酸化物半導体（amorphous-like OS: amorphous-like Oxide Semiconductor）膜と呼ぶ。

【0175】

amorphous-like OS膜は、高分解能TEM像において鬆（ボイドともいう。）が観察される。また、高分解能TEM像において、明確に結晶部を確認することのできる領域と、結晶部を確認することのできない領域と、を有する。amorphous-like OS膜は、TEMによる観察程度の微量な電子照射によって、結晶化による結晶部の成長が見られる。一方、nc-OS膜では、TEMによる観察程度の微量な電子

10

20

30

40

50

照射による結晶化はほとんど見られない。

【0176】

図12は、高分解能TEM像により、amorphous-like OS膜およびnc-OS膜の結晶部（20箇所から40箇所）の平均の大きさの変化を調査した例である。図12より、amorphous-like OS膜は、電子の累積照射量に応じて結晶部が大きくなっていくことがわかる。具体的には、TEMによる観察初期においては1.2nm程度の大きさだった結晶部が、累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ においては2.6nm程度の大きさまで成長していることがわかる。一方、nc-OS膜は、電子照射開始時から電子の累積照射量が $4.2 \times 10^8 \text{ e}^-/\text{nm}^2$ になるまでの範囲で結晶部の大きさに変化が見られないことがわかる。

10

【0177】

また、amorphous-like OS膜およびnc-OS膜の結晶部の大きさの変化を線形近似して、電子の累積照射量 $0 \text{ e}^-/\text{nm}^2$ まで外挿すると、結晶部の平均の大きさが正の値をとることがわかる。そのため、amorphous-like OS膜およびnc-OS膜の結晶部が、TEMによる観察前から存在していることが示唆される。

【0178】

なお、酸化物半導体膜は、例えば、非晶質酸化物半導体膜、微結晶酸化物半導体膜、CAAC-OS膜のうち、二種以上を有する積層膜であってもよい。

【0179】

酸化物半導体膜が複数の構造を有する場合、ナノビーム電子回折を用いることで構造解析が可能である。

20

【0180】

図11(C)に、電子銃室210と、電子銃室210の下光学系212と、光学系212の下試料室214と、試料室214の下光学系216と、光学系216の下観察室220と、観察室220に設置されたカメラ218と、観察室220の下フィルム室222と、を有する透過電子回折測定装置を示す。カメラ218は、観察室220内部に向けて設置される。なおフィルム室222を有さなくても構わない。

【0181】

また、図11(D)に、図11(C)で示した透過電子回折測定装置内部の構造を示す。透過電子回折測定装置内部では、電子銃室210に設置された電子銃から放出された電子224が、光学系212を介して試料室214に配置された物質228に照射される。物質228を通過した電子は、光学系216を介して観察室220内部に設置された蛍光板229に入射する。蛍光板229では、入射した電子の強度に応じたパターンが現れることで透過電子回折パターンを測定することができる。

30

【0182】

カメラ218は、蛍光板229を向いて設置されており、蛍光板229に現れたパターンを撮影することが可能である。カメラ218のレンズの中央、および蛍光板229の中央を通る直線と、蛍光板229の上面と、の為す角度は、例えば、 15° 以上 80° 以下、 30° 以上 75° 以下、または 45° 以上 70° 以下とする。該角度が小さいほど、カメラ218で撮影される透過電子回折パターンは歪みが大きくなる。ただし、あらかじめ該角度がわかっているならば、得られた透過電子回折パターンの歪みを補正することも可能である。なお、カメラ218をフィルム室222に設置しても構わない場合がある。例えば、カメラ218、フィルム室222に、電子224の入射方向と対向するように設置してもよい。この場合、蛍光板229の裏面から歪みの少ない透過電子回折パターンを撮影することができる。

40

【0183】

試料室214には、試料である物質228を固定するためのホルダが設置されている。ホルダは、物質228を通過する電子を透過するような構造をしている。ホルダは、例えば、物質228をX軸、Y軸、Z軸などに移動させる機能を有していてもよい。ホルダの移動機能は、例えば、1nm以上10nm以下、5nm以上50nm以下、10nm以上1

50

00 nm以下、50 nm以上500 nm以下、100 nm以上1 μ m以下などの範囲で移動させる精度を有すればよい。これらの範囲は、物質228の構造によって最適な範囲を設定すればよい。

【0184】

次に、上述した透過電子回折測定装置を用いて、物質の透過電子回折パターンを測定する方法について説明する。

【0185】

例えば、図11(D)に示すように物質におけるナノビームである電子224の照射位置を変化させる（スキャンする）ことで、物質の構造が変化していく様子を確認することができる。このとき、物質228がCAAC-O S膜であれば、図11(A)に示したような回折パターンが観測される。または、物質228がnc-O S膜であれば、図11(B)に示したような回折パターンが観測される。

10

【0186】

ところで、物質228がCAAC-O S膜であったとしても、nc-O S膜などと同様の回折パターンが観測される場合がある。したがって、CAAC-O S膜の質は、CAAC-O S膜の回折パターンが観測される領域の割合（CAAC化率ともいう。）で表すことができる。例えば、良質なCAAC-O S膜であれば、CAAC化率は、50%以上、好ましくは80%以上、さらに好ましくは90%以上、より好ましくは95%以上となる。なお、CAAC-O S膜と異なる回折パターンが観測される領域の割合を非CAAC化率と表記する。

20

【0187】

一例として、成膜直後（as-sputteredと表記。）、または酸素を含む雰囲気における450℃加熱処理後のCAAC-O S膜のCAAC化率を図13(A)に示す。

【0188】

成膜直後のCAAC-O S膜のCAAC化率は75.7%（非CAAC化率は24.3%）である。また、450℃加熱処理後のCAAC-O S膜のCAAC化率は85.3%（非CAAC化率は14.7%）である。成膜直後と比べて、450℃加熱処理後のCAAC化率が高いことがわかる。即ち、高い温度（例えば400℃以上）における加熱処理によって、非CAAC化率が低くなる（CAAC化率が高くなる）ことがわかる。また、500℃未満の加熱処理においても高いCAAC化率を有するCAAC-O S膜が得られることがわかる。

30

【0189】

なお、CAAC-O S膜と異なる回折パターンのほとんどはnc-O S膜と同様の回折パターンである。また、測定領域において非晶質酸化物半導体膜は、確認することができない。このことから、加熱処理によって、nc-O Sの領域が、隣接するCAAC-O Sの領域の影響を受けて再配列し、CAAC化していることが示唆されている。

【0190】

図13(B)および図13(C)は、成膜直後および450℃加熱処理後のCAAC-O S膜の平面の高分解能TEM像である。図13(B)と図13(C)とを比較することにより、450℃加熱処理後のCAAC-O S膜は、膜質がより均質であることがわかる。即ち、高い温度における加熱処理によって、CAAC-O S膜の膜質が向上することがわかる。

40

【0191】

このような測定方法を用いれば、複数の構造を有する酸化物半導体膜の構造解析が可能である。

【0192】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0193】

（実施の形態4）

50

本実施の形態では、メモリセルMCのレイアウト図、レイアウト図に対応する回路図、及び断面模式図の一例について、図14、図15を参照して説明する。

【0194】

図14(A)では、メモリセルMCのレイアウト図を示している。また図14(B)は、図14(A)のレイアウト図に対応する回路図である。図14(B)の回路図は、図9(B)で示した回路図に相当する。図15では、図14(A)の一点鎖線A-Bにおける断面模式図を示している。

【0195】

図14(A)、図15では、基板21、半導体層22、絶縁層23、導電層24、絶縁層25、導電層26、導電層27、絶縁層28、導電層29、導電層30、導電層30a、絶縁層31、半導体層32、導電層33、導電層34、導電層35、絶縁層36、導電層37、導電層38、絶縁層39、導電層40、導電層41、導電層42、絶縁層43、導電層44、開口部CT1乃至CT5を示している。

10

【0196】

基板21は、例えば単結晶シリコン基板(p型の半導体基板、またはn型の半導体基板を含む)、炭化シリコンや窒化ガリウムを材料とした化合物半導体基板、またはSOI(Silicon On Insulator)基板、ガラス基板などを用いることができる。

【0197】

半導体層22及び半導体層32は、非晶質半導体、微結晶半導体、多結晶半導体等を用いることができる。例えば、非晶質シリコンや、微結晶ゲルマニウム等を用いることができる。また、炭化シリコン、ガリウム砒素、酸化物半導体、窒化物半導体などの化合物半導体や、有機半導体等を用いることができる。

20

【0198】

特に半導体層32は、酸化物半導体を単層または積層して設ける構成が好ましい。酸化物半導体は、実施の形態4で示したものをを用いることができる。酸化物半導体の形成方法としては、スパッタリング法、ALD(Atomic Layer Deposition)法、蒸着法、塗布法などを用いることができる。

【0199】

導電層24、導電層26、導電層27、導電層29、導電層30、導電層30a、導電層33、導電層34、導電層35、導電層37、導電層38、導電層40、導電層41、導電層42、及び導電層44は、アルミニウム、銅、チタン、タンタル、タングステン等の金属材料を用いることが好ましい。また、リン等の不純物を添加した多結晶シリコンを用いることができる。形成方法は、蒸着法、プラズマCVD(PECVD)法、スパッタリング法、スピコート法などの各種成膜方法を用いることができる。

30

【0200】

絶縁層23、絶縁層25、絶縁層28、絶縁層31、絶縁層36、絶縁層39、及び絶縁層43は、無機絶縁層または有機絶縁層を、単層又は多層で形成することが好ましい。無機絶縁層としては、窒化シリコン膜、酸化窒化シリコン膜、又は窒化酸化シリコン膜等を、単層又は多層で形成することが好ましい。有機絶縁層としては、ポリイミド又はアクリル等を、単層又は多層で形成することが好ましい。また、各絶縁層の作製方法に特に限定はないが、例えば、スパッタリング法、分子線エピタキシー法(MBE法)、PECVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。

40

【0201】

なお半導体層32に酸化物半導体を用いる場合、半導体層32に接する絶縁層31及び絶縁層36は、無機絶縁層を、単層又は多層で形成することが好ましい。また、絶縁層31及び絶縁層36は、半導体層32に酸素を供給する効果があるとより好ましい。

【0202】

開口部CT1、CT2は、導電層26及び導電層27と、半導体層22とを接続するために絶縁層23及び絶縁層25に設けられる。また、開口部CT3は、導電層35と、導電

50

層 4 2 とを接続するために絶縁層 3 6 及び絶縁層 3 9 に設けられる。また、開口部 C T 4 は、導電層 3 7 と、導電層 4 1 とを接続するために絶縁層 3 9 に設けられる。また、開口部 C T 5 は、導電層 4 0 と、導電層 4 4 とを接続するために絶縁層 4 3 に設けられる。

【0203】

また図 1 6 乃至 2 8 には、図 1 4 (A) のメモリセル M C のレイアウト図、及び図 1 4 (A) の一点鎖線 A - B における断面模式図における、導電層、半導体層、及び開口部毎について、積層する順に図示している。

【0204】

図 1 6 (A)、(B) は、半導体層 2 2 のレイアウト図と、断面模式図を表している。

【0205】

図 1 7 (A)、(B) は、導電層 2 4 のレイアウト図と、断面模式図を表している。

【0206】

図 1 8 (A)、(B) は、開口部 C T 1、C T 2、およびこれらと同層に形成する開口部のレイアウト図と、断面模式図を表している。

【0207】

図 1 9 (A)、(B) は、導電層 2 6、2 7、およびこれらと同層に形成する導電層 5 0 のレイアウト図と、断面模式図を表している。

【0208】

図 2 0 (A)、(B) は、導電層 2 6、2 7、5 0 と、導電層 2 9、3 0 a、5 2 をそれぞれ電氣的に接続するための開口部 C T 6 のレイアウト図と、断面模式図を表している。

【0209】

図 2 1 (A)、(B) は、導電層 2 9、3 0、3 0 a、ならびにこれらと同層に形成する導電層 5 2 のレイアウト図と、断面模式図を表している。

【0210】

図 2 2 (A)、(B) は、半導体層 3 2 のレイアウト図と、断面模式図を表している。

【0211】

図 2 3 (A)、(B) は、導電層 3 3、3 4、3 5 のレイアウト図と、断面模式図を表している。

【0212】

図 2 4 (A)、(B) は、導電層 3 7、3 8 のレイアウト図と、断面模式図を表している。

【0213】

図 2 5 (A)、(B) は、開口部 C T 3、C T 4 と、これらと同層に形成する開口部のレイアウト図と、断面模式図を表している。

【0214】

図 2 6 (A)、(B) は、導電層 4 0、4 1、4 2 のレイアウト図と、断面模式図を表している。

【0215】

図 2 7 (A)、(B) は、開口部 C T 5 と、これと同層に形成する開口部のレイアウト図と、断面模式図を表している。

【0216】

図 2 8 (A)、(B) は、導電層 4 4 と、これと同層に形成する導電層のレイアウト図と、断面模式図を表している。

【0217】

なお図 1 4 (A) や 2 3 (A) のレイアウト図に示すように、半導体層 3 2 に接する導電層 3 4、3 5 は、半導体層 3 2 のチャンネル幅方向に平行な辺を完全には覆わないように設ける構成が好ましい。当該構成とすることで、導電層 3 0、3 8 と重畳する面積を削減し、導電層間の寄生容量を減らすことができる。そのため、導電層 3 0、3 8 の電位が変動することによる導電層 3 4、3 5 での電位の変動を抑制することができる。

【0218】

なお、本実施の形態に示す構成及び方法などは、他の実施の形態に示す構成及び方法などと適宜組み合わせ用いることができる。

【0219】

(実施の形態5)

上記実施の形態で開示された、導電層や半導体層はスパッタ法により形成することができるが、他の方法、例えば、熱CVD法により形成してもよい。熱CVD法の例としてMOCVD (Metal Organic Chemical Vapor Deposition) 法やALD法を使っても良い。

【0220】

熱CVD法は、プラズマを使わない成膜方法のため、プラズマダメージにより欠陥が生成されることが無いという利点を有する。

10

【0221】

熱CVD法は、原料ガスと酸化剤を同時にチャンバー内に送り、チャンバー内を大気圧または減圧下とし、基板近傍または基板上で反応させて基板上に堆積させることで成膜を行ってもよい。

【0222】

ALD法では、チャンバー内を大気圧または減圧下とし、反応のための原料ガスを順次にチャンバーに導入・反応させ、これを繰り返すことで成膜を行う。原料ガスと一緒に不活性ガス（アルゴン、或いは窒素など）をキャリアガスとして導入しても良い。2種類以上の原料ガスを順番にチャンバーに供給してもよい。その際、複数種の原料ガスが混ざらないように第1の原料ガスの反応後、不活性ガスを導入し、第2の原料ガスを導入する。あるいは、不活性ガスを導入する代わりに真空排気によって第1の原料ガスを排出した後、第2の原料ガスを導入してもよい。第1の原料ガスが基板の表面に吸着・反応して第1の層を成膜し、後から導入される第2の原料ガスが吸着・反応して、第2の層が第1の層上に積層されて薄膜が形成される。このガス導入順序を制御しつつ所望の厚さになるまで複数回繰り返すことで、段差被覆性に優れた薄膜を形成することができる。薄膜の厚さは、ガス導入を繰り返す回数によって調節することができるため、精密な膜厚調節が可能であり、微細なFETを作製する場合に適している。

20

【0223】

MOCVD法やALD法などの熱CVD法は、これまでに記載した実施形態に開示された導電膜や半導体膜を形成することができ、例えば、In-Ga-Zn-O膜を成膜する場合には、トリメチルインジウム ($\text{In}(\text{CH}_3)_3$)、トリメチルガリウム ($\text{Ga}(\text{CH}_3)_3$)、及びジメチル亜鉛 ($\text{Zn}(\text{CH}_3)_2$) を用いる。これらの組み合わせに限定されず、トリメチルガリウムに代えてトリエチルガリウム ($\text{Ga}(\text{C}_2\text{H}_5)_3$) を用いることもでき、ジメチル亜鉛に代えてジエチル亜鉛 ($\text{Zn}(\text{C}_2\text{H}_5)_2$) を用いることもできる。

30

【0224】

例えば、ALDを利用する成膜装置によりタングステン膜を成膜する場合には、 WF_6 ガスと B_2H_6 ガスを順次導入して初期タングステン膜を形成し、その後、 WF_6 ガスと H_2 ガスを順次導入し、後者のプロセスを繰り返すことでタングステン膜を形成する。なお、 B_2H_6 ガスに代えて SiH_4 ガスを用いてもよい。

40

【0225】

例えば、ALDを利用する成膜装置により酸化物半導体膜、例えばIn-Ga-Zn-O膜を成膜する場合には、 $\text{In}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してIn-O層を形成し、その後、 $\text{Ga}(\text{CH}_3)_3$ ガスと O_3 ガスを順次導入してGaO層を形成し、更にその後 $\text{Zn}(\text{CH}_3)_2$ と O_3 ガスを順次導入してZnO層を形成する。なお、これらの層の順番はこの例に限らない。また、これらのガスを混ぜてIn-Ga-O層やIn-Zn-O層、Ga-Zn-O層などの混合酸化物層を形成しても良い。なお、 O_3 ガスに変えてAr等の不活性ガスでバブリングして得られた H_2O ガスを用いても良いが、Hを含まない O_3 ガスを用いる方が好ましい。

50

【0226】

以上、本実施の形態に示す構成は、他の実施の形態に示す構成と適宜組み合わせて用いることができる。

【0227】

(実施の形態6)

本実施の形態では、上述の実施の形態で説明した記憶装置を電子部品に適用する例、及び該電子部品を具備する電子機器に適用する例について、図29、図30を用いて説明する。

【0228】

図29(A)では上述の実施の形態で説明し記憶装置を電子部品に適用する例について説明する。なお電子部品は、半導体パッケージ、又はIC用パッケージともいう。この電子部品は、端子取り出し方向や、端子の形状に応じて、複数の規格や名称が存在する。そこで、本実施の形態では、その一例について説明することにする。

10

【0229】

上記実施の形態4の図14、15に示すようなトランジスタで構成される記憶装置は、組み立て工程(後工程)を経て、プリント基板に脱着可能な部品が複数合わさることで完成する。

【0230】

後工程については、図29(A)に示す各工程を経ることで完成させることができる。具体的には、前工程で得られる素子基板が完成(ステップS1)した後、基板の裏面を研削する(ステップS2)。この段階で基板を薄膜化することで、前工程での基板の反り等を低減し、部品としての小型化を図るためである。

20

【0231】

基板の裏面を研削して、基板を複数のチップに分離するダイシング工程を行う。そして、分離したチップを個々にピックアップしてリードフレーム上に搭載し接合する、ダイボンディング工程を行う(ステップS3)。このダイボンディング工程におけるチップとリードフレームとの接着は、樹脂による接着や、テープによる接着等、適宜製品に応じて適した方法を選択する。なお、ダイボンディング工程は、インターポーザ上に搭載し接合してもよい。

【0232】

次いでリードフレームのリードとチップ上の電極とを、金属の細線(ワイヤー)で電氣的に接続する、ワイヤーボンディングを行う(ステップS4)。金属の細線には、銀線や金線を用いることができる。また、ワイヤーボンディングは、ボールボンディングや、ウェッジボンディングを用いることができる。

30

【0233】

ワイヤーボンディングされたチップは、エポキシ樹脂等で封止される、モールド工程が施される(ステップS5)。モールド工程を行うことで電子部品の内部が樹脂で充填され、機械的な外力による内蔵される回路部やワイヤーに対するダメージを低減することができる、また水分や埃による特性の劣化を低減することができる。

【0234】

次いでリードフレームのリードをメッキ処理する。そしてリードを切断及び成形加工する(ステップS6)。このめっき処理によりリードの錆を防止し、後にプリント基板に実装する際のはんだ付けをより確実に行うことができる。

40

【0235】

次いでパッケージの表面に印字処理(マーキング)を施す(ステップS7)。そして最終的な検査工程(ステップS8)を経て電子部品が完成する(ステップS9)。

【0236】

以上説明した電子部品は、上述の実施の形態で説明した記憶装置を含む構成とすることができる。そのため、データの保持特性に優れた電子部品を実現することができる。

【0237】

50

また、完成した電子部品の斜視模式図を図29(B)に示す。図29(B)では、電子部品の一例として、QFP(Quad Flat Package)の斜視模式図を示している。図29(B)に示す電子部品700は、リード701及び回路部703を示している。図29(B)に示す電子部品700は、例えばプリント基板702に実装される。このような電子部品700が複数組み合わされて、それぞれがプリント基板702上で電氣的に接続されることで電子機器の内部に搭載することができる。完成した回路基板704は、電子機器等の内部に設けられる。

【0238】

次いで、コンピュータ、携帯情報端末(携帯電話、携帯型ゲーム機、音響再生装置なども含む)、電子ペーパー、テレビジョン装置(テレビ、又はテレビジョン受信機ともいう)、デジタルビデオカメラなどの電子機器に、上述の電子部品を適用する場合について説明する。

10

【0239】

図30(A)は、携帯型の情報端末であり、筐体901、筐体902、第1の表示部903a、第2の表示部903bなどによって構成されている。筐体901と筐体902の少なくとも一部には、先の実施の形態に示す記憶装置を備えた電子部品が設けられている。そのため、データの保持特性に優れた携帯型の情報端末が実現される。

【0240】

なお、第1の表示部903aはタッチ入力機能を有するパネルとなっており、例えば図30(A)の左図のように、第1の表示部903aに表示される選択ボタン904により「タッチ入力」を行うか、「キーボード入力」を行うかを選択できる。選択ボタンは様々な大きさで表示できるため、幅広い世代の人が使いやすさを実感できる。ここで、例えば「キーボード入力」を選択した場合、図30(A)の右図のように第1の表示部903aにはキーボード905が表示される。これにより、従来の情報端末と同様に、キー入力による素早い文字入力などが可能となる。

20

【0241】

また、図30(A)に示す携帯型の情報端末は、図30(A)の右図のように、第1の表示部903a及び第2の表示部903bのうち、一方を取り外すことができる。第2の表示部903bもタッチ入力機能を有するパネルとし、さらなる軽量化を図ることができ、一方の手で筐体902を持ち、他方の手で操作することができるため便利である。

30

【0242】

図30(A)に示す携帯型の情報端末は、様々な情報(静止画、動画、テキスト画像など)を表示する機能、カレンダー、日付又は時刻などを表示部に表示する機能、表示部に表示した情報を操作又は編集する機能、様々なソフトウェア(プログラム)によって処理を制御する機能、等を有することができる。また、筐体の裏面や側面に、外部接続用端子(イヤホン端子、USB端子など)、記録媒体挿入部などを備える構成としてもよい。

【0243】

また、図30(A)に示す携帯型の情報端末は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

40

【0244】

更に、図30(A)に示す筐体902にアンテナやマイク機能や無線機能を持たせ、携帯電話として用いてもよい。

【0245】

図30(B)は、電子ペーパーを実装した電子書籍910であり、筐体911と筐体912の2つの筐体で構成されている。筐体911及び筐体912には、それぞれ表示部913及び表示部914が設けられている。筐体911と筐体912は、軸部915により接続されており、該軸部915を軸として開閉動作を行うことができる。また、筐体911は、電源916、操作キー917、スピーカー918などを備えている。筐体911、筐体912の少なくとも一には、先の実施の形態に示す記憶装置を備えた電子部品が設けら

50

れている。そのため、データの保持特性に優れた電子書籍が実現される。

【0246】

図30(C)は、テレビジョン装置920であり、筐体921、表示部922、スタンド923などで構成されている。テレビジョン装置920の操作は、筐体921が備えるスイッチや、リモコン操作機924により行うことができる。筐体921及びリモコン操作機924には、先の実施の形態に示す記憶装置を備えた電子部品が設けられている。そのため、データの保持特性に優れたテレビジョン装置が実現される。

【0247】

図30(D)は、スマートフォンであり、本体930には、表示部931と、スピーカー932と、マイク933と、操作ボタン934等が設けられている。本体930内には、先の実施の形態に示す記憶装置を備えた電子部品が設けられている。そのためデータの保持特性に優れたスマートフォンが実現される。

10

【0248】

図30(E)は、デジタルカメラであり、本体941、表示部942、操作スイッチ943などによって構成されている。本体941内には、先の実施の形態に示す記憶装置を備えた電子部品が設けられている。そのため、データの保持特性に優れたデジタルカメラが実現される。

【0249】

以上のように、本実施の形態に示す電子機器には、先の実施の形態に示す記憶装置を備えた電子部品が設けられている。このため、データの保持特性に優れた電子機器が実現される。

20

【符号の説明】

【0250】

C T 1 開口部
 C T 3 開口部
 C T 4 開口部
 C T 5 開口部
 C T 6 開口部
 E N 1 信号
 E N 2 信号
 N 1 ノード
 N 2 ノード
 F N ノード
 t 1 時刻
 t 2 時刻
 t 3 時刻
 t 4 時刻
 t 5 時刻
 t 6 時刻
 t 7 時刻
 t 8 時刻
 T 1 時刻
 T 2 時刻
 T 3 時刻
 T 4 時刻
 T 5 時刻
 1 1 トランジスタ
 1 1 __ A トランジスタ
 1 1 __ B トランジスタ
 1 2 トランジスタ

30

40

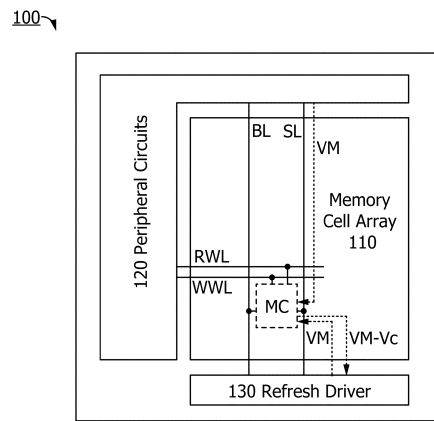
50

1 2 __ A	トランジスタ	
1 3	容量素子	
2 0 __ A	トランジスタ	
2 0 __ B	トランジスタ	
2 1	基板	
2 2	半導体層	
2 3	絶縁層	
2 4	導電層	
2 5	絶縁層	
2 6	導電層	10
2 7	導電層	
2 8	絶縁層	
2 9	導電層	
3 0	導電層	
3 0 a	導電層	
3 1	絶縁層	
3 2	半導体層	
3 3	導電層	
3 4	導電層	
3 5	導電層	20
3 6	絶縁層	
3 7	導電層	
3 8	導電層	
3 9	絶縁層	
4 0	導電層	
4 1	導電層	
4 2	導電層	
4 3	絶縁層	
4 4	導電層	
1 0 0	記憶装置	30
1 1 0	メモリセルアレイ	
1 2 0	周辺回路	
1 3 0	リフレッシュ回路	
1 3 1	リフレッシュタイミグ制御回路	
1 3 2	補償電圧生成回路	
1 3 3	電圧加算回路	
1 4 1	トランジスタ	
1 4 2	容量素子	
1 4 3	バッファ	
1 4 4	期間	40
1 4 5	期間	
1 5 1	トランジスタ	
1 5 2	容量素子	
1 5 3	ボルテージフォロワ	
1 5 4	反転増幅器	
1 6 1	容量素子	
1 6 2	容量素子	
1 6 3	ボルテージフォロワ	
2 1 0	電子銃室	
2 1 2	光学系	50

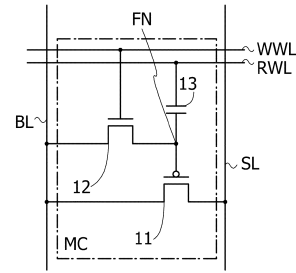
2 1 4	試料室	
2 1 6	光学系	
2 1 8	カメラ	
2 2 0	観察室	
2 2 2	フィルム室	
2 2 4	電子	
2 2 8	物質	
2 2 9	蛍光板	
7 0 0	電子部品	
7 0 1	リード	10
7 0 2	プリント基板	
7 0 3	回路部	
7 0 4	回路基板	
9 0 1	筐体	
9 0 2	筐体	
9 0 3 a	表示部	
9 0 3 b	表示部	
9 0 4	選択ボタン	
9 0 5	キーボード	
9 1 0	電子書籍	20
9 1 1	筐体	
9 1 2	筐体	
9 1 3	表示部	
9 1 4	表示部	
9 1 5	軸部	
9 1 6	電源	
9 1 7	操作キー	
9 1 8	スピーカー	
9 2 0	テレビジョン装置	
9 2 1	筐体	30
9 2 2	表示部	
9 2 3	スタンド	
9 2 4	リモコン操作機	
9 3 0	本体	
9 3 1	表示部	
9 3 2	スピーカー	
9 3 3	マイク	
9 3 4	操作ボタン	
9 4 1	本体	
9 4 2	表示部	40
9 4 3	操作スイッチ	

【図 1】

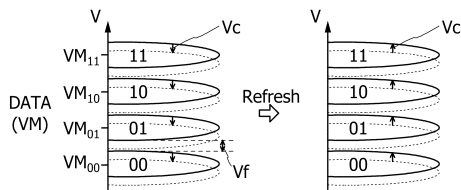
(A)



【図 2】

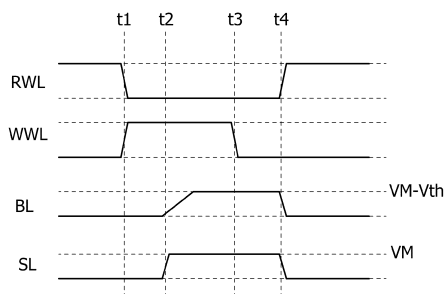


(B)

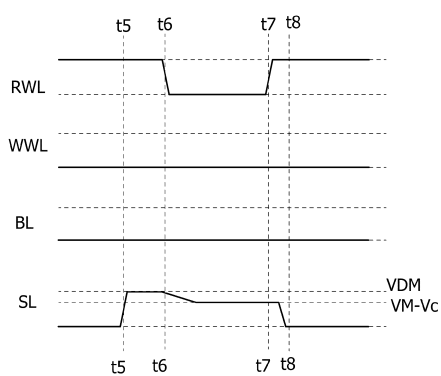


【図 3】

(A)

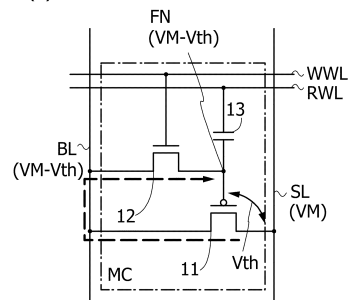


(B)

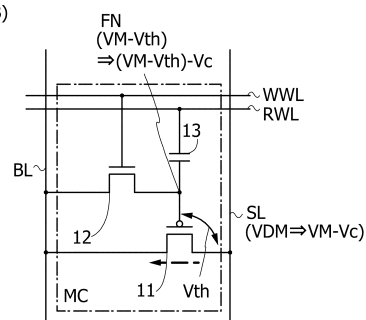


【図 4】

(A)

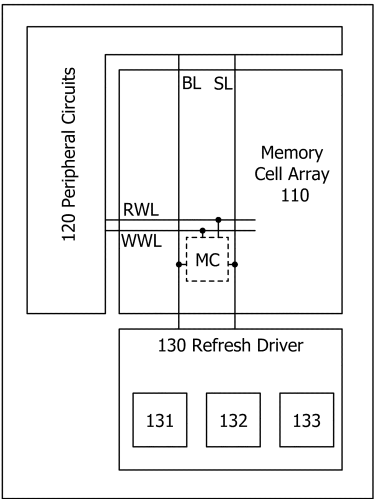


(B)



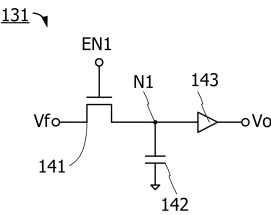
【図 5】

10

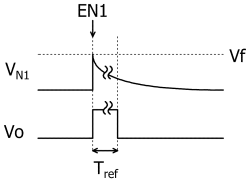


【図 6】

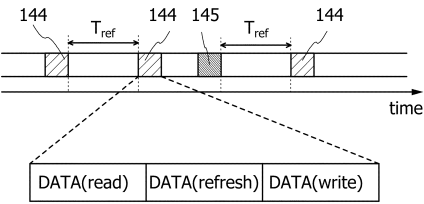
(A)



(B)

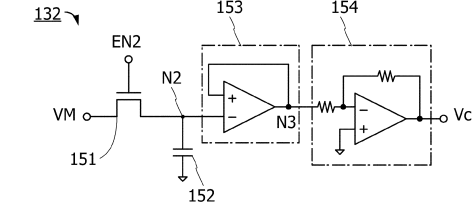


(C)

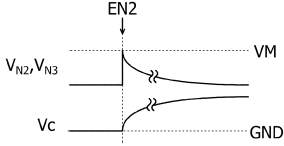


【図 7】

(A)

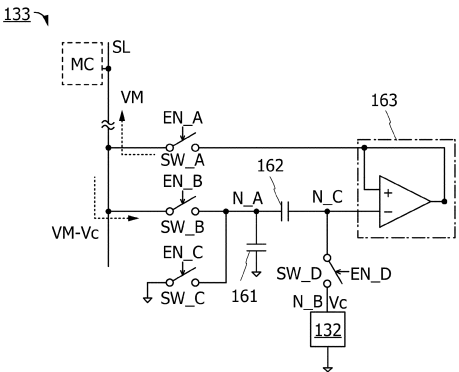


(B)

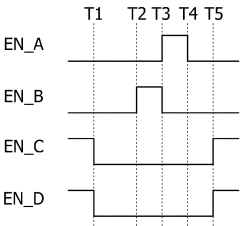


【図 8】

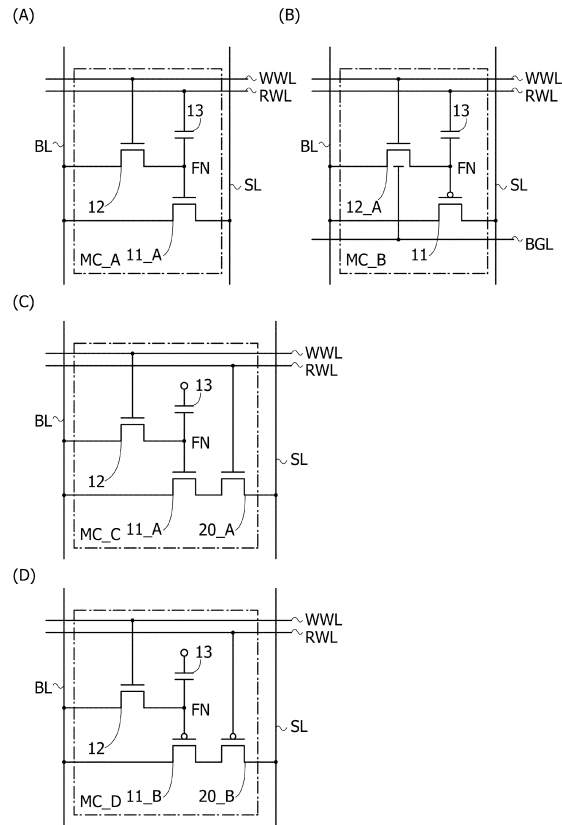
(A)



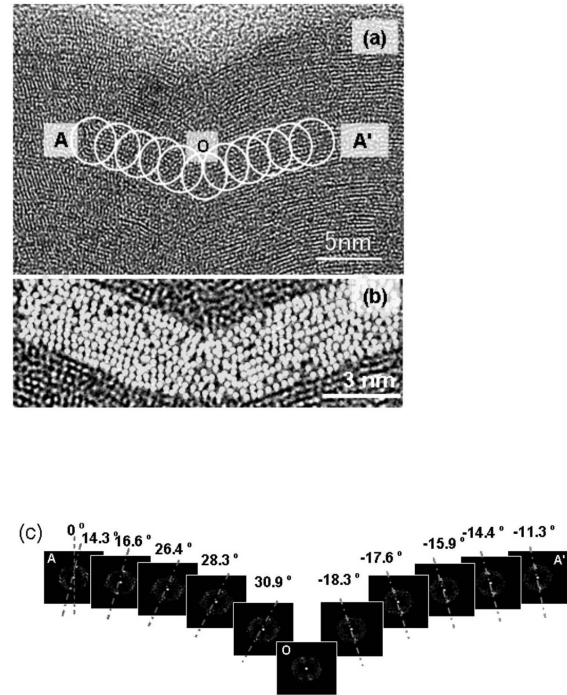
(B)



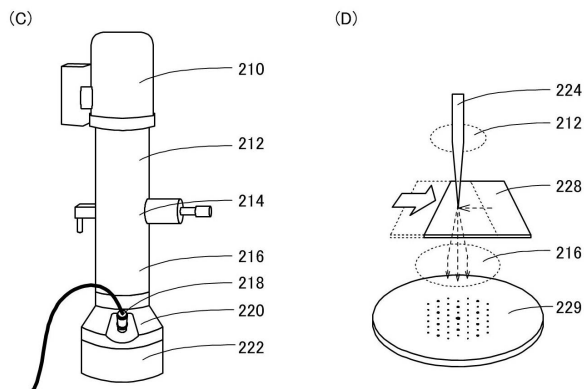
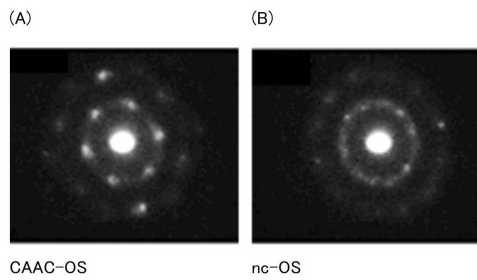
【図 9】



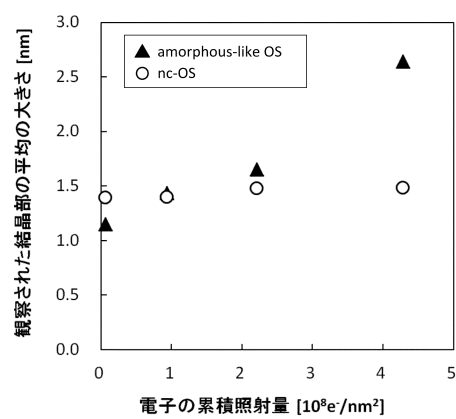
【図 10】



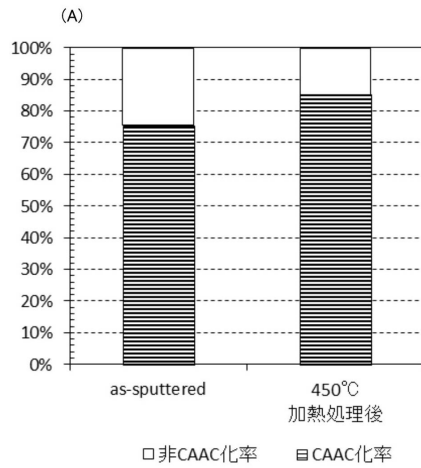
【図 11】



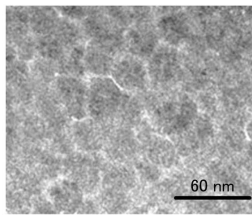
【図 12】



【図 13】

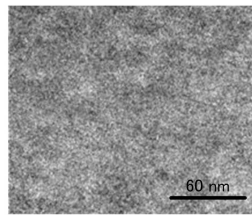


(B)



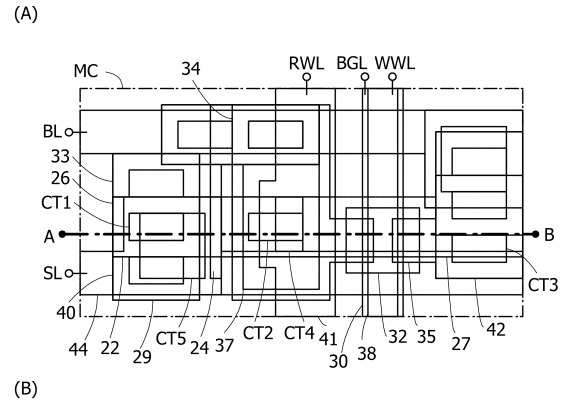
as-sputtered

(C)

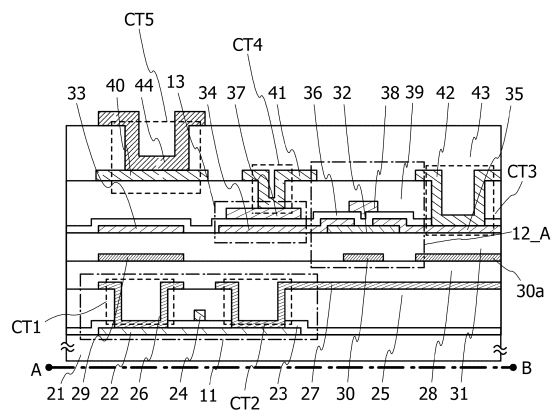


450°C 加熱処理後

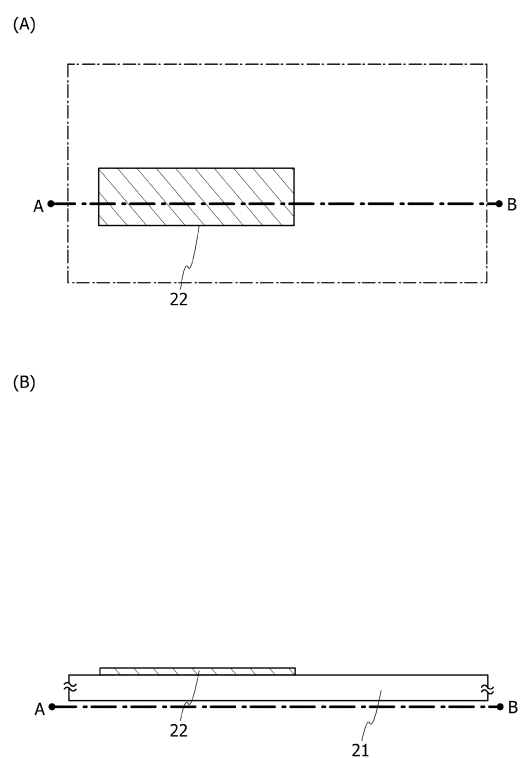
【図 14】



【図 15】

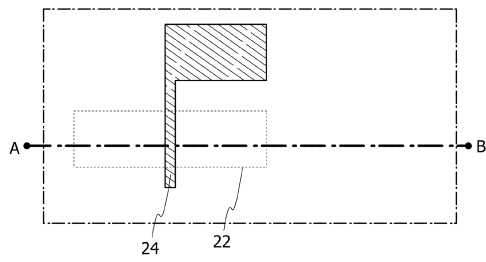


【図 16】

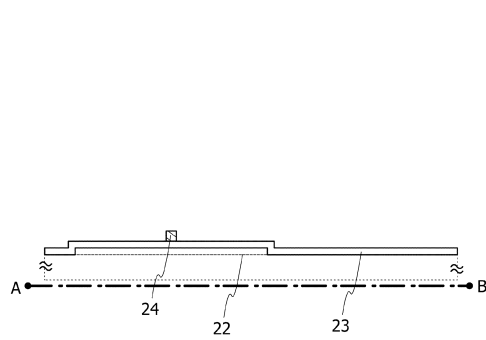


【図 17】

(A)

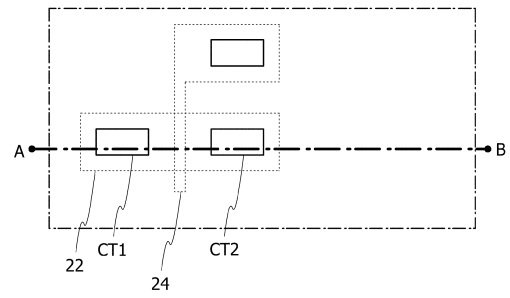


(B)

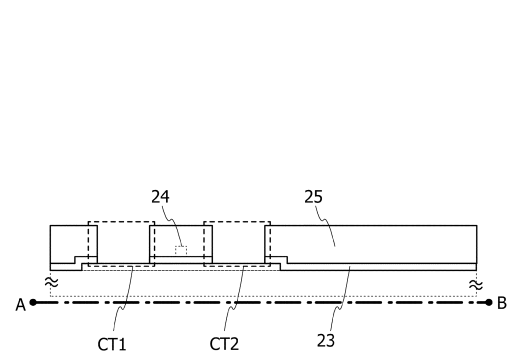


【図 18】

(A)

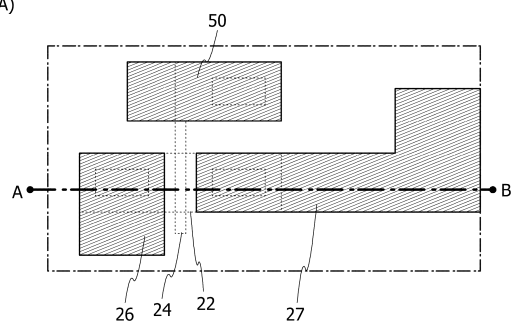


(B)

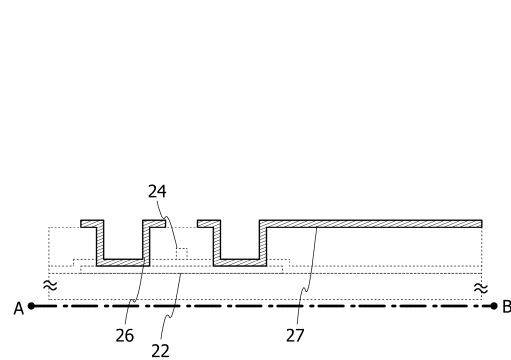


【図 19】

(A)

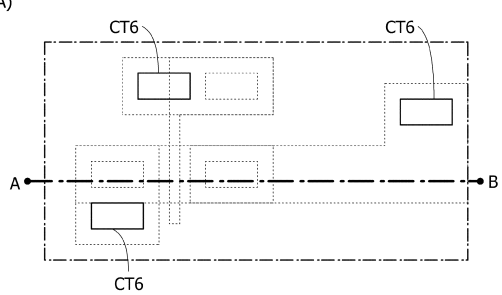


(B)

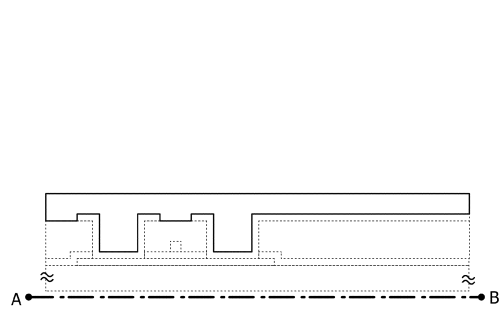


【図 20】

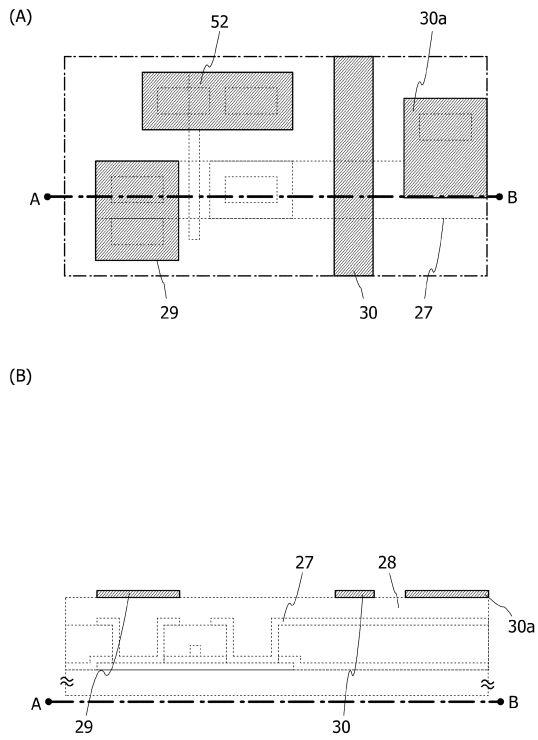
(A)



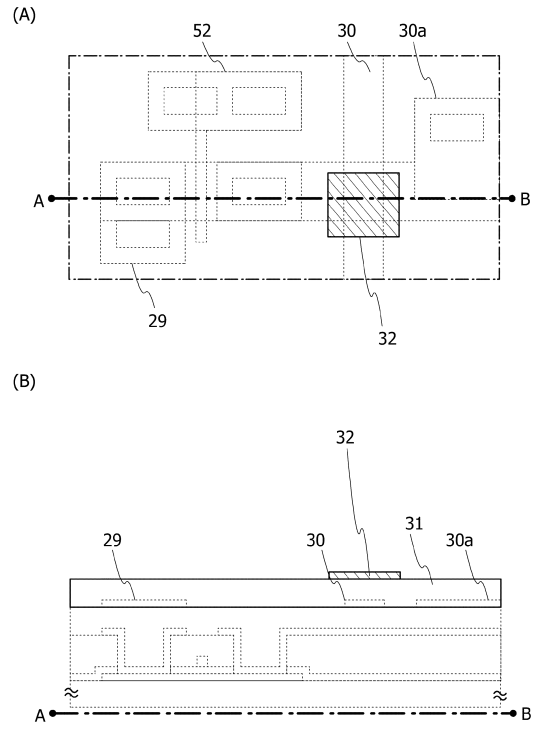
(B)



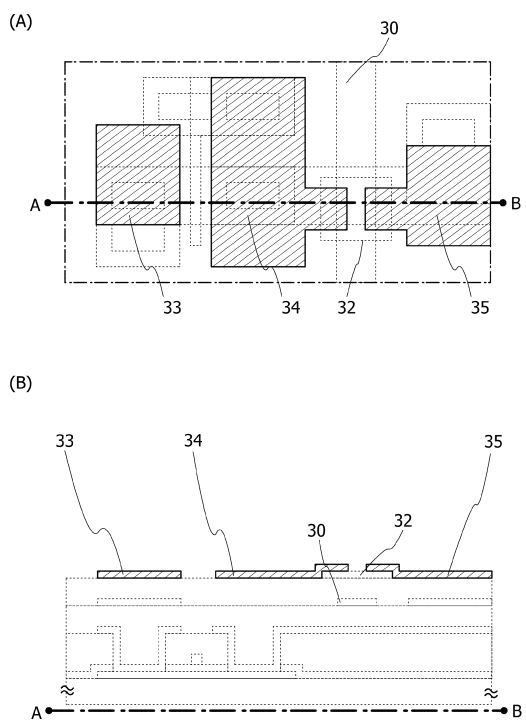
【図 2 1】



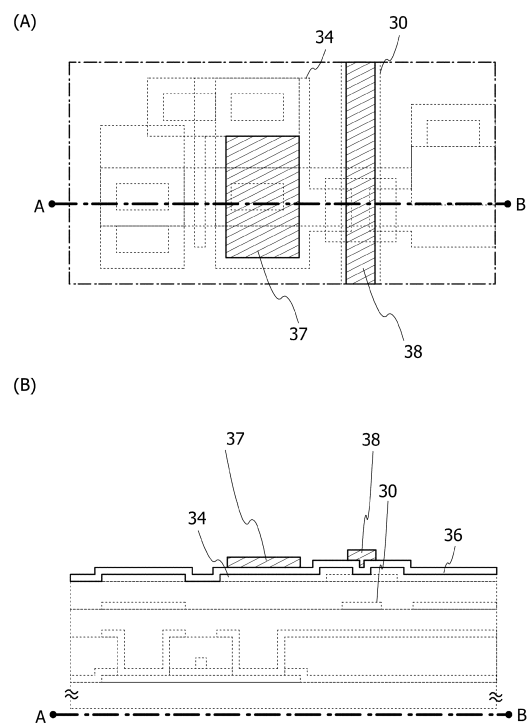
【図 2 2】



【図 2 3】

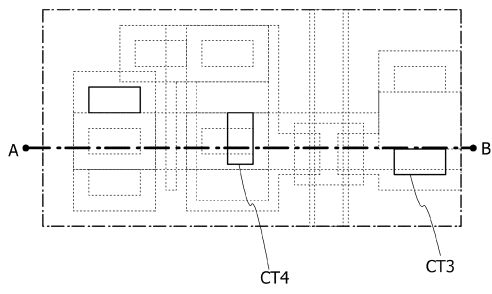


【図 2 4】

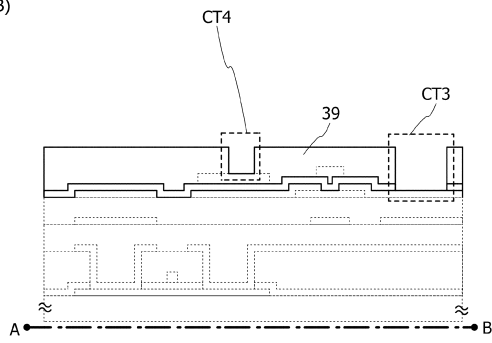


【図 25】

(A)

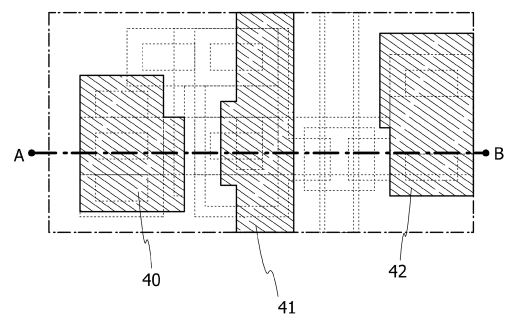


(B)

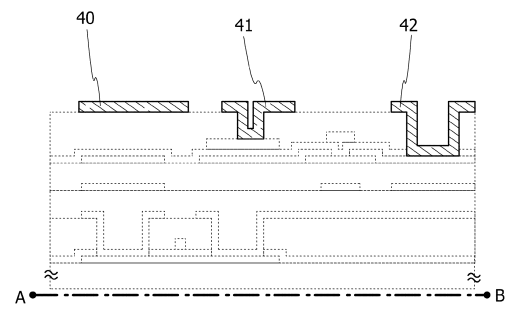


【図 26】

(A)

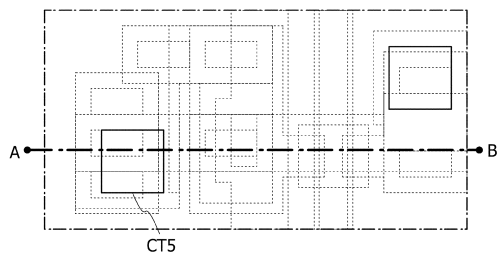


(B)

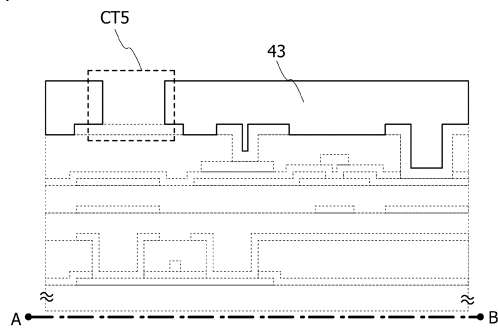


【図 27】

(A)

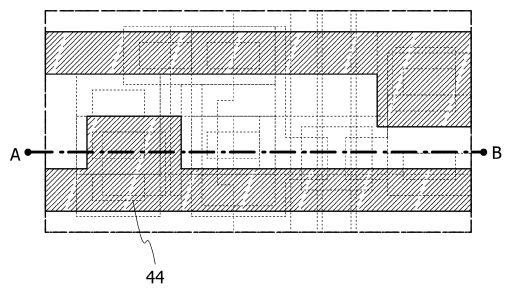


(B)

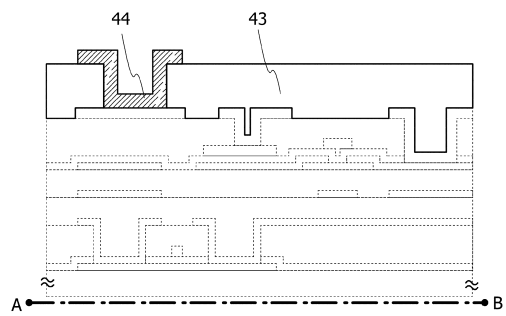


【図 28】

(A)

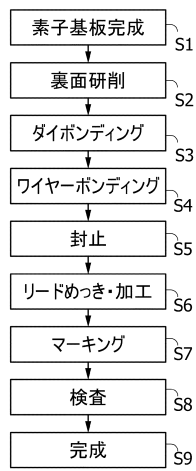


(B)

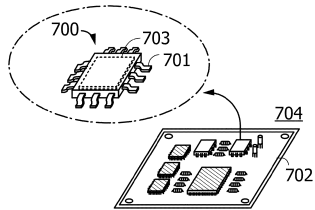


【図 29】

(A)

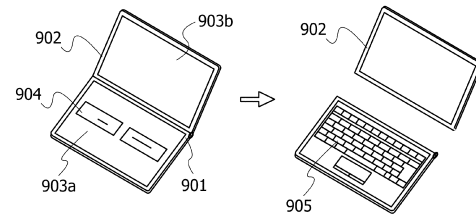


(B)

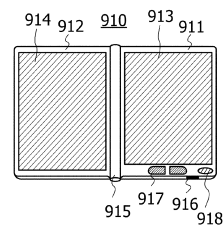


【図 30】

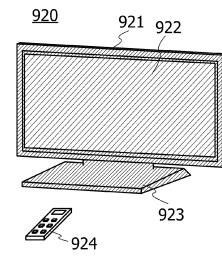
(A)



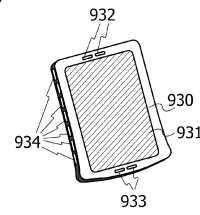
(B)



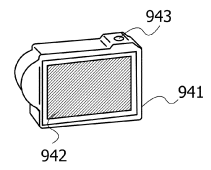
(C)



(D)



(E)



フロントページの続き

(51)Int.Cl. F I
H 0 1 L 29/786 (2006.01) H 0 1 L 29/78 6 1 3 B

(58)調査した分野(Int.Cl., DB名)

G 1 1 C 1 1 / 4 0 6
G 1 1 C 1 1 / 4 0 5
G 1 1 C 1 1 / 5 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 9 / 7 8 6