(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0077920
(43) 공개일자 2017년07월07일

(51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 27/32* (2006.01)
(52) CPC특허분류
H01L 29/7869 (2013.01)
H01L 27/3248 (2013.01)
(21) 출원번호 10-2015-0187565
(22) 출원일자 2015년12월28일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
노소영
경기도 고양시 일산동구 무궁화로 8-28 1214호 (장항동,삼성메르헨오피스텔)
최승찬
경기도 파주시 한빛로 70 (야당동, 한빛마을5단지 캐슬앤칸타빌아파트) 506동 1704호
(뒷면에 계속)
(74) 대리인
특허법인로얄

전체 청구항 수 : 총 8 항

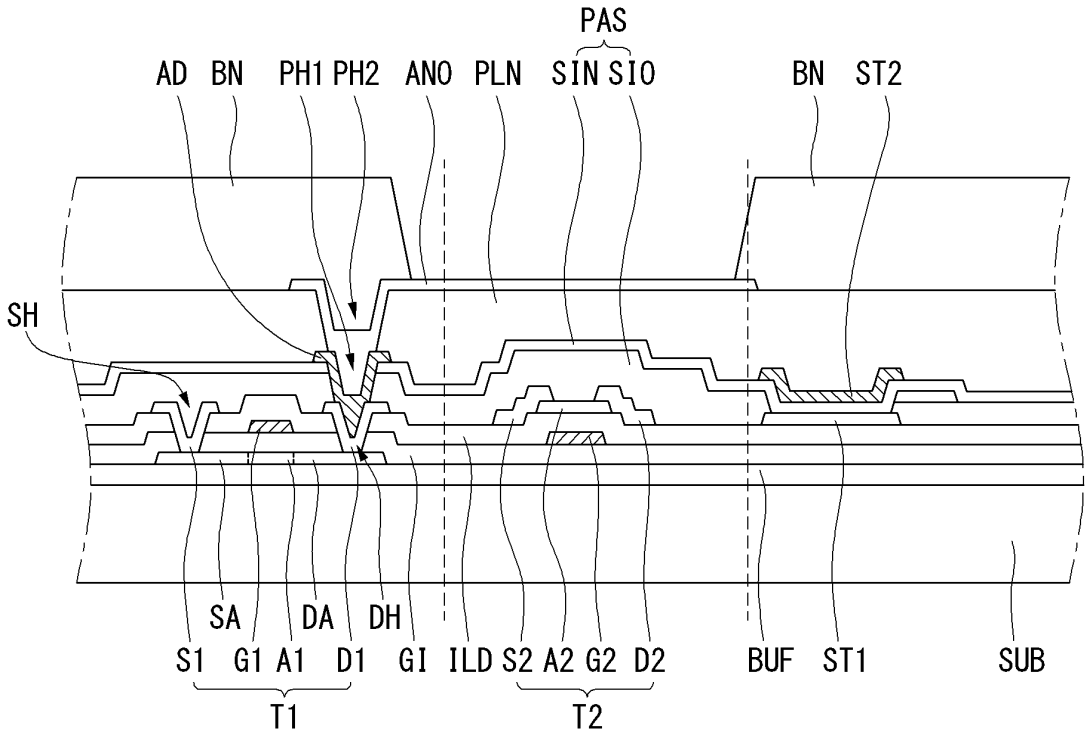
(54) 발명의 명칭 **박막 트랜지스터 기판 및 이를 이용한 표시장치**

(57) 요 약

본 발명은 서로 다른 유형의 박막 트랜지스터들이 동일 기판 위에 배치된 박막 트랜지스터 기판 및 이를 이용한 표시장치에 관한 것이다. 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제1 보조 용량 전극, 산화막, 질화막, 제2 보조 용량 전극, 평탄화 막 그리고

(뒷면에 계속)

대 표 도 - 도3



화소 전극을 포함한다. 제1 박막 트랜지스터는, 기판 위의 제1 영역에 배치된다. 제2 박막 트랜지스터는, 기판 위의 제2 영역에 배치된다. 제1 보조 용량 전극은, 기판 위의 제3 영역에 배치된다. 산화막은, 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 덮으며, 제1 보조 용량 전극을 노출한다. 질화막은, 산화막 위에 적층되며 제1 보조 용량 전극을 덮는다. 제2 보조 용량 전극은, 질화막 위에서 제1 보조 용량 전극과 중첩한다. 평탄화 막은, 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제2 보조 용량 전극을 덮는다. 화소 전극은, 평탄화 막 위에 배치된다.

(52) CPC특허분류
H01L 27/3258 (2013.01)
H01L 27/3262 (2013.01)
H01L 29/78606 (2013.01)
H01L 29/78618 (2013.01)
H01L 2227/32 (2013.01)

(72) 발명자
이영장
서울특별시 구로구 새말로 31 104동 603호 (구로동,롯데아파트)
정의진
경기도 고양시 일산서구 탄현로 133 111동 501호 (탄현동,일산임광진흥아파트)
신현수
경기도 파주시 가온로 205 (와동동) 해솔마을7단지 롯데캐슬 709동 901호
전진채
경기도 파주시 한빛로 70 (야당동, 한빛마을5단지 캐슬앤칸타빌아파트) 522동 2104호
이준호
경기도 파주시 탄현면 풍뎅이길 170 (법흥리)
류성빈
경기도 파주시 해솔로 85 104동 1904호 (목동동,해솔마을1단지두산위브아파트)
김기태
서울특별시 동작구 동작대로29길 110 (사당동, 신동아아파트) 408-1305
조보경
서울특별시 영등포구 가마산로 312 (대림동, 신동아아파트) 신동아아파트1동507호
윤진한
경기도 파주시 동산길 26 (금촌동) 502
이지혜
서울특별시 노원구 상계1동 현대아파트 101동 505호
김은성
경기도 군포시 산본천로 34 634동 703호 (산본동, 세종아파트)
문경주
서울특별시 관악구 쑥고개로3길 10 402호 (신림동,보림연립)
김효진
서울특별시 중구 다산로39길 79 (신당동)
김원경
부산광역시 해운대구 재송2로 153 414호 (재송동, 세명그린타워)
이제현
울산광역시 남구 봉월로59번길 36 (신정동)
제소연
경기도 고양시 일산동구 정발산로42번길 24 (장항동, 신성하이네스트) 719호

명 세 서

청구범위

청구항 1

기판 위의 제1 영역에 배치된 제1 박막 트랜지스터;

상기 기판 위의 제2 영역에 배치된 제2 박막 트랜지스터;

상기 기판 위의 제3 영역에 배치된 제1 보조 용량 전극;

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터를 덮으며, 상기 제1 보조 용량 전극을 노출하는 산화막;

상기 산화막 위에 적층되며 상기 제1 보조 용량 전극을 덮는 질화막;

상기 질화막 위에서 상기 제1 보조 용량 전극과 중첩하는 제2 보조 용량 전극;

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터 및 상기 제2 보조 용량 전극을 덮는 평탄화 막; 그리고

상기 평탄화 막 위에 배치된 화소 전극을 포함하는 박막 트랜지스터 기판.

청구항 2

제 1 항에 있어서,

상기 제1 박막 트랜지스터는,

제1 반도체 층;

상기 제1 반도체 층의 중심부와 중첩하는 제1 게이트 전극;

상기 제1 반도체 층의 일측부와 접촉하는 제1 소스 전극;

상기 제1 반도체 층의 타측부와 접촉하는 제1 드레인 전극;

상기 질화막과 상기 산화막을 관통하여 상기 제1 드레인 전극을 노출하는 제1 화소 콘택홀; 그리고

상기 제1 화소 콘택홀을 통해 상기 제1 드레인 전극과 접촉하는 보조 드레인 전극을 더 포함하며,

상기 화소 전극은, 상기 평탄화 막을 관통하여 상기 보조 드레인 전극을 노출하는 제2 화소 콘택홀을 통해 상기 보조 드레인과 접촉하는 박막 트랜지스터 기판.

청구항 3

제 2 항에 있어서,

상기 보조 드레인 전극은,

상기 제2 보조 용량 전극과 동일한 층에 배치되며, 동일한 물질을 포함하는 박막 트랜지스터 기판.

청구항 4

제 1 항에 있어서,

상기 제2 박막 트랜지스터는 화소를 선택하는 스위칭 소자이고,

상기 제1 박막 트랜지스터는 상기 제2 박막 트랜지스터에 의해 선택된 상기 화소를 구동하기 위한 구동 소자인

박막 트랜지스터 기판.

청구항 5

제 1 항에 있어서,

상기 산화막은, 3,000Å 이상의 두께를 가지며,

상기 질화막은, 500 ~ 3,000Å의 두께를 갖는 박막 트랜지스터 기판.

청구항 6

제 1 항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는,

다결정 반도체 물질을 포함하는 제1 반도체 층;

상기 제1 반도체 층을 덮는 게이트 절연막;

상기 게이트 절연막 위에서 상기 제1 반도체 층과 중첩하는 제1 게이트 전극;

상기 게이트 절연막 위에 배치된 제2 게이트 전극;

상기 제1 게이트 전극과 제2 게이트 전극을 덮는 중간 절연막;

상기 중간 절연막 위에서, 상기 제2 게이트 전극과 중첩하도록 배치되며, 산화물 반도체 물질을 포함하는 제2 반도체 층;

상기 중간 절연막 위에 배치된 제1 소스 전극 및 제1 드레인 전극; 그리고

상기 제2 반도체 층 위에 배치된 제2 소스 전극 및 제2 드레인 전극을 포함하며,

상기 제1 반도체 층, 상기 제1 게이트 전극, 상기 제1 소스 전극 및 상기 제1 드레인 전극은 상기 제1 박막 트랜지스터에 포함되고,

상기 제2 반도체 층, 상기 제2 게이트 전극, 상기 제2 소스 전극 및 상기 제2 드레인 전극은 상기 제2 박막 트랜지스터에 포함되는 박막 트랜지스터 기판.

청구항 7

제 6 항에 있어서,

상기 제1 보조 용량 전극은,

상기 게이트 절연막 위에 적층된 상기 중간 절연막 위에 배치된 박막 트랜지스터 기판.

청구항 8

제 6 항에 있어서,

상기 제1 보조 용량 전극은,

상기 제2 소스 전극 및 상기 제2 드레인 전극과 동일한 층에 배치되며, 동일한 물질을 포함하는 박막 트랜지스터 기판.

발명의 설명

기 술 분 야

[0001] 본 발명은 서로 다른 유형의 박막 트랜지스터들이 동일 기판 위에 배치된 박막 트랜지스터 기판 및 이를 이용한 표시장치에 관한 것이다.

배 경 기 술

[0002] 정보화 사회가 발전함에 따라 화상을 표시하기 위한 표시장치에 대한 요구가 다양한 형태로 증가하고 있다. 표시장치 분야는 부피가 큰 음극선관(Cathode Ray Tube: CRT)을 대체하는, 얇고 가벼우며 대면적이 가능한 평판 표시장치(Flat Panel Display Device: FPD)로 급속히 변화해 왔다. 평판 표시장치에는 액정 표시장치(Liquid Crystal Display Device: LCD), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP), 유기발광 표시장치(Organic Light Emitting Display Device: OLED), 그리고 전기영동 표시장치(Electrophoretic Display Device: ED) 등이 있다.

[0003] 능동형으로 구동하는 액정 표시장치, 유기발광 표시장치 및 전기영동 표시장치의 경우, 매트릭스 방식으로 배열된 화소 영역 내에 할당된 박막 트랜지스터가 배치된 박막 트랜지스터 기판을 포함한다. 액정 표시장치(Liquid Crystal Display Device: LCD)는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시한다. 유기발광 표시장치는 매트릭스 방식으로 배열된 화소 자체에 유기발광 소자를 형성함으로써, 화상을 표시한다.

[0004] 유기발광 다이오드 표시장치는 스스로 발광하는 자발광 소자로서 응답속도가 빠르고 발광효율, 휘도 및 시야각이 큰 장점이 있다. 특히, 에너지 효율이 우수한 유기발광 다이오드의 특징을 이용한 유기발광 다이오드 표시장치(Organic Light Emitting Diode display: OLEDD)에는 패시브 매트릭스 타입의 유기발광 다이오드 표시장치(Passive Matrix type Organic Light Emitting Diode display, PMOLED)와 액티브 매트릭스 타입의 유기발광 다이오드 표시장치(Active Matrix type Organic Light Emitting Diode display, AMOLED)로 대별된다.

[0005] 개인용 전자기기의 개발이 활발해짐에 따라, 표시장치도 휴대성 및/또는 착용성이 우수한 제품으로 개발되고 있다. 이와 같이, 휴대용 혹은 웨어러블 장치에 적용하기 위해서는 저 소비 전력을 구현한 표시장치가 필요하다. 현재까지 개발된 표시장치에 관련된 기술로는 저 소비 전력을 구현하는 데 한계가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 상기 종래 기술의 문제점들을 해결하고자 안출 된 발명으로써, 동일한 기판 위에 두 종류 이상의 박막 트랜지스터들을 구비한 박막 트랜지스터 기판 및 이를 이용한 표시장치를 제공하는 데 있다. 본 발명의 다른 목적은, 두 종류 이상의 박막 트랜지스터들을 최적화된 제조 공정 및 최소화된 마스크 공정을 통해 형성한 박막 트랜지스터 기판 및 이를 이용한 표시장치를 제공하는 데 있다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판, 제1 박막 트랜지스터, 제2 박막 트랜지스터, 제1 보조 용량 전극, 산화막, 질화막, 제2 보조 용량 전극, 평탄화 막 그리고 화소 전극을 포함한다. 제1 박막 트랜지스터는, 기판 위의 제1 영역에 배치된다. 제2 박막 트랜지스터는, 기판 위의 제2 영역에 배치된다. 제1 보조 용량 전극은, 기판 위의 제3 영역에 배치된다. 산화막은, 제1 박막 트랜지스터 및 제2 박막 트랜지스터를 덮으며, 제1 보조 용량 전극을 노출한다. 질화막은, 산화막 위에 적층되며 제1 보조 용량 전극을 덮는다. 제2 보조 용량 전극은, 질화막 위에서 제1 보조 용량 전극과 중첩한다. 평탄화 막은, 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제2 보조 용량 전극을 덮는다. 화소 전극은, 평탄화 막 위에 배치된다.

[0008] 일례로, 제1 박막 트랜지스터는, 제1 반도체 층, 제1 게이트 전극, 제1 소스 전극, 제1 드레인 전극, 제1 화소 콘택홀, 보조 드레인 전극을 더 포함한다. 제1 게이트 전극은, 제1 반도체 층의 중심부와 중첩한다. 제1 소스 전극은, 제1 반도체 층의 일측부와 접촉한다. 제1 드레인 전극은, 제1 반도체 층의 타측부와 접촉한다. 제1 화소 콘택홀은, 질화막과 산화막을 관통하여 제1 드레인 전극을 노출한다. 보조 드레인 전극은, 제1 화소 콘택홀을 통해 제1 드레인 전극과 접촉한다. 화소 전극은, 평탄화 막을 관통하여 보조 드레인 전극을 노출하는 제2 화소 콘택홀을 통해 보조 드레인과 접촉한다.

[0009] 일례로, 보조 드레인 전극은, 제2 보조 용량 전극과 동일한 층에 배치되며, 동일한 물질을 포함한다.

[0010] 일례로, 제2 박막 트랜지스터는, 화소를 선택하는 스위칭 소자이다. 제1 박막 트랜지스터는, 제2 박막 트랜지

스터에 의해 선택된 화소를 구동하기 위한 구동 소자이다.

[0011] 일례로, 산화막은, 3,000Å 이상의 두께를 갖는다. 질화막은, 500 ~ 3,000Å의 두께를 갖는다.

[0012] 일례로, 제1 박막 트랜지스터는, 제1 반도체 층, 제1 게이트 전극, 제1 소스 전극 및 제1 드레인 전극을 포함한다. 제2 박막 트랜지스터는, 제2 반도체 층, 제2 게이트 전극, 제2 소스 전극 및 제2 드레인 전극을 포함한다. 제1 반도체 층은, 다결정 반도체 물질을 포함한다. 게이트 절연막은, 제1 반도체 층을 덮는다. 제1 게이트 전극은, 게이트 절연막 위에서 제1 반도체 층과 중첩한다. 제2 게이트 전극은, 게이트 절연막 위에 배치된다. 중간 절연막은, 제1 게이트 전극과 제2 게이트 전극을 덮는다. 제2 반도체 층은, 중간 절연막 위에서, 제2 게이트 전극과 중첩하도록 배치되며, 산화물 반도체 물질을 포함한다. 제1 소스 전극 및 제1 드레인 전극은 중간 절연막 위에 배치된다. 제2 소스 전극 및 제2 드레인 전극은, 제2 반도체 층 위에 배치된다.

[0013] 일례로, 제1 보조 용량 전극은, 게이트 절연막 위에 적층된 중간 절연막 위에 배치된다.

[0014] 일례로, 제1 보조 용량 전극은, 제2 소스 전극 및 제2 드레인 전극과 동일한 층에 배치되며, 동일한 물질을 포함한다.

발명의 효과

[0015] 본 발명에 의한 박막 트랜지스터 기판 및 이를 이용한 표시장치는, 서로 다른 두 종류의 박막 트랜지스터를 동일 기판 위에 형성하여, 어느 한 박막 트랜지스터의 단점을 다른 박막 트랜지스터가 보완하는 특징을 가질 수 있다. 특히, 낮은 오프-전류 특성을 갖는 박막 트랜지스터를 구비함으로써, 저속 구동을 구현하고, 소비 전력을 저감함으로써, 휴대용 및/또는 웨어러블 기기에 적합한 표시장치를 제공할 수 있다. 또한, 산화막을 하층에 질화막을 상층에 구비한 보호막을 이용하여, 산화물 반도체 물질을 보호함과 동시에 작은 면적에 최대의 용량을 확보할 수 있는 보조 용량을 구비한 박막 트랜지스터 기판을 제공할 수 있다.

도면의 간단한 설명

[0016] 도 1은 본 발명의 제1 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 나타내는 단면도.

도 2는 본 발명의 제1 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제조하는 과정을 나타내는 순서도.

도 3은 본 발명의 제2 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 나타내는 단면도.

도 4는 본 발명의 제2 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제조하는 과정을 나타내는 순서도.

발명을 실시하기 위한 구체적인 내용

[0017] 이하, 첨부한 도면을 참조하여, 본 발명의 바람직한 실시 예들을 설명한다. 명세서 전체에 걸쳐서 동일한 참조 번호들은 실질적으로 동일한 구성 요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기술 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.

[0018] 본 발명에 의한 평판 표시장치용 박막 트랜지스터 기판은, 유리 기판 위에서 제1 영역에 배치된 제1 박막 트랜지스터와 제2 영역에 배치된 제2 박막 트랜지스터를 포함한다. 기판은 표시 영역과 비 표시 영역을 포함할 수 있다. 표시 영역에는 다수 개의 화소 영역들이 매트릭스 방식으로 배열된다. 화소 영역에는 표시 기능을 위한 표시 소자들이 배치된다. 비 표시 영역은 표시 영역의 주변에 배치되며, 화소 영역에 형성된 표시 소자들을 구동하기 위한 구동 소자들이 배치될 수 있다.

[0019] 여기서, 제1 영역은 비 표시 영역의 일 부분일 수 있고, 제2 영역은 표시 영역의 일 부분일 수 있다. 이 경우, 제1 박막 트랜지스터와 제2 박막 트랜지스터는 멀리 떨어져 배치될 수 있다. 또는, 제1 영역과 제2 영역 모두가 표시 영역에 포함될 수 있다. 특히, 단일 화소 영역 내에 다수 개의 박막 트랜지스터를 포함하는 경우, 제1 박막 트랜지스터와 제2 박막 트랜지스터는 서로 인접하여 배치될 수 있다.

[0020] 다결정 반도체 물질은 이동도가 높아(100㎠/Vs 이상), 에너지 소비 전력이 낮고 신뢰성이 우수하므로, 표시 소자용 박막 트랜지스터들을 구동하는 구동 소자용 게이트 드라이버 및/또는 멀티플렉서(MUX)에 적용할 수 있다. 또는 유기발광 다이오드 표시장치에서 화소 내 구동 박막 트랜지스터로 적용하는 것이 좋다. 산화물 반도체 물질은 오프-전류가 낮으므로, 온(On) 시간이 짧고 오프(Off) 시간을 길게 유지하는 스위칭 박막 트랜지스터에 적합하다. 또한, 오프 전류가 작으므로 화소의 전압 유지 기간이 길어서 저속 구동 및/또는 저 소비 전력을 요구하는 표시 장치에 적합하다. 이와 같이, 서로 다른 두 종류의 박막 트랜지스터를 동일 기판 위에 동시에 배치함으로써, 최적의 효과를 나타내는 박막 트랜지스터 기판을 얻을 수 있다.

[0021] 다결정 반도체 물질로 반도체 층을 형성하는 경우, 불순물 주입공정 및 고온 열처리 공정을 필요로 한다. 반면에, 산화물 반도체 물질로 반도체 층을 형성하는 경우에는 상대적으로 낮은 온도에서 공정을 수행한다. 따라서, 가혹한 조건에서 공정을 수행하는 다결정 반도체 층을 먼저 형성한 후, 산화물 반도체 층을 나중에 형성하는 것이 바람직하다. 또한, 제조 공정의 단순화를 위해 다결정 반도체 층을 포함하는 제1 박막 트랜지스터와 산화물 반도체 층을 포함하는 제2 박막 트랜지스터 모두 동일한 구조를 갖는 것이 바람직하다. 예를들어, 제1 게이트 전극 및 제2 게이트 전극을 동일한 층에 동일한 금속물질로 형성하고, 제1 소스-드레인 전극 및 제2 소스-드레인 전극도 동일한 층에서 동일한 금속 물질로 형성하는 것이 바람직하다. 특히, 반도체 소자의 특성을 확보하기 위해서는, 채널 영역을 정확하게 정의할 수 있는, 탑-게이트 구조를 갖도록 형성하는 것이 바람직하다.

[0022] 이하의 설명에서는, 편의상, 제1 박막 트랜지스터가 비 표시 영역에 형성된 구동 소자용 박막 트랜지스터이고, 제2 박막 트랜지스터가 표시 영역의 화소 영역 내에 배치된 표시 소자용 박막 트랜지스터인 경우로 설명한다. 하지만, 이에 국한하는 것은 아니며, 유기발광 다이오드 표시장치의 경우, 제1 박막 트랜지스터와 제2 박막 트랜지스터 모두 표시 영역의 화소 영역 내에 배치될 수 있다. 특히, 다결정 반도체 물질을 포함하는 제1 박막 트랜지스터는 구동 박막 트랜지스터에, 산화물 반도체 물질을 포함하는 제2 박막 트랜지스터는 스위칭 박막 트랜지스터에 적용할 수 있다.

[0023] 또한, 비 표시 영역에 게이트 구동 소자를 형성하는 경우, 다결정 반도체 층을 포함하는 C-MOS 형 박막 트랜지스터로 구현할 수 있다. 즉, 다결정 반도체 층을 포함하는 P-MOS 형 및 N-MOS 형 박막 트랜지스터를 모두 비 표시 영역 내의 게이트 구동부에 형성한다. 이 경우, N-MOS 형에는 저 밀도 도핑 영역을 형성하기 위해 마스크 공정이 다수 필요하다. 여기서, 다결정 반도체 층을 포함하는 N-MOS 형 박막 트랜지스터를 산화물 반도체 층을 포함하는 박막 트랜지스터로 대체한 이종 박막 트랜지스터로 구성할 수 있다. 그러면, 저 밀도 도핑 영역을 배제할 수도 있으므로, 마스크 공정 수를 줄일 수 있다는 장점이 있다.

[0024] 이와 같이 이종 박막 트랜지스터를 구비한 박막 트랜지스터 기판은, 평판형 표시장치에 응용될 수 있다. 예를들어, 유기발광 다이오드 표시장치의 경우, 제2 박막 트랜지스터는 화소를 선택하는 스위칭 박막 트랜지스터이고, 제1 박막 트랜지스터는 선택한 박막 트랜지스터를 구동하는 구동 박막 트랜지스터 일 수 있다. 경우에 따라서는, 반대로 구성할 수도 있다.

[0025] <제1 실시 예>

[0026] 도 1을 참조하여 본 발명의 제1 실시 예에 대하여 설명한다. 도 1은 본 발명의 제1 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 나타내는 단면도이다. 여기서, 발명의 특징을 확실하게 나타낼 수 있는 단면도를 중심으로 설명하며, 편의상 평면도 구조에 대해서는 도면으로 나타내지 않았다.

[0027] 도 1을 참조하면, 본 발명의 제1 실시 예에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판(SUB) 위에 배치된 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)를 포함한다. 제1 및 제2 박막 트랜지스터들(T1, T2)은 이격되어 배치될 수도 있고, 인접하여 배치될 수도 있다. 혹은 두 개의 박막 트랜지스터들이 중첩되어 배치될 수도 있다.

[0028] 기판(SUB)의 전체 표면 위에는 버퍼 층(BUF)이 적층되어 있다. 경우에 따라서, 버퍼 층(BUF)은 생략될 수도 있다. 또는, 버퍼 층(BUF)은 복수 개의 박막층이 적층된 구조를 가질 수도 있다. 여기서는 편의상 단일층으로 설명한다. 또한, 버퍼 층(BUF)과 기판(SUB) 사이에서 필요한 부분에만 선택적으로 차광층을 더 구비할 수도 있다. 차광층은 그 위에 배치된 박막 트랜지스터의 반도체 층으로 외부의 빛이 유입되는 것을 방지할 목적으로 형성할 수 있다.

[0029] 버퍼 층(BUF) 위에는 제1 반도체 층(A1)이 배치되어 있다. 제1 반도체 층(A1)은 제1 박막 트랜지스터(T1)의 채

널 영역을 포함한다. 채널 영역은 제1 게이트 전극(G1)과 제1 반도체 층(A1)이 중첩되는 영역으로 정의된다. 제1 게이트 전극(G1)이 제1 박막 트랜지스터(T1)의 중앙부와 중첩하므로, 제1 박막 트랜지스터(T1)의 중앙부가 채널 영역이 된다. 채널 영역의 양측변부는 불순물이 도핑된 영역으로서, 소스 영역(SA)과 드레인 영역(DA)으로 정의된다.

[0030] 제1 박막 트랜지스터(T1)가 구동 소자용 박막 트랜지스터인 경우, 고속 구동 처리를 수행하는 데 적합한 특성을 갖는 것이 바람직하다. 예를 들어, P-MOS 혹은 N-MOS 형의 박막 트랜지스터를 이용하거나, 이 두 개를 모두 포함하는 C-MOS 형의 박막 트랜지스터를 구비할 수 있다. P-MOS, N-MOS 및/또는 C-MOS 형의 박막 트랜지스터들은 다결정 실리콘 (Poly-Silicon)과 같은 다결정 반도체 물질을 포함하는 것이 바람직하다. 또한, 제1 박막 트랜지스터(T1)의 경우 탑-게이트 (Top-Gate) 구조를 갖는 것이 바람직하다.

[0031] 제1 반도체 층(A1)이 배치된 기판(SUB)의 전체 표면 위에는 게이트 절연막(GI)이 적층되어 있다. 게이트 절연막(GI)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성할 수 있다. 게이트 절연막(GI)의 경우, 소자의 안정성 및 특성을 고려하여 1,000Å~ 2,000Å 정도의 두께를 갖는 것이 바람직하다. 게이트 절연막(GI)을 질화 실리콘(SiNx)으로 형성할 경우, 제조 공정상 게이트 절연막(GI) 내에 수소를 다량 포함할 수 있다. 이러한 수소들은 후속 공정에서 게이트 절연막(GI) 외부로 확산될 수 있어, 게이트 절연막(GI)을 산화 실리콘 물질로 형성하는 것이 바람직하다.

[0032] 다결정 실리콘 물질을 포함하는 제1 반도체 층(A1)은, 수소 확산이 긍정적인 효과를 나타낼 수 있다. 하지만, 제1 박막 트랜지스터(T1)와 다른 성질을 갖는 제2 박막 트랜지스터(T2)에는 부정적인 효과를 줄 수 있다. 따라서, 본 발명과 같이 서로 다른 물질을 사용하는 박막 트랜지스터들이 동일 기판 위에 형성되는 경우, 소자에 특별한 영향을 주지 않는 산화 실리콘(SiOx)을 사용하는 것이 더 바람직하다. 경우에 따라서, 게이트 절연막(GI)을 제1 실시 예에서 설명하는 경우와 달리, 2,000Å ~ 4,000Å 정도로 두껍게 형성할 경우가 있다. 이 경우, 게이트 절연막(GI)을 질화 실리콘(SiNx)으로 형성할 경우에는 수소의 확산 정도가 심할 수 있다. 따라서, 여러 경우를 고려했을 때, 게이트 절연막(GI)은 산화 실리콘(SiOx)으로 형성하는 것이 바람직하다.

[0033] 게이트 절연막(GI) 위에는 제1 게이트 전극(G1)과 제2 게이트 전극(G2)이 배치되어 있다. 제1 게이트 전극(G1)은 제1 반도체 층(A1)의 중앙부와 중첩하도록 배치된다. 제2 게이트 전극(G2)은 제2 박막 트랜지스터(T2) 부분에 배치된다. 제1 게이트 전극(G1)과 제2 게이트 전극(G2)을 동일한 층 상에 동일한 물질로 동일한 마스크로 형성하므로, 제조 공정을 단순화할 수 있다.

[0034] 제1 및 제2 게이트 전극들(G1, G2)을 덮도록 중간 절연막(ILD)이 적층되어 있다. 특히, 중간 절연막(ILD)은, 질화 실리콘(SiNx)을 포함하는 질화막과 산화 실리콘(SiOx)을 포함하는 산화막이 교대로 적층된 다중층의 구조를 가질 수 있다.

[0035] 질화막은, 후속 열처리 공정을 통해 내부에 포함된 수소를 확산하여 다결정 실리콘을 포함하는 제1 반도체 층(A1)의 수소화 처리를 수행하기 위한 것이다. 반면에 산화막은, 후속 열처리 공정에 의해 질화막(SIN)에서 방출되는 수소가 제2 박막 트랜지스터(T2)의 반도체 물질로 너무 많이 확산되는 것을 방지하기 위한 것이다.

[0036] 예를 들어, 질화막에서 방출되는 수소는 그 아래에 게이트 절연막(GI)을 사이에 두고 배치된 제1 반도체 층(A1)으로 확산되는 것이 바람직하다. 따라서, 질화막은 게이트 절연막(GI) 위에서 제1 반도체 층(A1)과 가깝게 적층되는 것이 바람직하다. 반면에, 질화막에서 방출되는 수소는 그 위에 형성되는 제2 박막 트랜지스터(T2)의 반도체 물질로 지나치게 많이 확산되는 것을 방지하는 것이 바람직하다. 따라서, 질화막 위에는 산화막을 적층하는 것이 바람직하다. 제조 공정을 고려할 때, 중간 절연막(ILD)의 전체 두께는 2,000Å ~ 6,000Å의 두께를 갖는 것이 바람직하다. 따라서, 질화막 및 산화막 각각의 두께가 1,000Å ~ 3,000Å인 것이 바람직하다. 또한, 질화막 내의 수소가 제1 반도체 층(A1)으로 다량 확산되는 반면, 제2 반도체 층(A2)으로는 가급적 적게 영향을 주도록 하기 위해서는, 산화막의 두께는 게이트 절연막(GI)보다 더 두꺼운 것이 바람직하다. 특히, 산화막은 질화막에서 방출되는 수소의 확산 정도를 조절하기 위한 것으로서, 산화막의 두께는 질화막보다 두꺼운 것이 바람직하다.

[0037] 중간 절연막(ILD)의 산화막 위에는, 제2 게이트 전극(G2)과 중첩하는 제2 반도체 층(A2)이 배치되어 있다. 제2 반도체 층(A2)은 제2 박막 트랜지스터(T2)의 채널 영역을 포함한다. 제2 박막 트랜지스터(T2)가 표시 소자용 박막 트랜지스터인 경우, 표시 기능 처리를 수행하는 데 적합한 특성을 갖는 것이 바람직하다. 예를 들어, 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐 -아연 산화물(Indium Zinc Oxide: IZO)와 같은 산화물 반도체 물질을 포함하는 것이 바람직하다. 산화물 반

도체 물질은, Off-전류(Off-Current)가 낮은 특성이 있어, 화소의 전압 유지 기간이 길어지므로 저속 구동 및 저 소비 전력을 요구하는 표시장치에 적합하다. 산화물 반도체 물질을 포함하는 경우, 본 발명에 의한 서로 다른 종류의 박막 트랜지스터들을 하나의 기판에 포함하는 구조를 고려했을 때, 소자의 안정성을 좀 더 효과적으로 확보할 수 있는 바텀-게이트 (Bottom-Gate) 구조를 갖는 것이 바람직하다.

[0038] 제2 반도체 층(A2)과 중간 절연막(ILD) 위에, 소스-드레인 전극들 및 제1 보조 용량 전극(ST1)이 배치되어 있다. 제1 소스 전극(S1)과 제1 드레인 전극(D1)은 제1 게이트 전극(G1)을 중심으로 일정거리 이격하여 마주보도록 배치된다. 제1 소스 전극(S1)은, 소스 콘택홀(SH)을 통해 노출된 제1 반도체 층(A1)의 일측부인 소스 영역(SA)과 연결된다. 소스 콘택홀(SH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체 층(A1)의 일측부인 소스 영역(SA)을 노출한다. 제1 드레인 전극(D1)은 드레인 콘택홀(DH)을 통해 노출된 제1 반도체 층(A1)의 타측부인 드레인 영역(DA)과 연결된다. 드레인 콘택홀(DH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체 층(A1)의 타측부인 드레인 영역(DA)을 노출한다.

[0039] 제2 소스 전극(S2)과 제2 드레인 전극(D2)은 각각 제2 반도체 층(A2)의 일측부와 타측부의 상부 표면과 직접 접촉하며 일정 거리 이격하여 배치된다. 제2 소스 전극(S2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체 층(A2)의 일측부 상부 표면과 직접 접촉하도록 배치된다. 제2 드레인 전극(D2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체 층(A2)의 타측부 상부 표면과 직접 접촉하도록 배치된다.

[0040] 제1 보조 용량 전극(ST1)은 제1 및 제2 박막 트랜지스터(T1, T2) 이외의 영역중 비 표시 영역에 배치하는 것이 바람직하다. 제1 보조 용량 전극(ST1)은 나중에 형성되는 제2 보조 용량 전극(ST2)와 보조 용량(Storage Capacitance)을 확보한다. 보조 용량은 구동 박막 트랜지스터에서 공급하는 전압 및/또는 전하를 미리 축적해 두어 다음번 구동시 구동 속도 및 구동 효율을 향상하기 위한 것이다.

[0041] 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2) 및 제1 보조 용량 전극(ST1) 위에는 보호막(PAS)이 덮고 있다. 보호막(PAS)은 제2 박막 트랜지스터(T2)의 제2 반도체 층(A2)와 직접 접촉하고 있다. 따라서, 산화물 반도체 물질을 포함하는 제2 반도체 층(A2)에 악영향을 주지 않는 물질로 보호막(PAS)을 형성하는 것이 필요하다. 예를 들어, 수소 물질을 다량 포함하는 질화막은 피하고, 산화막(SIO)을 사용하는 것이 바람직하다.

[0042] 산화 실리콘(SiOx)과 같은 산화막(SIO)을 포함하는 보호막(PAS) 위에는 제2 보조 용량 전극(ST2)이 형성되어 있다. 제2 보조 용량 전극(ST2)은 제1 보조 용량 전극(ST1)과 동일한 형태와 동일한 면적을 갖는 것이 바람직하다. 또한, 제2 보조 용량 전극(ST2)은 보호막(PAS)을 사이에 두고 제1 보조 용량 전극(ST1)과 대향함으로써, 그 사이에 보조 용량을 형성한다.

[0043] 유기발광 다이오드 표시장치의 경우, 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)를 완성한 후에 유기발광 다이오드를 형성할 수 있다. 유기발광 다이오드는, 유기발광 층을 포함하는 데, 유기발광 층은 평탄한 표면 위에 형성하는 것이 바람직하다. 따라서, 제2 보조 용량 전극(ST2)이 형성된 보호막(PAS) 위에 평탄화 막(PLN)이 더 적층될 수 있다.

[0044] 평탄화 막(PLN) 위에는 화소 전극을 더 형성할 수 있다. 화소 전극은 평탄화 막(PLN) 및 보호막(PAS)을 관통하는 화소 콘택홀(PH)을 통해 제1 드레인 전극(D1) 또는 제2 드레인 전극(D2)과 접촉한다. 여기서는, 유기발광 다이오드 표시장치의 경우를 설명하는 것으로서, 화소 전극은 애노드 전극(ANO)으로 형성하고, 제1 박막 트랜지스터(T1)를 구동 박막 트랜지스터로 형성한 경우로 설명한다. 따라서, 애노드 전극(ANO)은 화소 콘택홀(PH)을 통해 제1 드레인 전극(D1)과 접촉한다.

[0045] 애노드 전극(ANO)이 형성된 기판(SUB) 전체 표면 위에는 뱅크(BN)가 형성되어 있다. 뱅크(BN)는 애노드 전극(ANO)에서 발광 영역을 노출하고 나머지 부분을 덮는 구조를 갖는다. 따라서, 뱅크(BN)가 형성된 기판(SUB) 위에 유기발광 층을 도포하면, 유기발광 층은 발광 영역 내에 노출된 애노드 전극(ANO)과 직접 면 접촉하도록 적층될 수 있다. 이후, 캐소드 전극을 유기발광 층 위에 적층함으로써, 발광 영역에서 애노드 전극(ANO), 유기발광 층 및 캐소드 전극이 적층된 유기발광 다이오드를 완성할 수 있다.

[0046] 이하, 도 2를 더 참조하여 본 발명의 제1 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판의 제조 방법을 설명한다. 도 2는 본 발명의 제1 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제조하는 과정을 나타내는 순서도이다.

[0047] 기판(SUB) 위에 버퍼 층(BUF)을 증착한다. 도면으로 설명하지 않았지만, 버퍼 층(BUF)을 증착하기 전에, 필요

한 부분에 차광층을 형성할 수도 있다. (S100)

[0048] 버퍼 층(BUF) 위에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 결정화를 수행하여 다결정 실리콘(poly-silicon)으로 만든다. 다결정 실리콘 물질을 제1 마스크 공정으로 패턴하여 제1 반도체 층(A1)을 형성한다. (S110)

[0049] 제1 반도체 층(A1)이 형성된 기판(SUB) 전체 표면 위에 산화 실리콘과 같은 절연 물질을 증착하여 게이트 절연막(GI)을 형성한다. 게이트 절연막(GI)은 산화 실리콘으로 형성하는 것이 바람직하다. 게이트 절연막(GI)의 두께는 1,000Å ~ 2,000Å인 것이 바람직하다. (S200)

[0050] 게이트 절연막(GI) 상부에 게이트 금속 물질을 증착하고, 제2 마스크 공정으로 패턴하여 게이트 전극을 형성한다. 특히, 제1 게이트 전극(G1)과 제2 게이트 전극(G2)을 동시에 형성한다. 제1 게이트 전극(G1)은 제1 반도체 층(A1)의 중심부와 중첩하도록 배치한다. 제2 게이트 전극(G2)은 제2 박막 트랜지스터(T1)가 형성될 위치에 배치한다. (S210)

[0051] 제1 게이트 전극(G1)을 마스크로 하여, 하부에 배치된 제1 반도체 층(A1)에 불순물을 주입하여 소스 영역(SA) 및 드레인 영역(DA)을 포함하는 도핑 영역을 정의한다. 도핑 영역의 정의 과정은 P-MOS, N-MOS 또는 C-MOS에 따라 약간씩 상이할 수 있다. 예를 들어, N-MOS 형 박막 트랜지스터의 경우, 고 농도 도핑 영역을 먼저 형성하고 난 후, 저 농도 도핑 영역을 나중에 형성할 수 있다. 제1 게이트 전극(G1)보다 좀 더 큰 크기를 갖는 제1 게이트 전극(G1)의 포토레지스트 패턴을 이용하여 고농도 도핑 영역을 정의 할 수 있다. 포토레지스트를 제거하고 제1 게이트 전극(G1)을 마스크로 하여, 고농도 도핑 영역과 제1 게이트 전극(G1) 사이에, 저농도 도핑 영역(Low Density Doping area; LDD)을 정의할 수 있다. 불순물 도핑 영역에 대해서는 편의상 도면으로 나타내지는 않았다. (S220)

[0052] 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)이 형성된 기판(SUB) 전체 표면 위에 중간 절연막(ILD)을 증착한다. 중간 절연막(ILD)을 질화막과 산화막이 적층된 구조를 갖는 경우, 질화막을 먼저 증착한 후, 산화막을 연속으로 적층하는 것이 바람직하다. 제조 공정을 고려했을 때, 중간 절연막은 전체 두께가 2,000Å ~ 6,000Å으로 증착하는 것이 바람직하다. (S300)

[0053] 중간 절연막(ILD) 위에 산화물 반도체 물질을 증착한다. 중간 절연막(ILD)이 질화막과 산화막이 적층된 경우, 산화물 반도체 물질은 수소를 다량 함유하는 질화막과 직접 접촉하지 않도록 산화막 바로 위에 배치하는 것이 바람직하다. 산화물 반도체 물질은 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐 -아연 산화물(Indium Zinc Oxide: IZO) 중 적어도 어느 하나를 포함한다. 제3 마스크 공정으로 산화물 반도체 물질을 패턴하여 제2 반도체 층(A2)을 형성한다. 제2 반도체 층(A2)은 제2 게이트 전극(G2)과 중첩하도록 배치한다. (S310)

[0054] 제4 마스크 공정으로 중간 절연막(ILD)과 게이트 절연막(GI)을 패턴하여, 제1 반도체 층(A1)의 일측부를 노출하는 소스 콘택홀(SH)과 타측부를 노출하는 드레인 콘택홀(DH)을 형성한다. 이는 이후에 형성될 소스-드레인 전극을 제1 반도체 층(A1)과 연결하기 위한 것이다. (S400)

[0055] 소스 콘택홀(SH) 및 드레인 콘택홀(DH)이 형성되어 있고, 제2 반도체 층(A2)이 적층되어 있는 중간 절연막(ILD) 위에 소스-드레인 금속을 증착한다. 제5 마스크 공정으로 소스-드레인 금속을 패턴하여, 제1 소스 전극(S1) 및 제1 드레인 전극(D1), 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 그리고 제1 보조 용량 전극(ST1)을 형성한다. 제1 소스 전극(S1)은 소스 콘택홀(SH)을 통해 제1 반도체 층(A1)의 일측변과 접촉한다. 제1 드레인 전극(D1)은 드레인 콘택홀(DH)을 통해 제1 반도체 층(A1)의 타측변과 접촉한다. 제2 소스 전극(S2)은 제2 반도체 층(A2)의 일측변 상부 표면과 접촉하며, 제2 드레인 전극(D2)은 제2 반도체 층(A2)의 타측변 상부 표면과 접촉한다. 제1 보조 용량 전극(ST1)은 보조 용량을 형성할 위치에 배치한다. 제1 보조 용량 전극(ST1)은 제1 드레인 전극(D1) 또는 제2 드레인 전극(D2)과 연결되어 있을 수 있다. (S500)

[0056] 소스-드레인 전극들 및 제1 보조 용량 전극(ST1)이 형성된 기판(SUB) 전체 표면 위에 보호막(PAS)을 증착한다. 보호막(PAS)은 제2 반도체 층(A2)과 직접 접촉하므로, 산화 실리콘(SiOx)과 같은 산화막(SIO)으로 형성하는 것이 바람직하다. 질화 실리콘(SiNx)과 같은 질화막은 제2 반도체 층(A2)에 결함을 유발할 수 있으므로, 사용하지 않는 것이 바람직하다. 산화막(SIO) 단일층으로 보호막(PAS)을 사용할 경우, 표면 안정성을 유지하기 위해 3,000Å 이상의 두께를 갖는 것이 바람직하다.(S600)

[0057] 보호막(PAS) 위에 금속 물질을 증착하고, 제6 마스크 공정으로 패턴하여, 제2 보조 용량 전극(ST2)을 형성한다. 제2 보조 용량 전극(ST2)은 제1 보조 용량 전극(ST1)과 동일한 크기를 갖도록 형성하며, 서로 중첩하도록 배치하는 것이 바람직하다. 제1 보조 용량 전극(ST1)과 제2 보조 용량 전극(ST2)이 중첩하는 보호막(PAS)에는 보조

용량이 형성된다. (S610)

[0058] 제2 보조 용량 전극(ST2)이 형성된 보호막(PAS) 위에 평탄화 막(PLN)을 도포한다. 평탄화 막(PLN)은 기판(SUB) 상부 표면을 평탄하게 만드는 것으로서, 유기 절연 물질을 포함할 수 있으며, 두께는 5,000Å 이상으로 두껍게 도포하는 것이 바람직하다. (S700)

[0059] 제7 마스크 공정으로, 평탄화 막(PLN)과 보호막(PAS)을 동시에 패턴하여, 제1 드레인 전극(D1)을 노출하는 화소 콘택홀(PH)을 형성한다. 여기서, 제1 박막 트랜지스터(T1)가 화소를 구동하는 구동 박막 트랜지스터인 경우로서, 화소 전극과 연결하기 위한 화소 콘택홀(PH)을 제1 드레인 전극(D1)을 노출하도록 형성한다. 다른 예로, 제2 박막 트랜지스터(T2)가 화소를 구동하는 구동 박막 트랜지스터로 사용되는 경우라면, 화소 콘택홀(PH)은 제2 드레인 전극(D2)을 노출하도록 형성할 수 있다. (S710)

[0060] 화소 콘택홀(PH)이 형성된 기판(SUB) 전체 표면 위에 도전층을 도포한다. 도전층은 불투명하고 면 저항이 낮은 금속 물질, 혹은 투명 도전 물질을 포함할 수 있다. 제8 마스크 공정으로 도전층을 패턴하여, 화소 전극(ANO)을 형성한다. 여기서, 화소 전극(ANO)은 유기발광 다이오드 표시장치의 경우 애노드 전극에 해당한다. (S800)

[0061] 유기발광 다이오드 표시장치의 경우, 화소 전극(ANO)이 형성된 기판(SUB) 전체 표면 위에 유기 절연 물질을 도포하고, 제9 마스크 공정으로 패턴하여, 뱅크(BN)를 형성한다. 뱅크(BN)는 화소 전극(ANO)에서 발광 영역만을 개방하는 형상을 갖는 것이 바람직하다. (S900)

[0062] <제2 실시 예>

[0063] 이하, 도 3을 참조하여, 본 발명의 제2 실시 예에 대하여 설명한다. 도 3은 본 발명의 제2 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 나타내는 단면도이다.

[0064] 제1 실시 예에서는, 보조 용량을 구성하는, 제1 보조 용량 전극(ST1)과 제2 보조 용량 전극(ST2)이 산화막(SIO)인 보호막(PAS)을 사이에 두고 중첩한다. 산화막(SIO)의 경우, 표면 성질의 균일성을 확보하기 위해서는, 적어도 3,000Å의 두께를 가져야 한다. 그 결과, 제1 보조 용량 전극(ST1)과 제2 보조 용량 전극(ST2) 사이에 개재된 3,000Å의 산화막(SIO)에 보조 용량이 형성된다.

[0065] 산화막(SIO)은 유전율이 낮아서, 100fF 정도의 보조 용량을 확보하기 위해서는 제1 보조 용량 전극(ST1)과 제2 보조 용량 전극(ST2)의 면적이 충분히 넓어야 한다. 이는, 점점 고 밀도화를 요구하는 평판 표시장치에서 단위 화소 영역의 크기를 작게 만드는데 장애 요소가 된다. 즉, 보조 용량 전극의 면적을 줄이고도 100fF 정도의 충분한 보조 용량을 확보하기 위해서는, 제1 보조 용량 전극(ST1)과 제2 보조 용량 전극(ST2) 사이에 개재된 절연막의 두께를 얇게 하여야 한다.

[0066] 산화막(SIO)은 표면의 안정성을 확보하기 위해 충분한 두께를 가져야 하고, 유전율이 낮다는 특성으로 인해, 보조 용량을 확보하는 데 한계가 있다. 한편, 질화막은 유전율이 낮고, 얇은 두께에서도 표면 안정성을 쉽게 확보할 수 있다는 장점이 있다. 하지만, 앞에서도 설명했듯이, 보호막(PAS)은 산화물 반도체 물질인 제2 반도체층(A2)과 직접 접촉하므로, 질화막을 보호막(PAS)에 사용하는 것은 바람직하지 못하다. 이하, 제2 실시 예에서는, 산화막과 질화막을 적층하여, 각각의 단점을 보완하여, 장점을 극대화할 수 있는 박막 트랜지스터 기판의 구조를 제안한다.

[0067] 도 3을 참조하면, 본 발명의 제2 실시 예에 의한 평판 표시장치용 박막 트랜지스터 기판은, 기판(SUB) 위에 배치된 제1 박막 트랜지스터(T1)와 제2 박막 트랜지스터(T2)를 포함한다. 제1 및 제2 박막 트랜지스터들(T1, T2)은 이격되어 배치될 수도 있고, 인접하여 배치될 수도 있다. 혹은 두 개의 박막 트랜지스터들이 중첩되어 배치될 수도 있다.

[0068] 기판(SUB)의 전체 표면 위에는 버퍼 층(BUF)이 적층되어 있다. 버퍼 층(BUF)은 제1 실시 예의 경우와 동일한 방식으로 형성될 수 있다. 이와 같이 앞의 실시 예와 동일한 구성 요소에 대해서는 상세한 설명을 생략한다.

[0069] 버퍼 층(BUF) 위에는 제1 반도체 층(A1)이 배치되어 있다. 제1 반도체 층(A1)은 제1 박막 트랜지스터(T1)의 채널 영역을 포함한다. 채널 영역은 제1 게이트 전극(G1)과 제1 반도체 층(A1)이 중첩되는 영역으로 정의된다. 제1 게이트 전극(G1)이 제1 박막 트랜지스터(T1)의 중앙부와 중첩하므로, 제1 박막 트랜지스터(T1)의 중앙부가 채널 영역이 된다. 채널 영역의 양측변부는 불순물이 도핑된 영역으로서, 소스 영역(SA)과 드레인 영역(DA)으로 정의된다.

[0070] 제1 박막 트랜지스터(T1)가 구동 소자용 박막 트랜지스터인 경우, 고속 구동 처리를 수행하는 데 적합한 특성을

갖는 것이 바람직하다. 또한, 제1 박막 트랜지스터(T1)의 경우 탑-게이트 (Top-Gate) 구조를 갖는 것이 바람직하다.

[0071] 제1 반도체 층(A1)이 배치된 기판(SUB)의 전체 표면 위에는 게이트 절연막(GI)이 적층되어 있다. 게이트 절연막(GI)은 질화 실리콘(SiNx) 혹은 산화 실리콘(SiOx)으로 형성할 수 있다. 게이트 절연막(GI)의 경우, 소자의 안정성 및 특성을 고려하여 1,000Å~ 2,000Å 정도의 두께를 갖는 것이 바람직하다. 게이트 절연막(GI)을 질화 실리콘(SiNx)으로 형성할 경우, 제조 공정상 게이트 절연막(GI) 내에 수소를 다량 포함할 수 있다. 이러한 수소들은 후속 공정에서 게이트 절연막(GI) 외부로 확산될 수 있어, 게이트 절연막(GI)을 산화 실리콘 물질로 형성하는 것이 바람직하다.

[0072] 게이트 절연막(GI) 위에는 제1 게이트 전극(G1)과 제2 게이트 전극(G2)이 배치되어 있다. 제1 게이트 전극(G1)은 제1 반도체 층(A1)의 중앙부와 중첩하도록 배치된다. 제2 게이트 전극(G2)은 제2 박막 트랜지스터(T2) 부분에 배치된다. 제1 게이트 전극(G1)과 제2 게이트 전극(G2)을 동일한 층 상에 동일한 물질로 동일한 마스크로 형성하므로, 제조 공정을 단순화할 수 있다.

[0073] 제1 및 제2 게이트 전극들(G1, G2)을 덮도록 중간 절연막(ILD)이 적층되어 있다. 특히, 중간 절연막(ILD)은, 질화 실리콘(SiNx)을 포함하는 질화막과 산화 실리콘(SiOx)을 포함하는 산화막이 교대로 적층된 다중층의 구조를 가질 수 있다.

[0074] 중간 절연막(ILD)의 산화막 위에는, 제2 게이트 전극(G2)과 중첩하는 제2 반도체 층(A2)이 배치되어 있다. 제2 반도체 층(A2)은 제2 박막 트랜지스터(T2)의 채널 영역을 포함한다. 제2 박막 트랜지스터(T2)가 표시 소자용 박막 트랜지스터인 경우, 표시 기능 처리를 수행하는 데 적합한 특성을 갖는 것이 바람직하다. 예를 들어, 인듐-갈륨-아연 산화물(Indium Gallium Zinc Oxide: IGZO), 인듐-갈륨 산화물(Indium Gallium Oxide: IGO) 및 인듐 -아연 산화물(Indium Zinc Oxide: IZO)와 같은 산화물 반도체 물질을 포함하는 것이 바람직하다.

[0075] 산화물 반도체 물질은, Off-전류(Off-Current)가 낮은 특성이 있어, 화소의 전압 유지 기간이 길어지므로 저속 구동 및 저 소비 전력을 요구하는 표시장치에 적합하다. 산화물 반도체 물질을 포함하는 경우, 본 발명에 의한 서로 다른 종류의 박막 트랜지스터들을 하나의 기판에 포함하는 구조를 고려했을 때, 소자의 안정성을 좀 더 효과적으로 확보할 수 있는 바텀-게이트 (Bottom-Gate) 구조를 갖는 것이 바람직하다.

[0076] 제2 반도체 층(A2)과 중간 절연막(ILD) 위에, 소스-드레인 전극들 및 제1 보조 용량 전극(ST1)이 배치되어 있다. 제1 소스 전극(S1)과 제1 드레인 전극(D1)은 제1 게이트 전극(G1)을 중심으로 일정거리 이격하여 마주보도록 배치된다. 제1 소스 전극(S1)은, 소스 콘택홀(SH)을 통해 노출된 제1 반도체 층(A1)의 일측부인 소스 영역(SA)과 연결된다. 소스 콘택홀(SH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체 층(A1)의 일측부인 소스 영역(SA)을 노출한다. 제1 드레인 전극(D1)은 드레인 콘택홀(DH)을 통해 노출된 제1 반도체 층(A1)의 타측부인 드레인 영역(DA)과 연결된다. 드레인 콘택홀(DH)은 중간 절연막(ILD) 및 게이트 절연막(GI)을 관통하여 제1 반도체 층(A1)의 타측부인 드레인 영역(DA)을 노출한다.

[0077] 제2 소스 전극(S2)과 제2 드레인 전극(D2)은 각각 제2 반도체 층(A2)의 일측부와 타측부의 상부 표면과 직접 접촉하며 일정 거리 이격하여 배치된다. 제2 소스 전극(S2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체 층(A2)의 일측부 상부 표면과 직접 접촉하도록 배치된다. 제2 드레인 전극(D2)은 중간 절연막(ILD)의 상부 표면 및 제2 반도체 층(A2)의 타측부 상부 표면과 직접 접촉하도록 배치된다.

[0078] 제1 보조 용량 전극(ST1)은 제1 및 제2 박막 트랜지스터(T1, T2) 이외의 영역중 비 표시 영역에 배치하는 것이 바람직하다. 제1 보조 용량 전극(ST1)은 나중에 형성되는 제2 보조 용량 전극(ST2)와 보조 용량(Storage Capacitance)을 확보한다. 보조 용량은 구동 박막 트랜지스터에서 공급하는 전압 및/또는 전하를 미리 축적해 두어 다음번 구동시 구동 속도 및 구동 효율을 향상하기 위한 것이다.

[0079] 제1 박막 트랜지스터(T1), 제2 박막 트랜지스터(T2) 및 제1 보조 용량 전극(ST1) 위에는 보호막(PAS)이 덮고 있다. 보호막(PAS)은 제2 박막 트랜지스터(T2)의 제2 반도체 층(A2)와 직접 접촉하고 있다. 따라서, 산화물 반도체 물질을 포함하는 제2 반도체 층(A2)에 악영향을 주지 않는 물질로 보호막(PAS)을 형성하는 것이 필요하다. 예를 들어, 수소 물질을 다량 포함하는 질화막은 피하고, 산화막(SIO)을 사용하는 것이 바람직하다.

[0080] 산화막(SIO)은 표면 안정성을 고려하여, 3,000Å 이상의 두께를 갖는 것이 바람직하다. 산화막(SIO)은 유전율이 낮고, 두께가 두꺼워, 충분한 양의 보조 용량을 확보하기 어렵다. 따라서, 산화막(SIO)을 패턴하여, 제1 보조 용량 전극(ST1) 전체 표면을 노출한다. 이 때, 제1 드레인 전극(D1)을 노출하는 제1 화소 콘택홀(PH1)을 동

시에 형성한다.

[0081] 제1 보조 용량 전극(ST1)이 노출된 기판(SUB) 위에는 질화 실리콘(SiNx)과 같은 무기 절연 물질로 이루어진 질화막(SIN)이 증착되어 있다. 질화막(SIN)은 보조 용량을 형성하기 위한 것이다. 질화막(SIN)을 산화막과 동일한 두께인 3,000Å으로 증착하더라도, 유전율이 산화막보다 높아 충분한 보조 용량을 형성할 수 있다. 더 높은 보조 용량을 확보하기 위해서는, 질화막(SIN)의 두께는 3,000Å 이하로 증착하는 것이 더 바람직하다. 질화막(SIN)은 유전율이 높고, 얇은 두께로도 표면 안정성이 우수하여, 산화막에 비해 적은 면적으로 높은 보조 용량을 형성할 수 있다.

[0082] 질화막(SIN) 위에는 제2 보조 용량 전극(ST2)이 형성되어 있다. 제2 보조 용량 전극(ST2)은 제1 보조 용량 전극(ST1)과 동일한 형태와 동일한 면적을 갖는 것이 바람직하다. 또한, 제2 보조 용량 전극(ST2)은 질화막(SIN)을 사이에 두고 제1 보조 용량 전극(ST1)과 대향함으로써, 그 사이에 보조 용량을 형성한다.

[0083] 제2 보조 용량 전극(ST2)과 동일한 금속 물질로, 제1 드레인 전극(D1)과 접촉하는 보조 드레인 전극(AD)이 같이 형성되어 있다. 제2 보조 용량 전극(ST2) 및 보조 드레인 전극(AD)이 형성된 기판(SUB) 표면 위에는 평탄화 막(PLN)을 더 도포하는 것이 바람직하다. 앞에서도 설명했듯이, 평탄화 막(PLN)은 박막 트랜지스터들 및 보조 용량이 형성된 기판(SUB)의 표면을 평탄화 하기 위한 것이다.

[0084] 평탄화 막(PLN) 위에는 화소 전극을 더 형성할 수 있다. 화소 전극은 평탄화 막(PLN)을 관통하는 제2 화소 콘택홀(PH2)을 통해 제1 드레인 전극(D1) 또는 제2 드레인 전극(D2)과 접촉한다. 여기서는, 유기발광 다이오드 표시장치의 경우를 설명하는 것으로서, 화소 전극은 애노드 전극(ANO)으로 형성하고, 제1 박막 트랜지스터(T1)를 구동 박막 트랜지스터로 형성한 경우로 설명한다. 따라서, 애노드 전극(ANO)은 제2 화소 콘택홀(PH2)을 통해 제1 드레인 전극(D1)과 접촉한다.

[0085] 애노드 전극(ANO)이 형성된 기판(SUB) 전체 표면 위에는 뱅크(BN)가 형성되어 있다. 뱅크(BN)는 애노드 전극(ANO)에서 발광 영역을 노출하고 나머지 부분을 덮는 구조를 갖는다. 따라서, 뱅크(BN)가 형성된 기판(SUB) 위에 유기발광 층을 도포하면, 유기발광 층은 발광 영역 내에 노출된 애노드 전극(ANO)과 직접 면 접촉하도록 적층될 수 있다. 이후, 캐소드 전극을 유기발광 층 위에 적층함으로써, 발광 영역에서 애노드 전극(ANO), 유기발광 층 및 캐소드 전극이 적층된 유기발광 다이오드를 완성할 수 있다.

[0086] 이하, 도 4를 더 참조하여 본 발명의 제2 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판의 제조 방법을 설명한다. 도 4는 본 발명의 제2 실시 예에 의한 서로 다른 유형의 박막 트랜지스터들을 포함하는 평판 표시장치용 박막 트랜지스터 기판을 제조하는 과정을 나타내는 순서도이다.

[0087] 기판(SUB) 위에 버퍼 층(BUF)을 증착한다. 도면으로 설명하지 않았지만, 버퍼 층(BUF)을 증착하기 전에, 필요한 부분에 차광층을 형성할 수도 있다. (S100)

[0088] 버퍼 층(BUF) 위에 아몰퍼스 실리콘(a-Si) 물질을 증착하고, 결정화를 수행하여 다결정 실리콘(poly-silicon)으로 만든다. 다결정 실리콘 물질을 제1 마스크 공정으로 패턴하여 제1 반도체 층(A1)을 형성한다. (S110)

[0089] 제1 반도체 층(A1)이 형성된 기판(SUB) 전체 표면 위에 산화 실리콘과 같은 절연 물질을 증착하여 게이트 절연막(GI)을 형성한다. 게이트 절연막(GI)은 산화 실리콘으로 형성하는 것이 바람직하다. 게이트 절연막(GI)의 두께는 1,000Å ~ 2,000Å인 것이 바람직하다. (S200)

[0090] 게이트 절연막(GI) 상부에 게이트 금속 물질을 증착하고, 제2 마스크 공정으로 패턴하여 게이트 전극을 형성한다. 특히, 제1 게이트 전극(G1)과 제2 게이트 전극(G2)을 동시에 형성한다. 제1 게이트 전극(G1)은 제1 반도체 층(A1)의 중심부와 중첩하도록 배치한다. 제2 게이트 전극(G2)은 제2 박막 트랜지스터(T1)가 형성될 위치에 배치한다. (S210)

[0091] 제1 게이트 전극(G1)을 마스크로 하여, 하부에 배치된 제1 반도체 층(A1)에 불순물을 주입하여 소스 영역(SA) 및 드레인 영역(DA)을 포함하는 도핑 영역을 정의한다. 도핑 영역의 정의 과정은 P-MOS, N-MOS 또는 C-MOS에 따라 약간씩 상이할 수 있다. (S220)

[0092] 제1 게이트 전극(G1) 및 제2 게이트 전극(G2)이 형성된 기판(SUB) 전체 표면 위에 중간 절연막(ILD)을 증착한다. 중간 절연막(ILD)을 질화막과 산화막이 적층된 구조를 갖는 경우, 질화막을 먼저 증착한 후, 산화막을 연속으로 적층하는 것이 바람직하다. 제조 공정을 고려했을 때, 중간 절연막은 전체 두께가 2,000Å ~

6,000Å으로 증착하는 것이 바람직하다. (S300)

[0093] 중간 절연막(ILD) 위에 산화물 반도체 물질을 증착한다. 중간 절연막(ILD)이 질화막과 산화막이 적층된 경우, 산화물 반도체 물질은 수소를 다량 함유하는 질화막과 직접 접촉하지 않도록 산화막 바로 위에 배치하는 것이 바람직하다. 제3 마스크 공정으로 산화물 반도체 물질을 패턴하여 제2 반도체 층(A2)을 형성한다. 제2 반도체 층(A2)은 제2 게이트 전극(G2)과 중첩하도록 배치한다. (S310)

[0094] 제4 마스크 공정으로 중간 절연막(ILD)과 게이트 절연막(GI)을 패턴하여, 제1 반도체 층(A1)의 일측부를 노출하는 소스 콘택홀(SH)과 타측부를 노출하는 드레인 콘택홀(DH)을 형성한다. 이는 이후에 형성될 소스-드레인 전극을 제1 반도체 층(A1)과 연결하기 위한 것이다. (S400)

[0095] 소스 콘택홀(SH) 및 드레인 콘택홀(DH)이 형성되어 있고, 제2 반도체 층(A2)이 적층되어 있는 중간 절연막(ILD) 위에 소스-드레인 금속을 증착한다. 제5 마스크 공정으로 소스-드레인 금속을 패턴하여, 제1 소스 전극(S1) 및 제1 드레인 전극(D1), 제2 소스 전극(S2) 및 제2 드레인 전극(D2) 그리고 제1 보조 용량 전극(ST1)을 형성한다. 제1 소스 전극(S1)은 소스 콘택홀(SH)을 통해 제1 반도체 층(A1)의 일측변과 접촉한다. 제1 드레인 전극(D1)은 드레인 콘택홀(DH)을 통해 제1 반도체 층(A1)의 타측변과 접촉한다. 제2 소스 전극(S2)은 제2 반도체 층(A2)의 일측변 상부 표면과 접촉하며, 제2 드레인 전극(D2)은 제2 반도체 층(A2)의 타측변 상부 표면과 접촉한다. 제1 보조 용량 전극(ST1)은 보조 용량을 형성할 위치에 배치한다. 제1 보조 용량 전극(ST1)은 제1 드레인 전극(D1) 또는 제2 드레인 전극(D2)과 연결되어 있을 수 있다. (S500)

[0096] 소스-드레인 전극들 및 제1 보조 용량 전극(ST1)이 형성된 기판(SUB) 전체 표면 위에 산화막(SIO)을 증착한다. 산화막(SIO)은 제2 반도체 층(A2)과 직접 접촉하며, 제2 반도체 층(A2)의 산화물 반도체 물질에 결함을 발생하지 않는다. 산화막(SIO)은 표면 안정성을 유지하기 위해 3,000Å 이상의 두께를 갖는 것이 바람직하다. 제6 마스크 공정을 산화막(SIO)을 패턴하여, 제1 보조 용량 전극(ST1) 대부분을 노출시킨다. (S600)

[0097] 산화막(SIO) 위에 질화막(SIN)을 증착한다. 질화막(SIN)은 유전율이 산화막(SIO)보다 높고, 얇에 형성하더라도 표면 안정성이 우수한 특징이 있어, 보조 용량을 형성하기 위한 절연막으로 사용한다. 질화막(SIN)은 500Å ~ 3,000Å의 두께를 갖는 것이 바람직하다. 제7 마스크 공정으로 질화막(SIN)을 패턴하여, 제1 드레인 전극(D1)을 노출하는 하는 제1 화소 콘택홀(PH1)을 형성한다. (S700)

[0098] 제1 화소 콘택홀(PH1)이 형성된 기판(SUB) 전체 표면 위에 금속층을 증착한다. 제8 마스크 공정으로 금속층을 패턴하여, 제2 보조 용량 전극(ST2)을 형성한다. 이 때, 제1 화소 콘택홀(PH1)을 통해 제1 드레인 전극(D1)과 접촉하는 보조 드레인 전극(AD)을 형성한다. (S800)

[0099] 보조 드레인 전극(AD) 및 제2 보조 용량 전극(ST2)이 형성된 질화막(SIN) 위에 평탄화 막(PLN)을 도포한다. 평탄화 막(PLN)은 기판(SUB) 상부 표면을 평탄하게 만드는 것으로서, 유기 절연 물질을 포함할 수 있으며, 두께는 5,000Å 이상으로 두껍게 도포하는 것이 바람직하다. (S900)

[0100] 제9 마스크 공정으로, 평탄화 막(PLN)을 패턴하여, 보조 드레인 전극(AD)을 노출하는 제2 화소 콘택홀(PH2)을 형성한다. 여기서는, 보조 드레인 전극(AD)이 제1 박막 트랜지스터(T1)의 제1 드레인 전극(D1)과 연결된 경우로 설명하였지만, 경우에 따라 제2 박막 트랜지스터(T2)의 제2 드레인 전극(D2)과 연결될 수도 있다. (S910)

[0101] 제2 화소 콘택홀(PH2)이 형성된 기판(SUB) 전체 표면 위에 도전층을 도포한다. 도전층은 불투명하고 면 저항이 낮은 금속 물질, 혹은 투명 도전 물질을 포함할 수 있다. 제10 마스크 공정으로 도전층을 패턴하여, 화소 전극(ANO)을 형성한다. 여기서, 화소 전극(ANO)은 유기발광 다이오드 표시장치의 경우 애노드 전극에 해당한다. (S1000)

[0102] 유기발광 다이오드 표시장치의 경우, 화소 전극(ANO)이 형성된 기판(SUB) 전체 표면 위에 유기 절연 물질을 도포하고, 제11 마스크 공정으로 패턴하여, 뱅크(BN)를 형성한다. 뱅크(BN)는 화소 전극(ANO)에서 발광 영역만을 개방하는 형상을 갖는 것이 바람직하다. (S1100)

[0103] 이상 설명한 제2 실시 예에서는, 보호막(PAS)을 산화막(SIO)과 질화막(SIN)이 적층된 구조로 형성한 특징을 갖는다. 특히, 산화물 반도체 물질을 포함하는 제2 박막 트랜지스터(T2)가 나중에 형성됨으로써, 제2 반도체 층(A2)이 보호막(PAS)과 직접 접촉하는 구조를 갖는다. 산화물 반도체 물질인 제2 반도체 층(A2)을 보호하기 위해 보호막(PAS)에서 산화막(SIO)을 하부에 적층하였다.

[0104] 또한, 산화막(SIO)은 보조 용량을 형성하기에 한계가 있으므로, 좁은 면적으로 높은 보조 용량을 확보하기 위해 질화막(SIN)을 보호막(PAS)의 상부층으로 형성하였다. 제1 보조 용량 전극(ST1)이 소스-드레인 전극과 동일한

물질로 동일한 층에 형성되므로, 산화막(SIO)에 의해 덮인다. 그러므로, 산화막(SIO)을 패턴하여 제1 보조 용량 전극(ST1)을 노출시키고, 그 위에 질화막(SIN)을 도포한다.

[0105] 질화막(SIN) 위에 제2 보조 용량 전극(ST2)을 형성함으로써, 보조 용량을 확보할 수 있다. 이로써, 산화물 반도체 물질을 포함하는 제2 반도체 층(A2)을 보호하면서, 작은 면적에 최대의 용량을 확보할 수 있는 보조 용량을 구비한 이종 박막 트랜지스터들을 구비한 박막 트랜지스터 기판을 제공할 수 있다.

[0106] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져 야만 할 것이다.

부호의 설명

[0107] T1: 제1 박막 트랜지스터 T2: 제2 박막 트랜지스터

A1: 제1 반도체 층 A2: 제2 반도체 층

GI: 게이트 절연막 ILD: 중간 절연막

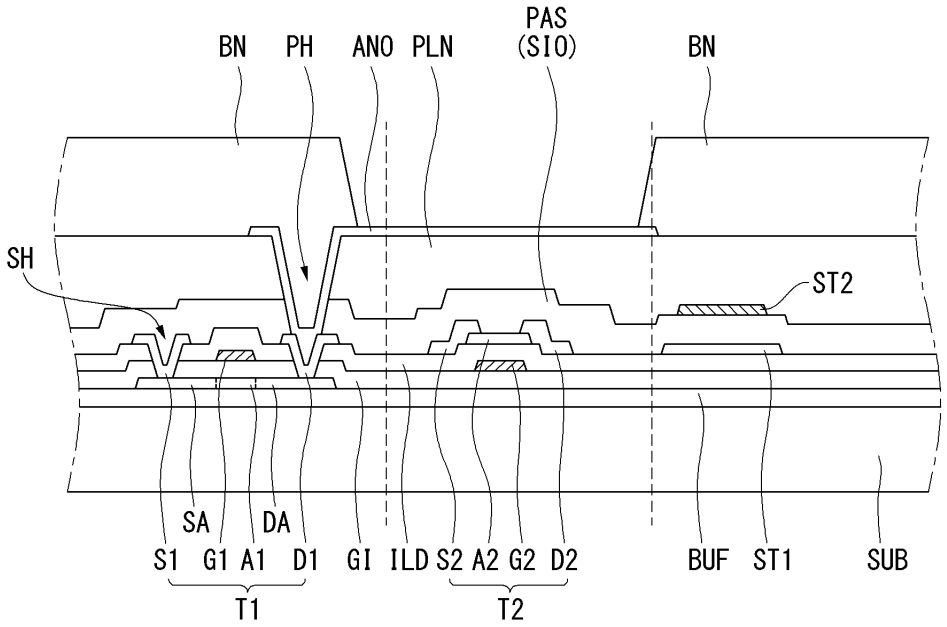
PAS: 보호막 ANO: 화소 전극(애노드 전극)

SIO: 산화막 SIN: 질화막

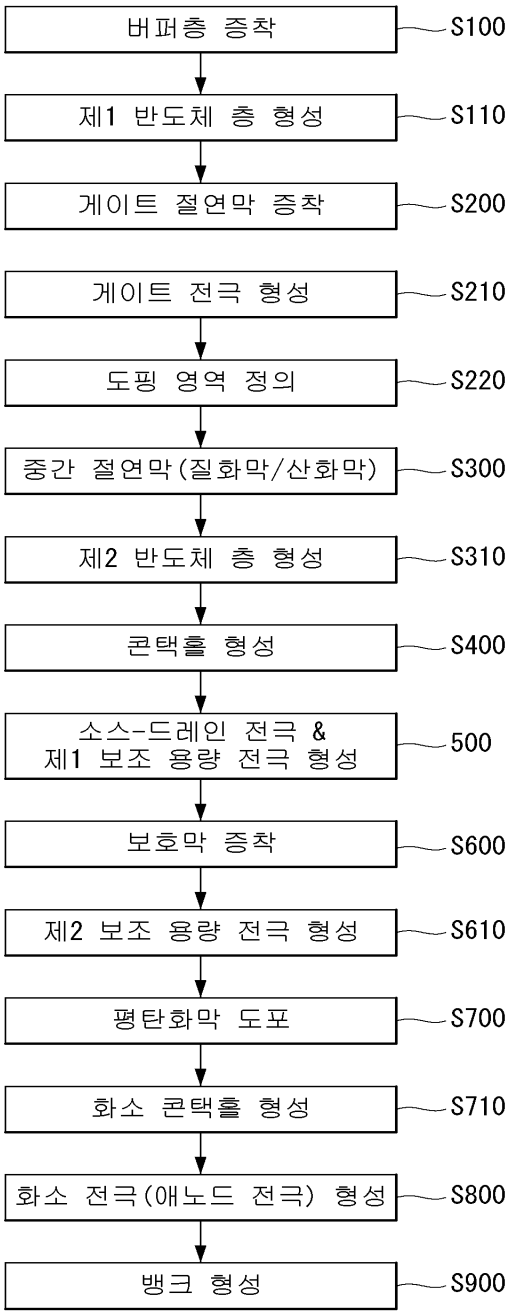
ST1: 제1 보조 용량 전극 ST2: 제2 보조 용량 전극

도면

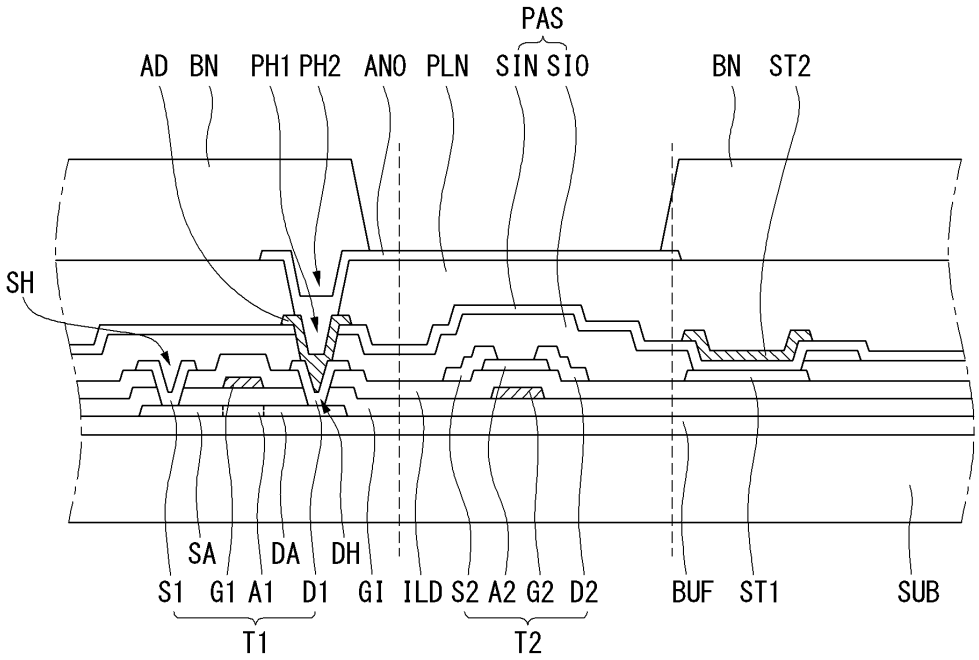
도면1



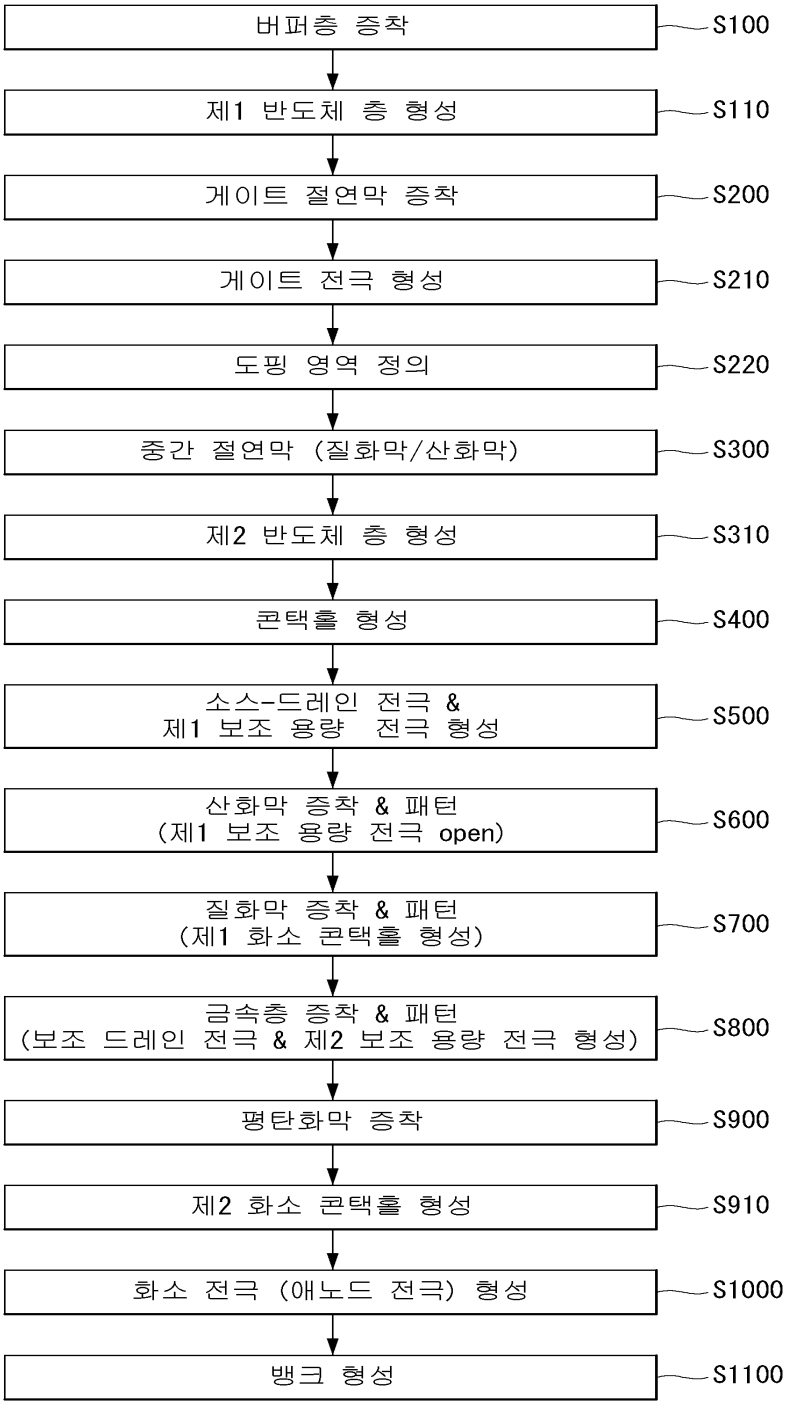
도면2


버퍼층 증착
S100
제1 반도체 층 형성
S110
게이트 절연막 증착
S200
게이트 전극 형성
S210
도핑 영역 정의
S220
중간 절연막(질화막/산화막)
S300
제2 반도체 층 형성
S310
콘택홀 형성
S400
소스-드레인 전극 &
제1 보조 용량 전극 형성
500
보호막 증착
S600
제2 보조 용량 전극 형성
S610
평탄화막 도포
S700
화소 콘택홀 형성
S710
화소 전극(애노드 전극) 형성
S800
뱅크 형성
S900

도면3


PAS
AD
BN
PH1
PH2
ANO
PLN
SIN
SIO
BN
ST2
SH
SA
DA
DH
S1
G1
A1
D1
GI
ILD
S2
A2
G2
D2
BUF
ST1
SUB
T1
T2

도면4


버퍼층 증착
S100
제1 반도체 층 형성
S110
게이트 절연막 증착
S200
게이트 전극 형성
S210
도핑 영역 정의
S220
중간 절연막 (질화막/산화막)
S300
제2 반도체 층 형성
S310
콘택홀 형성
S400
소스-드레인 전극 &
제1 보조 용량 전극 형성
S500
산화막 증착 & 패턴
(제1 보조 용량 전극 open)
S600
질화막 증착 & 패턴
(제1 화소 콘택홀 형성)
S700
금속층 증착 & 패턴
(보조 드레인 전극 & 제2 보조 용량 전극 형성)
S800
평탄화막 증착
S900
제2 화소 콘택홀 형성
S910
화소 전극 (애노드 전극) 형성
S1000
뱅크 형성
S1100