

【特許請求の範囲】

【請求項 1】

基板と、
前記基板の上にある第 1 導電型層と、
前記第 1 導電型層の上にある発光層と、
前記発光層の上にある第 2 導電型層と、
前記第 2 導電型層の上にある透明導電層と、
前記透明導電層の上にある金属反射層と、
を含み、
前記透明導電層及び金属反射層が前記第 2 導電型層と電気的接触を形成することを特徴とする発光デバイス。 10

【請求項 2】

前記透明導電層が酸化インジウム・スズを含む請求項 1 に記載の発光デバイス。

【請求項 3】

前記透明導電層の厚さが、前記発光層が生成する光の波長のおよそ 4 分の 1 である請求項 2 に記載の発光デバイス。

【請求項 4】

前記透明導電層が約 10 % より小さい単一パスロスをもつ請求項 1 に記載の発光デバイス。

【請求項 5】

前記第 1 導電型が p 型であり、前記第 2 導電型が n 型である請求項 1 に記載の発光デバイス。 20

【請求項 6】

前記第 1 導電型層及び前記第 2 導電型層がアルミニウム、インジウム、及びリンを含む請求項 1 に記載の発光デバイス。

【請求項 7】

前記第 1 導電型層及び前記第 2 導電型層がガリウム及び窒素を含む請求項 1 に記載の発光デバイス。

【請求項 8】

前記第 1 導電型層及び前記第 2 導電型層がガリウム及び砒素を含む請求項 1 に記載の発光デバイス。 30

【請求項 9】

前記金属反射層が銀及び金のうちの少なくとも 1 つを含む請求項 1 に記載の発光デバイス。

【請求項 10】

前記第 1 導電型層の下にある前記第 1 導電型のドーパされた基板層と、
前記金属反射層、前記透明導電層、前記第 2 導電型層、前記発光層及び前記第 1 導電型層内に形成され、前記ドーパされた基板層まで延びる複数のバイアスと、
前記複数のバイアスを通じて前記ドーパされた基板層と電気的接触を形成する複数のコンタクトと、
を更に含む請求項 1 に記載の発光デバイス。 40

【請求項 11】

前記複数のバイアスの各々が、約 2 μm ～ 約 100 μm の範囲にある直径を有する請求項 10 に記載の発光デバイス。

【請求項 12】

前記複数のバイアスの各々が約 10 μm ～ 約 50 μm の範囲にある直径を有する請求項 10 に記載の発光デバイス。

【請求項 13】

前記複数のバイアスの各々が、他のバイアスから約 50 μm ～ 約 1000 μm 離れて配置される請求項 10 に記載の発光デバイス。 50

【請求項 14】

前記複数のバイアの各々が、他のバイアから約 50 μm ～約 250 μm 離れて設けられている請求項 10 に記載の発光デバイス。

【請求項 15】

前記複数のバイアが、長方形、六角形、菱面形、面心立方形、及び任意の形状からなるグループから選択された配列で形成される請求項 10 に記載の発光デバイス。

【請求項 16】

前記金属反射層の上に形成され、前記複数のバイアと位置合わせされた第 1 の複数の開口を有する絶縁層と、

前記絶縁層の上に形成され、前記複数のコンタクトを接続する複数の相互接続部と、
を更に含む請求項 10 に記載の発光デバイス。 10

【請求項 17】

前記絶縁層が、前記金属反射層の上に第 2 の複数の開口を有する請求項 16 に記載の発光デバイス。

【請求項 18】

発光デバイスを形成する方法であって、
基板を準備する段階と、
前記基板の上にある第 1 導電型層を形成する段階と、
前記第 1 導電型層の上にある活性領域を形成する段階と、
前記活性領域の上にある第 2 導電型層を形成する段階と、
前記第 2 導電型層の上にある透明導電層を形成する段階と、
前記透明導電層の上にある金属反射層を形成する段階と、
を含み、
前記透明導電層及び前記金属反射層が前記第 2 導電型層と電気的接触を形成するようにすることを特徴とする方法。 20

【請求項 19】

前記透明導電層が酸化インジウム・スズを含む請求項 18 に記載の方法。

【請求項 20】

前記透明導電層は、前記発光層によって生成される光の波長のおよそ 4 分の 1 の厚さで形成する請求項 19 に記載の方法。 30

【請求項 21】

前記基板と前記第 1 導電型層との間に前記第 1 導電型のドーパされた基板層を形成する段階と、

ドーパされた基板層の前記層に接触する複数のバイアを、前記金属反射層、前記透明導電層、前記第 2 導電型層、前記発光層及び前記第 1 導電型層内に形成する段階と、

前記バイアを通じて前記ドーパされた基板層と接触する複数のコンタクトを形成する段階と、

を更に含む請求項 18 に記載の方法。

【請求項 22】

前記金属反射層の上にあり且つ前記複数のコンタクトが上に形成されている絶縁層を形成して、前記複数のバイアと位置合わせされた第 1 の複数の開口を生成する段階と、 40

前記絶縁層の上にあり、前記複数のコンタクトを接続する複数の相互接続部を形成する段階と、

を更に含む請求項 21 に記載の方法。

【請求項 23】

前記複数のバイアを形成する段階が、前記第 2 導電型層、前記発光層及び前記第 1 導電型層の一部をエッチング除去する段階を含む請求項 21 に記載の方法。

【請求項 24】

基板と、

前記基板の上にある第 1 導電型のドーパされた基板層と、 50

前記ドーパされた基板層の上にある前記第 1 導電型の層と、
前記第 1 導電型層の上にある発光層と、
前記発光層の上にある第 2 導電型層と、
前記第 2 導電型層の上にある透明導電層と、
前記透明導電層の上にあり、該透明導電層と共に前記第 2 導電型層との電氣的接触を形成する金属反射層と、

前記金属反射層、前記透明導電層、前記第 2 導電型層、前記発光層及び前記第 1 導電型層内に形成され、前記ドーパされた基板層まで延びる複数のバイアと、

前記金属反射層の上に形成され、前記複数のバイアに位置合わせされた第 1 の複数の開口と前記金属反射層の上にある第 2 の複数の開口とを有する絶縁層と、

前記複数のバイアを通じて前記ドーパされた基板層と電氣的に接触する複数のコンタクトと、

を含む発光デバイス。

【請求項 2 5】

前記絶縁層の上に形成され、前記複数のコンタクトを接続する複数の相互接続部を更に含む請求項 2 4 に記載の発光デバイス。

【請求項 2 6】

前記透明導電層が酸化インジウム・スズを含む請求項 2 4 に記載の発光デバイス。

【請求項 2 7】

前記透明導電層が、前記発光層が生成する光の波長のおよそ 4 分の 1 の厚さを有する請求項 2 6 に記載の発光デバイス。

【請求項 2 8】

前記金属反射層が銀及び金のうちの少なくとも 1 つを含む請求項 2 4 に記載の発光デバイス。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、一般的に発光ダイオードに関し、より詳細には発光ダイオード用コンタクトに関する。

【背景技術】

【0 0 0 2】

発光ダイオード (LED) などの半導体発光デバイスは、現在利用可能な最も効率的な発光源のうちの 1 つである。可視スペクトル全体で動作可能な高輝度 LED の製造において重要な現行の材料系には、III-V 族半導体、特に III 族窒化物材料とも呼ばれるガリウム、アルミニウム、インジウム、及び窒素の 2 元、3 元、及び 4 元合金；並びに III 族リン化物材料とも呼ばれるガリウム、アルミニウム、インジウム、及びリンの 2 元、3 元、及び 4 元合金がある。多くの場合、有機金属気相成長法 (MOCVD)、分子線エピタキシー法 (MBE) 又は他のエピタキシャル技術により、III 族窒化物デバイスは、サファイア、炭化シリコン、すなわち III 族窒化物基板上にエピタキシャル成長し、III 族リン化物デバイスは、ガリウム砒素上にエピタキシャル成長する。これらの LED デバイス構造はまた、ウェハ接合によって透明基板に移すことができる。多くの場合、n 型の層 (又は複数の層) が基板上に堆積され、次いで活性領域が n 型層の上に堆積されて、次に p 型の層 (又は複数の層) が活性領域の上に堆積される。層の順番は、エピタキシャル成長又はウェハ接合のいずれによっても、p 型層が基板に隣接するように逆にすることが可能である。

【0 0 0 3】

図 1 は、従来型の発光ダイオード (LED) 10 の断面図である。図 1 に示されているように、基板 12 の上に 1 つ又はそれ以上の p 型層が形成される。例証として、p-AlInP 層 16 は、ウェハ接合によって GaP 基板 12 の p ドープ領域 14 の上に形成することができ、p コンタクト 18 は、p ドープ領域 14 上に形成される。活性領域 20 は、

10

20

30

40

50

p型層16の上に形成され、例えばn-AlInP層であるn型層22は、活性領域20の上に形成される。nコンタクト24は、n型層22の上に形成されるが、基板12を通じて光をより良好に取り出すために反射ミラー26の領域の面積を増大させるようにするため、該コンタクト領域は最小化される。従って、LED10はフリップチップ構成において用いることができ、サブマウント上にフリップチップ接続されるときにpコンタクト18及びnコンタクト24がデバイスの同じ側に形成され、本明細書では、デバイスの最上部に存在する基板12を通じて光が取り出される。

【0004】

フリップチップLED10の設計方法では、横方向電流注入を加え、この結果、図1の矢印で示されているようにnコンタクト24の下で且つpコンタクト18の近傍において電流集中が生じる。縦方向注入型LEDと比べて、この電流集中は、偏流注入、並びに高い直列抵抗及び高い順電圧V_fを生じることになる。

10

【0005】

n側における偏流注入問題を解決する1つの方法は、全面n金属コンタクトを使用することである。しかしながら、良好なオーミックコンタクトを得るためには、n金属コンタクトは高温下（例えば420℃より高い温度）でアニールする必要があるので、金属表面は粗くなる。結果として、全面n金属コンタクトの反射率が不十分になり、光取り出しが低くなる。

従って、LEDにおいて用いられるコンタクトを改善し、光取り出しを低下させることなくこの偏流注入問題を低減させることが極めて望ましい。

20

【0006】

【特許文献1】米国特許出願公開番号2003/0230754公報

【発明の開示】

【課題を解決するための手段】

【0007】

本発明の1つの実施形態によれば、発光デバイスは、基板と、ドーパされた基板層と、該ドーパされた基板層の上にある第1導電型層と、第1導電型層の上にある発光層と、発光層の上にある第2導電型層とを含む。酸化インジウム・スズなどの透明導電フィルム及び金属反射層が第2導電型層の上にあり、第2導電型層と電氣的接触を形成する。1つの実施形態では、複数のバイアは、金属反射層及び透明導電フィルム、並びに第2導電型層、発光層、及び第1導電型層、などドーパされた基板層に至るまでの層内に形成することが可能である。金属反射層の上に形成される絶縁層が、透明導電フィルム及び金属反射層から複数のコンタクトを絶縁する。

30

【0008】

酸化インジウム・スズ層などの透明導電フィルム及び金属反射層の併用は、入射角全体にわたって高い光反射をもたらすので特に有利である。更に、透明導電フィルムは、活性領域の一方側からの均一な電流注入をもたらし、従来のデバイスに見られるn層の電流集中問題を排除する。その上、透明導電フィルム及び金属反射層、第2導電型層、発光層及び第1導電型層を貫通し、下にあるドーパされた基板層に至るバイア及びコンタクトの分散アレイは、活性領域の他方の側からの電流拡散を改善するとともにデバイスの接合面積を増大させる。

40

【発明を実施するための最良の形態】

【0009】

図2は、全方向性高反射ミラー（ODRM）構造体101を備えた全面コンタクトを使用した本発明の1つの実施形態による発光デバイス（LED）100の断面図である。

【0010】

図2に示されているように、LED100は、基板102の上に形成された1つ又はそれ以上のp型層106を含む。p型層106は、例えば、非ドーパのGaP基板102に接合されたpドーパされたGaP層104の上に形成されるP-AlInPとすることができる。例えば、AuZnから形成することができるpコンタクト105は、pドーパさ

50

れたGaP層104の上に形成される。活性領域108は、p型層106の上に形成され、例えば、n-AlInP等のn型層110は、活性領域108の上に形成される。LED100は、1つ又はそれ以上のキャップ層112（例えばn+GaAs及び／又はn+InGaP）をn型層110の上に含むことができる。

【0011】

ODRM構造体101は、キャップ層112の上において、例えば酸化インジウム・スズ（ITO）からなる全面透明導電フィルム114と、例えばAg又はAuからなる高反射ミラー116とから形成される。本明細書で使用される用語「透明」とは、「透明フィルム」、「透明層」、又は「透明基板」のように記載されている光学要素が、LEDの発光波長の光を約50%より小さい、好ましくは約10%より小さい吸収又は散乱による単一パスロスで透過することを表す。当業者であれば、「50%より小さい単一パスロス」及び「10%より小さい単一パスロス」という条件は、伝達経路長及び吸収定数の様々な組み合わせによって満たすことができることが理解されるであろう。透明導電フィルム114は、本明細書ではITO層114と呼ばれる場合もあるが、他の導電性の透明なフィルムを用いてもよいことを理解されたい。透明導電フィルム114は、LED100用のnコンタクトとして機能し、ミラー116は透明導電フィルム114を覆う。本明細書では酸化インジウム・スズが透明導電フィルム114として用いられており、ITO層114は、例えばLED100によって生成される4分の1波長の厚さを有する。例として、波長615nmではITO層114は厚さがおおよそ73nmであり、屈折率は2.1である。ITO層114のコンタクト抵抗は、 $1.5 \times 10^{-5} \Omega \text{ cm}^2$ 又はこれより小さいことが予想され、600nm付近でおおよそ95%又はそれ以上の透過となる。

【0012】

ODRM構造体101は、ODRM構造体101に到達する光に対して全入射角にわたって高い反射性をもたらす。例えば、4分の1波長のITO層114及びAgミラー116を備えるODRM構造体101は、幅広い範囲の入射角に対して90%を超える反射率を有することが予想される。更に、ITO層114を全面nコンタクトとして使用することにより、n側から活性領域108への均一な電流注入が可能となり、従来のデバイスで見られるn層110での電流集中問題が排除される。従って、ODRM構造体101は、従来型のデバイスに比べてLED100の取り出し効率を向上させながら、順電圧Vf及び直列抵抗を減少させる。

【0013】

本実施形態のLED100はフリップチップAlInGaP型デバイスとして説明されたが、本発明のODRM構造体は、要求に応じて他のデバイスに用いることができる点を理解されたい。例えば、ODRM構造体はフリップチップInGaP・LEDデバイスに使用することができる。ITO層114はp-GaN層上の透明コンタクトとして使用することができることが示されてきた。ITO層114はまた、p-GaAs又はp-InGaPコンタクト層の最上部に施工することもできる。

【0014】

ODRM構造体101の使用によって、活性領域のn側において均一な電流注入が得られる。しかしながら活性領域のp側の電流注入は、図2に示されているように幅広のメサ構造体における横方向コンタクト方法であるために依然として問題となる可能性がある。例証として、1mm×1mm正方形の赤色フリップチップ・ダイに対して、p-GaPコンタクト層に対しエッチングすることによって4つのメサが形成される。このような構造に対するpコンタクトとメサ中心との間隔は100μmを上回る。p-GaPの低い導電率に起因して、活性領域のp側の正孔注入はメサ全体で均一ではない。従って、メサの縁部周辺で電流集中が発生する可能性がある。

【0015】

このため、本発明の他の実施形態によれば、電流拡散を改善してLEDの接合面積を増大させるために、ODRM構造体101と共に分散pコンタクトのアレイが用いられる。分散コンタクトのアレイは、2002年6月13日に出願されたダニエルA. シュタイガ

10

20

30

40

50

ーヴァルトらによる、表題「大小面積半導体発光フリップチップ・デバイス用コンタクト・スキーム」の米国特許出願公開番号2003/0230754において開示されているものに類似するものとすることができ、これは発明の譲受人が本開示と同一であり、引用により本明細書に組み込まれる。

【0016】

図3は、本発明の実施形態による、nコンタクトとして機能するODRM構造体201、及び分散pコンタクトのアレイを備えたLED200の平面図である。図4は、図3のA-A線に沿って取られたLED200の部分断面図である。

【0017】

図4に見られるように、LED200の構成は、図2に示されているLED100の構成に類似している。例えば、LED200は、pドーピングされた層204の上に形成された1つ又はそれ以上のp型層206を含み、該pドーピングされた層204は基板202に接合される。pドーピングされた層204は、良好な電流拡散を得るように最適化された例えば2〜20 μ mのp-GaPとすることができる。一般的に、均一な電流拡散を得るために、pドーピングされた層204が厚くなるにつれて、pコンタクトのアレイの間隔を大きくすることができる。しかしながら、pドーピングされた層204が厚くなると、光吸収損失が増すことになる。従って、pドーピングされた層204は、均一な電流拡散を得るために小さなpコンタクトのアレイピッチでできる限り薄く維持される必要がある。p型層206の上には活性領域208及びn層210が形成される。例えば、n+GaAs及び／又はn+InGaPのキャップ層212は、n層210の上に形成される。ODRM201は、4分の1波長の厚さのITO層214などの透明導電フィルム214、及びITO層214の上に形成されるAg又はAuの反射ミラー216として、キャップ層212の上に形成される。LED200は、シリコン又はセラミックのサブマウント（示されていない）上にマウントすることができ、LED200のカソード及びアノードは、ハンダバンプ又はAu-Auスタッドバンプを通じてサブマウント上の対応するコンタクトパッドに接続することができる。

【0018】

しかしながら、図3及び図4に示されているように、pコンタクト205は、例えば、pドーピングされた層204に至るまで幾つかのバイア217をエッチングし、例えば反応性イオンエッチングを用いてODRM201、キャップ層212、n型層210、活性領域208、及びp型層206をエッチング除去し、イオン注入し、ドーパント拡散し、又は層を選択的成長させることによって分散アレイ116として形成される。このようにして、pドーピングされた層204は、pコンタクト205において露出される。SiN_x又はSiO₂などの誘電体層218は、LEDのエピ構造、すなわち層206、208、210、212、及び201の上に形成される。例えばAuZnからなるpコンタクト層220は、誘電体層218の上に形成され、下にあるpドーピングされた層204と電氣的に接触して、pコンタクト205を形成する。分散アレイ216のpコンタクト205は、図3に示されているように、pコンタクト層220によって形成される相互接続222によって互いに接続される。誘電体層218は、pコンタクト層220をODRM201の反射ミラー216及びITO層214から絶縁する。

【0019】

例証として、500 μ m×500 μ mの正方形LEDチップにおいて、図3に示されているような4×4の分散pコンタクトアレイは、バイア217をデバイスを通りp-GaP層204までエッチングして、バイア217内へAuZn・pコンタクト層220を堆積させることによって形成される。バイアピッチ（図3の寸法P）は、例えば約50 μ m〜1000 μ mとすることができ、通常は約50 μ m〜約200 μ mである。バイア径（図3の直径D）は、例えば約2 μ mと約100 μ mとの間とすることができ、通常は約10 μ mと約50 μ mとの間である。本明細書では、バイアピッチは100 μ m、バイア径は25 μ m、孔に対する最遠の電流導回路はおおよそ37.5 μ m（これはpコンタクト205の縁部から2つの隣接するpコンタクト205の中心までの距離）であり、対角のp

コンタクト 205 間では $58\ \mu\text{m}$ である。更に、全接合面積はおよそ 96 パーセントである。比較として、メサ幅をおよそ $210\ \mu\text{m}$ 、メサの周囲の p コンタクト線を幅 $20\ \mu\text{m}$ 、ハンダ金属パッドを直径 $50\ \mu\text{m}$ と仮定すると、2 つのメサ及び剥離 p コンタクトを備えた同じ寸法の従来型 LED では、75 パーセントの接合を有する。

【0020】

必要であれば、本発明では異なる寸法又は異なる材料を使用できることを理解されたい。更に、図 3 に示されているデバイスは、 4×4 の長方形のバイアアレイを有するが、異なるサイズ（例えば、 6×6 又は 9×9 ）の長方形アレイも使用することができ、同様に、六角形アレイ、菱形アレイ、面心立方形アレイ、任意の配置、又は他のあらゆる好適な配置であってもよい。

10

【0021】

図 5 A ~ 図 5 D は、製造中の種々の段階における本発明の実施形態を示している。図 5 A で示されている層 212、210、208、206、及び 204 は、n-GaAs 基板（図示せず）上でエピタキシャル成長し、次いで、GaP 基板 202 に接合される。従って、例えば n-GaAs 又は n-InGaP からなるキャップ層 212 は、n-GaAs 基板の上に形成される。1 つ又はそれ以上の n 型層 210 は、キャップ層 212 上に形成される。n 型層 210 は、例えば、バッファ層、コンタクト層、非ドーパ結晶層、及び様々な組成及びドーパント濃度の n 型層を含むことができる。次いで、活性領域 208 が、n 型層 210 上に形成される。活性領域 208 は、例えばバリア層のセットにより離隔された量子井戸層のセットを含むことができる。1 つ又はそれ以上の p 型層 206 は、活性領域 208 上に形成される。p 型層 206 は、例えばキャリア閉じ込め層、コンタクト層、並びに様々な組成及びドーパント濃度の他の p 型層を含むことができる。様々な層は、例えば MOCVD 又は他の適切な公知の技術によって堆積することができる。次に、p 型層 206 は、GaP 基板 202 に接合され、n-GaAs 基板は選択的に除去される。ITO 層 214 は、キャップ層 212 の上に堆積され、例えば Ag 又は Au からなる反射ミラー層 216 は、ITO 層 214 の上に堆積され、結果として図 5 A で示されている構造をもたらす。ITO 層 214 及び反射ミラー層 216 は、例えば電子ビーム蒸着法又はスパッタリング法によって堆積することができる。

20

【0022】

ITO 層 214、ミラー層 216 及びキャップ層 212 は、例えばエッチングを伴うフォトリソグラフィ、又はリフトオフプロセスを用いて、図 5 B に示されているようにパターン形成される。パターン形成は、n コンタクトとして使用されない ITO 層 214、ミラー層 216 及びキャップ層 212 のいずれかを除去する。このように、パターン形成は、図 3 及び図 4 で示されているバイア 217 を覆う n コンタクトのいずれかを除去する。次に、図 5 C に示されているように、1 つ又はそれ以上のエッチング段階が実行されてバイア 217 を形成する。

30

【0023】

例えばシリコン窒化物又はシリコン酸化物などの誘電体層 218 は、図 5 D で示されているように堆積されて、n コンタクトとして機能する ITO 層 214 及びミラー層 216 をバイア 217 に堆積されることになる p 金属から電氣的に絶縁する。誘電体層 218 は、該誘電体層 218 のいずれかの側部にある 2 つの材料を電氣的に絶縁する何らかの材料とすることができる。誘電体層 218 は、バイア 217 の底部にある p 層 204 及びミラー層 216 の上面の一部を覆う誘電体材料の一部を除去するようにパターン形成される。p コンタクトと n コンタクトとの間の短絡を防ぐため、誘電体層 218 は低密度のピンホールを有する必要がある。幾つかの実施形態では、誘電体層 218 は複数の誘電体層である。

40

【0024】

次に、p コンタクト層 220 は、誘電体層 218 の上で且つバイア 217 の中に堆積される。各バイア 217 内の堆積された p-金属を接続する相互接続部 222 もまた、この時に堆積することができる。p コンタクト層 220 は、図 4 に示されているようにミラー

50

層 2 1 6 を覆っている材料の一部を除去するようにパターン形成される。

【0025】

本発明は、教示の目的で特定の実施形態に関連して示されているが、本発明はこれに限定されない。種々の適用及び修正を本発明の範囲から逸脱することなく行うことが可能である。従って、添付の請求項の精神及び範囲は、上述の説明に限定されるべきではない。

【図面の簡単な説明】

【0026】

【図1】従来型の発光デバイスの断面図である。

【図2】本発明の1つの実施形態による全方向性高反射ミラー（ODRM）を備えた全面コンタクトを使用した発光デバイスの断面図である。 10

【図3】本発明の別の実施形態による、ODRM構造体及び分散pコンタクトアレイを備えた発光デバイスの平面図である。

【図4】図3のA-A線に沿って取られた発光デバイスの部分断面図である。

【図5A】製造の間の様々な段階における本発明の実施形態の図である。

【図5B】製造の間の様々な段階における本発明の実施形態の図である。

【図5C】製造の間の様々な段階における本発明の実施形態の図である。

【図5D】製造の間の様々な段階における本発明の実施形態の図である。

【符号の説明】

【0027】

10 LED

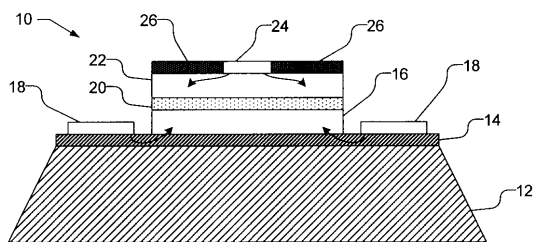
12 基板

18 pコンタクト層

24 nコンタクト層

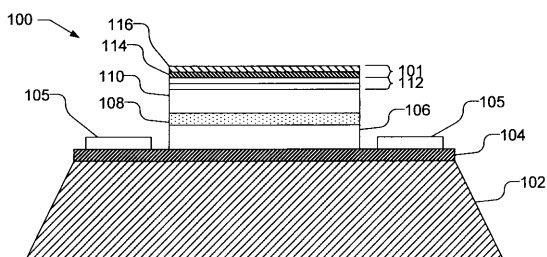
26 反射ミラー層

【図1】

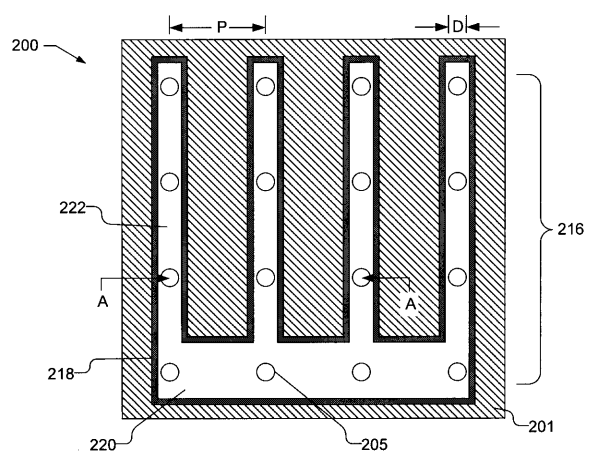


(従来型)

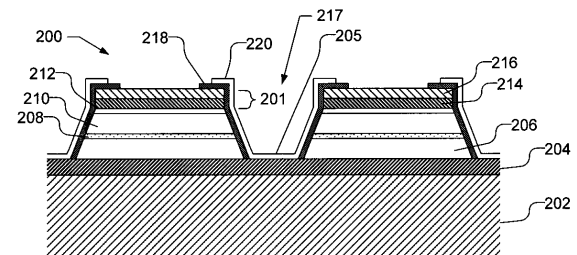
【図2】



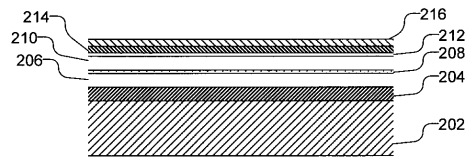
【図3】



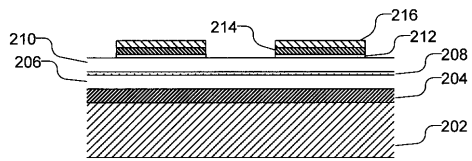
【図4】



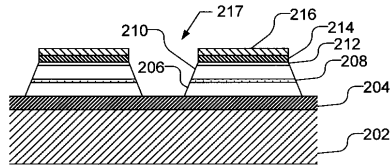
【図 5 A】



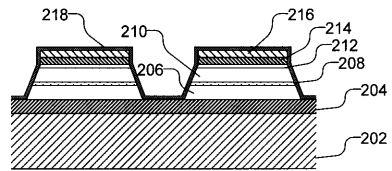
【図 5 B】



【図 5 C】



【図 5 D】



フロントページの続き

(72)発明者 ディケイ サン

アメリカ合衆国 カリフォルニア州 94024 ロス アルトス サンライズ コート 130
0

Fターム(参考) 5F041 AA03 AA21 CA13 CA34 CA35 CA37 CA65 CA85 CA88 CA92
CB15 DA04 DA09

【外国語明細書】

CONTACT AND OMNIDIRECTIONAL REFLECTIVE MIRROR FOR FLIP CHIPPED LIGHT EMITTING DEVICES

FIELD OF THE INVENTION

[0001] The present invention relates generally to light emitting diodes and more specifically to contacts for light emitting diodes.

BACKGROUND

[0002] Semiconductor light emitting devices such as light emitting diodes (LEDs) are among the most efficient light sources currently available. Material systems currently of interest in the manufacture of high brightness LEDs capable of operation across the visible spectrum include group III-V semiconductors, particularly binary, ternary, and quaternary alloys of gallium, aluminum, indium, and nitrogen, also referred to as III-nitride materials; and binary, ternary, and quaternary alloys of gallium, aluminum, indium, and phosphorus, also referred to as III-phosphide materials. Often III-nitride devices are epitaxially grown on sapphire, silicon carbide, or III-nitride substrates and III-phosphide devices are epitaxially grown on gallium arsenide by metal organic chemical vapor deposition (MOCVD) molecular beam epitaxy (MBE) or other epitaxial techniques. These LED device structures can also be transferred to a transparent substrate by wafer bonding. Often, an n-type layer (or layers) is deposited on the substrate, then an active region is deposited on the n-type layers, then a p-type layer (or layers) is deposited on the active region. The order of the layers may be reversed such that the p-type layers are adjacent to the substrate by either epitaxial growth or wafer bonding.

[0003] Fig. 1 illustrates a cross-sectional view of a conventional light emitting diode (LED) 10. As shown in Fig. 1, one or more p type layers are formed over a substrate 12. By way of example, a p-AlInP layer 16 may be formed over a p doped region 14 of a GaP substrate 10 by wafer bonding, and p-contacts 18 are formed on the p doped region 14. An active region 20 is formed over the p type layer 16 and an n type layer 22, e.g., an n-AlInP layer, is formed over the active region 20. An n contact 24 is formed over the n type layer 22, but the contact area is minimized in order to increase the area of the reflective mirror 26 area for better light extraction through the substrate 10. Thus, the LED 10 can be used in a flip chip configuration

with the p-contacts 18 and n-contacts 24 formed on the same side of the device when flip-chipped on a submount and where the light is extracted through the substrate 12, which is the top of the device.

[0004] The design scheme of the flip chip LED 10 forces lateral current injection, which results in current crowding under the n-contact 24 and near the p contact area 18 as illustrated by the arrows in Fig. 1. The current crowding results in non-uniform current injection as well as high series resistance and high forward voltage V_f compared to vertical injection LEDs.

[0005] One manner of solving the non-uniform current injection problem in the n-side is to use full sheet n-metal contact. However, because the n-metal contact has to be annealed at high temperature, e.g., greater than 420°C, to achieve a good ohmic contact, the metal surface is rough. As a result, the reflectivity of the full sheet n-metal contact is poor and thus, decreases light extraction.

[0006] Thus, it is highly desirable to improve the contacts used with LEDs reduce the non-uniform current injection problem without decreasing light extraction.

SUMMARY

[0007] In accordance with one embodiment of the present invention, a light emitting device includes a substrate, a doped substrate layer, a layer of first conductivity type overlying the doped substrate layer, a light emitting layer overlying the layer of first conductivity type, and a layer of second conductivity type overlying the light emitting layer. A conductive transparent film, such as indium tin oxide, and a reflective metal layer overlie the layer of second conductivity type and provide electrical contact with the layer of second conductivity type. In one embodiment, a plurality of vias may be formed in the reflective metal layer and conductive transparent film as well as the layer of second conductivity type, the light emitting layer and layer of first conductivity type, down to the doped substrate layer. A plurality of contacts are formed in the vias and are in electrical contact with the doped substrate layer. An insulating layer formed over the reflective metal layer insulates the plurality of contacts from the conductive transparent film and reflective metal layers.

[0008] The use of the conductive transparent film, such as indium tin oxide layer and a reflective metal layer together is particularly advantageous as it provides high reflection for the light over all incident angles. Moreover, the conductive transparent film provides a uniform current injection from one side of the active region, eliminating the current crowding problem at the n-layer found in conventional devices. Further, a distributed array of vias and contacts through the conductive transparent film and reflective metal layer and the layer of second conductivity type, the light emitting layer and layer of first conductivity type to the underlying doped substrate layer improves current spreading from the other side of the active region as well as increases the junction area of the device.

BRIEF DESCRIPTION OF THE DRAWINGS

[0009] Fig. 1 illustrates a cross-sectional view of a conventional light emitting diode.

[0010] Fig 2 illustrates a cross sectional view of a light emitting device that uses a full sheet contact with an omnidirectional high reflective mirror (ODRM) structure, in accordance with one embodiment of the present invention.

[0011] Fig. 3 illustrates a top view of a light emitting device with an ODRM structure and a distributed p-contact array, in accordance with another embodiment of the present invention.

[0012] Fig. 4 illustrates a cross sectional view of a portion of light emitting device from Fig. 3 along line A-A.

[0013] Figs. 5A-5D illustrate an embodiment of the present invention at various stages during fabrication.

DETAILED DESCRIPTION

[0014] Fig 2 illustrates a cross sectional view of an light emitting device (LED) 100, in accordance with one embodiment of the present invention, that uses a full sheet contact with an omnidirectional high reflective mirror (ODRM) structure 101.

[0015] As shown in Fig. 2, LED 100 includes one or more p-type layers 106 formed over a substrate 102. The p-type layer 106, e.g., may be P-AlInP layers formed over a p doped GaP layer 104 that is bonded to an undoped GaP substrate 102. The p contacts 105, which may be

formed from, e.g., AuZn, are formed over the p doped GaP layer 104. An active region 108 is formed over the p type layer 106 and an n type layer 110, e.g., n-AlInP, is formed over the active region 108. The LED 100 may include one or more capping layers 112, e.g., of n+GaAs and/or n+InGaP over the n type layer 110.

[0016] The ODRM structure 101 is formed over the capping layers 112 from a full sheet conductive transparent film 114 of, e.g., indium tin oxide (ITO), and a high reflective mirror 116 of, e.g., Ag or Au. The term "transparent" is used herein to indicate that an optical element so described, such as a "transparent film," a "transparent layer," or a "transparent substrate," transmits light at the emission wavelengths of the LED with less than about 50%, preferably less than about 10%, single pass loss due to absorption or scattering. One of ordinary skill in the art will recognize that the conditions "less than 50% single pass loss" and "less than 10% single pass loss" may be met by various combinations of transmission path length and absorption constant. The conductive transparent film 114 is sometimes referred to herein as an ITO layer 114, but it should be understood that other conductive and transparent films may be used. The conductive transparent film 114 serves as the n contact for the LED 100 and the mirror 116 overlies the conductive transparent film 114. Where indium tin oxide is used as the conductive transparent film 114, the ITO layer 114 has a thickness that is, e.g., a quarter of the wavelength produced by the LED 100. By example, the ITO layer 114 is approximately 73 nm thick at a wavelength of 615nm and has a refractive index of 2.1. The contact resistance of the ITO layer 114 is expected to be $1.5\text{e-}5 \Omega \text{ cm}^2$ or lower, with a transmission of approximately 95% or better around 600nm.

[0017] The ODMR structure 101 provides high reflection for the light reaching the ODMR structure 101 over all incident angles. For example, the ODRM structure 101 with a quarter wavelength ITO layer 114 and an Ag mirror 116 is expected to have a reflectivity of over 90% for a wide range of incident angles. Moreover, using the ITO layer 114 as a full sheet n-contact provides a uniform current injection from the n-side into the active region 108, eliminating the current crowding problem at the n-layer 110 found in conventional devices. Accordingly, the ODMR structure 101 reduces the forward voltage V_f and series resistance while increasing the extraction efficiency of the LED 100 compared to conventional devices.

[0018] It should be understood that, while the LED 100 of the present embodiment is described as a flip chip AlInGaP type device, the present ODRM structure may be used with difference devices if desired. For example, the ODRM structure may be used with a flip chip InGaN LED devices. It has been demonstrated that the ITO layer 114 can be used as a transparent contact on a p-GaN layer. The ITO layer 114 can also be applied on top of p-GaAs or P-InGaN contact layers.

[0019] With the use of the ODRM structure 101, a uniform current injection is provided at the n side of the active region. The current injection at the p side of the active region, however, may still be problematic due to the lateral contact scheme in a wide mesa structure such as that shown in Fig. 2. By way of example, for a 1mm x 1mm square red flip chip die, four mesas are conventionally formed by etching to the p-GaP contact layer. The spacing between the p-contact and the center of the mesa for such a structure is over 100 μ m. Due to the poor conductivity of the p-GaP, the hole injection on the p-side of the active region is not uniform across the mesa. Accordingly, current crowding may occur around the edges of the mesa.

[0020] Thus, in accordance with another embodiment of the present invention, a distributed p-contact array is used, along with the ODRM structure 101, to improve current spreading and increase the junction area of the LED. The distributed contact array may be similar to that disclosed in U.S. 2003/0230754, entitled "Contacting Scheme for Large and Small Area Semiconductor Light Emitting Flip-Chip Devices", by Daniel A. Steigerwald et al., filed June 13, 2002, which has the same assignee as the present disclosure and is incorporated herein by reference.

[0021] Fig. 3 illustrates a top view of an LED 200 with an ODRM structure 201 that serves as the n-contact, and a distributed p-contact array, in accordance with an embodiment of the present invention. Fig. 4 illustrates a cross sectional view of a portion of LED 200 along line A-A in Fig. 3.

[0022] As can be seen in Fig. 4, the formation of LED 200 is similar to that of LED 100 shown in Fig. 2. For example, LED 200 includes one or more p-type layers 206 formed over p doped layer 204 that is bonded to a substrate 202. The p doped layer 204 may be, e.g., 2 to 20 μ m of p-GaP that is optimized for good current spreading. In general, the thicker the p-doped layer

204, the larger the p-contact array spacing can be for uniform current spreading. A thicker p-doped layer 204, however, increases light absorption loss. Therefore, the p-doped layer 204 should be kept as thin as possible with a small p-contact array pitch for uniform current spreading. Over the p-type layer 206 is formed the active region 208 and an n layer 210. A capping layer 212 of, e.g., of n+GaAs and/or n-InGaP, is formed over the n layer 210. The ODRM 201 is formed over the capping layer 212 as a conductive transparent film 214, such as a quarter wavelength thick ITO layer 214, and an Ag or Au reflective mirror 216 formed over the ITO layer 214. The LED 200 may be mounted to a submount (not shown) of silicon or ceramic and the cathode and the anode of the LED 200 can be connected to the corresponding contact pads on the submount through solder bumps or Au-Au stud bumps.

[0023] As illustrated in Fig. 3 and 4, however, the p-contact 205 is formed as a distributed array 116 by etching several vias 217 down to the p doped layer 204, by etching away the ODRM 201, the capping layer 212, the n-type layer 210, the active region 208 and the p-type layer 206 with, for example, a reactive ion etch; by ion implantation; by dopant diffusion; or by selective growth of the layers. Thus, the p doped layer 204 is exposed for the p contact 205. A dielectric layer 218, such as SiN_x or SiO₂, is formed over the LED epi structure, i.e., layers 206, 208, 210, 212, and 201. A p contact layer 220 of, e.g., AuZn, is formed over the dielectric layer 218 and is in electrical contact with the underlying p doped layer 204 to form the p contact 205. The p-contacts 205 in the distributed array 216 are connected together by interconnect 222, which is formed by the p contact layer 220, as illustrated in Fig. 3. The dielectric layer 218 isolates the p contact layer 220 from the reflective mirror 216 and ITO layer 214 in the ODRM 201.

[0024] By way of example, for a 500μm x 500μm square LED chip, a 4x4 distributed p-contact array, such as that shown in Fig. 3, is formed by etching vias 217 through the device and into the p-GaP layer 204 and depositing an AuZn p-contact layer 220 into the vias 217. The via pitch (dimension P in Fig. 3) may be, for example, about 50μm to about 1000μm, and is usually about 50μm to about 200μm. The via diameter (dimension D in Fig. 3) may be, for example, between about 2μm and about 100μm, and is usually between about 10μm and about 50μm. Where the via pitch is 100μm and the via diameter is 25μm, the farthest current conduction path for holes is approximately 37.5μm, which is the distance from the edge of a p-contact 205

to the center of two adjacent p-contacts 205 and approximately $58\mu\text{m}$ on the diagonally between p contacts 205. Moreover, the total junction area is approximately 96 percent. By way of comparison, a conventional LED of the same size with dual mesas and stripped p-contacts has a junction of approximately 75 percent assuming the mesa width is approximately $210\mu\text{m}$, the p-contact line around the mesa is $20\mu\text{m}$ wide and the solder metal pad is $50\mu\text{m}$ in diameter.

[0025] It should be understood, that the other dimensions or other materials may be used with the present invention if desired. Moreover, while the device illustrated in FIG. 3 has a 4×4 rectangular array of vias, a rectangular array of a different size (for example, 6×6 or 9×9) may also be used, as well as a hexagonal array, a rhombohedral array, a face-centered cubic array, an arbitrary arrangement, or any other suitable arrangement.

[0026] Figs. 5A-5D illustrate an embodiment of the present invention at various stages during fabrication. Layers 212, 210, 208, 206, and 204, shown in Fig. 5A, are epitaxially grown on an n-GaAs substrate (not shown) and then bonded to GaP substrate 202. Thus, the capping layer 212, e.g., of n+GaAs or n+InGaP, is formed over the n-GaAs substrate. One or more n-type layers 210 are formed on the capping layer 212. N-type layers 210 may include, for example, a buffer layer, a contact layer, an undoped crystal layer, and n-type layers of varying composition and dopant concentration. An active region 208 is then formed on the n-type layers 210. Active region 208 may include, for example, a set of quantum well layers separated by a set of barrier layers. One or more p-type layers 206 are formed on the active region 208. P-type layers 206 may include, for example, may include, for example, a carrier confining layer, a contact layer, and other p-type layers of various composition and dopant concentration. The various layers may be deposited by, for example, MOCVD or other appropriate, well known techniques. The p-type layers 206 are then bonded to the GaP substrate 202 and the n-GaAs substrate is selectively removed. The ITO layer 214 is deposited over the capping layer 212 and the reflective mirror layer 216 of, e.g., Ag or Au, is deposited over the ITO layer 214 resulting in the structure shown in Fig. 5A. The ITO layer 214 and the reflective mirror layer 216 may be deposited by, e.g., e-beam evaporation or sputtering.

[0027] The ITO layer 214, mirror layer 216 and the capping layer 212 are patterned as shown in Fig. 5B, using for example photolithography along with etching, or a lift-off process. The

patterning removes any of the ITO layer 214, mirror layer 216 and capping layer 212 that will not be used as an n-contact. The patterning thus removes any of the n contact overlying vias 217 shown in Figs. 3 and 4. As shown in Fig. 5C, one or more etching steps are then performed to form vias 217.

[0028] A dielectric layer 218, such as for example silicon nitride or silicon oxide, is deposited, as shown in Fig. 5D to electrically isolate the ITO layer 214 and mirror layer 216, which serve as the n-contact, from the p metal to be deposited in via 217. Dielectric layer 218 may be any material that electrically isolates two materials on either side of dielectric layer 218. Dielectric layer 218 is patterned to remove a portion of the dielectric material covering the p layer 204 at the bottom of via 217 and a portion of the top of the mirror layer 216. Dielectric layer 218 must have a low density of pinholes to prevent short circuiting between the p- and n-contacts. In some embodiments, dielectric layer 218 is multiple dielectric layers.

[0029] The p contact layer 220 is then deposited over the dielectric layer 218 and in via 217. The interconnect 222, which connects the p-metal deposited in each via 217, may also be deposited at this time. The p contact layer 220 is patterned to remove a portion of the material covering the mirror layer 216 as shown in Fig. 4.

[0030] Although the present invention is illustrated in connection with specific embodiments for instructional purposes, the present invention is not limited thereto. Various adaptations and modifications may be made without departing from the scope of the invention. Therefore, the spirit and scope of the appended claims should not be limited to the foregoing description.

CLAIMS

What is claimed is:

1. A light emitting device comprising:
 - a substrate;
 - a layer of first conductivity type overlying the substrate;
 - a light emitting layer overlying the layer of first conductivity type;
 - a layer of second conductivity type overlying the light emitting layer;
 - a conductive transparent layer overlying the layer of second conductivity type; and
 - a reflective metal layer overlying the conductive transparent layer, wherein the conductive transparent layer and reflective metal layer provide electrical contact with the layer of a second conductivity type.
2. The light emitting device of Claim 1, wherein the conductive transparent layer comprises indium tin oxide.
3. The light emitting device of Claim 2, wherein the conductive transparent layer has a thickness that is approximately one quarter of the wavelength of the light produced by the light emitting layer.
4. The light emitting device of Claim 1, wherein the conductive transparent layer has a single pass loss of less than about 10%.
5. The light emitting device of Claim 1, wherein the first conductivity type is a p type and the second conductivity type is an n type.
6. The light emitting device of Claim 1, wherein the layer of first conductivity type and the layer of second conductivity type comprise aluminum, indium, and phosphorous.
7. The light emitting device of Claim 1, wherein the layer of first conductivity type and the layer of second conductivity type comprise gallium and nitrogen.

8. The light emitting device of Claim 1, wherein the layer of first conductivity type and the layer of second conductivity type comprise gallium and arsenic.
9. The light emitting device of Claim 1, wherein the reflective metal layer comprises at least one of silver and gold.
10. The light emitting device of Claim 1, further comprising:
 - a doped substrate layer of the first conductivity type underlying the layer of first conductivity type,
 - a plurality of vias formed in the reflective metal layer, the conductive transparent layer, the layer of second conductivity type, the light emitting layer and the layer of first conductivity type, the plurality of vias extending to the doped substrate layer; and
 - a plurality of contacts electrically contacting the doped substrate layer through the plurality of vias.
11. The light emitting device of Claim 10, wherein each of the plurality of vias has a diameter ranging from about 2 μ m to about 100 μ m.
12. The light emitting device of Claim 10, wherein each of the plurality of vias has a diameter ranging from about 10 μ m to about 50 μ m.
13. The light emitting device of Claim 10, wherein each of the plurality of vias is located between about 50 μ m to about 1000 μ m from another via.
14. The light emitting device of Claim 10, wherein each of the plurality of vias is located between about 50 μ m to about 250 μ m from another via.
15. The light emitting device of Claim 10, wherein the plurality of vias are formed in an arrangement selected from the group consisting of rectangular, hexagonal, rhombohedral, face-centered cubic, and arbitrary.

16. The light emitting device of Claim 10, further comprising: an insulating layer formed over the reflective metal layer and having a first plurality of openings aligned with the plurality of vias; and a plurality of interconnects formed over the insulating layer, the plurality of interconnects connecting the plurality of contacts.
17. The light emitting device of Claim 16, wherein the insulating layer has a second plurality of openings over the reflective metal layer.
18. A method of forming a light emitting device, the method comprising:
providing a substrate;
forming a layer of first conductivity type overlying the substrate;
forming an active region overlying the layer of first conductivity type;
forming a layer of second conductivity type overlying the active region;
forming a conductive transparent layer overlying the layer of second conductivity type;
and
forming a reflective metal layer overlying the conductive transparent layer, wherein the conductive transparent layer and reflective metal layer provide electrical contact with the layer of a second conductivity type.
19. The method of Claim 18, wherein the conductive transparent layer comprises indium tin oxide.
20. The method of Claim 19, wherein the conductive transparent layer is formed with a thickness that is approximately one quarter of the wavelength of the light produced by the light emitting layer.
21. The method of Claim 18, further comprising:
forming a doped substrate layer of the first conductivity type between the substrate and the layer of first conductivity type;

forming a plurality of vias in the reflective metal layer, conductive transparent layer, the layer of second conductivity type, the light emitting layer and the layer of first conductivity type, the plurality of vias contacting the layer of doped substrate layer;

forming a plurality of contacts, the plurality of contacts contacting the doped substrate layer through the vias.

22. The method of Claim 21, further comprising:

forming an insulating layer over the reflective metal layer and producing a first plurality of openings aligned with the plurality of vias, the plurality of contacts being formed over the insulating layer; and

a plurality of interconnects formed over the insulating layer, the plurality of interconnects connecting the plurality of contacts.

23. The method of Claim 21, wherein forming a plurality of vias comprises etching away portions of the layer of second conductivity type, the light emitting layer and the layer of first conductivity type.

24. A light emitting device comprising:

a substrate;

a doped substrate layer of first conductivity type overlying the substrate;

a layer of the first conductivity type overlying the doped substrate layer;

a light emitting layer overlying the layer of first conductivity type;

a layer of second conductivity type overlying the light emitting layer;

a conductive transparent layer overlying the layer of second conductivity type;

a reflective metal layer overlying the conductive transparent layer, wherein the conductive transparent layer and reflective metal layer provide electrical contact with the layer of a second conductivity type.

a plurality of vias formed in the reflective metal layer, conductive transparent layer, layer of second conductivity type, the light emitting layer and the layer of first conductivity type, the plurality of vias extending to the doped substrate layer;

an insulating layer formed over the reflective metal layer and having a first plurality of openings aligned with the plurality of vias and a second plurality of openings over the reflective metal layer; and

a plurality of contacts electrically contacting the doped substrate layer through the plurality of vias.

25. The light emitting device of Claim 24, further comprising a plurality of interconnects formed over the insulating layer, the plurality of interconnects connecting the plurality of contacts.
26. The light emitting device of Claim 24, wherein the conductive transparent layer comprises indium tin oxide.
27. The light emitting device of Claim 26, wherein the conductive transparent layer has a thickness that is approximately one quarter of the wavelength of the light produced by the light emitting layer.
28. The light emitting device of Claim 24, wherein the reflective metal layer comprises at least one of silver and gold.

ABSTRACT OF THE DISCLOSURE

A light emitting device includes a substrate, a doped substrate layer, a layer of first conductivity type overlying the doped substrate layer, a light emitting layer overlying the layer of first conductivity type, and a layer of second conductivity type overlying the light emitting layer. A conductive transparent layer, e.g., of indium tin oxide, and a reflective metal layer overlie the layer of second conductivity type and provide electrical contact with the layer of second conductivity type. A plurality of vias may be formed in the reflective metal and conductive transparent layer as well as the layer of second conductivity type, down to the doped substrate layer. A plurality of contacts are formed in the vias and are in electrical contact with the doped substrate layer. An insulating layer formed over the reflective metal layer insulates the plurality of contacts from the conductive transparent layer and reflective metal layer.

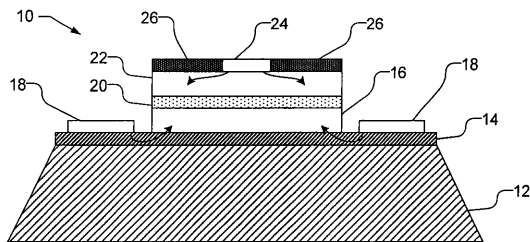


Fig. 1
(Conventional)

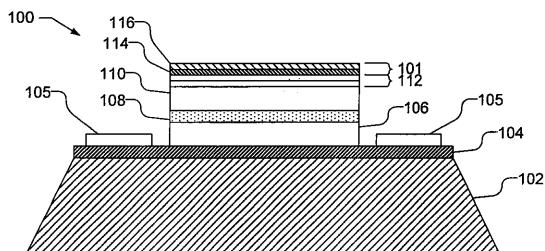


Fig. 2

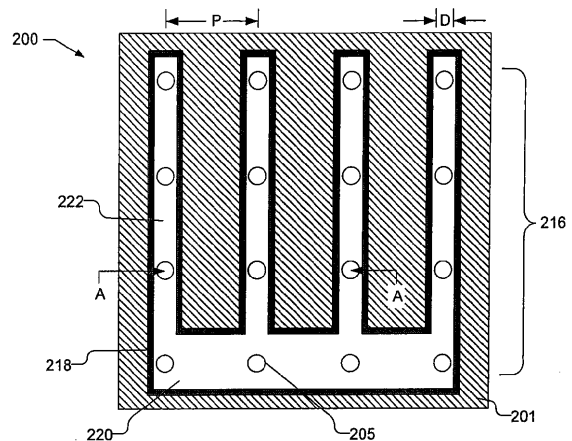


Fig. 3

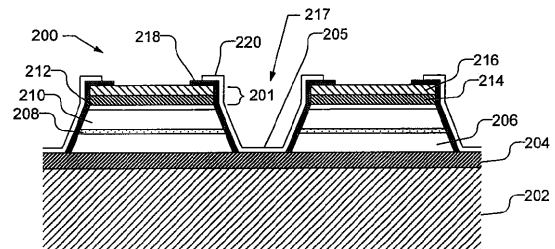


Fig. 4

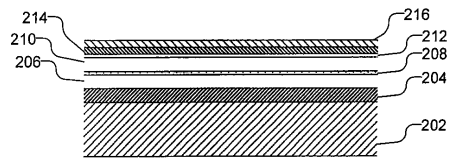


Fig. 5A

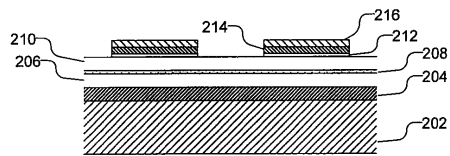


Fig. 5B

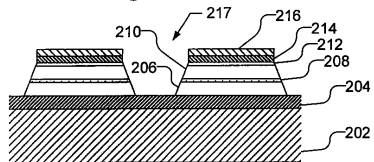


Fig. 5C

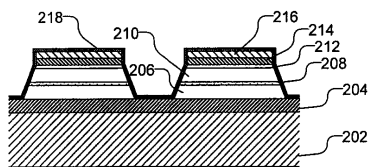


Fig. 5D