(19) **Bundesrepublik Deutschland**
Deutsches Patent- und Markenamt

(10) **DE 699 04 994 T2** 2004.01.08

(12) # Übersetzung der europäischen Patentschrift

(97) **EP 0 974 905 B1**
(21) Deutsches Aktenzeichen: **699 04 994.6**
(96) Europäisches Aktenzeichen: **99 305 059.0**
(96) Europäischer Anmeldetag: **28.06.1999**
(97) Erstveröffentlichung durch das EPA: **26.01.2000**
(97) Veröffentlichungstag der Patenterteilung beim EPA: **22.01.2003**
(47) Veröffentlichungstag im Patentblatt: **08.01.2004**

(51) Int Cl.[7]: **G06F 11/20**

(30) Unionspriorität:
9828423 14.07.1998 KR

(84) Benannte Vertragsstaaten:
DE, FR, GB, IT

(73) Patentinhaber:
Samsung Electronics Co., Ltd., Suwon, Kyonggi, KR

(72) Erfinder:
Lee, Kyu-chan, Kangdong-gu, Seoul, KR; Yi, Chul-woo, Paldal-gu, Kyungki-do, KR

(74) Vertreter:
Patentanwälte Ruff, Wilhelm, Beier, Dauster & Partner, 70174 Stuttgart

(54) Bezeichnung: **Integrierte Speicherschaltung mit Redundanz**

Anmerkung: Innerhalb von neun Monaten nach der Bekanntmachung des Hinweises auf die Erteilung des europäischen Patents kann jedermann beim Europäischen Patentamt gegen das erteilte europäische Patent Einspruch einlegen. Der Einspruch ist schriftlich einzureichen und zu begründen. Er gilt erst als eingelegt, wenn die Einspruchsgebühr entrichtet worden ist (Art. 99 (1) Europäisches Patentübereinkommen).

Die Übersetzung ist gemäß Artikel II § 3 Abs. 1 IntPatÜG 1991 vom Patentinhaber eingereicht worden. Sie wurde vom Deutschen Patent- und Markenamt inhaltlich nicht geprüft.

Beschreibung

[0001] Die vorliegende Erfindung betrifft den Bereich der integrierten Speicherschaltungen, und insbesondere die Verwendung von Sicherungen in einer integrierten Speicherschaltung um fehlerhafte Speicherzellen auszuschalten.

[0002] Zur Verbesserung der Leistung einer integrierten Speicherschaltung ist es allgemeine Praxis, Redundanzschaltungen in die Vorrichtung einzubauen, die verwendet werden können, um fehlerhafte Speicherzellen zu reparieren, die als Folge eines Schadens, der beim Herstellungsprozess aufgetreten ist, unbrauchbar sind. Die Redundanzschaltungen umfassen einen Ersatzspeicherdecoder und eine Ersatzspeicheranordnung, die unbrauchbare Speicherzellen aus der Hauptspeicheranordnung ersetzen können.

[0003] In **Fig.** 1 ist ein Blockdiagramm einer herkömmlichen integrierten Speicherschaltung **8** gezeigt, die Redundanzschaltungen enthält. Die integrierte Speicherschaltung **8** enthält einen Hauptspeicherdecoder **10**, der aus einer Vielzahl von normalen Decoderkomponenten **11**–**14** gebildet ist, und einen Treiberdecoder **15**. Jede normale Decoderkomponente **11**–**14** ist mit einem Worttreiber **16**–**19** gekoppelt. Die Worttreiber sind mit einer multidimensionalen Hauptspeicheranordnung **20** aus Speicherzellen gekoppelt und werden verwendet, um ein spezielles Wort aus der Hauptspeicheranordnung auszuwählen. Zusätzlich zum Hauptspeicherdecoder **10** ist ein Ersatzspeicherdecoder **21** parallel mit den normalen Decoderkomponenten **11**–**14** verdrahtet und ein Ersatzwortleitungstreiber **23** ist parallel mit den Worttreibern **16**–**19** verdrahtet, um Redundanz durch eine Ersatzspeicheranordnung **24** bereitzustellen.

[0004] Zur Erläuterung wird angenommen, dass die Hauptspeicheranordnung **20** eine zweidimensionale Anordnung von Reihen und Spalten ist, wobei der Hauptspeicherdecoder **10** ein Reihendecoder zum Auswählen einer Reihe von Speicherzellen aus der Anordnung **20** ist. Die Hauptspeicheranordnung **20** umfasst 2n+1 Reihen von Speicherzellen, die von Wortleitungen WL0–$WL2^{n+1} - 1$ ausgewählt werden. Dementsprechend werden N + 1 Adressenbits, als RA0-RAN identifiziert, verwendet, um auf die Reihen in der Hauptspeicheranordnung **20** zuzugreifen.

[0005] Die integrierte Speicherschaltung **8** von **Fig.** 1 funktioniert wie folgt. Wenn die Reihenadressensignalleitung (RAS) in einen aktiven Betriebszustand getrieben wird, empfängt der Hauptspeicherdecoder **10** nach einleitendem Vorcodieren eine Reihenadresse. Die normalen Decoderkomponenten **11**–**14** werden verwendet, um alle außer den beiden Bits mit der niedrigsten Ordnung zu decodieren. Die beiden Bits mit der niedrigsten Ordnung werden durch den Treiberdecoder **15** decodiert. Es folgt daraus, dass die normalen Decoderkomponenten **11**–**14** 2^{n-1} Wortleitungen decodieren, während der Treiberdecoder **15** vier Wortleitungen decodiert, was zur Decodierung einer Gesamtzahl von $2^{n-1} * 2^2 = 2^{n+1}$ Wortleitungen insgesamt führt.

[0006] Zusätzlich zum Bereitstellen einer Reihenadresse für den Hauptspeicherdecoder **10**, ist die Reihenadresse aus dem Ersatzspeicherdecoder **21** vorgesehen. Der Ersatzspeicherdecoder **21** decodiert dieselben Bits, RA2-RAN wie die normalen Decoderkomponenten **11**–**14** und wählt die geeignete Ersatzwortleitung aus der Ersatzspeicheranordnung **24** durch den Ersatzworttreiber **23** und den Treiberdecoder **15** aus. Insbesondere, wenn Fehler in einem von der Hauptspeicheranordnung **20** ausgewählten Wort gefunden werden, wird das Ausgangssignal XRED befähigt, die normalen Decoderkomponenten **11**–**14** zu desaktivieren, die die dem fehlerhaften Wort entsprechende Reihe decodiert haben. Zusätzlich zum Desaktivieren der entsprechenden normalen Decoderkomponenten 11-14 aktiviert des Ausgangssignal XRED auch den Ersatzworttreiber **23**, um Zugriff zur Ersatzspeicheranordnung **24** zu ermöglichen, die als Ersatz für die fehlerhafte Reihe in der Hauptspeicheranordnung **20** dient.

[0007] Während der zuvor genannte Ansatz wirksam sein kann, um die nötige Redundanz zum Erhalten der Ausbeute der integrierten Speicherschaltung **8** zur Verfügung zu stellen, kann er trotzdem einen signifikanten Nachteil erleiden. Das XRED-Signal, das den Zugang zum Redundanzpfad steuert, muss generell angesprochen werden, bevor die Adresse vom Hauptspeicherdecoder **10** decodiert wird. Ansonsten kann ein Konkurrenzzustand auftreten, bei dem Wortleitungen sowohl zur Hauptspeicheranordnung **20** und der Ersatzspeicheranordnung **24** ausgewählt werden, die der Reihenadresse entsprechen. Um diesen Zustand zu vermeiden, decodiert der Hauptspeicherdecoder **10** die Adresse nach einer definierten Verzögerung, um dem XRED-Signal Ausbreitung zu ermöglichen und die korrekte normale Decoderkomponente **11**–**14** auszuschalten und wenn nötig, den Ersatzworttreiber **23** zu aktivieren. Leider kann diese Verzögerung die Betriebsgeschwindigkeit der integrierten Speicherschaltung verringern.

[0008] Die Druckschrift US-A-5,532,966 offenbart eine Speicherschaltungsvorrichtung mit Redundanz, worin Reihendesaktivierungssicherungen vorgesehen sind, um Reihensegmente der Speicherschaltung auszuschalten.

[0009] Gemäß der vorliegenden Erfindung wird eine integrierte Speicherschaltung gemäß dem beigefügten unabhängigen Anspruch 1 vorgeschlagen.

[0010] Bevorzugt sind die Sicherungen derart angeordnet, dass der relative Abstand zwischen den Sicherungen sich im Wesentlichen entlang der zweiten Richtung erstreckt.

[0011] Bevorzugt sind die Sicherungen längs der ersten Richtung orientiert.

[0012] Durch Anordnen einer Vielzahl von Sicherungen zwischen dem Decoder und der Speicheranordnung kann, wenn eine fehlerhafte Speicherzelle gefunden wird, die geeignete Sicherung abgetrennt

werden, um den Decoder physikalisch von der fehlerhaften Zelle zu trennen. Dies kann dem Speicher ermöglichen, ohne zusätzlich erforderliche Verzögerung zum Umschalten auf eine Ersatz- oder Redundanzspeicheranordnung von Speicherzellen zu funktionieren. Deshalb kann die Speichergeschwindigkeit erhöht werden.

[0013] Außerdem kann durch Anordnen der Sicherungen derart, dass der relative Abstand zwischen den Sicherungen sich im Wesentlichen entlang der Richtung erstreckt, die nicht der Dimension entspricht, die decodiert wird, und Orientieren der Sicherungen längs zu der Richtung, die der decodierten Dimension entspricht, die Konstruktionsfläche für die Speicheranordnung reduziert und bevorzugt minimiert werden.

[0014] Es werden nun Beispiele der vorliegenden Erfindung ausführlich beschrieben mit Bezug zu den begleitenden Zeichnungen, in denen:

[0015] **Fig.** 1 ein Blockdiagramm einer herkömmlichen integrierten Speicherschaltung darstellt, die Redundanzkomponenten enthält zum Umschalten von einer herkömmlichen Hauptspeicheranordnung zu einer Ersatzspeicheranordnung;

[0016] **Fig.** 2 ein Blockdiagramm einer integrierten Speicherschaltungsvorrichtung gemäß der vorliegenden Erfindung darstellt, die Sicherungen zwischen einem Hauptspeicherdecoder und einer Hauptspeicheranordnung zum Umschalten von der Hauptspeicheranordnung zu einer Ersatzspeicheranordnung verwendet;

[0017] **Fig.** 3 ein Blockdiagramm darstellt, das eine erste Anordnung von Sicherungen von **Fig.** 2 zeigt;

[0018] **Fig.** 4 ein Blockdiagramm darstellt, das eine zweite Anordnung von Sicherungen von **Fig.** 2 zeigt; und

[0019] **Fig.** 5 ein Blockdiagramm darstellt, das einen normalen Decoder und zugehörige Verdrahtung für die integrierte Speicherschaltungsvorrichtung von **Fig.** 2 zeigt, wenn keine Sicherungen verwendet sind.

[0020] Eine integrierte Speicherschaltung **26**, in der die Prinzipien der vorliegenden Erfindung ausgeführt sind, ist in **Fig.** 2 gezeigt. Der Speicher **26** enthält einen Hauptspeicherdecoder **28**, der einen normalen Decoderteil **30** und einen Treiberdecoder **71** umfasst. Der normale Decoderteil **30** decodiert alle außer den beiden Bits der niedrigsten Ordnung RA0 und RA1, die vom Treiberdecoder **71** decodiert werden. Der normale Decoderteil **30** ist gebildet aus einer Vielzahl von normalen Decoderkomponenten **31**–**34**, die über Sicherungen **41**–**44** mit Worttreibern **51**–**54** gekoppelt sind, die verwendet werden, um Wörter aus der Hauptspeicheranordnung **56** auszuwählen. Die Sicherungen **41**–**44** sind zwischen die Ausgangsleitungen des normalen Decoderteils **30** und der Eingangsleitungen der Worttreiber **51**–**54** positioniert. Alternativ können die Sicherungen **41**–**44** in die normalen Decoderkomponenten **31**–**34** eingebracht sein. Der Speicher **26** weist auch einen Ersatzspeicherdecoder **61** und eine Ersatzwortspeicher **63** auf, die parallel mit dem normalen Decoderteil **30** bzw. den Worttreibern **51**–**54** verbunden sind. Der Ersatzspeicherdecoder **61** und der Ersatzworttreiber **63** werden verwendet, um auf die Ersatzspeicheranordnung **66** zuzugreifen, um fehlerhafte Speicherzellen in der Hauptspeicheranordnung **56** zu ersetzen, wie es zuvor diskutiert wurde.

[0021] Zur Erläuterung wird angenommen, dass die Hauptspeicheranordnung **56** und die Ersatzspeicheranordnung **66** zweidimensionale Anordnungen sind, die aus Reihen von Speicherzellen bestehen, die sich in eine erste Richtung erstrecken und Spalten von Speicherzellen, die sich in eine zweite Richtung erstrecken. Außerdem wird die vorliegende Erfindung hier auf das Decodieren von Reihen von Speicherzellen in einer zweidimensionalen Speicheranordnung angewendet beschrieben. Es ist jedoch erkennbar, dass die Prinzipien der vorliegenden Erfindung gleichermaßen auf das Decodieren von Spalten von Speicherzellen in einer zweidimensionalen Speicheranordnung anwendbar sind und im allgemeinen in n-dimensionalen Speicheranordnungen verwendet werden können, wo n ≠ 2.

[0022] Mit Bezug zu **Fig.** 2 wird nun die Funktion des Speichers **26** beschrieben. Wenn die Reihenadressensignalleitung (RAS) in einen aktiven Betriebszustand getrieben wird, empfängt der Hauptspeicherdecoder **28** eine Reihenadresse, die durch Reihenadressenbits RA0-RAN definiert ist. Der normale Decoderteil **30** decodiert die Bits RA2 bis RAN, während der Treiberdecoder **71** die Bits RA0 und RA1 decodiert. Die Worttreiber **51**–**54** verwenden die Ausgangssignale von den normalen Decoderkomponenten **31**–**34** und das Ausgangssignal vom Treiberdecoder **71**, um eine Wortleitung auszuwählen, die unter den von jedem Worttreiber **51**–**54** gesteuerten vier Wortleitungen betrieben werden soll.

[0023] Wenn eine fehlerhafte Speicherzelle in der Hauptspeicheranordnung **56** gefunden wird, wird der Weg zwischen dem normalen Decoderteil **30** und der Hauptspeicheranordnung **56** durch Abtrennen der Sicherung, die die der fehlerhaften Speicherzelle zugeordnete normale Decoderkomponente **31**–**34** verbindet, unterbrochen. Wenn die Sicherung abgetrennt ist, gibt der Ersatzspeicherdecoder **61** ein Redundanzansprechsignal RACT aus. Der Ersatzworttreiber **63** verwendet das Ausgangssignal vom Ersatzspeicherdecoder **61** und das Ausgangssignal vom Treiberdecoder **71**, um eine Wortleitung auszuwählen, die unter den vom Ersatzworttreiber **63** gesteuerten vier Wortleitungen betrieben werden soll.

[0024] Mit Vorteil braucht ein Speicher **26**, gemäß der vorliegenden Erfindung keine künstlichen Verzögerungen im normalen Decodierteil **30** anzuwenden, wie es manchmal in Konstruktionen im Stand der Technik verwendet ist, wie es mit Bezug zu **Fig.** 1 zuvor diskutiert wurde. Außerdem braucht die vorliegende Erfindung keine Konversionsschaltung anzuwenden, um zwischen der Hauptspeicheranordnung

56 und der Ersatzspeicheranordnung **66** umzuschalten, was den Stromverbrauch erhöhen kann.

[0025] **Fig.** 3 zeigt eine erste Ausführungsform von Sicherungen, die in der integrierten Speicherschaltung von **Fig.** 2 angeordnet sind. Wie in **Fig.** 3 gezeigt ist, sind vier Sicherungen **81**–**84** zusammen gruppiert, so dass sie eine Sicherungsbox **80** bilden. In der Praxis können weniger oder mehr als vier Sicherungen in einer einzigen Sicherungsbox zusammen gruppiert sein.

[0026] Die Ausgangssignale vom normalen Decoderteil **30** werden durch die Sicherungen **81**–**84** zu den Worttreiberreihendecodern **51a**-**54a** übertragen. Die Worttreiberreihendecoder **51a**–**54a** von **Fig.** 3 (in **Fig.** 2 nicht gezeigt) umfassen eine Schaltung, die mit den Ausgangssignalen des normalen Decoderteils **30** verbunden sind. Dementsprechend sind die Ausgangssignale **91a**-**94a** der Worttreiberreihendecoder **51a**-**54a** Eingangssignale für die entsprechenden Worttreiber **51**–**54** wie es in **Fig.** 2 gezeigt ist.

[0027] Die Ausgangssignalleitungen **91a**-**94a** der Worttreiberreihendecoder **51a**-**54a** sind in der in **Fig.** 3 gezeigten Ausführungsform in einer Spaltenrichtung verdrahtet. Gleichermaßen sind die Sicherungen **81**–**84**, die generell langgestreckt sind, derart dass ihre Länge gleich oder größer ist als ihre Breite, längs orientiert oder in Spaltenrichtung verdrahtet. Die Sicherungen **81**–**84** sind derart positioniert, dass sich der relative Abstand zwischen den Sicherungen **81**–**84** im Wesentlichen entlang der Reihenrichtung erstreckt.

[0028] In einer bevorzugten Ausführungsform ist der minimale Abstand zwischen den Sicherungen **81**–**84** bevorzugt ungefähr 2 μm, die minimale Breite jeder Sicherung bevorzugt ungefähr 1 μm und die minimale Teilung zwischen den Sicherungen ist bevorzugt ungefähr 3 μm. Die Randteilung zwischen den Sicherungen **81**–**84** steht in Zusammenhang mit der Spotgröße eines Laserstrahls, der verwendet wird, um die Sicherungen **81**–**84** abzutrennen. Die Länge jeder Sicherung beträgt bevorzugt ungefähr 5 μm. Deshalb beträgt die minimale Fläche, die von der Sicherungsbox **80** belegt wird, ungefähr 12 μm in Reihenrichtung und ungefähr 5 μm in Spaltenrichtung. Auch beträgt bedingt durch die Randteilung der Sicherungen **81**–**84** die Teilung zwischen den Ausgangssignalleitungen **91a**-**94a** der Worttreiberreihendecoder **51a**-**54a** ungefähr 3 μm.

[0029] **Fig.** 4 zeigt eine zweite Ausführungsform der in der integrierten Speicherschaltung **26** von **Fig.** 2 angeordneten Sicherungen. Mit Bezug zu **Fig.** 4 werden die Ausgangssignale durch eine Vielzahl von Sicherungen **101**–**104** vom normalen Decoderteil **30** zu den Worttreiberreihendecodern **51b**-**54b** übertragen. Die Worttreiberreihendecoder **51b**-**54b** von **Fig.** 4 (in **Fig.** 2 nicht gezeigt) umfassen eine Schaltung, die mit den Ausgangssignalen des normalen Decoderteils **30** verbunden sind. Dementsprechend sind die Ausgangssignale **91b**-**94b** der Worttreiberreihendecoder **51b**-**54b** Eingangssignale für die entsprechenden Worttreiber **51**–**54**, wie es in **Fig.** 2 gezeigt ist.

[0030] Die Ausgangssignalleitungen **91b**-**94b** der Worttreiberreihendecoder **51b**-**54b** sind in der in **Fig.** 4 gezeigten Ausführungsform in Spaltenrichtung verdrahtet. Umgekehrt sind die Sicherungen **101**–**104** längs orientiert oder in Reihenrichtung verdrahtet. Die Sicherungen **101**–**104** sind derart positioniert, dass der relative Abstand zwischen den Sicherungen **101**-**104** sich im Wesentlichen entlang der Spaltenrichtung erstreckt.

[0031] Deshalb besteht ein Unterschied zwischen der zweiten Ausführungsform von **Fig.** 4 und der ersten Ausführungsform von **Fig.** 3 in der Orientierung und dem Abstand der Sicherungen. In der ersten Ausführungsform von **Fig.** 3 sind die Sicherungen **81**–**84** nämlich längs in Spaltenrichtung orientiert und relativ zueinander in Reihenrichtung beabstandet. Umgekehrt sind in der zweiten Ausführungsform von **Fig.** 4 die Sicherungen **101**–**104** längs in Reihenrichtung orientiert und relativ zueinander in Spaltenrichtung beabstandet.

[0032] Wie in **Fig.** 3 beträgt der minimale Abstand zwischen den Sicherungen **101**–**104** von **Fig.** 4 bevorzugt ungefähr 2 μm, die minimale Breite jeder Sicherung bevorzugt 1 μm und die minimale Teilung zwischen den Sicherungen bevorzugt ungefähr 3 μm. Die Länge jeder Sicherung beträgt bevorzugt ungefähr 5 μm. In **Fig.** 4 bedeuten die unterschiedlichen Arten von Linien (d. h. unterbrochen oder durchgezogen), die die Verdrahtung der Sicherungen **101**–**104** darstellten, unterschiedliche Schichten in der integrierten Schaltung.

[0033] Sofern die Sicherungen **101**–**104** von **Fig.** 4 in Reihenrichtung längs orientiert sind und in Spaltenrichtung relativ zueinander beabstandet sind, beträgt die minimale Fläche, die eine Sicherungsbox **100** in einem Chip belegt, ungefähr 5 μm in Reihenrichtung und ungefähr 12 μm in Spaltenrichtung.

[0034] **Fig.** 5 zeigt eine Anordnung und Verdrahtung von Worttreiberreihendecodern und Ausgangssignalleitungen von **Fig.** 3 und 4 ohne vorhandene Sicherungen. Diese Anordnung ist zum Zwecke der Berechnung einer Grundkonstruktionsfläche für eine Speichervorrichtung ohne Sicherungen gezeigt, die dann mit den Konstruktionsflächen für die Ausführungsformen der **Fig.** 3 und **Fig.** 4 verglichen werden können, die beide Sicherungen enthalten.

[0035] Mit Bezug zu **Fig.** 5 beträgt die Teilung zwischen den Leitungen **111**–**114** des Ausgangssignals der Worttreiberreihendecoder **51c**-**54c** ungefähr 2 μm in einem 16M DRAM. Deshalb beträgt die von den vier Reihendecodern **51c**-**54c** belegte Länge in Reihenrichtung ungefähr 8 μm.

[0036] Die durch die Sicherungsanordnung in der ersten Ausführungsform von **Fig.** 3 und der zweiten Ausführungsform von **Fig.** 4 bedingte Vergrößerung der Konstruktionsfläche kann wie folgt berechnet werden.

[0037] Wie zuvor diskutiert beträgt in der ersten Ausführungsform von **Fig.** 3 die von den vier Wort-

treiberreihendecodern **51**a-54a belegte Länge in Reihenrichtung bevorzugt ungefähr 12 µm und die in der zweiten Ausführungsform von **Fig.** 4 von den vier Worttreiberreihendecodern **51b**–**54b** belegte Länge in Reihenrichtung bevorzugt ungefähr 8 µm.

[0038] Beispielsweise beträgt in einer 16M Speicheranordnung mit 8K (1K = 1024) Speicherzellen in Reihenrichtung und 2K Speicherzellen in Spaltenrichtung, die Anzahl der Wortleitungen, die von einem normalen Worttreiberdecoder betrieben werden, vier.

[0039] Deshalb beträgt bei der integrierten Speicherschaltung von **Fig.** 5, in der keine Sicherungen vorhanden sind, die Länge in Reihenrichtung 2 µm 8K/4 = 4096 µm. Die Länge in Reihenrichtung der integrierten Speicherschaltung von **Fig.** 3 beträgt 3 µm * 8K/4 = 6144 µm. Beim Vergleich der Ausführungsform von **Fig.** 3 mit der Ausführungsform von **Fig.** 5 beträgt die Zunahme in Reihenrichtung ungefähr 2000 µm und die Zunahme in Spaltenrichtung 5 µm Wenn die zweite Ausführungsform von **Fig.** 4 mit der Ausführungsform von **Fig.** 5 verglichen wird, nimmt die Länge in Reihenrichtung jedoch nicht zu und die Länge in Spaltenrichtung nimmt um 12 µm zu. Dementsprechend kann die in **Fig.** 4 gezeigte Anordnung verwendet werden, um Sicherungen in vorhandene Speicherzellenteilungen einer integrierten Speicherschaltung einzupassen.

[0040] Es ist erkennbar, dass eine Reihe von Arten von Sicherungen, Schutzschaltern oder sogar Logikschaltungen verwendet werden können, um den Hauptspeicherdecoder mit der Hauptspeicheranordnung zu koppeln, vorausgesetzt, dass sie verwendet werden können, um die Verbindung zwischen dem Hauptspeicherdecoder und der Hauptspeicheranordnung, wenn nötig, zu unterbrechen. Trotzdem können diese alternativen Arten von Sicherungen, Schutzschaltern oder Logikschaltungen in Abhängigkeit von ihrer physikalischen Geometrie und Betriebseigenschaften gewisse Vorteile und/oder Nachteile in Bezug auf die Erfordernisse an Speicherkonstruktionsfläche und/oder Speicherbetriebsgeschwindigkeit aufweisen.

[0041] Die Prinzipien der vorliegenden Erfindung wurden hier dargestellt, wie sie in einer integrierten Speicherschaltung angewendet werden, die eine Vielzahl von Sicherungen zwischen einem Hauptspeicherdecoder und einer Hauptspeicheranordnung aufweist. Wie zuvor mit Bezug zu **Fig.** 4 beschrieben wurde, brauchen die Sicherungen, wenn die Sicherungen längs in Reihenrichtung orientiert sind und so positioniert sind, dass der relative Abstand zwischen den Sicherungen sich im Wesentlichen entlang der Spaltenrichtung erstreckt, keinen zusätzlichen Raum in Reihenrichtung einzunehmen und es gibt nur eine geringe Zunahme im Raumbedarf in Spaltenrichtung. Auf diese Weise können Sicherungen hinzugefügt werden, um eine Redundanzkapazität zu implementieren, ohne dass eine Notwendigkeit besteht, die Konstruktionsfläche der Speichervorrichtung signifikant zu vergrößern. Bedingt durch die Orientierung und den relativen Abstand der Sicherungen benötigt die zweite Ausführungsform von **Fig.** 4 weniger Konstruktionsfläche als die erste Ausführungsform von **Fig.** 3. Außerdem kann die Verwendung von Sicherungen zwischen dem Hauptspeicherdecoder und der Hauptspeicheranordnung ermöglichen, dass fehlerhafte Speicherzellen physikalisch von der Decodierschaltung getrennt werden. Als Folge davon ist es nicht notwendig, eine Verzögerung in die Decodierschaltung einzuführen, was die Betriebsgeschwindigkeit der integrierten Speicherschaltung senken kann.

Patentansprüche

1. Integrierte Speicherschaltung mit einer Vielzahl von in Reihen und Spalten angeordneten Elementarzellen umfassend: eine Vielzahl von benachbart zueinander angeordneten Signalerzeugungsschaltungen (**30**), die Ausgabesignale erzeugen; und gekennzeichnet durch eine Vielzahl von parallel und in einer Richtung, die die Ausgangssignale tragende Verdrahtungen kreuzt, verdrahteten Sicherungen (**101**, **102**, **103**, **104**). Integrierte Speicherschaltung nach Anspruch 1, worin die Signalerzeugungsschaltungen Reihendecoder (**51b**–**54b)** sind, wobei die Ausgangssignale tragende Verdrahtung in einer Spaltenrichtung liegt, und die Sicherungen (**101**–**104**) parallel in einer Reihenrichtung verdrahtet sind.

2. Integrierte Speicherschaltung nach Anspruch 1, worin die Signalerzeugungsschaltungen Spaltendecoder (**51b**–**54b)** sind, wobei die Ausgangssignale tragende Verdrahtung in einer Reihenrichtung liegt, und die Sicherungen (**101**–**104**) parallel in einer Spaltenrichtung verdrahtet sind.

3. Integrierte Speicherschaltung nach Anspruch 1 ferner umfassend: eine Hauptspeicheranordnung (**56**), wobei die Hauptspeicheranordnung (**56**) erste und zweite Dimensionen aufweist, die sich in eine erste bzw. zweite Richtung erstrecken.

4. Integrierte Speicherschaltung nach Anspruch 4, worin die Vielzahl von Sicherungen (**101**-**104**) derart angeordnet ist, dass ein relativer Abstand zwischen den Sicherungen sich im Wesentlichen entlang der ersten Richtung erstreckt.

5. Integrierte Speicherschaltung nach Anspruch 5, worin jede der Sicherungen (**101**–**104**) eine Länge und eine Breite derart aufweist, dass die Länge mindestens so lang ist wie die Breite.

6. Integrierte Speicherschaltung nach Anspruch 5 oder 6, worin die Sicherungen (**101**–**104**) derart orientiert sind, dass ihre Längen im Wesentlichen parallel zur zweiten Richtung sind.

7. Integrierte Speicherschaltung nach einem der

Ansprüche 4 bis 7, worin die erste Dimension Reihen von Speicherzellen in der Hauptspeicheranordnung entspricht und die zweite Dimension Spalten von Speicherzellen in der Hauptspeicheranordnung entspricht.

8. Integrierte Speicherschaltung nach einem der Ansprüche 4 bis 7, worin die erste Dimension Spalten von Speicherzellen in der Hauptspeicheranordnung entspricht und die zweite Dimension Reihen von Speicherzellen in der Hauptspeicheranordnung entspricht.

9. Integrierte Speicherschaltung nach Anspruch 1, worin die Vielzahl von Sicherungen (**101**–**104**) umfasst: eine erste in einer Reichenrichtung verdrahtete Sicherung (**101**), die mit dem ersten Ausgabesignal (**91b**) elektrisch verbunden ist; und eine zweite in einer Reihenrichtung verdrahtete Sicherung (**102**), die mit dem zweiten Ausgabesignal (**92b**) elektrisch verbunden ist, worin die ersten und zweiten Sicherungen (**101**, **102**) parallel in Spaltenrichtung angeordnet sind.

Es folgen 5 Blatt Zeichnungen

Anhängende Zeichnungen

FIG. 1 (Stand der Technik)

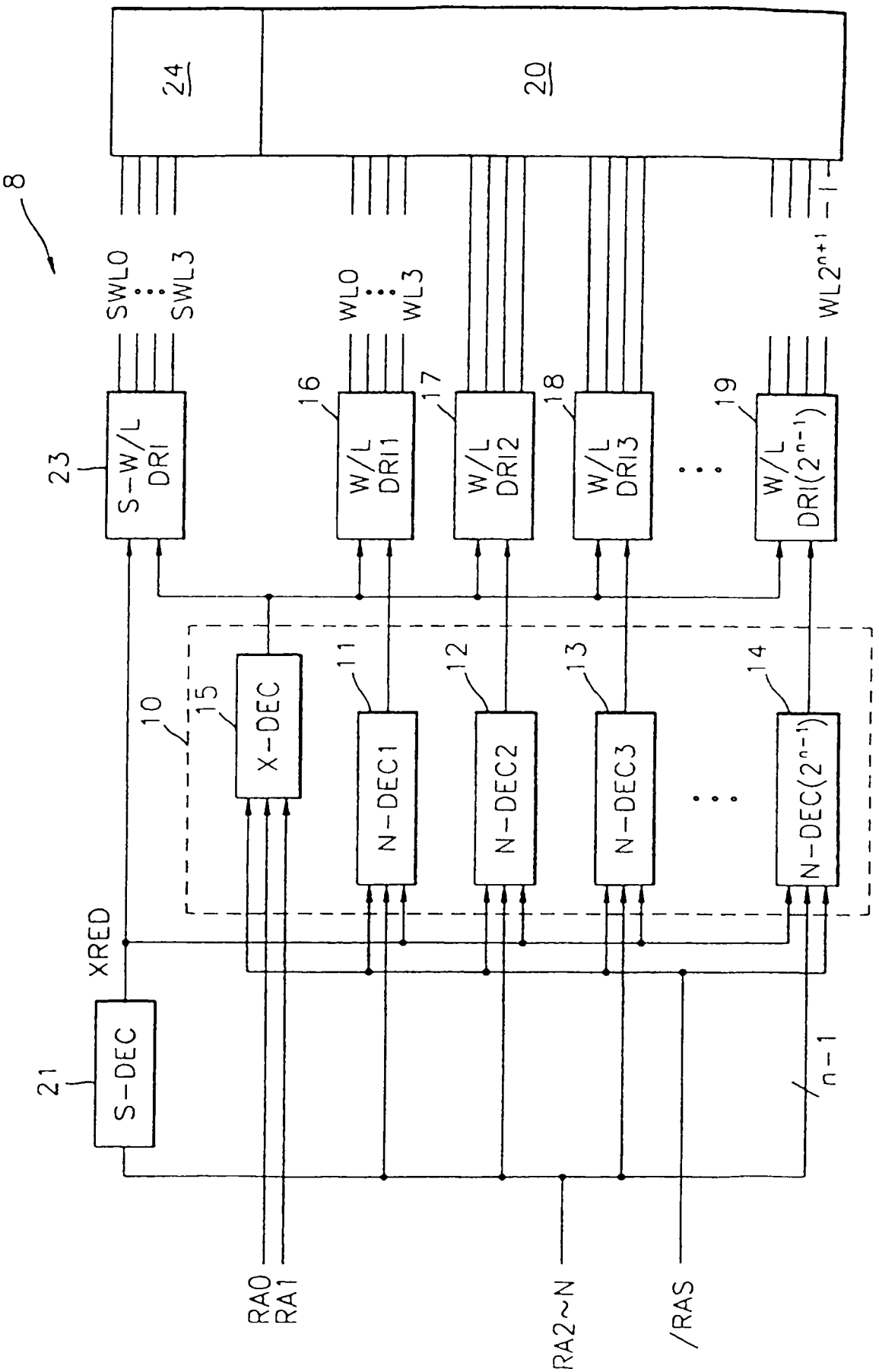


FIG. 2

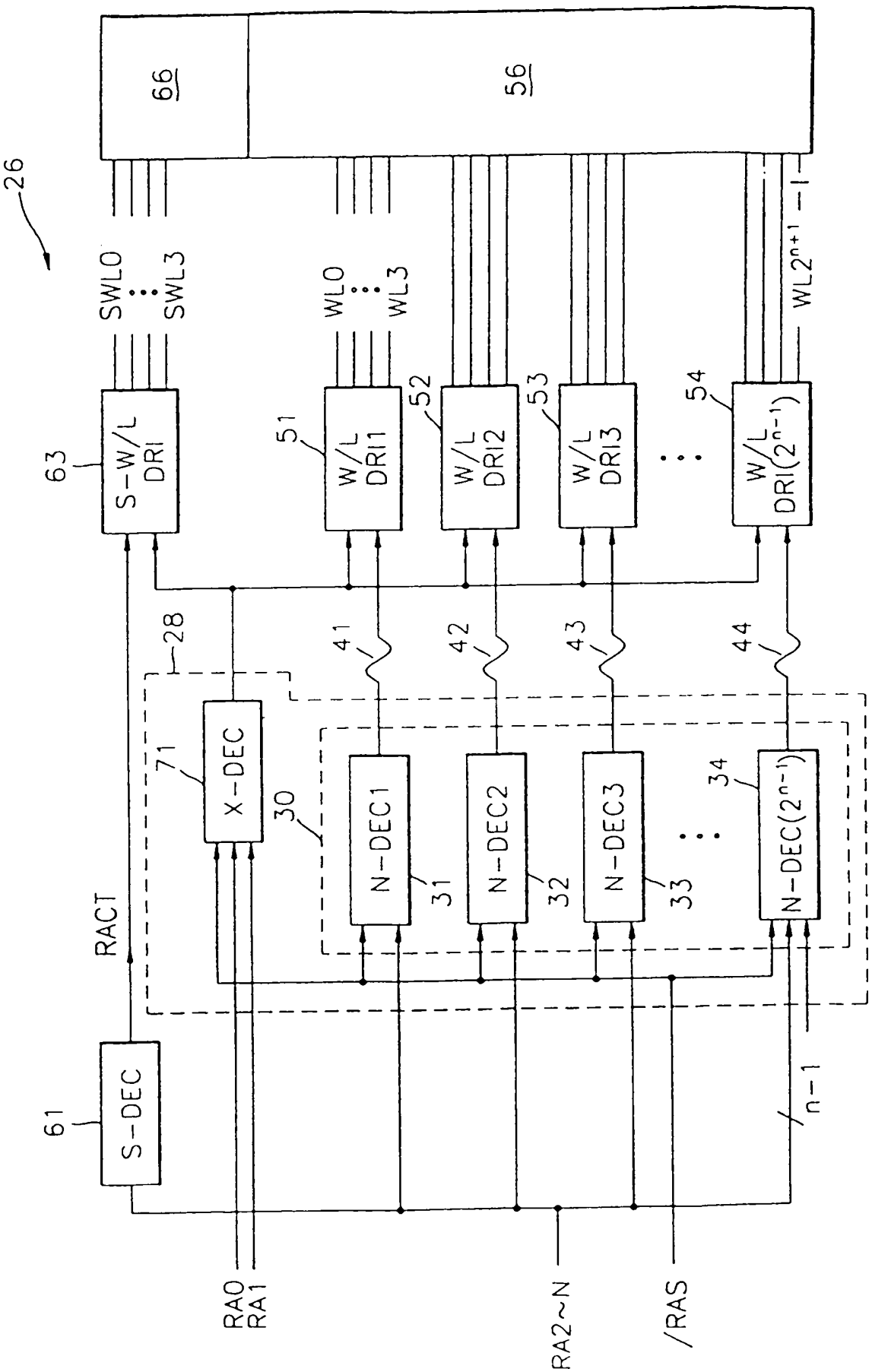

26
66
56
SWL0
SWL3
WL0
WL3
WL2^n+1 - 1
63
S-W/L DRI
51
W/L DRI1
52
W/L DRI2
53
W/L DRI3
54
W/L DRI(2^n-1)
28
41
42
43
44
71
X-DEC
30
N-DEC1
31
N-DEC2
32
N-DEC3
33
34
N-DEC(2^n-1)
RACT
61
S-DEC
n-1
RA0
RA1
RA2~N
/RAS

FIG. 3

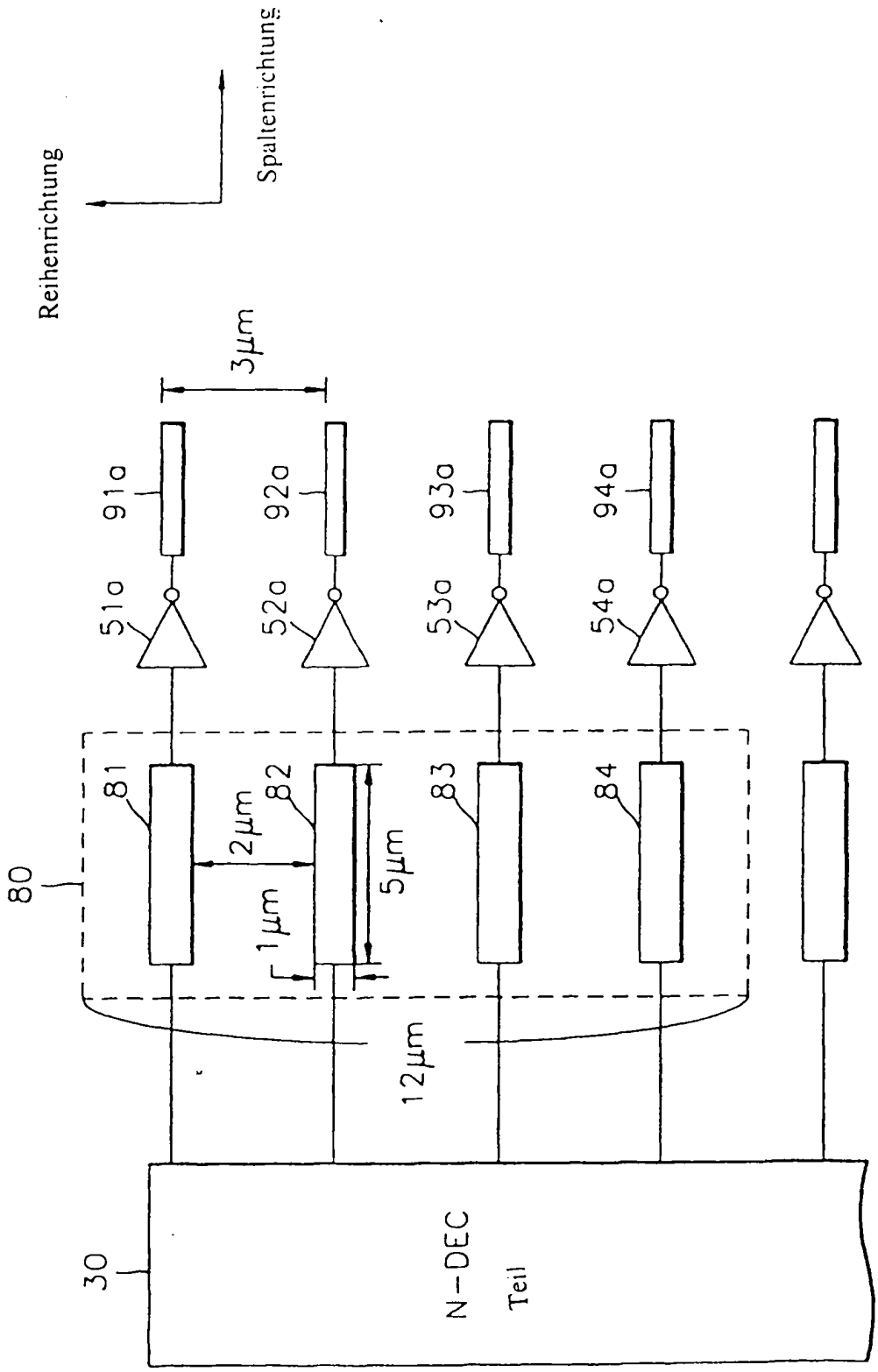

Reihenrichtung
Spaltenrichtung
3µm
91a
92a
93a
94a
51a
52a
53a
54a
81
82
83
84
2µm
1µm
5µm
80
12µm
30
N-DEC
Teil

FIG. 4

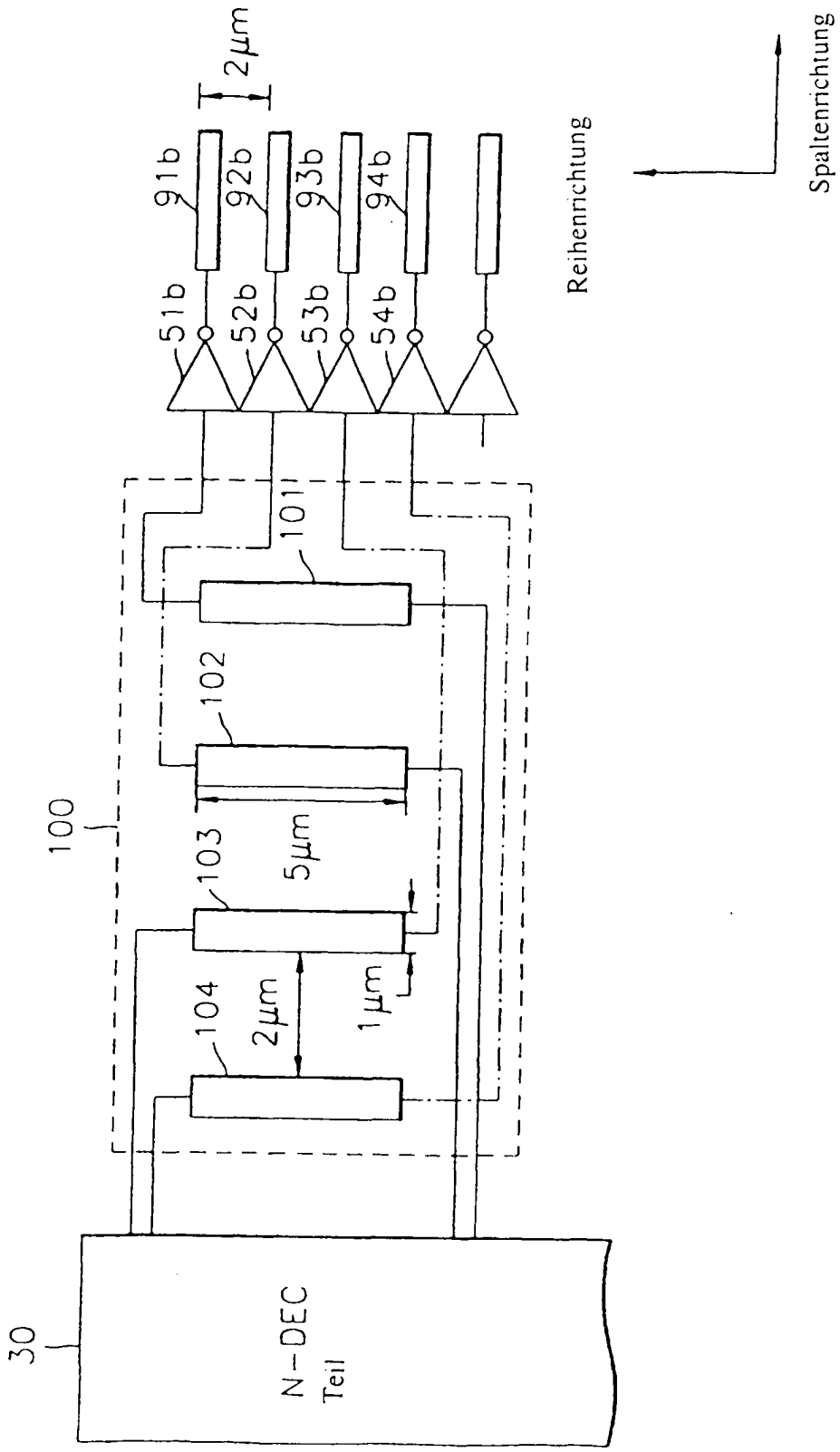
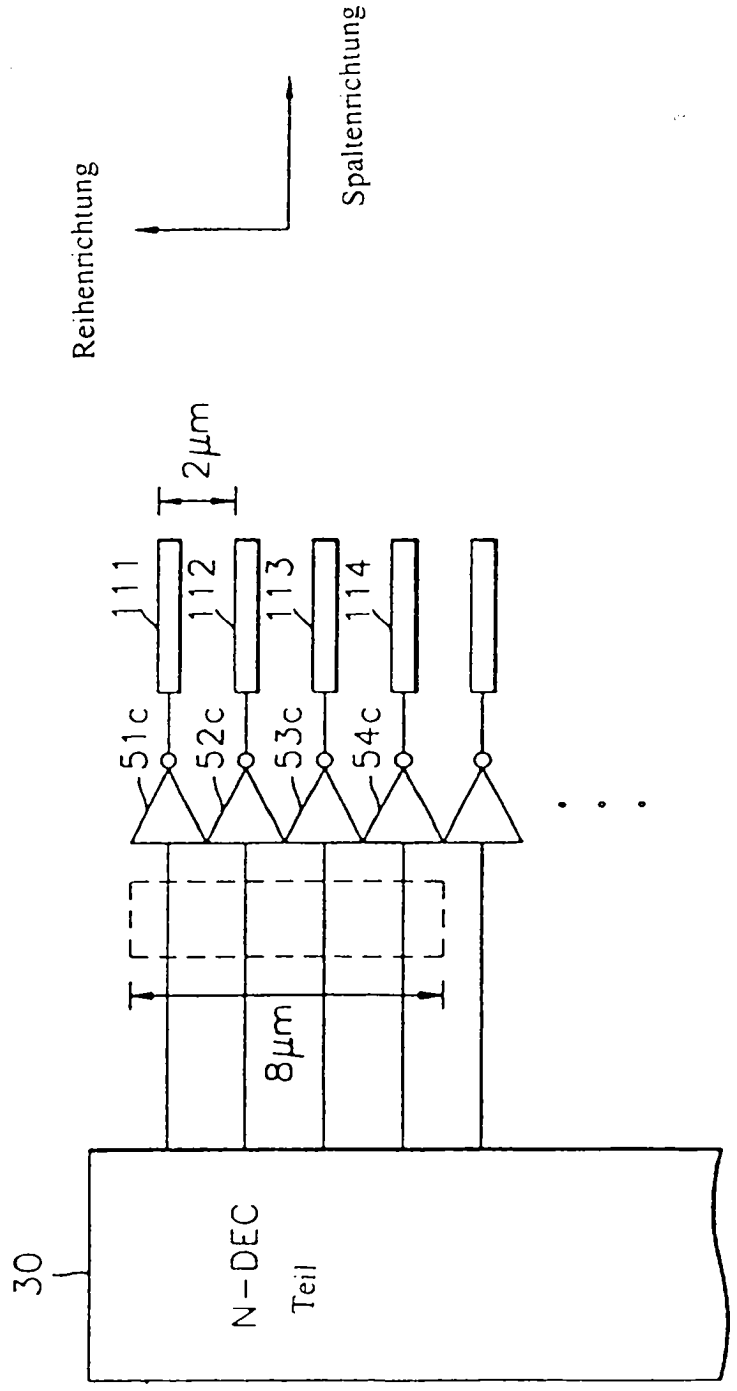

2µm
91b
92b
93b
94b
51b
52b
53b
54b
Reihenrichtung
Spaltenrichtung
101
102
100
103
5µm
104
2µm
1µm
30
N-DEC
Teil

FIG. 5


Reihenrichtung
Spaltenrichtung
2µm
111
112
113
114
51c
52c
53c
54c
8µm
30
N-DEC
Teil