

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第5941783号  
(P5941783)

(45) 発行日 平成28年6月29日(2016.6.29)

(24) 登録日 平成28年5月27日(2016.5.27)

(51) Int.Cl.

H04N 5/3745 (2011.01)  
H01L 27/146 (2006.01)

F 1

H04N 5/335  
H01L 27/14 A

請求項の数 10 (全 38 頁)

(21) 出願番号 特願2012-173175 (P2012-173175)  
 (22) 出願日 平成24年8月3日 (2012.8.3)  
 (65) 公開番号 特開2014-33363 (P2014-33363A)  
 (43) 公開日 平成26年2月20日 (2014.2.20)  
 審査請求日 平成27年6月1日 (2015.6.1)

(73) 特許権者 000000376  
 オリンパス株式会社  
 東京都八王子市石川町2951番地  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100094400  
 弁理士 鈴木 三義  
 (74) 代理人 100086379  
 弁理士 高柴 忠夫  
 (74) 代理人 100129403  
 弁理士 増井 裕士  
 (74) 代理人 100139686  
 弁理士 鈴木 史朗

最終頁に続く

(54) 【発明の名称】撮像装置

## (57) 【特許請求の範囲】

## 【請求項 1】

光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、

前記列信号線と電気的に接続された第1の入力端子と、第1の容量素子を介して前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、

前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、

スイッチ素子を有し、前記スイッチ素子の一端は前記第2の入力端子に接続され、前記スイッチ素子の他端は、前記リセット部によるリセット動作後に電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記電圧源の電圧に応じたオフセットを前記第2の入力端子に印加する変更部と、

を有し、

前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号

10

20

線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットとが異なる

ことを特徴とする撮像装置。

**【請求項 2】**

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値が、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値と異なることを特徴とする請求項1に係る撮像装置。10

**【請求項 3】**

光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、

第1の容量素子を介して前記列信号線と電気的に接続された第1の入力端子と、前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、20

前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、

スイッチ素子と第2の容量素子を有し、前記第2の容量素子の一端は前記第1の入力端子に接続され、前記第2の容量素子の他端は、前記リセット部によるリセット動作時には前記スイッチ素子を介して第1の電圧源に接続され、前記リセット部によるリセット動作後には前記スイッチ素子を介して前記第1の電圧源と異なる第2の電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記第1の電圧源および前記第2の電圧源の電圧に応じたオフセットを前記第1の入力端子に印加する変更部と、

を有し、

前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、30

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットとが異なる

ことを特徴とする撮像装置。

**【請求項 4】**

光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、40

前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、

前記列信号線と電気的に接続された第1の入力端子と、第1の容量素子を介して前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、

前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、

スイッチ素子と第2の容量素子を有し、前記第2の容量素子の一端は前記第2の入力端子に接続され、前記第2の容量素子の他端は、前記リセット部によるリセット動作時には前記スイッチ素子を介して第1の電圧源に接続され、前記リセット部によるリセット動作後には前記スイッチ素子を介して前記第1の電圧源と異なる第2の電圧源に接続され、前記第50

1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記第1の電圧源および前記第2の電圧源の電圧に応じたオフセットを前記第2の入力端子に印加する変更部と、

を有し、

前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置。 10

**【請求項 5】**

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の容量値と、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の容量値とが異なることを特徴とする請求項3または請求項4に係る撮像装置。

**【請求項 6】**

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の他端が接続される前記第1の電圧源および前記第2の電圧源の少なくとも一方の電圧源の電圧値が、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の他端が接続される前記第1の電圧源および前記第2の電圧源の少なくとも一方の電圧源の電圧値と異なることを特徴とする請求項3または請求項4に係る撮像装置。 20

**【請求項 7】**

前記第2の電圧源は前記アナログ信号であることを特徴とする請求項3に係る撮像装置。

**【請求項 8】**

前記第2の電圧源は前記参照信号であることを特徴とする請求項4に係る撮像装置。

**【請求項 9】**

光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、

第1の容量素子を介して前記列信号線と電気的に接続された第1の入力端子と、前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、

前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、

スイッチ素子を有し、前記スイッチ素子の一端は前記第1の入力端子に接続され、前記スイッチ素子の他端は、前記リセット部によるリセット動作後に電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記電圧源の電圧に応じたオフセットを前記第1の入力端子に印加する変更部と、 40

を有し、

前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続さ 50

れた前記比較部の前記第1の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置。

**【請求項 10】**

前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値が、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値と異なることを特徴とする請求項9に係る撮像装置。

**【発明の詳細な説明】**

10

**【技術分野】**

**【0001】**

本発明は、撮像装置に関する。

**【背景技術】**

**【0002】**

従来例に係るAD変換方法を用いた撮像装置として、特許文献1に記載された構成が知られている。初めに、特許文献1に記載された撮像装置の構成および動作について説明する。

**【0003】**

図16は、特許文献1に記載された従来例に係るAD変換方法を用いた(C)MOS撮像装置の概略構成を示している。撮像装置1001は、撮像部1002、垂直選択部1012、読み出し電流源部1005、アナログ部1006、カラム処理部1015、参照信号生成部1016、水平選択部1014、出力部1017、変更部1018、タイミング制御部1020で構成されている。

20

**【0004】**

タイミング制御部1020は、垂直選択部1012、読み出し電流源部1005、アナログ部1006、カラム処理部1015、参照信号生成部1016、水平選択部1014、および出力部1017などの各部を制御する。撮像部1002は、光電変換素子を有する単位画素1003が行列状に配置されて構成され、入射される電磁波の大きさに応じた画素信号を生成し、列毎に設けられた垂直信号線1013へ出力する。

**【0005】**

30

垂直選択部1012は、撮像部1002の各単位画素1003の駆動に際して、行制御線1011を介して撮像部1002の行アドレスや行走査の制御を行う。水平選択部1014は、カラム処理部1015の列AD変換部1030の列アドレスや列走査の制御を行う。読み出し電流源部1005は、撮像部1002からの画素信号を電圧信号として読み出すための電流源である。アナログ部1006は、必要に応じて増幅等を実施する。

**【0006】**

カラム処理部1015は、変更部1018と、撮像部1002の列毎に設けられた列AD変換部1030とを有する。変更部1018は、列AD変換部1030に与えられる電圧を変更する。列AD変換部1030は、撮像部1002の各単位画素1003から列毎に出力される画素信号であるアナログ信号をデジタルデータに変換して出力する。参照信号生成部1016は、例えば積分回路やDAC回路で構成され、時間が経過するにつれてレベルが傾斜状に変化する参照信号Rampを生成する。

40

**【0007】**

次に、列AD変換部1030の構成について説明する。図17は、列AD変換部1030を含むカラム処理部1015の構成を示している。列AD変換部1030は全て同一に構成され、各々の列AD変換部1030は、比較部1031、計測部1032を有する構成となっている。

**【0008】**

比較部1031は、一般的に良く知られている差動アンプを基本構成とするコンパレータ回路である。比較部1031は、撮像部1002の単位画素1003から出力される画素信号と参照信号Rampとを比較し、例えば参照信号Rampが画素信号よりも大なるときはHighレベル、例えば参照信号Rampが画素信号よりも小なるときはLowレベルを出力する。

50

**【 0 0 0 9 】**

計測部1032は、アップ／ダウンカウンタ回路で構成され、比較部1031が比較を開始してから比較を終了するまでの比較時間を計測する。これにより、画素信号の大きさに応じた比較時間の計測値が得られる。水平選択部1014は、シフトレジスタやデコーダなどによって構成され、カラム処理部1015における各列AD変換部1030の列アドレスや列走査の制御を行う。これにより、AD変換されたデジタルデータは順に水平信号線を経由して出力部1017に出力される。

**【 0 0 1 0 】**

変更部1018はスイッチ素子で構成されている。スイッチ素子の一端は、全ての列の比較部1031の2つの入力端子のうち、参照信号Rampが与えられる入力端子に接続され、スイッチ素子の他端は電源VDDに接続されている。変更部1018を構成するスイッチ素子がON（活性化）されることで、参照信号Rampが与えられる比較部1031の入力端子は電源VDDに短絡される。

10

**【 0 0 1 1 】**

比較部1031による比較動作は、比較部1031を構成する差動アンプの2つの入力端子の電圧のリセット（バランス）が行われた後に開始される。リセット動作後に、比較部1031を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ることにより、比較部1031の出力が反転しなかったり、参照信号Rampの入力後直ちに比較部1031の出力が反転したりする不具合を防ぐため、撮像装置1001に変更部1018が設けられている。

**【 0 0 1 2 】**

20

次に、AD変換動作について説明する。単位画素1003の具体的な動作については説明を省略するが、単位画素1003からは画素信号としてリセットレベルと信号レベルとが出力される。

**【 0 0 1 3 】**

まず、単位画素1003からのリセットレベルの読み出しが安定した後、比較部1031を構成する差動アンプの2つの入力端子の電圧のリセットが行われる。続いて、変更部1018により、参照信号Rampが与えられた入力端子に所定の電圧（オフセット）が印加される。その後、比較部1031は、その所定の電圧を比較開始の電圧として参照信号Rampとリセットレベルとの比較を行い、参照信号Rampがリセットレベルに対して所定の条件を満たしたタイミングで比較処理を終了する。計測部1032はダウンカウントモードで計測を実施し、比較処理の終了時点の計測値がリセットレベルのデジタルデータとなる。

30

**【 0 0 1 4 】**

続いて、単位画素1003からの信号レベルの読み出し時には、比較部1031におけるリセット動作および変更部1018による変更動作は行わない。単位画素1003からの信号レベルの読み出しが安定した後、比較部1031は、上記所定の電圧を比較開始の電圧として参照信号Rampと信号レベルとの比較を行い、参照信号Rampが信号レベルに対して所定の条件を満たしたタイミングで比較処理を終了する。計測部1032はアップカウントモードで計測を実施し、比較終了時点の計測部1032の計測値が信号成分（信号レベルからリセットレベルを減算した信号）のデジタルデータとなる。

**【 0 0 1 5 】**

40

以上のように、画素信号をAD変換することが可能となる。また、リセット動作後に、比較部1031を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、変更部1018により、参照信号Rampが与えられる入力端子にオフセットを印加することで、参照信号Rampが与えられる入力端子の電圧が、画素信号が与えられる入力端子の電圧よりも高くなるため、比較部1031の出力を比較動作中に確実に反転させることができる。

**【先行技術文献】****【特許文献】****【 0 0 1 6 】**

**【特許文献1】特開2006-340044号公報**

**【発明の概要】**

50

**【発明が解決しようとする課題】**

**【0017】**

しかしながら、上記の従来の撮像装置には以下に示す問題がある。

**【0018】**

(1) 差動アンプの入力端子の電圧を直接変更する構成に関する問題

リセット後の差動アンプの2つの入力端子の電圧はリセット電圧 $V_{RST}$ に略一致する。リセットが行われた後、変更部1018を構成するスイッチ素子が制御(ON)されることで、参照信号が与えられる入力端子にオフセットが印加された後、AD変換が行われる。このように、参照信号が与えられる入力端子にオフセットを印加することで、比較部1031の出力を比較動作中に確実に反転させることができ、AD変換精度が向上する。しかし、一行の画素数分の差動アンプの入力端子に一様なオフセットが印加されるだけであるので、一行の画素数分の比較部1031が同時に比較処理を終了する可能性が高い。特に、リセットレベルのAD変換時に、一行の画素数分の比較部1031が同時に比較処理を終了することが考えられる。比較部1031では、比較処理の終了時に、比較部1031を構成する差動アンプ内のトランジスタのオン／オフの切替による電流が流れる。このため、一行の画素数分の比較部1031が同時に比較処理を終了すると、電力集中による電圧降下に起因する誤動作の問題がある。10

**【0019】**

(2) 差動アンプの入力端子の電圧を参照信号の制御で間接的に変更する構成に関する問題

上記の方法に代えて、参照信号を制御することで、参照信号が与えられる入力端子の電圧を所定の電圧に変更することが考えられる。この場合も同様に、AD変換精度が向上する。しかし、一行の画素数分の差動アンプの入力端子に一様なオフセットが印加されることに変わりはなく、一行の画素数分の比較部1031が同時に比較処理を終了する可能性が高い。したがって、電力集中による電圧降下に起因する誤動作の問題がある。20

**【0020】**

本発明は、上述した課題に鑑みてなされたものであって、より高精度なAD変換を行うことができる撮像装置を提供することを目的とする。

**【課題を解決するための手段】**

**【0021】**

本発明は、上記の課題を解決するためになされたもので、光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、前記列信号線と電気的に接続された第1の入力端子と、第1の容量素子を介して前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、スイッチ素子を有し、前記スイッチ素子の一端は前記第2の入力端子に接続され、前記スイッチ素子の他端は、前記リセット部によるリセット動作後に電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記電圧源の電圧に応じたオフセットを前記第2の入力端子に印加する変更部と、を有し、前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置である。30

また、本発明の撮像装置において、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値が、前記第2の画素群に含まれ40

る前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記スイッチ素子の他端が接続される前記電圧源の電圧値と異なることを特徴とする。

また、本発明は、光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、第1の容量素子を介して前記列信号線と電気的に接続された第1の入力端子と、前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、スイッチ素子と第2の容量素子を有し、前記第2の容量素子の一端は前記第1の入力端子に接続され、前記第2の容量素子の他端は、前記リセット部によるリセット動作時には前記スイッチ素子を介して第1の電圧源に接続され、前記リセット部によるリセット動作後には前記スイッチ素子を介して前記第1の電圧源と異なる第2の電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記第1の電圧源および前記第2の電圧源の電圧に応じたオフセットを前記第1の入力端子に印加する変更部と、を有し、前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置である。10

#### 【0022】

また、本発明は、光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、前記列信号線と電気的に接続された第1の入力端子と、第1の容量素子を介して前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、スイッチ素子と第2の容量素子を有し、前記第2の容量素子の一端は前記第2の入力端子に接続され、前記第2の容量素子の他端は、前記リセット部によるリセット動作時には前記スイッチ素子を介して第1の電圧源に接続され、前記リセット部によるリセット動作後には前記スイッチ素子を介して前記第1の電圧源と異なる第2の電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記第1の電圧源および前記第2の電圧源の電圧に応じたオフセットを前記第2の入力端子に印加する変更部と、を有し、前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第2の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置である。30

#### 【0023】

また、本発明の撮像装置において、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の容量値と、前記第2の画素群に含まれる前記単位画素の配列のいずれ40

10

20

30

40

50

かの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の容量値とが異なることを特徴とする。

#### 【0024】

また、本発明の撮像装置において、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の他端が接続される前記第1の電圧源および前記第2の電圧源の少なくとも一方の電圧源の電圧値が、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部に係る前記変更部が有する前記第2の容量素子の他端が接続される前記第1の電圧源および前記第2の電圧源の少なくとも一方の電圧源の電圧値と異なることを特徴とする。 10

#### 【0025】

また、本発明の撮像装置において、前記第2の電圧源は前記アナログ信号であることを特徴とする。

#### 【0026】

また、本発明の撮像装置において、前記第2の電圧源は前記参照信号であることを特徴とする。

#### 【0027】

また、本発明は、光電変換素子を有する複数の単位画素が行列状に配置され、前記単位画素の配列の列毎に対応する列信号線にアナログ信号を出力する撮像部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記撮像部の各単位画素を前記単位画素の配列の行毎に選択制御する行選択部と、第1の容量素子を介して前記列信号線と電気的に接続された第1の入力端子と、前記参照信号生成部と電気的に接続された第2の入力端子とを有し、前記第1の入力端子および前記第2の入力端子の電圧を比較する差動アンプ部と、前記第1の入力端子および前記第2の入力端子の電圧をリセットするリセット部と、を有する比較部と、前記比較部による比較開始から比較終了までの比較時間を計測する計測部と、スイッチ素子を有し、前記スイッチ素子の一端は前記第1の入力端子に接続され、前記スイッチ素子の他端は、前記リセット部によるリセット動作後に電圧源に接続され、前記第1の入力端子と前記第2の入力端子の電圧差が、前記比較部による比較動作を保証する電圧となるように前記電圧源の電圧に応じたオフセットを前記第1の入力端子に印加する変更部と、を有し、前記撮像部に配置された複数の前記単位画素は、第1の画素群に含まれる前記単位画素と、前記第1の画素群と異なる第2の画素群に含まれる前記単位画素とを有し、前記第1の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットと、前記第2の画素群に含まれる前記単位画素の配列のいずれかの列に対応する前記列信号線に接続された前記比較部の前記第1の入力端子に印加される前記オフセットとが異なることを特徴とする撮像装置である。 20 30

#### 【発明の効果】

#### 【0030】

本発明によれば、第1の画素群に含まれる単位画素の配列のいずれかの列に対応する列信号線に接続されたAD変換部の変更部が比較部の第1の入力端子または第2の入力端子に印加するオフセットと、第2の画素群に含まれる単位画素の配列のいずれかの列に対応する列信号線に接続されたAD変換部の変更部が比較部の第1の入力端子または第2の入力端子に印加するオフセットとが異なることによって、各比較部が略同時に比較を開始した場合でも、異なるタイミングで各比較部に比較を終了させることができることが可能となる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。 40

#### 【図面の簡単な説明】

#### 【0031】

【図1】本発明の第1の実施形態に係る撮像装置の構成を示すブロック図である。

【図2】本発明の第1の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。 50

【図3】本発明の第1の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。

【図4】本発明の第1の実施形態に係る撮像装置が備える比較部の入力端子における電圧変化を説明するための図である。

【図5】本発明の第2の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図6】本発明の第2の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。

【図7】本発明の第2の実施形態に係る撮像装置が備える比較部の入力端子における電圧変化を説明するための図である。 10

【図8】本発明の第3の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図9】本発明の第3の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。

【図10】本発明の第4の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図11】本発明の第4の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。 20

【図12】本発明の第5の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図13】本発明の第5の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。 20

【図14】本発明の第6の実施形態に係る撮像装置が備えるカラム処理部の構成を示すブロック図である。

【図15】本発明の第6の実施形態に係る撮像装置が備える比較部と変更部の構成および比較部の入力端子における電圧変化を示す図である。 20

【図16】従来の撮像装置の構成を示すブロック図である。

【図17】従来の撮像装置が備えるカラム処理部の構成を示すブロック図である。

#### 【発明を実施するための形態】

##### 【0032】

以下、図面を参照し、本発明の実施形態を説明する。 30

##### 【0033】

###### (第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態に係る(C)MOS撮像装置の構成の一例を示している。図1に示す撮像装置1は、撮像部2、垂直選択部12、カラム処理部15、参照信号生成部16、変更部18a、水平選択部14、出力部17、タイミング制御部20で構成されている。

##### 【0034】

撮像部2は、入射される電磁波の大きさに応じた画素信号を生成し出力する単位画素3が複数、行列状に配置されている。垂直選択部12は、撮像部2の各行を選択する。参照信号生成部16は、時間が経過するにつれてレベルが傾斜状に変化する参照信号Ramp(ランプ波)を生成する。カラム処理部15は参照信号生成部16と接続される。水平選択部14は、AD変換されたデジタルデータを水平信号線に読み出す。出力部17は、水平選択部14によって読み出されたデジタルデータを後段の回路に出力する。タイミング制御部20は各部を制御する。 40

##### 【0035】

図1では、簡単のため4行×6列の単位画素3から構成される撮像部2の場合について説明しているが、現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置されることになる。尚、図示を割愛するが、撮像部2を構成する単位画素3は、フォトダイオード/フォトゲート/フォトトランジスタなどの光電変換素子、およびトランジスタ回路に 50

よって構成されている。

**【 0 0 3 6 】**

以下では、各部のより詳細な説明を行う。撮像部2は、単位画素3が4行6列分だけ2次元に配置されるとともに、この4行6列の画素配列に対して行ごとに行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各单位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列ごとに垂直信号線13が配線されている。

**【 0 0 3 7 】**

カラム処理部15は、撮像部2の画素列ごと、即ち垂直信号線13ごとに設けられた列AD変換部30と変更部18aとを有する。列AD変換部30は、撮像部2の各单位画素3から画素列ごとに垂直信号線13を通して読み出されるアナログの画素信号をデジタルデータに変換する。変更部18aは、列AD変換部30に与えられる電圧を変更する。

10

**【 0 0 3 8 】**

撮像部2の単位画素3は、3つの画素群4a, 4b, 4cのいずれかに含まれる。すなわち、撮像部2を構成する複数の単位画素3は、画素群4aに含まれる単位画素3と、画素群4bに含まれる単位画素3と、画素群4cに含まれる単位画素3とで構成されている。図1に示すように、1列目および2列目の単位画素3は画素群4aに含まれ、3列目および4列目の単位画素3は画素群4bに含まれ、5列目および6列目の単位画素3は画素群4cに含まれる。

**【 0 0 3 9 】**

20

画素群4aに含まれる単位画素3から出力された画素信号は、垂直信号線13を介して、画素群4aに対応する領域39aに配置された列AD変換部30に入力される。画素群4bに含まれる単位画素3から出力された画素信号は、垂直信号線13を介して、画素群4bに対応する領域39bに配置された列AD変換部30に入力される。画素群4cに含まれる単位画素3から出力された画素信号は、垂直信号線13を介して、画素群4cに対応する領域39cに配置された列AD変換部30に入力される。

**【 0 0 4 0 】**

30

尚、本例では、撮像部2の画素列に対して1対1の対応関係をもつて列AD変換部30を配置する構成をとっているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、複数の画素列に対して列AD変換部30を1つ配置し、当該1つの列AD変換部30を複数の画素列間で時分割にて使用する構成をとることも可能である。カラム処理部15は、後述する参照信号生成部16と共に、撮像部2の選択画素行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するアナログ-デジタル変換回路を構成している。尚、列AD変換部30の詳細については後述する。

**【 0 0 4 1 】**

参照信号生成部16は、タイミング制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する、いわゆるランプ波を生成し、参照信号線を介して列AD変換部30に参照信号Rampとして供給する。

**【 0 0 4 2 】**

40

水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部15の列AD変換部30の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、列AD変換部30でAD変換されたデジタルデータは順に水平信号線を介して出力部17に読み出される。

**【 0 0 4 3 】**

タイミング制御部20は、垂直選択部12、変更部18a、参照信号生成部16、カラム処理部15、水平選択部14、出力部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG(=Timing Generator : タイミングジェネレータ)の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。

**【 0 0 4 4 】**

出力部17は、バッファリング機能以外に、例えば黒レベル調整、列バラツキ補正、色処

50

理などの信号処理機能を内蔵しても構わない。更に、nビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。

#### 【0045】

次に、列AD変換部30および変更部18aの構成について説明する。図2は、列AD変換部30および変更部18aを含むカラム処理部15の構成の一例を示している。列AD変換部30および変更部18aは列ごとに設けられており、図1および図2では6個の列AD変換部30および変更部18aが設けられている。各々の列AD変換部30は同一の構成となっている。また、各々の変更部18aは、接続される電圧源を除いて同一の構成となっている。

#### 【0046】

列AD変換部30は、撮像部2の各単位画素3から垂直信号線13を通して読み出されるアナログの画素信号を、参照信号生成部16から与えられる参照信号Rampと比較することにより、リセットレベルや信号レベルの各々の大きさに対応した時間軸方向の大きさ（パルス幅）を持つパルス信号を生成する。そして、このパルス信号のパルス幅の期間に対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。10

#### 【0047】

以下では、列AD変換部30および変更部18aの構成の詳細について説明する。列AD変換部30は、比較部31および計測部32を備える。

#### 【0048】

比較部31は、第1の入力端子に与えられる、撮像部2の単位画素3から垂直信号線13を通して出力されるアナログの画素信号に応じた信号電圧と、第2の入力端子に与えられる、参照信号生成部16から供給される参照信号Rampとを比較することによって、画素信号の大きさを時間軸方向の情報（パルス信号のパルス幅）に変換する。比較部31の比較出力は、例えば参照信号Rampのランプ電圧が信号電圧よりも大なるときにはHighレベル（Hレベル）になり、ランプ電圧が信号電圧以下のときにはLowレベル（Lレベル）になる。20

#### 【0049】

計測部32は、比較部31による比較開始から比較終了までの比較時間を計測するため、例えばnビットのアップ／ダウンカウンタ回路で構成される。nビットは例えば10ビットである。尚、nビットが10ビットであるのは一例であって、nビットが10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。また、アップ／ダウンカウンタ回路に限る必要もない。30

#### 【0050】

変更部18aは容量素子およびスイッチ素子で構成されている。容量素子の一端は比較部31の第1の入力端子に接続され、容量素子の他端は、スイッチ素子を介して、電圧源V1[n]（n:1～3）（第1の電圧源）と、単位画素3からのアナログ信号（第2の電圧源）が供給される垂直信号線13とに接続される。電圧源V1[1]は、領域39aの列AD変換部30に対応する変更部18aに電源電圧（電圧値： $V_{1[1]}$ ）を供給する。電圧源V1[2]は、領域39bの列AD変換部30に対応する変更部18aに電源電圧（電圧値： $V_{1[2]}$ ）を供給する。電圧源V1[3]は、領域39cの列AD変換部30に対応する変更部18aに電源電圧（電圧値： $V_{1[3]}$ ）を供給する。各電圧値 $V_{1[n]}$ （n:1～3）の大小関係は、例えば $V_{1[1]} < V_{1[2]} < V_{1[3]}$ である。尚、これらは一例であって、これに限る必要はない。40

#### 【0051】

次に、本例の動作について説明する。ここでは、単位画素3の具体的な動作については説明を省略するが、周知のように単位画素3ではリセットレベルと信号レベルとが出力される。

#### 【0052】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降するランプ波（参照信号Ramp）と、単位画素3からの画素信号であるリセットレベルあるいは信号レベルの各電圧とを比較し、この比較処理で用いるランプ波が生成された時点から、リセットレベルや信号レベルに応じた信号とランプ波（ランプ電圧）とが一致するまでの期間を、例えば基準クロックで計測することによって、リセットレベルあるいは信号レベルの各大きさに対50

応したデジタルデータを得る。

**【0053】**

ここで、撮像部2の選択行の各単位画素3からは、アナログの画素信号として、1回目の読み出し動作で画素信号の雑音を含むリセットレベルが読み出され、その後、2回目の読み出し動作で信号レベルが読み出される。そして、リセットレベルと信号レベルとが垂直信号線13を通して列AD変換部30に時系列で入力される。

**【0054】**

<1回目の読み出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読み出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18aは、リセットレベルが与えられた比較部31の第1の入力端子の電圧を、リセットレベルよりも低い所定の電圧に変更する。このとき、領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31の第1の入力端子に対して、領域39a, 39b, 39cごとに異なるオフセットが印加される。

10

**【0055】**

その後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受け参照信号生成部16は、比較部31の第2の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化するランプ波である参照信号Rampを出力する。比較部31は、参照信号生成部16からの参照信号Rampが与えられた第2の入力端子の電圧と、リセットレベルが与えられた第1の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

20

**【0056】**

計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセットレベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号Rampの生成を停止する。

**【0057】**

<2回目の読み出し>

続いて、2回目の読み出し時には、単位画素3ごとの入射光量に応じた信号レベルが読み出される。この2回目の読み出し時には、比較部31のリセット動作および変更部18aによる変更動作は行わない。

30

**【0058】**

任意の画素行の単位画素3から垂直信号線13への2回目の読み出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受け参照信号生成部16は参照信号Rampを出力する。比較部31は、参照信号生成部16からの参照信号Rampが与えられた第2の入力端子の電圧と、信号レベルが与えられた第1の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

**【0059】**

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算 (CDS(=Correlated Double Sampling : 相関2重サンプリング)処理) した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号Rampの生成を停止する。

40

**【0060】**

次に、比較部31と変更部18aの構成および比較部31の入力端子における電圧変化の詳細を説明する。図3は比較部31および変更部18aの具体的な回路構成の一例を示している。以下、本例の回路構成について説明する。

**【0061】**

図3において、比較部31内の差動アンプは、ソースが共通に接続されたNMOSで構成され

50

るトランジスタN1, N2と、これらトランジスタN1, N2の各ドレインと電源VDDとの間に接続され、ゲートが共通に接続されたPMOSで構成されるトランジスタP3, P4と、トランジスタN1, N2のソースに共通に接続されたノードとグランドGNDとの間に接続されたNMOSの電流源N5とで構成されている。

#### 【 0 0 6 2 】

この差動アンプにおいて、トランジスタN1, N2の各ゲートとドレインとの間に、PMOSで構成されるトランジスタP6, P7がそれぞれ接続されている。これらトランジスタP6, P7は、各ゲートにLowアクティブのリセットパルスResetがタイミング制御部20から与えられることでON状態となり、トランジスタN1, N2の各ゲートとドレインとを短絡し、トランジスタN1, N2の各ゲートの電圧、即ち差動アンプの2つの入力端子IN1, IN2の電圧をリセットするリセット部として機能する。10

#### 【 0 0 6 3 】

トランジスタN1, N2の各ゲートには、DCレベルをカットするための容量素子C1, C2の各一端がそれぞれ接続されている。容量素子C1(第1の容量素子)の他端には、撮像部2の各単位画素3から出力される画素信号Pixelが与えられる。容量素子C2の他端には、参照信号生成部16からの参照信号Rampが与えられる。

#### 【 0 0 6 4 】

変更部18aは容量素子C3(第2の容量素子)およびスイッチ素子SW1で構成されている。容量素子C3の一端はトランジスタN1のゲートに接続され、容量素子C3の他端はスイッチ素子SW1の第1の端子に接続される。スイッチ素子SW1の第2の端子は電圧源V1[n](n:1~3)に接続され、スイッチ素子SW1の第3の端子は容量素子C1の他端に接続される。スイッチ素子SW1は、タイミング制御部20からの図示しない制御信号によって、第1の端子および第2の端子を短絡して電圧源V1[n]と容量素子C3の他端とが接続された状態と、第1の端子および第3の端子を短絡して容量素子C1の他端と容量素子C3の他端とが接続された状態との切替を行う。また、電流源N5のゲートには、電流値を制御するためのバイアス電圧Vbiasが与えられる。20

#### 【 0 0 6 5 】

以下、本例の動作について説明する。ここでは、電圧源V1[n]の電圧を $V_{1[n]}$ 、リセットレベルの電圧を $V_R$ (ただし、 $V_R < V_{1[n]}$ )、信号レベルの電圧を $V_S$ (ただし、 $V_S > V_R$ )、容量素子C1の容量値を $C_1$ 、容量素子C3の容量値を $C_3$ とする。また、容量素子C3およびスイッチ素子SW1を介して電圧源V1[n]に接続される差動アンプの第1の入力端子IN1を第1の入力端子IN1[n](n:1~3)とする。図3には、比較部31内の差動アンプの第1の入力端子IN1[n]および第2の入力端子IN2の電圧変化および参照信号Rampの波形が示されている。30

#### 【 0 0 6 6 】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1[n]に与えられ、参照信号生成部16から第2の入力端子IN2に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、容量素子C3の他端は、スイッチ素子SW1により電圧源V1[n]に接続されている。40

#### 【 0 0 6 7 】

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端子の電圧が、略同一の電圧 $V_{RST}$ になるようにリセットされる。この時点(時刻T1)で、第1の入力端子IN1[n]の電圧は $V_{RST}$ 、第2の入力端子IN2の電圧は $V_{RS_T}$ である。リセット後、トランジスタP6, P7はOFF状態となる。

#### 【 0 0 6 8 】

続いて、スイッチ素子SW1が容量素子C3の他端を容量素子C1の他端に接続することで、画素信号Pixelが与えられる第1の入力端子IN1[n]の電圧、即ちトランジスタN1のゲート50

電圧が電圧 $V_{RST}$ から所定の電圧に低く変更される。容量素子C3の他端の電圧が $V_{1[n]}$ から $V_R$ に( $V_R - V_{1[n]}$ )だけ変化するため、この時点(時刻T2)で、第1の入力端子IN1[n]の電圧 $V_{IN1[n]}$ は以下の(1)式となる。

【0069】

【数1】

$$V_{IN1[1]} = V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{1[n]}) \quad \dots \quad (1)$$

10

【0070】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_R < V_{1[n]}$ であるため、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧((1)式)は、第2の入力端子IN2の電圧( $V_{RST}$ )よりも低くなる。図3に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

【0071】

時刻T2以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T3)で、参照信号生成部16はランプ波の生成を停止する。

20

【0072】

比較部31のリセット動作後、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、(1)式の右辺第2項に係る電圧がオフセットとして印加される。電圧値 $V_{1[1]}, V_{1[2]}, V_{1[3]}$ がそれぞれ異なり、各列の単位画素3から出力されるリセットレベルが略同一であるため、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、それぞれ異なるオフセットが印加される。したがって、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧 $V_{IN1[1]}, V_{IN1[2]}, V_{IN1[3]}$ ((1)式)はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

30

【0073】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1[n]に与えられる。以下では、図4を用いて、信号レベルが入力された時点(時刻T4)での第1の入力端子IN1[n]の電圧を説明する。図4は、第1の入力端子IN1[n]の周辺の構成のみを抽出して示している。以下では、第1の入力端子IN1[n]とグランドGNDとの間の寄生容量CPを仮定して説明を行う。

40

【0074】

スイッチ素子SW1によって容量素子C3の他端が容量素子C1の他端に接続された時点(時刻T2)で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は $V_R$ である。また、画素信号Pixelとして信号レベルが入力された時点(時刻T4)で、容量素子C1の他端の電圧は $V_S$ となる。時刻T2から時刻T4までの容量素子C1の他端の電圧の変化を $V_1$ とすると、 $V_1$ は以下の(2)式となる。

$$V_1 = V_S - V_R \quad \dots \quad (2)$$

【0075】

時刻T2から時刻T4までの間、トランジスタP6がOFF状態であるため、容量素子C1, C3および寄生容量CPに蓄積されている電荷量は保持される。このため、時刻T2から時刻T4まで

50

の第1の入力端子IN1[n]の電圧の変化をV2とすると、V2は以下の(3)式となる。尚、容量素子C1と容量素子C3は並列に接続されており、この並列に接続された容量素子C1と容量素子C3を合成した容量値が(3)式のC<sub>C</sub>である。また、(3)式において、C<sub>P</sub>は寄生容量CPの容量値である。

【0076】

【数2】

$$\Delta V2 = \frac{C_C}{C_C + C_P} \times \Delta V1 \quad \dots \dots (3)$$

10

【0077】

C<sub>C</sub>に比べてC<sub>P</sub>を無視できる場合(C<sub>C</sub>>>C<sub>P</sub>)、V2=V1となる。時刻T2における第1の入力端子IN1[n]の電圧は(1)式であるので、時刻T4における第1の入力端子IN1[n]の電圧V<sub>1[n]</sub>は以下の(4)式となる。

【0078】

【数3】

$$\begin{aligned} V_{IN1[n]} &= V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{1[n]}) + \Delta V2 \\ &= V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{1[n]}) + \Delta V1 \quad \dots \dots (4) \\ &= V_{RST} + \frac{C_3}{C_1 + C_3} \times (V_R - V_{1[n]}) + (V_S - V_R) \end{aligned}$$

20

【0079】

V<sub>R</sub><V<sub>1[n]</sub>かつV<sub>S</sub>=V<sub>R</sub>であるため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧((4)式)は、第2の入力端子IN2の電圧(V<sub>RST</sub>)よりも低くなる。図3に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

30

【0080】

時刻T4以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(4)式の右辺第3項に係る計測値が得られる。(4)式では、右辺第3項の係数が1であるので、容量素子C3を設けたことに起因するゲイン低下のないAD変換動作が可能となる。

40

【0081】

前述したように、電圧値V<sub>1[1]</sub>, V<sub>1[2]</sub>, V<sub>1[3]</sub>はそれぞれ異なる。また、各列の単位画素3から出力されるリセットレベルは略同一であり、信号レベルは異なることが多い。このため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧V<sub>IN1[1]</sub>, V<sub>IN1[2]</sub>, V<sub>IN1[3]</sub>((4)式)はそれぞれ異なることが多い。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができ

50

る。

#### 【0082】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18a(容量素子C3およびスイッチ素子SW1)が第1の入力端子IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

#### 【0083】

また、領域39a, 39b, 39cごとに、比較部31の第1の入力端子IN1に異なるオフセットが印加されるので、領域39a, 39b, 39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができるとなる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

#### 【0084】

また、容量素子C3の他端が、スイッチ素子SW1を介して、電圧源V1[n]と、単位画素3からのアナログ信号が供給される垂直信号線13とに接続されるように変更部18aを構成することによって、容量素子C3を設けたことに起因するゲイン低下のないAD変換動作が可能となる。

#### 【0085】

##### (第2の実施形態)

次に、本発明の第2の実施形態を説明する。本実施形態では、変更部が第1の実施形態と異なる。図5は、列AD変換部30および変更部18bを含むカラム処理部15の構成の一例を示している。他の構成については、図1に示した構成と略同様であるので説明を省略する。

#### 【0086】

変更部18bは容量素子およびスイッチ素子で構成されている。容量素子の一端は比較部31の第2の入力端子に接続され、容量素子の他端は、スイッチ素子を介して、電圧源V1[n](n:1~3)(第1の電圧源)と、参照信号生成部16からの参照信号Ramp(第2の電圧源)が供給される参照信号線とに接続される。電圧源V1[1]は、領域39aの列AD変換部30に対応する変更部18bに電源電圧(電圧値:V<sub>1[1]</sub>)を供給する。電圧源V1[2]は、領域39bの列AD変換部30に対応する変更部18bに電源電圧(電圧値:V<sub>1[2]</sub>)を供給する。電圧源V1[3]は、領域39cの列AD変換部30に対応する変更部18bに電源電圧(電圧値:V<sub>1[3]</sub>)を供給する。各電圧値V<sub>1[n]</sub>(n:1~3)の大小関係は、例えばV<sub>1[1]</sub><V<sub>1[2]</sub><V<sub>1[3]</sub>である。尚、これらは一例であって、これに限る必要はない。

#### 【0087】

以下では、本例の動作のうち、第1の実施形態と異なる部分を中心に説明する。第1の実施形態と同様に、単位画素3ではリセットレベルと信号レベルとが出力される。

#### 【0088】

##### <1回目の読出し>

任意の画素行の単位画素3から垂直信号線13への1回目の読出しが安定した後、比較部31のリセット動作が行われる。続いて、変更部18bは、参照信号Rampが与えられた比較部31の第2の入力端子の電圧を、リセットレベルよりも高い所定の電圧に変更する。その後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けて参照信号生成部16は、比較部31の第2の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化する参照信号Rampを出力する。比較部31は、参照信号生成部16からの参照信号Rampが与えられた第2の入力端子の電圧と、リセットレベルが与えられた第1の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。

#### 【0089】

計測部32は、比較部31での比較開始に基づいてダウンカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、リセット

10

20

30

40

50

レベルに応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号Rampの生成を停止する。

#### 【0090】

<2回目の読み出し>

続いて、2回目の読み出し時には、単位画素3毎の入射光量に応じた信号レベルが読み出される。この2回目の読み出し時には、比較部31のリセット動作および変更部18bによる変更動作は行わない。

#### 【0091】

任意の画素行の単位画素3から垂直信号線13への2回目の読み出しが安定した後、タイミング制御部20は、参照信号生成部16に対して、ランプ波生成の制御データを供給する。これを受けた参照信号生成部16は参照信号Rampを出力する。比較部31は、参照信号生成部16からの参照信号Rampが与えられた第2の入力端子の電圧と、信号レベルが与えられた第1の入力端子の電圧とを比較し、双方の電圧が略一致したときに、比較出力を反転させる。10

#### 【0092】

計測部32は、比較部31での比較開始に基づいてアップカウントモードで計測を開始し、比較部31の比較出力が反転した時点の計測値を保持する。つまり、計測部32は、信号レベルからリセットレベルを減算した信号成分に応じたデジタルデータを保持する。タイミング制御部20は、所定の期間を経過すると、参照信号生成部16への制御データの供給と、基準クロックの出力とを停止する。これにより、参照信号生成部16は、参照信号Rampの生成を停止する。20

#### 【0093】

次に、比較部31と変更部18bの構成および比較部31の入力端子における電圧変化の詳細を説明する。図6は、比較部31および変更部18bの具体的な回路構成の一例を示している。以下、本例の回路構成について説明する。以下では、図5に示した構成と異なる構成についてのみ説明する。

#### 【0094】

変更部18bは容量素子C4（第2の容量素子）およびスイッチ素子SW2で構成されている。容量素子C4の一端はトランジスタN2のゲートに接続され、容量素子C4の他端はスイッチ素子SW2の第1の端子に接続される。スイッチ素子SW2の第2の端子は電圧源V1[n]（n:1～3）に接続され、スイッチ素子SW2の第3の端子は容量素子C2の他端に接続される。スイッチ素子SW2は、第1の端子および第2の端子を短絡して電圧源V1[n]と容量素子C4の他端とが接続された状態と、第1の端子および第3の端子を短絡して容量素子C2の他端と容量素子C4の他端とが接続された状態との切替を行う。30

#### 【0095】

以下、本例の動作について説明する。ここでは、電圧源V1[n]の電圧を $V_{1[n]}$ 、リセットレベルの電圧を $V_R$ 、信号レベルの電圧を $V_S$ （ただし、 $V_S > V_R$ ）、容量素子C2の容量値を $C_2$ 、容量素子C4の容量値を $C_4$ とする。また、容量素子C4およびスイッチ素子SW2を介して電圧源V1[n]に接続される差動アンプの第2の入力端子IN2を第2の入力端子IN2[n]（n:1～3）とする。図6には、比較部31内の差動アンプの第1の入力端子IN1および第2の入力端子IN2[n]の電圧変化および参照信号Rampの波形が示されている。40

#### 【0096】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1に与えられ、参照信号生成部16から第2の入力端子IN2[n]に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化（Lowアクティブ）する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、容量素子C4の他端は、スイッチ素子SW2により電圧源V1[n]に接続されている。

#### 【0097】

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端子の電圧が、略同一の電圧 $V_{RST}$ になるようにリセットされる。この時点（時刻T1）で、第1の入力端子IN1の電圧は $V_{RST}$ 、第2の入力端子IN2[n]の電圧は $V_{RS}$ である。リセット後、トランジスタP6, P7はOFF状態となる。

#### 【0098】

続いて、スイッチ素子SW2が容量素子C4の他端を容量素子C2の他端に接続することで、参照信号Rampが与えられる第2の入力端子IN2[n]の電圧、即ちトランジスタN2のゲート電圧が電圧 $V_{RST}$ から所定の電圧に高く変更される。この時点（時刻T2）での参照信号Rampの電圧を $V_{Ramp}(0)$ とすると、容量素子C4の他端の電圧が $V_{1[n]}$ から $V_{Ramp}(0)$ に $(V_{Ramp}(0) - V_{1[n]})$ だけ変化するため、この時点（時刻T2）で、第2の入力端子IN2[n]の電圧 $V_{IN2}$ は以下の(5)式となる。ここで、電圧源 $V1[n]$ の電圧 $V_{1[n]}$ と参照信号Rampの電圧 $V_{Ramp}(0)$ との関係は、 $V_{1[n]} < V_{Ramp}(0)$ である。10

#### 【0099】

#### 【数4】

$$V_{IN2[n]} = V_{RST} + \frac{C_4}{C_2 + C_4} \times (V_{Ramp}(0) - V_{1[n]}) \quad \dots (5)$$

20

#### 【0100】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_{1[n]} < V_{Ramp}(0)$ であるため、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧（(5)式）は第1の入力端子IN1の電圧（ $V_{RST}$ ）よりも高くなる。図6に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

#### 【0101】

時刻T2以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。以下では、図7を用いて、ランプ波が与えられた第2の入力端子IN2[n]の電圧を説明する。図7は、第2の入力端子IN2[n]の周辺の構成のみを抽出して示している。以下では、第2の入力端子IN2[n]とグランドGNDとの間の寄生容量CPを仮定して説明を行う。30

#### 【0102】

容量素子C2の他端に与えられるランプ波の電圧が $V_{Ramp}(0)$ から $V_{Ramp}(t)$ まで $(V_{Ramp}(t) - V_{Ramp}(0))$ だけ変化した場合の容量素子C2の他端の電圧の変化をV3とする。V3は以下の(6)式となる。

$$V3 = V_{Ramp}(t) - V_{Ramp}(0) \quad \dots (6)$$

#### 【0103】

時刻T2から時刻T4までの間、トランジスタP7がOFF状態であるため、容量素子C2, C4および寄生容量CPに蓄積されている電荷量は保持される。このため、容量素子C2の他端に与えられるランプ波の電圧が $V_{Ramp}(0)$ から $V_{Ramp}(t)$ まで $(V_{Ramp}(t) - V_{Ramp}(0))$ だけ変化した場合の第2の入力端子IN2[n]の電圧の変化をV4とすると、V4は以下の(7)式となる。尚、容量素子C2と容量素子C4は並列に接続されており、この並列に接続された容量素子C2と容量素子C4を合成した容量値が(7)式の $C_C$ である。また、(7)式において、 $C_P$ は寄生容量CPの容量値である。40

#### 【0104】

## 【数5】

$$\Delta V4 = \frac{C_C}{C_C + C_P} \times \Delta V3 \quad \dots \quad (7)$$

## 【0105】

$C_C$ に比べて $C_P$ を無視できる場合 ( $C_C \gg C_P$ )、 $V4 = V3$ となる。時刻T2における第2の入力端子IN2[n]の電圧は(5)式であるので、時刻T2以降の第2の入力端子IN2[n]の電圧 $V_{IN2[n]}$ は以下の(8)式となる。(8)式では、右辺第3項の係数が1であるので、容量素子C4を設けている本実施形態においても、参照信号Rampの時間変化の割合(参照信号Rampの傾き)を、第1の実施形態における参照信号Rampの時間変化の割合と同等に保つことが可能となる。

## 【0106】

## 【数6】

$$\begin{aligned} V_{IN2[n]} &= V_{RST} + \frac{C_4}{C_2 + C_4} \times (V_{Ramp}(0) - V_{1[n]}) + \Delta V4 \\ &= V_{RST} + \frac{C_4}{C_2 + C_4} \times (V_{Ramp}(0) - V_{1[n]}) + \Delta V3 \\ &= V_{RST} + \frac{C_4}{C_2 + C_4} \times (V_{Ramp}(0) - V_{1[n]}) + (V_{Ramp}(t) - V_{Ramp}(0)) \end{aligned} \quad \dots \quad (8)$$

## 【0107】

ランプ波が与えられた第2の入力端子IN2[n]と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2[n]へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T3)で、参照信号生成部16はランプ波の生成を停止する。

## 【0108】

比較部31のリセット動作後、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、(5)式の右辺第2項に係る電圧がオフセットとして印加される。電圧値 $V_{1[1]}, V_{1[2]}, V_{1[3]}$ がそれぞれ異なり、各列の比較部31の第2の入力端子IN2[n]に与えられる参照信号Rampが略同一であるため、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、それぞれ異なるオフセットが印加される。したがって、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1], IN2[2], IN2[3]の電圧 $V_{IN2[1]}, V_{IN2[2]}, V_{IN2[3]}$ ( $(5)$ 式)はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

## 【0109】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1に与えられる。スイッチ素子SW2によって容量素子C4の他端が容量素子C2の他端に接続された時点(時刻T2)で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は $V_R$ である。また、画素信号Pixelとして信号レベルが入力された時点(時刻T4)で、容量素子C1の他端の電圧は $V_S$ となる。したがって、時刻T4における第1の入力端子IN1

10

20

30

40

50

の電圧 $V_{IN1}$ は以下の(9)式となる。

$$V_{IN1} = V_{RST} + (V_S - V_R) \quad \dots \quad (9)$$

#### 【0110】

2回目の読み出しに係る時刻T4において、参照信号Rampが与えられる第2の入力端子IN2[n]の電圧は、前述した(5)式となる。(5)式において $V_{IN1} < V_{Ramp}(0)$ であり、(9)式において $V_S > V_R$ であるため、(5)式の電圧 $V_{IN2[n]}$ は(9)式の電圧 $V_{IN1}$ よりも高くなる。即ち、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧は第1の入力端子IN1の電圧よりも高くなる。図6に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

10

#### 【0111】

時刻T4以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。第2の入力端子IN2[n]にランプ波が与えられた時点以降の第2の入力端子IN2[n]の電圧 $V_{IN2[n]}$ は、前述した(8)式となる。ランプ波が与えられた第2の入力端子IN2[n]の電圧と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2[n]へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(9)式の右辺第2項( $V_S - V_R$ )に係る計測値が得られる。

20

#### 【0112】

前述したように、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1], IN2[2], IN2[3]の電圧 $V_{IN2[1]}, V_{IN2[2]}, V_{IN2[3]}$ は(5)式となり、それぞれ異なる。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

#### 【0113】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18b(容量素子C4およびスイッチ素子SW2)が第2の入力端子IN2の電圧をより高い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

30

#### 【0114】

また、領域39a, 39b, 39cごとに、比較部31の第2の入力端子IN2に異なるオフセットが印加されるので、領域39a, 39b, 39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができるとなる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

40

#### 【0115】

また、容量素子C4の他端が、スイッチ素子SW2を介して、電圧源V1[n]と、参照信号生成部16からの参照信号Rampが供給される参照信号線とに接続されるように変更部18bを構成することによって、参照信号Rampの時間変化の割合を、第1の実施形態における参照信号Rampの時間変化の割合と同等に保つことが可能となる。

#### 【0116】

##### (第3の実施形態)

次に、本発明の第3の実施形態を説明する。本実施形態では、変更部が第1の実施形態と異なる。図8は、列AD変換部30および変更部18cを含むカラム処理部15の構成の一例を示している。他の構成については、図1に示した構成と略同様であるので説明を省略する。

50

## 【0117】

変更部18cは容量素子およびスイッチ素子で構成されている。容量素子の一端は比較部31の第1の入力端子に接続され、容量素子の他端は、スイッチ素子を介して、電圧源V1(第1の電圧源)と、単位画素3からのアナログ信号(第2の電圧源)が供給される垂直信号線13とに接続される。電圧源V1は、変更部18cに電源電圧(電圧値:V<sub>1</sub>)を供給する。変更部18cが有する容量素子を容量素子C3[n](n:1~3)とし、その容量値をC<sub>3[n]</sub>(n:1~3)とする。領域39aの列AD変換部30に対応する変更部18cの容量素子C3[1]の容量値はC<sub>3[1]</sub>である。領域39bの列AD変換部30に対応する変更部18cの容量素子C3[2]の容量値はC<sub>3[2]</sub>である。領域39cの列AD変換部30に対応する変更部18cの容量素子C3[3]の容量値はC<sub>3[3]</sub>である。各容量値C<sub>3[n]</sub>の大小関係は、例えばC<sub>3[1]</sub><C<sub>3[2]</sub><C<sub>3[3]</sub>である。尚、これらは一例であって、これに限る必要はない。10

## 【0118】

1回目の読み出し時および2回目の読み出し時における列AD変換部30および変更部18cの動作は、第1の実施形態における列AD変換部30および変更部18aの動作と同様であるので、説明を省略する。

## 【0119】

次に、比較部31と変更部18cの構成および比較部31の入力端子における電圧変化の詳細を説明する。図9は比較部31および変更部18cの具体的な回路構成の一例を示している。以下、本例の回路構成について、第1の実施形態と異なる部分のみを説明する。

## 【0120】

変更部18cは容量素子C3[n](第2の容量素子)およびスイッチ素子SW1で構成されている。容量素子C3[n]の一端はトランジスタN1のゲートに接続され、容量素子C3[n]の他端はスイッチ素子SW1の第1の端子に接続される。スイッチ素子SW1の第2の端子は電圧源V1に接続され、スイッチ素子SW1の第3の端子は容量素子C1の他端に接続される。スイッチ素子SW1は、タイミング制御部20からの図示しない制御信号によって、第1の端子および第2の端子を短絡して電圧源V1と容量素子C3[n]の他端とが接続された状態と、第1の端子および第3の端子を短絡して容量素子C1の他端と容量素子C3[n]の他端とが接続された状態との切替を行う。20

## 【0121】

例えば、容量素子C3[n]を、同一の容量値を有する複数の単位容量素子で構成し、その接続を制御することで容量値を変化させても構わない。尚、図9に示す構成の場合、容量素子C1を、領域毎に異なる容量値を有する容量素子C1[n](n:1~3)として構成し、容量素子C1[n]と容量素子C3[n]の容量値を合計した容量値が一定となることが望ましい。30

## 【0122】

以下、本例の動作について説明する。ここでは、電圧源V1の電圧をV<sub>1</sub>、リセットレベルの電圧をV<sub>R</sub>(ただし、V<sub>R</sub><V<sub>1</sub>)、信号レベルの電圧をV<sub>S</sub>(ただし、V<sub>S</sub>>V<sub>R</sub>)、容量素子C1の容量値をC<sub>1</sub>、容量素子C3[n]の容量値をC<sub>3[n]</sub>とする。また、容量素子C3[n]およびスイッチ素子SW1を介して電圧源V1に接続される差動アンプの第1の入力端子IN1を第1の入力端子IN1[n](n:1~3)とする。図9には、比較部31内の差動アンプの第1の入力端子IN1[n]および第2の入力端子IN2の電圧変化および参照信号Rampの波形が示されている。40

## 【0123】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1[n]に与えられ、参照信号生成部16から第2の入力端子IN2に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、容量素子C3[n]の他端は、スイッチ素子SW1により電圧源V1に接続されている。

## 【0124】

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ち50

トランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端子の電圧が、略同一の電圧 $V_{RST}$ になるようにリセットされる。この時点（時刻T1）で、第1の入力端子IN1[n]の電圧は $V_{RST}$ 、第2の入力端子IN2の電圧は $V_{RS}$ である。リセット後、トランジスタP6, P7はOFF状態となる。

## 【0125】

続いて、スイッチ素子SW1が容量素子C3の他端を容量素子C1の他端に接続することで、画素信号Pixelが与えられる第1の入力端子IN1[n]の電圧、即ちトランジスタN1のゲート電圧が電圧 $V_{RST}$ から所定の電圧に低く変更される。この時点（時刻T2）での第1の入力端子IN1[n]の電圧 $V_{IN1[n]}$ は、第1の実施形態における(1)式と同様に、以下の(10)式となる。

10

## 【0126】

## 【数7】

$$V_{IN1[n]} = V_{RST} + \frac{C_{3[n]}}{C_1 + C_{3[n]}} \times (V_R - V_1) \quad \dots (10)$$

## 【0127】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_R < V_1$ であるため、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧((10)式)は、第2の入力端子IN2の電圧( $V_{RST}$ )よりも低くなる。図9に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

20

## 【0128】

時刻T2以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

30

## 【0129】

比較部31のリセット動作後、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、(10)式の右辺第2項に係る電圧がオフセットとして印加される。容量値 $C_{3[1]}, C_{3[2]}, C_{3[3]}$ がそれぞれ異なり、各列の単位画素3から出力されるリセットレベルが略同一であるため、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、それぞれ異なるオフセットが印加される。したがって、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧 $V_{IN1[1]}, V_{IN1[2]}, V_{IN1[3]}$ ((10)式)はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

40

## 【0130】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1[n]に与えられる。この時点（時刻T4）での第1の入力端子IN1[n]の電圧 $V_{IN1[1]}$ は、第1の実施形態における(4)式と同様に、以下の(11)式となる。

## 【0131】

## 【数8】

$$V_{IN1[n]} = V_{RST} + \frac{C_{3[n]}}{C_1 + C_{3[n]}} \times (V_R - V_1) + (V_S - V_R) \quad \dots \quad (11)$$

## 【0132】

$V_R < V_1$ かつ $V_S < V_R$ であるため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧((11)式)は、第2の入力端子IN2の電圧( $V_{RST}$ )よりも低くなる。図9に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。10

## 【0133】

時刻T4以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(11)式の右辺第3項に係る計測値が得られる。したがって、容量素子を設けたことに起因するゲイン低下のないAD変換動作が可能となる。20

## 【0134】

容量値 $C_{3[1]}$ ,  $C_{3[2]}$ ,  $C_{3[3]}$ はそれぞれ異なる。また、各列の単位画素3から出力されるリセットレベルは略同一であり、信号レベルは異なることが多い。このため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧 $V_{IN1[1]}$ ,  $V_{IN1[2]}$ ,  $V_{IN1[3]}$ ((11)式)はそれぞれ異なることが多い。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。30

## 【0135】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18c(容量素子C3[n]およびスイッチ素子SW1)が第1の入力端子IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

## 【0136】

また、領域39a, 39b, 39cごとに、比較部31の第1の入力端子IN1に異なるオフセットが印加されるので、領域39a, 39b, 39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができ。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。40

## 【0137】

また、領域39a, 39b, 39cごとに、変更部18cの容量素子C3[n]の容量値が異なるように変更部18cを構成することによって、変更部18cを容易に構成することができる。

## 【0138】

## (第4の実施形態)

次に、本発明の第4の実施形態を説明する。本実施形態では、変更部が第2の実施形態と異なる。図10は、列AD変換部30および変更部18dを含むカラム処理部15の構成の一例を示している。他の構成については、図1に示した構成と略同様であるので説明を省略する。50

## 【0139】

変更部18dは容量素子およびスイッチ素子で構成されている。容量素子の一端は比較部31の第2の入力端子に接続され、容量素子の他端は、スイッチ素子を介して、電圧源V1(第1の電圧源)と、参照信号生成部16からの参照信号Ramp(第2の電圧源)が供給される参照信号線とに接続される。電圧源V1は、変更部18dに電源電圧(電圧値:V<sub>1</sub>)を供給する。  
変更部18dが有する容量素子を容量素子C4[n](n:1~3)とし、その容量値をC<sub>4[n]</sub>(n:1~3)とする。領域39aの列AD変換部30に対応する変更部18dの容量素子C4[1]の容量値はC<sub>4[1]</sub>である。領域39bの列AD変換部30に対応する変更部18dの容量素子C4[2]の容量値はC<sub>4[2]</sub>である。領域39cの列AD変換部30に対応する変更部18dの容量素子C4[3]の容量値はC<sub>4[3]</sub>である。各容量値C<sub>4[n]</sub>の大小関係は、例えばC<sub>4[1]</sub>>C<sub>4[2]</sub>>C<sub>4[3]</sub>である。尚、これらは一例であって、これに限る必要はない。 10

## 【0140】

1回目の読み出し時および2回目の読み出し時における列AD変換部30および変更部18dの動作は、第1の実施形態における列AD変換部30および変更部18aの動作と同様であるので、説明を省略する。

## 【0141】

次に、比較部31と変更部18dの構成および比較部31の入力端子における電圧変化の詳細を説明する。図11は比較部31および変更部18dの具体的な回路構成の一例を示している。以下、本例の回路構成について、第1の実施形態と異なる部分のみを説明する。

## 【0142】

変更部18dは容量素子C4[n](第2の容量素子)およびスイッチ素子SW2で構成されている。容量素子C4[n]の一端はトランジスタN2のゲートに接続され、容量素子C4[n]の他端はスイッチ素子SW2の第1の端子に接続される。スイッチ素子SW2の第2の端子は電圧源V1に接続され、スイッチ素子SW2の第3の端子は容量素子C2の他端に接続される。スイッチ素子SW2は、第1の端子および第2の端子を短絡して電圧源V1と容量素子C4[n]の他端とが接続された状態と、第1の端子および第3の端子を短絡して容量素子C2の他端と容量素子C4[n]の他端とが接続された状態との切替を行う。 20

## 【0143】

例えば、容量素子C4[n]を、同一の容量値を有する複数の単位容量素子で構成し、その接続を制御することで容量値を変化させても構わない。尚、図11に示す構成の場合、容量素子C2を、領域毎に異なる容量値を有する容量素子C2[n](n:1~3)として構成し、容量素子C2[n]と容量素子C4[n]の容量値を合計した容量値が一定となることが望ましい。 30

## 【0144】

以下、本例の動作について説明する。ここでは、電圧源V1の電圧をV<sub>1</sub>、リセットレベルの電圧をV<sub>R</sub>、信号レベルの電圧をV<sub>S</sub>(ただし、V<sub>S</sub>>V<sub>R</sub>)、容量素子C2の容量値をC<sub>2</sub>、容量素子C4[n]の容量値をC<sub>4[n]</sub>とする。また、容量素子C4[n]およびスイッチ素子SW2を介して電圧源V1に接続される差動アンプの第2の入力端子IN2を第2の入力端子IN2[n](n:1~3)とする。図11には、比較部31内の差動アンプの第1の入力端子IN1および第2の入力端子IN2[n]の電圧変化および参照信号Rampの波形が示されている。 40

## 【0145】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1に与えられ、参照信号生成部16から第2の入力端子IN2[n]に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、容量素子C4[n]の他端は、スイッチ素子SW2により電圧源V1に接続されている。

## 【0146】

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差 50

動アンプの2つの入力端子の電圧が、略同一の電圧 $V_{RST}$ になるようにリセットされる。この時点（時刻T1）で、第1の入力端子IN1の電圧は $V_{RST}$ 、第2の入力端子IN2[n]の電圧は $V_{RST}$ である。リセット後、トランジスタP6, P7はOFF状態となる。

#### 【0147】

続いて、スイッチ素子SW2が容量素子C4[n]の他端を容量素子C2の他端に接続することで、参照信号Rampが与えられる第2の入力端子IN2[n]の電圧、即ちトランジスタN2のゲート電圧が電圧 $V_{RST}$ から所定の電圧に高く変更される。この時点（時刻T2）での第2の入力端子IN2[n]の電圧 $V_{IN2[n]}$ は、第2の実施形態における(5)式と同様に、以下の(12)式となる。

#### 【0148】

#### 【数9】

$$V_{IN2[n]} = V_{RST} + \frac{C_{4[n]}}{C_2 + C_{4[n]}} \times (V_{Ramp}(0) - V_1) \quad \dots \quad (12)$$

#### 【0149】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_1 < V_{Ramp}(0)$ であるため、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧((12)式)は第1の入力端子IN1の電圧( $V_{RST}$ )よりも高くなる。図11に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

#### 【0150】

時刻T2以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。容量素子C2の他端に与えられるランプ波の電圧が $V_{Ramp}(0)$ から $V_{Ramp}(t)$ まで( $V_{Ramp}(t) - V_{Ramp}(0)$ )だけ変化した場合の第2の入力端子IN2[n]の電圧 $V_{IN2[n]}$ は、第2の実施形態における(8)式と同様に、以下の(13)式となる。(13)式では、右辺第3項の係数が1であるので、容量素子C4[n]を設けている本実施形態においても、参照信号Rampの時間変化の割合(参照信号Rampの傾き)を、第1の実施形態における参照信号Rampの時間変化の割合と同等に保つことが可能となる。

#### 【0151】

#### 【数10】

$$V_{IN2[n]} = V_{RST} + \frac{C_{4[n]}}{C_2 + C_{4[n]}} \times (V_{Ramp}(0) - V_1) + (V_{Ramp}(t) - V_{Ramp}(0)) \quad \dots \quad (13)$$

#### 【0152】

ランプ波が与えられた第2の入力端子IN2[n]と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2[n]へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

#### 【0153】

比較部31のリセット動作後、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、(12)式の右辺第2項に係る電圧がオフセットとして印加される。容量値 $C_{4[1]}$ ,  $C_{4[2]}$ ,  $C_{4[3]}$ がそれぞれ異なり、各列の比較部31の第2の入力端子IN2[n]に与えられる参照信号Rampが略同一であるため、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、それぞれ異なるオフセ

10

20

30

40

50

ットが印加される。したがって、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1]，IN2[2]，IN2[3]の電圧 $V_{IN2[1]}$ ， $V_{IN2[2]}$ ， $V_{IN2[3]}$ （(12)式）はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a，39b，39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a，39b，39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

#### 【0154】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1に与えられる。この時点（時刻T4）での第1の入力端子IN1の電圧 $V_{IN1}$ は、第2の実施形態における（9）式と同様に、以下の(14)式となる。

$$V_{IN1} = V_{RST} + (V_S - V_R) \quad \dots \quad (14)$$

#### 【0155】

2回目の読み出しに係る時刻T4において、参照信号Rampが与えられる第2の入力端子IN2[n]の電圧は、前述した(12)式となる。(12)式において $V_1 < V_{Ramp}(0)$ であり、(14)式において $V_S > V_R$ であるため、(12)式の電圧 $V_{IN2[n]}$ は(14)式の電圧 $V_{IN1}$ よりも高くなる。即ち、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧は第1の入力端子IN1の電圧よりも高くなる。図11に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

#### 【0156】

時刻T4以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。第2の入力端子IN2[n]にランプ波が与えられた時点以降の第2の入力端子IN2[n]の電圧 $V_{IN2[n]}$ は、前述した(13)式となる。ランプ波が与えられた第2の入力端子IN2[n]の電圧と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2[n]へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T5）で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(14)式の右辺第2項（ $V_S - V_R$ ）に係る計測値が得られる。

#### 【0157】

前述したように、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1]，IN2[2]，IN2[3]の電圧 $V_{IN2[1]}$ ， $V_{IN2[2]}$ ， $V_{IN2[3]}$ は(12)式となり、それぞれ異なる。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a，39b，39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a，39b，39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

#### 【0158】

上述したように、本実施形態によれば、トランジスタP6，P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18d（容量素子C4[n]およびスイッチ素子SW2）が第2の入力端子IN2の電圧をより高い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

#### 【0159】

また、領域39a，39b，39cごとに、比較部31の第2の入力端子IN2に異なるオフセットが印加されるので、領域39a，39b，39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができるとなる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

10

20

30

40

50

**【 0 1 6 0 】**

また、領域39a, 39b, 39cごとに、変更部18dの容量素子C4[n]の容量値が異なるように変更部18dを構成することによって、変更部18dを容易に構成することができる。

**【 0 1 6 1 】**

(第5の実施形態)

次に、本発明の第5の実施形態を説明する。本実施形態では、変更部が第1の実施形態と異なる。図12は、列AD変換部30および変更部18eを含むカラム処理部15の構成の一例を示している。他の構成については、図1に示した構成と略同様であるので説明を省略する。

**【 0 1 6 2 】**

変更部18eはスイッチ素子で構成されている。スイッチ素子の一端は比較部31の第1の入力端子に接続され、スイッチ素子の他端は電圧源V1[n](n:1~3)に接続される。電圧源V1[1]は、領域39aの列AD変換部30に対応する変更部18eに電源電圧(電圧値:V<sub>1[1]</sub>)を供給する。電圧源V1[2]は、領域39bの列AD変換部30に対応する変更部18eに電源電圧(電圧値:V<sub>1[2]</sub>)を供給する。電圧源V1[3]は、領域39cの列AD変換部30に対応する変更部18eに電源電圧(電圧値:V<sub>1[3]</sub>)を供給する。各電圧値V<sub>1[n]</sub>(n:1~3)の大小関係は、例えばV<sub>1[1]</sub>>V<sub>1[2]</sub>>V<sub>1[3]</sub>である。尚、これらは一例であって、これに限る必要はない。

**【 0 1 6 3 】**

1回目の読み出し時および2回目の読み出し時における列AD変換部30および変更部18eの動作は、第1の実施形態における列AD変換部30および変更部18aの動作と同様であるので、説明を省略する。

**【 0 1 6 4 】**

次に、比較部31と変更部18eの構成および比較部31の入力端子における電圧変化の詳細を説明する。図13は比較部31および変更部18eの具体的な回路構成の一例を示している。以下、本例の回路構成について、第1の実施形態と異なる部分のみを説明する。

**【 0 1 6 5 】**

変更部18eはスイッチ素子SW5で構成されている。スイッチ素子SW5の一端はトランジスタN1のゲートに接続され、スイッチ素子SW5の他端は電圧源V1[n](n:1~3)に接続される。スイッチ素子SW5は、タイミング制御部20からの図示しない制御信号によって、ON状態とOFF状態が制御される。

**【 0 1 6 6 】**

以下、本例の動作について説明する。ここでは、電圧源V1[n]の電圧をV<sub>1[n]</sub>、リセットレベルの電圧をV<sub>R</sub>、信号レベルの電圧をV<sub>S</sub>(ただし、V<sub>S</sub>>V<sub>R</sub>)、容量素子C1の容量値をC<sub>1</sub>とする。また、スイッチ素子SW5を介して電圧源V1[n]に接続される差動アンプの第1の入力端子IN1を第1の入力端子IN1[n](n:1~3)とする。図13には、比較部31内の差動アンプの第1の入力端子IN1[n]および第2の入力端子IN2の電圧変化および参照信号Rampの波形が示されている。

**【 0 1 6 7 】**

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1[n]に与えられ、参照信号生成部16から第2の入力端子IN2に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、スイッチ素子SW5はOFF状態であり、スイッチ素子SW5の他端は電圧源V1[1]と切り離されている。

**【 0 1 6 8 】**

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端子の電圧が、略同一の電圧V<sub>RST</sub>になるようにリセットされる。この時点(時刻T1)で、第1の入力端子IN1[n]の電圧はV<sub>RST</sub>、第2の入力端子IN2の電圧はV<sub>RS</sub>である。リセット後、トランジスタP6, P7はOFF状態となる。

10

20

30

40

50

## 【0169】

続いて、スイッチ素子SW5がOFF状態からON状態となることで、画素信号Pixelが与えられる第1の入力端子IN1[n]の電圧、即ちトランジスタN1のゲート電圧が電圧 $V_{RST}$ から所定の電圧 $V_{1[n]}$ に低く変更される。この時点（時刻T2）で、第1の入力端子IN1[n]の電圧は $V_{1[n]}$ 、第2の入力端子IN2の電圧は $V_{RST}$ である。ここで、電圧源V1[n]の電圧 $V_{1[n]}$ とリセット電圧 $V_{RST}$ との関係は、 $V_{1[n]} < V_{RST}$ である。スイッチ素子SW5はON状態となった後、OFF状態となる。

## 【0170】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_{1[n]} < V_{RST}$ であるため、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧（ $V_{1[n]}$ ）は、第2の入力端子IN2の電圧（ $V_{RST}$ ）よりも低くなる。図13に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。10

## 【0171】

時刻T2以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。20

## 【0172】

比較部31のリセット動作後、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、 $V_{1[n]}$ と $V_{RST}$ の差分がオフセットとして印加される。電圧値 $V_{1[1]}, V_{1[2]}, V_{1[3]}$ がそれぞれ異なるため、第1の入力端子IN1[1], IN1[2], IN1[3]に対して、それぞれ異なるオフセットが印加される。また、1回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧 $V_{1[n]}$ はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。30

## 【0173】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1[n]に与えられる。以下では、信号レベルが入力された時点（時刻T4）での第1の入力端子IN1[n]の電圧を説明する。以下では、第1の入力端子IN1[n]とグランドGNDとの間の寄生容量CPを仮定して説明を行う。

## 【0174】

スイッチ素子SW5によって第1の入力端子IN1[n]の電圧が $V_{RST}$ から $V_{1[n]}$ に変更された時点（時刻T2）で、画素信号Pixelとしてリセットレベルが与えられている容量素子C1の他端の電圧は $V_R$ である。また、画素信号Pixelとして信号レベルが入力された時点（時刻T4）で、容量素子C1の他端の電圧は $V_S$ となる。時刻T2から時刻T4までの容量素子C1の他端の電圧の変化を $V_5$ とすると、 $V_5$ は以下の(15)式となる。40

$$V_5 = V_S - V_R \quad \dots \quad (15)$$

## 【0175】

時刻T2から時刻T4までの間、トランジスタP6およびスイッチ素子SW5はOFF状態であるため、容量素子C1および寄生容量CPに蓄積されている電荷量は保持される。このため、時刻T2から時刻T4までの第1の入力端子IN1[n]の電圧の変化を $V_6$ とすると、 $V_6$ は以下の(16)式となる。尚、(16)式において、 $C_P$ は寄生容量CPの容量値である。

## 【0176】

## 【数11】

$$\Delta V6 = \frac{C_1}{C_1 + C_P} \times \Delta V5 \quad \cdots (16)$$

## 【0177】

$C_1$ に比べて $C_P$ を無視できる場合 ( $C_1 \gg C_P$ )、 $V6 = V5$ となる。時刻T2における第1の入力端子IN1[n]の電圧は $V_{1[n]}$ であるので、時刻T4における第1の入力端子IN1[n]の電圧 $V_{1[n]}$ は以下の(17)式となる。

$$\begin{aligned} V_{IN1[n]} &= V_{1[n]} + V6 \\ &= V_{1[n]} + V5 \\ &= V_{1[n]} + (V_S - V_R) \quad \cdots (17) \end{aligned}$$

## 【0178】

$V_{1[n]} < V_{RST}$ かつ $V_S = V_R$ であるため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[n]の電圧((17)式)は、第2の入力端子IN2の電圧( $V_{RST}$ )よりも低くなる。図13に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。

## 【0179】

時刻T4以降、第2の入力端子IN2に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2の電圧と、第1の入力端子IN1[n]の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点(時刻T5)で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(17)式の右辺第2項に係る計測値が得られる。

## 【0180】

前述したように、電圧値 $V_{1[1]}, V_{1[2]}, V_{1[3]}$ はそれぞれ異なる。また、各列の単位画素3から出力されるリセットレベルは略同一であり、信号レベルは異なることが多い。このため、2回目の読み出しに係る比較部31での比較開始時の第1の入力端子IN1[1], IN1[2], IN1[3]の電圧 $V_{IN1[1]}, V_{IN1[2]}, V_{IN1[3]}$ ((17)式)はそれぞれ異なることが多い。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

## 【0181】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18e(スイッチ素子SW5)が第1の入力端子IN1の電圧をより低い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

## 【0182】

また、領域39a, 39b, 39cごとに、比較部31の第1の入力端子IN1に異なるオフセットが印加されるので、領域39a, 39b, 39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができるとなる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

## 【0183】

10

20

30

40

50

また、領域39a, 39b, 39cごとに異なる電圧源に変更部18eを接続することによって、変更部18eを容易に構成することができる。

#### 【0184】

##### (第6の実施形態)

次に、本発明の第6の実施形態を説明する。本実施形態では、変更部が第1の実施形態と異なる。図14は、列AD変換部30および変更部18fを含むカラム処理部15の構成の一例を示している。他の構成については、図1に示した構成と略同様であるので説明を省略する。

#### 【0185】

変更部18fはスイッチ素子で構成されている。スイッチ素子の一端は比較部31の第2の入力端子に接続され、スイッチ素子の他端は電圧源V1[n](n:1~3)に接続される。電圧源V1[1]は、領域39aの列AD変換部30に対応する変更部18fに電源電圧(電圧値:V<sub>1[1]</sub>)を供給する。電圧源V1[2]は、領域39bの列AD変換部30に対応する変更部18fに電源電圧(電圧値:V<sub>1[2]</sub>)を供給する。電圧源V1[3]は、領域39cの列AD変換部30に対応する変更部18fに電源電圧(電圧値:V<sub>1[3]</sub>)を供給する。各電圧値V<sub>1[n]</sub>(n:1~3)の大小関係は、例えばV<sub>1[1]</sub>>V<sub>1[2]</sub>>V<sub>1[3]</sub>である。尚、これらは一例であって、これに限る必要はない。

#### 【0186】

1回目の読み出し時および2回目の読み出し時における列AD変換部30および変更部18fの動作は、第1の実施形態における列AD変換部30および変更部18fの動作と同様であるので、説明を省略する。

#### 【0187】

次に、比較部31と変更部18fの構成および比較部31の入力端子における電圧変化の詳細を説明する。図15は比較部31および変更部18fの具体的な回路構成の一例を示している。以下、本例の回路構成について、第1の実施形態と異なる部分のみを説明する。

#### 【0188】

変更部18fはスイッチ素子SW6で構成されている。スイッチ素子SW6の一端はトランジスタN2のゲートに接続され、スイッチ素子SW6の他端は電圧源V1[n](n:1~3)に接続される。スイッチ素子SW6は、タイミング制御部20からの図示しない制御信号によって、ON状態とOFF状態が制御される。

#### 【0189】

以下、本例の動作について説明する。ここでは、電圧源V1[n]の電圧をV<sub>1[n]</sub>、リセットレベルの電圧をV<sub>R</sub>、信号レベルの電圧をV<sub>S</sub>(ただし、V<sub>S</sub>>V<sub>R</sub>)、容量素子C2の容量値をC<sub>2</sub>とする。また、スイッチ素子SW6を介して電圧源V1[n]に接続される差動アンプの第2の入力端子IN2を第2の入力端子IN2[n](n:1~3)とする。図15には、比較部31内の差動アンプの第1の入力端子IN1および第2の入力端子IN2[n]の電圧変化および参照信号Rampの波形が示されている。

#### 【0190】

単位画素3からの画素信号Pixelとしてリセットレベルが第1の入力端子IN1に与えられ、参照信号生成部16から第2の入力端子IN2[n]に与えられる参照信号Rampが安定した後、タイミング制御部20が比較部31の比較開始前にリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。リセット動作中、スイッチ素子SW6はOFF状態であり、スイッチ素子SW6の他端は電圧源V1[1]と切り離されている。

#### 【0191】

このリセットによって決定された動作点で、差動アンプの2つの入力端子の電圧、即ちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。即ち、差動アンプの2つの入力端子の電圧が、略同一の電圧V<sub>RST</sub>になるようにリセットされる。この時点(時刻T1)で、第1の入力端子IN1の電圧はV<sub>RST</sub>、第2の入力端子IN2[n]の電圧はV<sub>RS</sub>である。リセット後、トランジスタP6, P7はOFF状態となる。

#### 【0192】

10

20

30

40

50

続いて、スイッチ素子SW6がOFF状態からON状態となることで、参照信号Rampが与えられる第2の入力端子IN2[n]の電圧、即ちトランジスタN2のゲート電圧が電圧 $V_{RST}$ から所定の電圧に高く変更される。この時点（時刻T2）で、第1の入力端子IN1の電圧は $V_{RST}$ 、第2の入力端子IN2[n]の電圧は $V_{1[n]}$ である。ここで、電圧源V1[n]の電圧 $V_{1[n]}$ とリセット電圧 $V_{RST}$ との関係は、 $V_{RST} < V_{1[n]}$ である。スイッチ素子SW6はON状態となった後、OFF状態となる。

#### 【0193】

比較部31のリセット動作後に、比較部31を構成する差動アンプの2つの入力端子の電圧に多少のばらつきが残ったとしても、 $V_{RST} < V_{1[n]}$ であるため、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧（ $V_{1[n]}$ ）は第1の入力端子IN1の電圧（ $V_{RST}$ ）よりも高くなる。図13に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。10

#### 【0194】

時刻T2以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。ランプ波が与えられた第2の入力端子IN2[n]の電圧と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2[n]へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T3）で、参照信号生成部16はランプ波の生成を停止する。

#### 【0195】

比較部31のリセット動作後、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、 $V_{1[n]}$ と $V_{RST}$ の差分がオフセットとして印加される。電圧値 $V_{1[1]}$ ,  $V_{1[2]}$ ,  $V_{1[3]}$ がそれぞれ異なるため、第2の入力端子IN2[1], IN2[2], IN2[3]に対して、それぞれ異なるオフセットが印加される。また、1回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1], IN2[2], IN2[3]の電圧 $V_{1[n]}$ はそれぞれ異なる。これによって、1回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。20

#### 【0196】

続いて、単位画素3からの画素信号Pixelとして信号レベルが第1の入力端子IN1に与えられる。この時点（時刻T4）での第1の入力端子IN1の電圧 $V_{IN1}$ は、第2の実施形態における(9)式と同様に、以下の(18)式となる。

$$V_{IN1} = V_{RST} + (V_S - V_R) \quad \dots \quad (18)$$

#### 【0197】

信号レベルが入力された時点（時刻T4）での第2の入力端子IN2[n]の電圧は $V_{1[n]}$ である。 $V_{RST} < V_{1[n]}$ かつ $V_S > V_R$ であるため、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[n]の電圧（ $V_{1[n]}$ ）は第1の入力端子IN1の電圧（ $V_{RST}$ ）よりも高くなる。図13に示すように、参照信号Rampとして時間の経過とともに減少するランプ波を与えることで、比較部31の出力を比較動作中に確実に反転させ、比較部31による比較動作を保証することができる。40

#### 【0198】

時刻T4以降、第2の入力端子IN2[n]に参照信号Rampとしてランプ波が与えられる。以下では、ランプ波が与えられた第2の入力端子IN2[n]の電圧を説明する。以下では、第2の入力端子IN2[n]とグランドGNDとの間の寄生容量CPを仮定して説明を行う。

#### 【0199】

容量素子C2の他端に与えられるランプ波の電圧が $V_{Ramp}(0)$ から $V_{Ramp}(t)$ まで（ $V_{Ramp}(t) - V_{Ramp}(0)$ ）だけ変化した場合の容量素子C2の他端の電圧の変化をV7とする。V7は以下の(19)式となる。

$$V7 = V_{Ramp}(t) - V_{Ramp}(0) \quad \dots \quad (19)$$

## 【0200】

時刻T2から時刻T4までの間、トランジスタP7がOFF状態であるため、容量素子C2および寄生容量CPに蓄積されている電荷量は保持される。このため、容量素子C2の他端に与えられるランプ波の電圧が $V_{Ramp}(0)$ から $V_{Ramp}(t)$ まで ( $V_{Ramp}(t) - V_{Ramp}(0)$ ) だけ変化した場合の第2の入力端子IN2[n]の電圧の変化をV8とすると、V8は以下の(20)式となる。尚、(20)式において、 $C_p$ は寄生容量CPの容量値である。

## 【0201】

## 【数12】

$$\Delta V8 = \frac{C_2}{C_2 + C_p} \times \Delta V7 \quad \cdots (20)$$

10

## 【0202】

$C_2$ に比べて $C_p$ を無視できる場合 ( $C_2 \gg C_p$ ) 、 $V7 = V8$ となる。時刻T4における第2の入力端子IN2[n]の電圧は $V_{1[n]}$ であるので、時刻T4以降の第2の入力端子IN2[n]の電圧 $V_{IN1[n]}$ は以下の(21)式となる。

$$\begin{aligned} V_{IN2[n]} &= V_{1[n]} + V8 \\ &= V_{1[n]} + V7 \\ &= V_{1[n]} + (V_{Ramp}(t) - V_{Ramp}(0)) \end{aligned} \quad \cdots (21)$$

20

## 【0203】

ランプ波が与えられた第2の入力端子IN2[n]の電圧と、第1の入力端子IN1の電圧とが略一致したタイミングで比較部31の比較出力が反転する。第2の入力端子IN2へのランプ波の入力が開始されてから所定の期間が経過した時点（時刻T5）で、参照信号生成部16はランプ波の生成を停止する。1回目の読み出し時に計測部32がダウンカウントモードで計測を行い、2回目の読み出し時に計測部32がアップカウントモードで計測を行うため、計測部32の計測値として、(18)式の右辺第2項に係る計測値が得られる。

## 【0204】

前述したように、2回目の読み出しに係る比較部31での比較開始時の第2の入力端子IN2[1], IN2[2], IN2[3]の電圧 $V_{IN2[1]}, V_{IN2[2]}, V_{IN2[3]}$ は $V_{1[n]}$ となり、それぞれ異なる。これによって、2回目の読み出しに係る比較部31での比較開始のタイミングが略同時であっても、比較終了のタイミングは領域39a, 39b, 39cのそれぞれの列AD変換部30の比較部31で異なる。このように、領域39a, 39b, 39cごとに比較部31が異なるタイミングで比較動作を終了することによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

30

## 【0205】

上述したように、本実施形態によれば、トランジスタP6, P7によるリセット動作後に、第1の入力端子IN1と第2の入力端子IN2との電圧差が、比較部31による比較動作を保証する電圧となるように、変更部18f（スイッチ素子SW6）が第2の入力端子IN2の電圧をより高い電圧に変更することによって、比較部31が参照信号Rampと画素信号Pixelとの比較動作を確実に行うことができる。

40

## 【0206】

また、領域39a, 39b, 39cごとに、比較部31の第2の入力端子IN2に異なるオフセットが印加されるので、領域39a, 39b, 39cのそれぞれの列AD変換部30における各比較部31が略同時に比較を開始した場合でも、異なるタイミングで各比較部31に比較を終了させることができるとなる。これによって、電力集中が低減されるので、より高精度なAD変換を行うことができる。

## 【0207】

また、領域39a, 39b, 39cごとに異なる電圧源に変更部18fを接続することによって、変更部18fを容易に構成することができる。

50

## 【0208】

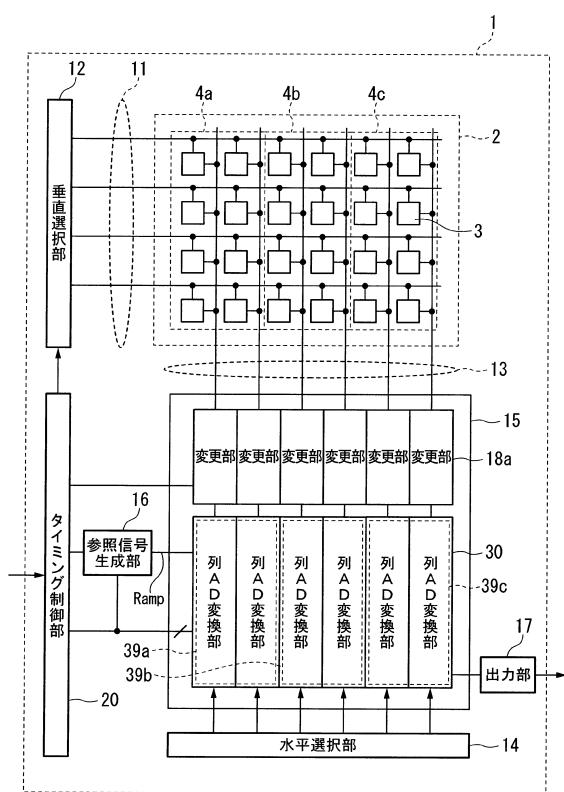
以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

## 【符号の説明】

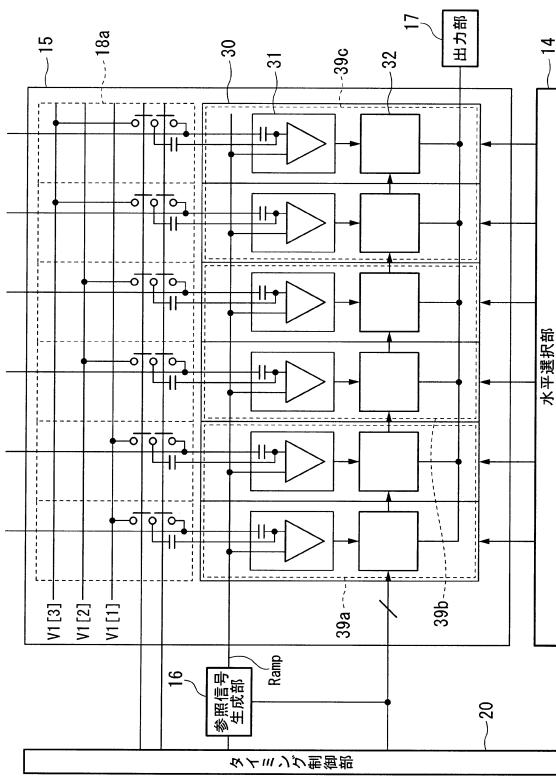
## 【0209】

1, 1001 . . . 撮像装置、2, 1002 . . . 撮像部、3, 1003 . . . 単位画素、11, 1011 . . . 行制御線、12, 1012 . . . 垂直選択部、13, 1013 . . . 垂直信号線、14, 1014 . . . 水平選択部、15, 1015 . . . カラム処理部、16, 1016 . . . 参照信号生成部、17, 1017 . . . 出力部、18a, 18b, 18c, 18d, 18e, 18f, 1018 . . . 変更部、20, 1020 . . . タイミング制御部、30, 1030 . . . 列AD変換部、31, 1031 . . . 比較部、32, 1032 . . . 計測部、1005 . . . 讀出し電流源部、1006 . . . アナログ部  
10

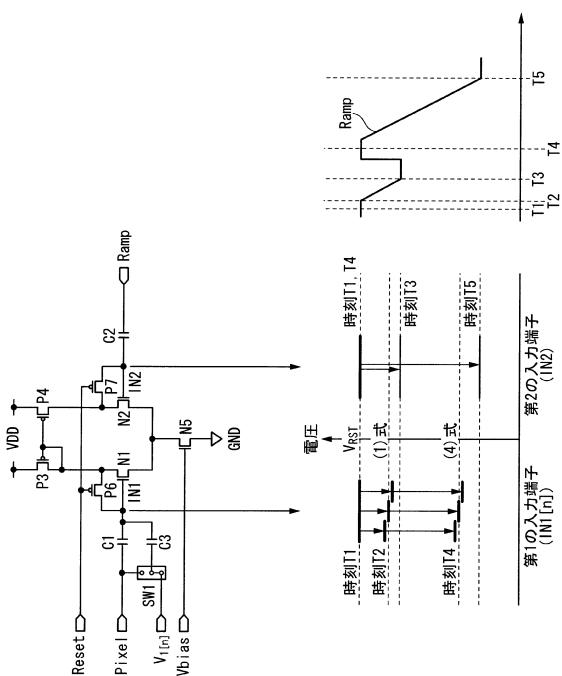
【図1】



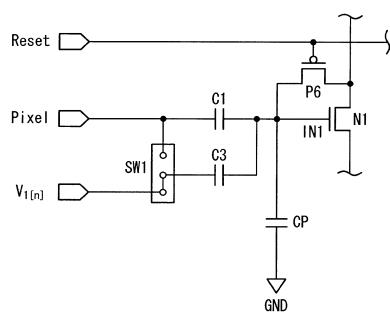
【図2】



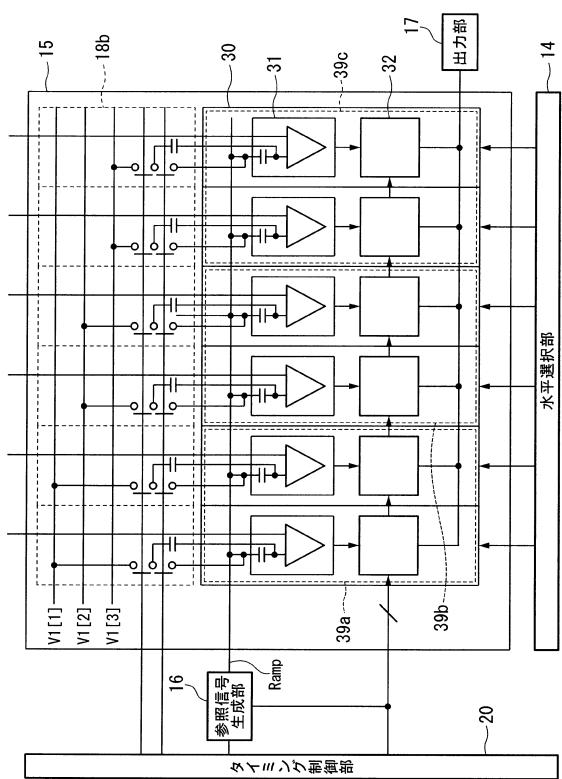
【図3】



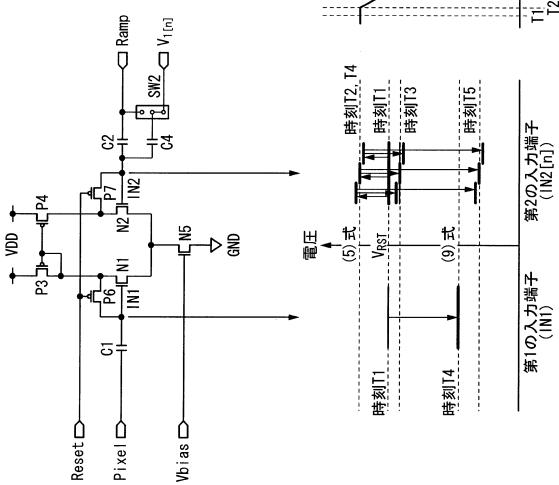
【図4】



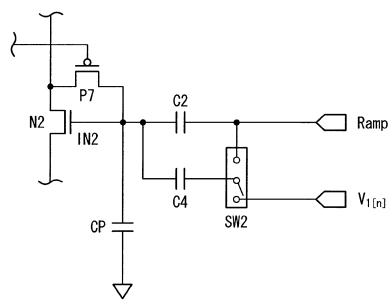
【図5】



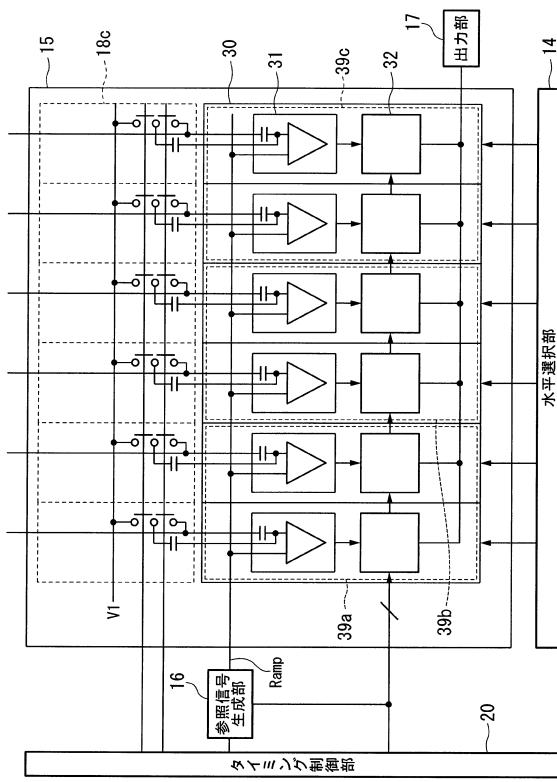
【図6】



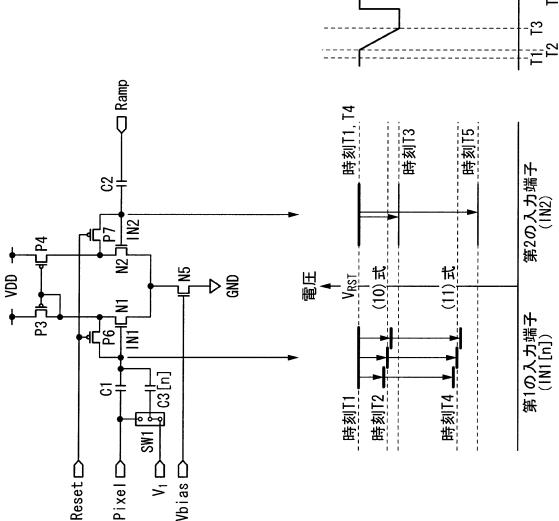
【図7】



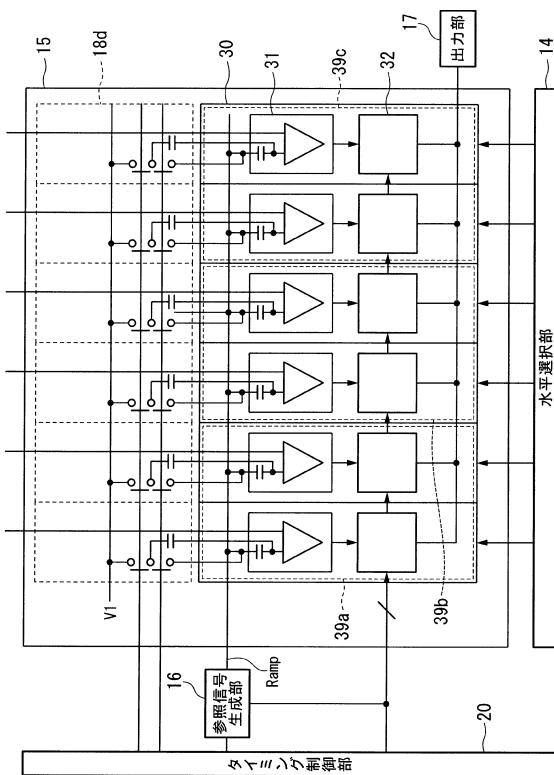
【図8】



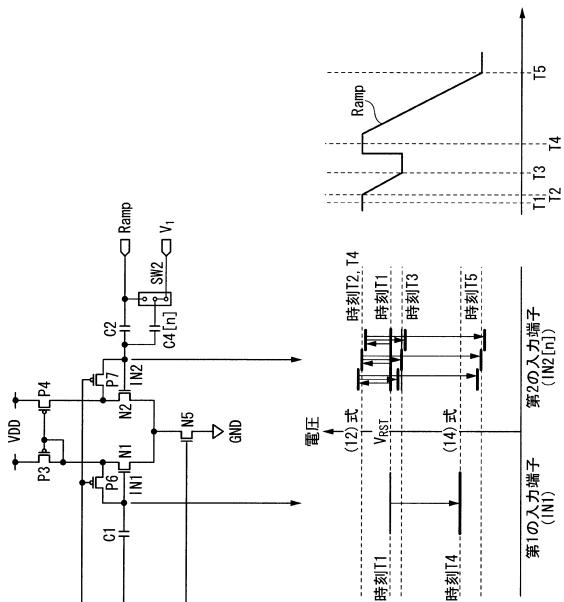
【図9】



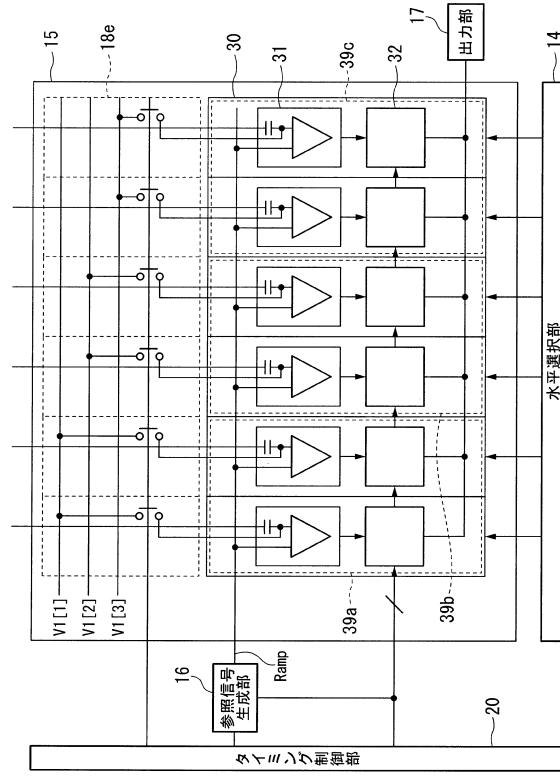
【図10】



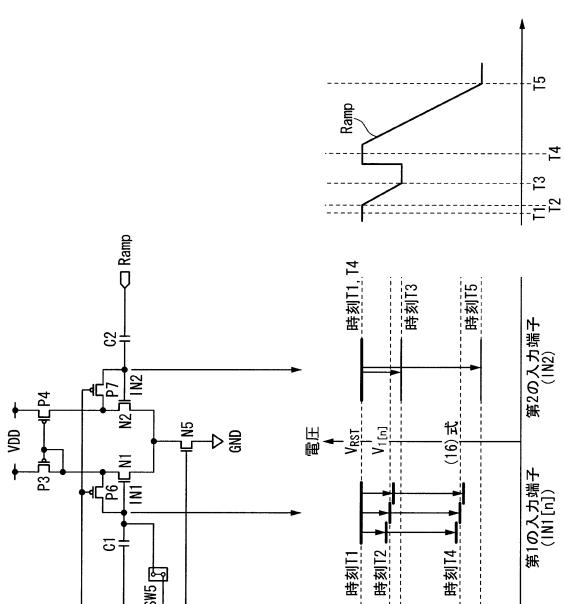
【図 1 1】



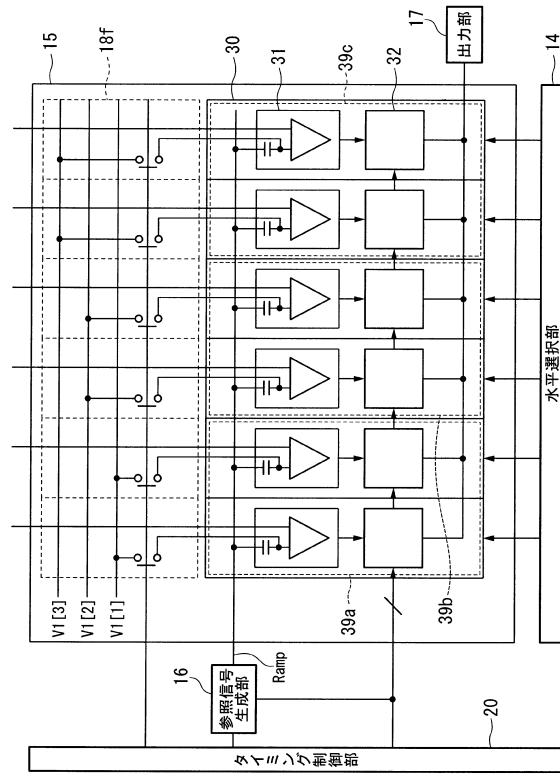
【図 1 2】



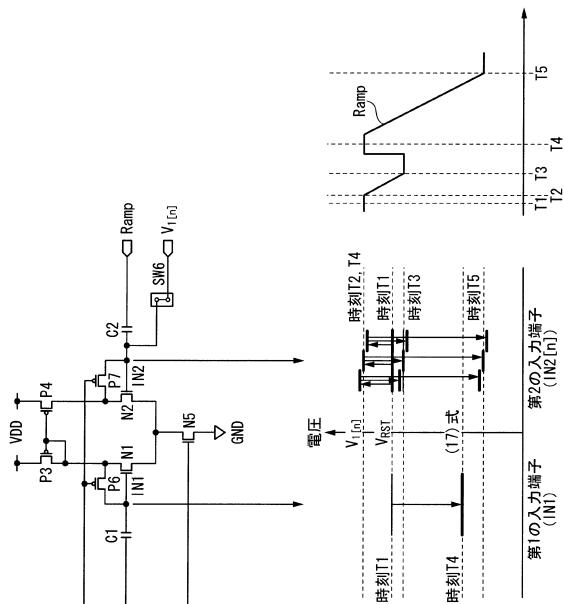
【図 1 3】



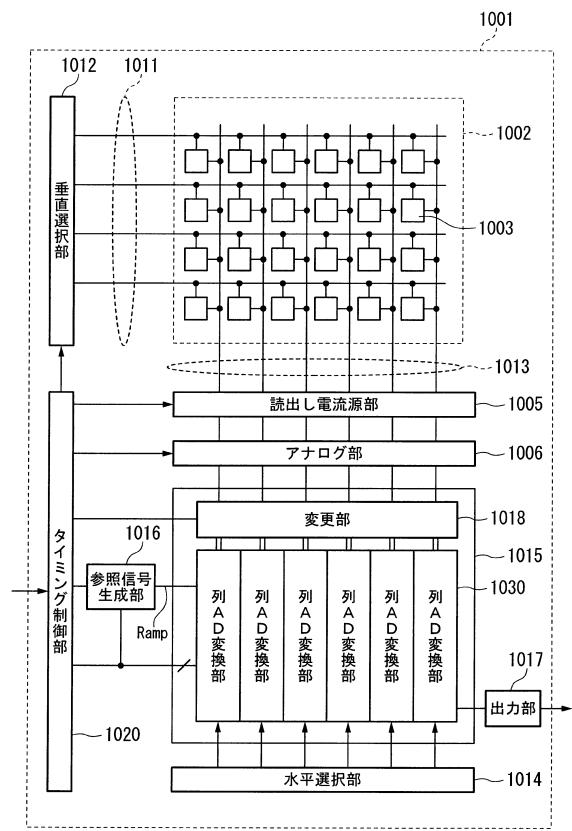
【図 1 4】



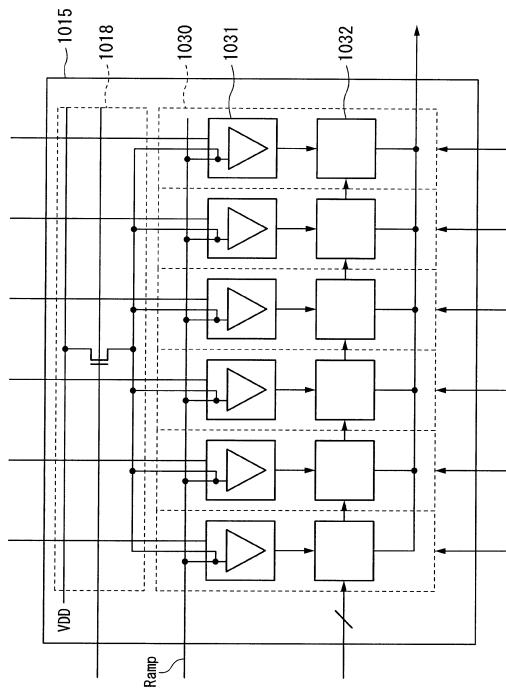
【図15】



【図16】



【図17】



---

フロントページの続き

(74)代理人 100161702

弁理士 橋本 宏之

(72)発明者 萩原 義雄

東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内

審査官 松永 隆志

(56)参考文献 特開2007-019682(JP,A)

特開2009-118035(JP,A)

特開2009-225324(JP,A)

特開2011-024109(JP,A)

特開2006-340044(JP,A)

特開2010-161484(JP,A)

特開2007-306348(JP,A)

米国特許出願公開第2012/0038809(US,A1)

特開2011-050046(JP,A)

特開2012-4989(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/3745

H01L 27/146