

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2024년 9월 26일 (26.09.2024)



(10) 국제공개번호
WO 2024/196233 A1

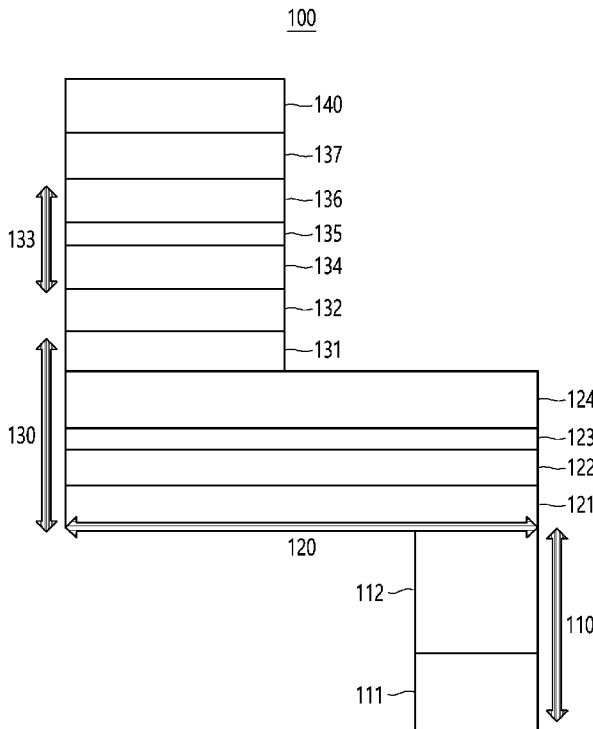
- (51) 국제특허분류:
H10N 50/10 (2023.01) H10B 61/00 (2023.01)
H10N 50/85 (2023.01) H10N 59/00 (2023.01)
- (21) 국제출원번호: PCT/KR2024/095620
- (22) 국제출원일: 2024년 3월 21일 (21.03.2024)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2023-0036278 2023년 3월 21일 (21.03.2023) KR
- (71) 출원인: 한양대학교 산학협력단 (IUCF-HYU(INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) [KR/KR]; 04763 서울특별시 성동구 왕십리로 222, 한양대학교, Seoul (KR). 한국표준과학연구원 (KOREA RESEARCH INSTITUTE OF STANDARDS AND SCIENCE) [KR/KR]; 34113 대전광역시 유성구 가정로 267, Daejeon (KR).
- (72) 발명자: 박재근 (PARK, Jea Gun); 13626 경기도 성남시 분당구 구미로 100, 1003동 1901호, Gyeonggi-do (KR).

최진영 (CHOI, Jin Young); 07610 서울특별시 강서구 양천로6길 57, 101동 402호, Seoul (KR). 전한솔 (JUN, Han Sol); 04763 서울특별시 성동구 왕십리로 222, 한양대학교 HIT 503호, Seoul (KR). 권호정 (KWON, Ho Jung); 04763 서울특별시 성동구 왕십리로 222, 한양대학교 공업센터본관 302호, Seoul (KR). 이소현 (LEE, So Hyun); 04763 서울특별시 성동구 왕십리로 222, 한양대학교 공업센터본관 302호, Seoul (KR). 황찬용 (HWANG, Chan Yong); 06279 서울특별시 강남구 도곡로78길 13, 301-301, Seoul (KR). 양승모 (YANG, Seung Mo); 34061 대전광역시 유성구 노은로 353, 307-605, Daejeon (KR). 문경웅 (MOON, Ky-oung-Woong); 34121 대전광역시 유성구 대덕대로 596, 407호, Daejeon (KR).

- (74) 대리인: 김연권 (KIM, Youn Gwon); 05854 서울특별시 송파구 송파대로 201 B동 1416호, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH,

(54) Title: SKYRMION MEMORY DEVICE AND CROSSBAR ARRAY CIRCUIT USING SAME

(54) 발명의 명칭: 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로



(57) Abstract: The present invention relates to a skyrmion memory device and a crossbar array circuit using same. The skyrmion memory device according to one embodiment of the present invention comprises: a resistive switching vertical electrode that forms skyrmions; a skyrmion channel layer for moving the formed skyrmions; and a magnetic tunnel junction including the skyrmion channel layer, and sensing the moved skyrmions so as to be determined to be in a low resistive state or a high resistive state according to the magnetization direction of a free layer and a pinned layer, wherein the skyrmion channel layer includes a spin orbit torque (SOT) channel layer, the free layer, an insertion layer and a tunnel barrier layer, and, on the basis of the thickness of the insertion layer and the type of formation material thereof, the size and the number of the moved skyrmions are controlled such that the area of the free layer can be controlled.

(57) 요약서: 본 발명은 스커미온(Skyrmion) 메모리 소자 및 이를 이용한 크로스바 어레이회로에 관한 것으로, 본 발명의 일실시예에 따른 스커미온 메모리 소자는 스커미온(skyrmion)을 형성하는 저항 변화 수직 전극, 상기 형성된 스커미온을 이동시키는 스커미온 채널층 및 상기 스커미온 채널층을 포함하고, 상기 이동된 스커미온을 감지(sensing)하여 자유층과 고정층의 자화 방향에 따라 저저항 상태 및 고저항 상태 중 어느 하나의 상태로 결정되는 자기 터널 접합을 포함하고, 상기 스커미온 채널층은 스핀 토크(spin orbit torque, SOT) 채널층, 상기 자유층, 삽입층 및 터널 배리어층을 포함하며, 상기 삽입층의 두께 및 형성 물질의 종류에 기반하여 상기 이동된 스커미온의 크기 및 개수가 제어됨에 따라 상기 자유층의 면적이 제어될 수 있다.

KN, KP, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD,
MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO,
NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW,
SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN,
TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의
역내 권리의 보호를 위하여): ARIPO (BW, CV, GH, GM,
KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ,
UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,
TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE,
ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC,
ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM,
TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW,
KM, ML, MR, NE, SN, TD, TG).

공개:

- 국제조사보고서와 함께 (조약 제21조(3))

명세서

발명의 명칭: 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로

기술분야

- [1] 본 발명은 스커미온(Skyrmion) 메모리 소자 및 이를 이용한 크로스바 어레이 회로에 관한 것으로, 스커미온 생성을 위한 저항 변화(resistive switching) 수직전극, 스커미온 이동을 위한 스커미온 채널층 및 스커미온 감지(sensing)를 위한 자기 터널 접합으로 구성되어 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 구현하는 기술에 관한 것이다.

배경기술

- [2] 인공지능 반도체 칩을 구현하기 위해서는 고집적도의 크로스 포인트(cross-point) 시냅스 어레이 회로와 뉴론(neuron)의 구현이 요구된다.
- [3] 종래 기술에서 CMOS FET 크로스 포인트와 차세대메모리(RRAM, PCRAM, STT-MRAM, SOT-MRAM) 기반 크로스 포인트 어레이가 보고되었으나, 강화(potential)와 억제(depression) 시 선형성이 열악하여 추가적인 보상회로가 필요하다는 단점이 존재한다.
- [4] 2020년에 미국의 MIT(Massachusetts Institute of Technology) 연구팀은 스핀 궤도 토크(spin-orbit torque, SOT) 채널 기반 자구벽 이동에 따른 인공 시냅스 소자를 구현했다고 Marc A Baldo et al., Magnetic Domain Wall Based Synaptic and Activation Function Generator for Neuromorphic Accelerators, Nano Lett., 1033.1040, 2020)에서 발표한바 있다.
- [5] MIT에서 발표한 인공 시냅스 소자는 Ta SOT 채널 / 자유층(정보저장층) / 터널베리어층 / 고정층(자성층) / 연결층 / 하부 교환 반자장층(lower synthetic anti-ferromagnetic multi-layers: SyAF MLs) / 분리층 / 상부 교환 반자장층(upper synthetic anti-ferromagnetic multi-layers: SyAF MLs) / 캡핑층(capping layer) / 상부 전극 구조로 구성되어 있다.
- [6] 종래의 인공 시냅스 소자는 Ta SOT 채널에서 발생한 SOT 효과에 의해 자유층의 자구벽(domain wall)이 이동하여 감지용 pSTT-MRAM의 자유층의 스핀방향이 스위칭됨에 따라 저항이 변화하고, 이를 통해 시냅스의 강화/억제 동작을 구현한 소자이다.
- [7] 하지만, 레터럴(lateral) 구조로 배치된 SOT 채널과 pSTT-MRAM으로 인해 최소 피쳐 사이즈(minimum feature size)가 $93F^2$ 로 집적도 측면에서 치명적인 단점을 갖는다.
- [8] 다시 말해, 종래 기술인 SOT MRAM 기반 시냅스 소자 구조는 3단자 구조로 고 집적화가 불가능하고, SOT MRAM 기반 시냅스 소자는 자구벽 이동(domain wall

motion)을 이용하여 많은 에너지가 필요하고 결함 부분(defect site)에 의한 고정(pinning)에 영향을 받는다는 문제점이 존재한다.

발명의 상세한 설명

기술적 과제

- [9] 본 발명은 스커미온 생성을 위한 저항 변화(resistive switching) 수직전극, 스커미온 이동을 위한 스커미온 채널층 및 스커미온 감지(sensing)를 위한 자기 터널 접합으로 구성되어 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 구현하는 것을 목적으로 한다.
- [10] 본 발명은 자유층과 터널링 배리어 계면에 삽입층을 추가하여 스커미온(skyrmion)이 안정적인 스커미온 채널 형성하고, ECM(electrochemical metallization memory), VCM(valence change memory) 및 ECM과 VCM의 혼합이 이루어진 저항 변화 수직전극을 통한 입력 펄스(input pulse)로 스커미온을 형성해서 자기 터널 접합의 자유층을 변화시키는 구조로 스커미온 개수에 따라 저항이 변하고, 이에 따라 강화(potential)와 억제(depression)를 선형적으로 이룰 수 있는 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 제공하는 것을 목적으로 한다.
- [11] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 자유층과 터널배리어층 사이에 삽입층이 위치하고, 삽입층의 형성 물질 종류와 두께에 따라 스커미온의 크기를 제어하여 단일 자기 터널 접합에서 스커미온 수를 조절하여 멀티 레벨의 비트를 구현하는 것을 목적으로 한다.
- [12] 본 발명은 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자에 기반하여 스커미온을 생성하는 전압이 1 V 이하로 매우 낮고, 자기 터널 접합을 통해 이동된 스커미온을 감지하기 위한 전압이 약 0.1 V로서 매우 낮은 초저전력 시냅스 소자를 구현하는 것을 목적으로 한다.
- [13] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삽입층의 형성 물질 종류와 두께를 제어하여 스커미온 이동에 필요한 쓰기 에너지를 감소시키는 것을 목적으로 한다.
- [14] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삽입층의 형성 물질 종류와 두께를 제어하여 자유층의 보자력(coercivity)을 제어하고, 줄무늬 도메인(stripe domain)을 형성하여 잔류 자화(remanence)를 제거하는 것을 목적으로 한다.

과제 해결 수단

- [15] 본 발명의 일실시예에 따른 스커미온 메모리 소자는 스커미온(skyrmion)을 형성하는 저항 변화 수직 전극, 상기 형성된 스커미온을 이동시키는 스커미온 채널층 및 상기 스커미온 채널층을 포함하고, 상기 이동된 스커미온을 감지(sensing)하여 자유층과 고정층의 자화 방향에 따라 저저항 상태 및 고저항 상태 중 어느

- 하나의 상태로 결정되는 자기 터널 접합을 포함하고, 상기 스커미온 채널층은 스핀 토크(spin orbit torque, SOT) 채널층, 상기 자유층, 삽입층 및 터널 배리어층을 포함하며, 상기 삽입층의 두께 및 형성 물질의 종류에 기반하여 상기 이동된 스커미온의 크기 및 개수가 제어됨에 따라 상기 자유층의 면적이 제어될 수 있다.
- [16] 상기 자기 터널 접합은 상기 스커미온의 개수가 다수인 경우에 멀티 비트의 스커미온을 감지하고, 상기 멀티 비트의 스커미온에 따라 상기 자유층의 면적이 증가할 수 있다.
- [17] 상기 자기 터널 접합은 상기 자유층의 면적이 증가함에 따라 저항 레벨(resistance level)이 점차적으로 변하여 멀티 레벨로 구현되는 강화(potential) 및 억제(depression)의 선형성을 확보할 수 있다.
- [18] 상기 저항 변화 수직 전극은 ECM(electrochemical metallization memory) 수직 전극, VCM(valence change memory) 수직 전극 및 ECM과 VCM이 결합된 수직 전극 중 어느 하나일 수 있다.
- [19] 상기 저항 변화 수직 전극은 전극과 저항 변화층(resistive switching layer)을 포함하고, 상기 저항 변화층은 SiO_x , MgO , HfO_x , AlO_x , TiO_x , TaO_x , GeSe , GeS_2 , GeTe , ZnTe 중 어느 하나로 형성되며, 상기 전극은 Al , TiN , Ti , Ag , Cu , CuTe , W , Pt 및 Ru 중 어느 하나로 형성될 수 있다.
- [20] 상기 스커미온 채널층은 상기 스핀 토크 채널층, 상기 자유층, 상기 삽입층 및 상기 터널 배리어층이 순차적으로 적층된 제1 구조로 형성될 수 있다.
- [21] 상기 스커미온 채널층은 상기 스핀 토크 채널층, 산화물 시드층, 상기 삽입층, 제1 자유층, 스페이서(spacer)층, 제2 자유층 및 상기 터널 배리어층이 순차적으로 적층된 제2 구조로 형성될 수 있다.
- [22] 상기 스커미온 채널층은 상기 제2 구조로 형성되는 경우에 상기 제1 자유층과 상기 제2 자유층이 상기 형성된 스커미온을 반자장 결합 스커미온(anti-ferro-coupled skyrmion)으로 이동 시킴에 따라 스커미온 홀 효과(skyrmion hall effect)를 상쇄(cancel)시킬 수 있다.
- [23] 상기 스커미온 채널층은 상기 터널 배리어층, 상기 삽입층, 상기 자유층 및 상기 스핀 토크 채널층이 순차적으로 적층된 제3 구조로 형성될 수 있다.
- [24] 상기 삽입층은 Ta , W , Pt , Mo 및 Ti 중 어느 하나의 물질로 형성되고, 상기 삽입층의 두께는 상기 스커미온의 크기 및 개수와 반비례할 수 있다.
- [25] 상기 자기 터널 접합은 상기 스핀 토크 채널층, 상기 자유층, 상기 삽입층, 상기 터널 배리어층, 상기 고정층, 브릿지층(bridge layer), 제1 교환 반자장층(synthetic anti-ferromagnetic multi-layers), 분리층(spacing layer), 제2 교환 반자장층 및 상부 전극이 순차적으로 적층된 구조로 형성될 수 있다.
- [26] 본 발명의 일실시예에 따르면 크로스바 어레이 회로는 스커미온(skyrmion)을 형성하는 저항 변화 수직 전극, 상기 형성된 스커미온을 이동시키는 스커미온 채널층 및 상기 스커미온 채널층을 포함하고, 상기 이동된 스커미온을 감지(sensing)하여 자유층과 고정층의 자화 방향에 따라 저저항 상태 및 고저항 상태

중 어느 하나의 상태로 결정되는 자기 터널 접합을 포함하고, 상기 스커미온 채널층은 스핀 토크(spin orbit torque, SOT) 채널층, 상기 자유층, 삽입층 및 터널 배리어층을 포함하며, 상기 삽입층의 두께 및 형성 물질의 종류에 기반하여 상기 이동된 스커미온의 크기 및 개수가 제어됨에 따라 상기 자유층의 면적이 제어되는 스커미온 메모리 소자를 이용한 크로스바 어레이 회로에 있어서, 상기 스커미온 메모리 소자와 스위칭 소자가 하나의 비트셀을 이루고, 상기 비트셀이 복수로 배열한 어레이 및 상기 어레이에 구동 신호를 인가하는 구동부를 포함할 수 있다.

- [27] 상기 비트셀은 상기 저항 변화 수직 전극이 상기 스위칭 소자의 드레인 단에 연결되고, 상기 자기 터널 접합의 상부 전극이 비트 라인에 연결되어 2단자 구조를 가질 수 있다.

발명의 효과

- [28] 일실시예에 따르면, 본 발명은 스커미온 생성을 위한 저항 변화(resistive switching) 수직전극, 스커미온 이동을 위한 스커미온 채널층 및 스커미온 감지(sensing)를 위한 자기 터널 접합으로 구성되어 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 구현할 수 있다.
- [29] 본 발명은 자유층과 터널링 배리어 계면에 삽입층을 추가하여 스커미온(skyrmion)이 안정적인 스커미온 채널 형성하고, ECM(electrochemical metallization memory), VCM(valence change memory) 및 ECM과 VCM의 혼합이 이루어진 저항 변화 수직전극을 통한 입력 펄스(input pulse)로 스커미온을 형성해서 자기 터널 접합의 자유층을 변화시키는 구조로 스커미온 개수에 따라 저항이 변하고, 이에 따라 강화(potential)와 억제(depression)를 선형적으로 이룰 수 있는 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 제공할 수 있다.
- [30] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 자유층과 터널배리어층 사이에 삽입층이 위치하고, 삽입층의 형성 물질 종류와 두께에 따라 스커미온의 크기를 제어하여 단일 자기 터널 접합에서 스커미온 수를 조절하여 멀티 레벨의 비트를 구현할 수 있다.
- [31] 본 발명은 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자에 기반하여 스커미온을 생성하는 전압이 1 V 이하로 매우 낮고, 자기 터널 접합을 통해 이동된 스커미온을 감지하기 위한 전압이 약 0.1 V로서 매우 낮은 초저전력 시냅스 소자를 구현할 수 있다.
- [32] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삽입층의 형성 물질 종류와 두께를 제어하여 스커미온 이동에 필요한 쓰기 에너지를 감소시킬 수 있다.

- [33] 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삼입층의 형성 물질 종류와 두께를 제어하여 자유층의 보자력(coercivity)을 제어하고, 줄무늬 도메인(stripe domain)을 형성하여 잔류 자화(remanence)를 제거할 수 있다.

도면의 간단한 설명

- [34] 도 1은 본 발명의 일실시예에 따른 스커미온 메모리 소자를 설명하기 위한 도면이다.
- [35] 도 2는 본 발명의 일실시예에 따라 2단자로 이루어지는 스커미온 메모리 소자의 구조 및 동작 개념을 설명하는 도면이다.
- [36] 도 3은 본 발명의 일실시예에 따른 스커미온 메모리 소자를 이용한 크로스 바 어레이 회로를 설명하는 도면이다.
- [37] 도 4a 내지 도 5b는 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층에 포함되는 스핀 토크 채널층에 대한 설명하는 도면이다.
- [38] 도 6a 내지 도 10은 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층에 포함되는 삼입층을 설명하는 도면이다.
- [39] 도 11은 본 발명의 일실시예에 따라 반강자성체 결합(anti-ferro coupled) 스커미온 채널층을 이용한 시냅스 소자의 구조 및 동작 개념을 설명하는 도면이다.
- [40] 도 12은 본 발명의 일실시예에 따라 반강자성체 결합(anti-ferro coupled) 스커미온 채널층을 이용한 스카미론 홀 효과(hall effect)의 상쇄를 설명하는 도면이다.
- [41] 도 13은 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극의 구조를 설명하는 도면이다.
- [42] 도 14는 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극의 구조에서 I-V 곡선(curve)을 설명하는 도면이다.
- [43] 도 15는 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극에 기반한 스커미온 생성 및 이동을 설명하는 도면이다.
- [44] 도 16a 내지 도 16d는 본 발명의 일실시예에 따른 스커미온 수에 따른 멀티 레벨 구현을 설명하는 도면이다.
- [45] 도 17 및 도 18은 본 발명의 일실시예에 따른 스커미온 메모리 소자의 다른 구조를 설명하는 도면이다.

발명의 실시를 위한 형태

- [46] 이하, 본 문서의 다양한 실시 예들이 첨부된 도면을 참조하여 기재된다.
- [47] 실시 예 및 이에 사용된 용어들은 본 문서에 기재된 기술을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 해당 실시 예의 다양한 변경, 균등물, 및/또는 대체물을 포함하는 것으로 이해되어야 한다.
- [48] 하기에 다양한 실시 예들을 설명에 있어 관련된 공지 기능 또는 구성에 대한 구체적인 설명이 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명을 생략할 것이다.

- [49] 그리고 후술되는 용어들은 다양한 실시 예들에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.
- [50] 도면의 설명과 관련하여, 유사한 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다.
- [51] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함할 수 있다.
- [52] 본 문서에서, "A 또는 B" 또는 "A 및/또는 B 중 적어도 하나" 등의 표현은 함께 나열된 항목들의 모든 가능한 조합을 포함할 수 있다.
- [53] "제1," "제2," "첫째," 또는 "둘째," 등의 표현들은 해당 구성요소들을, 순서 또는 중요도에 상관없이 수식할 수 있고, 한 구성요소를 다른 구성요소와 구분하기 위해 사용될 뿐 해당 구성요소들을 한정하지 않는다.
- [54] 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에 "(기능적으로 또는 통신적으로) 연결되어" 있다거나 "접속되어" 있다고 언급된 때에는, 어떤 구성요소가 상기 다른 구성요소에 직접적으로 연결되거나, 다른 구성요소(예: 제3 구성요소)를 통하여 연결될 수 있다.
- [55] 본 명세서에서, "~하도록 구성된(또는 설정된)(configured to)"은 상황에 따라, 예를 들면, 하드웨어적 또는 소프트웨어적으로 "~에 적합한," "~하는 능력을 가지는," "~하도록 변경된," "~하도록 만들어진," "~를 할 수 있는," 또는 "~하도록 설계된"과 상호 호환적으로(interchangeably) 사용될 수 있다.
- [56] 어떤 상황에서는, "~하도록 구성된 장치"라는 표현은, 그 장치가 다른 장치 또는 부품들과 함께 "~할 수 있는" 것을 의미할 수 있다.
- [57] 예를 들면, 문구 "A, B, 및 C를 수행하도록 구성된(또는 설정된) 프로세서"는 해당 동작을 수행하기 위한 전용 프로세서(예: 임베디드 프로세서), 또는 메모리 장치에 저장된 하나 이상의 소프트웨어 프로그램들을 실행함으로써, 해당 동작들을 수행할 수 있는 범용 프로세서(예: CPU 또는 application processor)를 의미할 수 있다.
- [58] 또한, '또는'이라는 용어는 배타적 논리합 'exclusive or' 이기보다는 포함적인 논리합 'inclusive or' 를 의미한다.
- [59] 즉, 달리 언급되지 않는 한 또는 문맥으로부터 명확하지 않는 한, 'x가 a 또는 b를 이용한다'라는 표현은 포함적인 자연 순열들(natural inclusive permutations) 중 어느 하나를 의미한다.
- [60] 상술한 구체적인 실시 예들에서, 발명에 포함되는 구성 요소는 제시된 구체적인 실시 예에 따라 단수 또는 복수로 표현되었다.
- [61] 그러나, 단수 또는 복수의 표현은 설명의 편의를 위해 제시한 상황에 적합하게 선택된 것으로서, 상술한 실시 예들이 단수 또는 복수의 구성 요소에 제한되는 것은 아니며, 복수로 표현된 구성 요소라 하더라도 단수로 구성되거나, 단수로 표현된 구성 요소라 하더라도 복수로 구성될 수 있다.

- [62] 한편 발명의 설명에서는 구체적인 실시 예에 관해 설명하였으나, 다양한 실시 예들이 내포하는 기술적 사상의 범위에서 벗어나지 않는 한도 내에서 여러 가지 변형이 가능함은 물론이다.
- [63] 그러므로 본 발명의 범위는 설명된 실시 예에 국한되어 정해져서는 아니되며 후술하는 청구범위뿐만 아니라 이 청구범위와 균등한 것들에 의해 정해져야 한다.
- [64] 도 1은 본 발명의 일실시예에 따른 스커미온 메모리 소자를 설명하기 위한 도면이다.
- [65] 도 1은 본 발명의 일실시예에 따른 스커미온 메모리 소자의 구조를 예시한다.
- [66] 도 1을 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자(100)는 스커미온 기반 p-MTJ 메모리 소자로서 시냅스 소자로 구현될 수 있다.
- [67] 일례로, 스커미온 메모리 소자(100)는 DRAM의 기본 Cell 단위인 1T1C(1 transistor and 1 capacitor)에서 transistor와 스커미온 기반의 p-MTJ를 이용한 1T1R(1 transistor 1 magnetic tunneling junction)구조로 대신 함으로써 고속의 DRAM의 특성을 유지하고 p-MTJ의 비휘발성 특성을 추가 하여 고속 재기록이 가능한 비휘발성 메모리로 기존의 모든 메모리 분야 (DRAM, SRAM, Flash memory)가 대체 가능하고 스커미온 개수에 따른 멀티 레벨(multi-level)이 구현이 가능하다.
- [68] 본 발명의 일실시예에 따르면 스커미온 메모리 소자(100)는 스커미온을 형성하는 저항 변화 수직 전극(110), 스커미온을 이동시키는 스커미온 채널층(120) 및 스커미온 채널층(120)을 포함하고, 스커미온을 감지(sensing)하여 자유층(122)과 고정층(131)의 자화 방향에 따라 저저항 상태 및 고저항 상태 중 어느 하나의 상태로 결정되는 자기 터널 접합(130)을 포함한다.
- [69] 스커미온 채널층(120)은 스핀 토크(spin orbit torque, SOT) 채널층(121), 자유층(122), 삽입층(123) 및 터널 배리어층(124)을 포함한다.
- [70] 자기 터널 접합(130)은 삽입층(123)의 두께 및 형성 물질의 종류에 기반하여 스커미온 채널층(120)으로 이동된 스커미온의 개수가 제어됨에 따라 자유층(122)의 면적이 제어될 수 있다.
- [71] 다시 말해, 스커미온 메모리 소자(100)는 삽입층(123)의 두께 및 형성 물질의 종류에 기반하여 이동된 스커미온의 크기 및 개수가 제어됨에 따라 자유층의 면적이 제어될 수 있다.
- [72] 본 발명의 일실시예에 따르면 저항 변화 수직 전극(110)은 전극(111)과 저항 변화층(112)을 포함한다. 여기서, 전극(111)은 하부 전극으로 지칭될 수 있다.
- [73] 일례로, 저항 변화층(112)은 바이너리 산화물(binary oxide)인 SiO_x , MgO , HfO_x , AlO_x , TiO_x , TaO_x , 칼코겐 화합물(chalcogenide)인 GeSe , GeS_2 , GeTe , ZnTe 중 어느 하나로 형성되고, 전극(111)은 Al , TiN , Ti , Ag , Cu , CuTe , W , Pt 및 Ru 중 어느 하나로 형성될 수 있다.

- [74] 예를 들어, 저항 변화 수직 전극(110)은 ECM(electrochemical metallization memory) 수직 전극, VCM(valence change memory) 수직 전극 및 ECM과 VCM이 결합된 수직 전극 중 어느 하나일 수 있다.
- [75] 예를 들어, ECM과 VCM이 결합된 수직 전극은 ECM 수직 전극의 특성과 VCM 수직 전극의 특성을 모두 포함하는 수직 전극일 수 있다.
- [76] ECM 수직 전극은 금속 필라멘트 기반 RS(resistive switching) 소자를 이용한 수직 전극이고, VCM 수직 전극은 산화물 기반 RS 소자를 이용한 수직 전극일 수 있다.
- [77] 일례로, 저항 변화 수직 전극(110)은 VCM 수직 전극인 경우, 산소 공공(oxygen vacancy)이 저항 변화층(112)으로 이동하여 필라멘트(filament)를 형성하면서 저저항 상태의 수직 전극으로 형성된다.
- [78] 일례로, 저항 변화 수직 전극(110)은 ECM 수직 전극인 경우, 금속 전극을 형성하는 금속 물질이 저항 변화층(112)으로 이동하여 필라멘트를 형성하면서 저저항 상태의 수직 전극으로 형성된다.
- [79] 본 발명의 일실시예에 따르면 스커미온 채널층(120)은 스핀 토크 채널층(121), 자유층(122), 삽입층(123) 및 터널 배리어층(124)이 순차적으로 적층된 제1 구조로 형성될 수 있다.
- [80] 일례로, 삽입층(123)은 비자성물질(non-magnetic metal)로 Mo, Ta, W, Pt 및 Ti 중 어느 하나의 물질로 형성된다.
- [81] 또한, 스커미온 채널층(120)은 삽입층(123)의 두께가 제어되면 자유층(122)의 보자력(coercivity)이 제어되고, 줄무늬 도메인(stripe domain)이 형성되며, 형성된 줄무늬 도메인과 관련하여 줄무늬 폭(stripe width)이 제어되고, 제어된 줄무늬 폭에 따라 스커미온의 개수 및 크기는 비례한다.
- [82] 삽입층(123)의 두께가 증가하면 줄무늬 도메인의 폭은 감소한다.
- [83] 즉, 삽입층(123)의 두께와 자유층(122)에서 생성되는 스커미온의 개수 및 크기는 반비례한다.
- [84] 스커미온 채널층(120)은 수직 전극(110)으로부터 인가되는 전압 펄스에 따라 스커미온이 이동된다.
- [85] 자기 터널 접합(130)은 p-MTJ(perpendicular-Magneto Tunneling Junction) 스핀 밸브(spin-valve)로서, 하부 자유(bottom free) 구조로 이루지고, 스핀 토크 채널층(121), 자유층(122), 삽입층(123), 터널 배리어층(124), 고정층(131), 브릿지층(132), 제1 교환 반자장층(134), 분리층(135), 제2 교환 반자장층(136) 및 상부 전극(140)이 순차적으로 적층된 구조로 형성되고, 추가적으로 캐핑층(137)을 더 포함할 수 있다.
- [86] 제1 교환 반자장층(134), 분리층(135) 및 제2 교환 반자장층(136)은 합성 교환 반자장층(synthetic anti-ferromagnetic multi-layers, SyAF) (133)를 이룬다.
- [87] 자기 터널 접합(130)으로서 p-MTJ 스핀 밸브는 스커미온 채널층(120)을 포함할 수 있다.

- [88] 수직 전극(110)은 전극(111)을 통해 쓰기 전압 펄스(V_{write})가 인가되면 스커미온을 형성한다.
- [89] 스커미온 채널층(120)은 전극(111)을 통해 스커미온을 이동시키는 전압 펄스(V_{shift})가 주입되면, 스커미온을 자기 터널 접합(130)의 아래로 이동시킨다.
- [90] 스커미온이 자기 터널 접합(130)의 아래로 이동하면 자유층(122)과 고정층(131)의 자화 방향이 평행이면 전류의 흐름이 용이하여 저저항 상태(low resistive state, LRS)가 되고, 저저항 상태는 평행 상태(parallel state)로 지칭할 수 있다.
- [91] 또한, 자유층(122)과 고정층(131)의 자화 방향이 반평행이면 전류가 감소하여 고저항 상태(high resistive state, HRS)가 되고, 고저항 상태는 반평행 상태(Anti-parallel state)로 지칭할 수 있다.
- [92] 스커미온의 개수가 증가함에 따라 스위칭되는 자기 터널 접합(130)의 자유층(122)의 면적이 증가하면서 저항차이가 점차적으로 변해 강화(potential) 및 억제(depression)의 선형성이 확보될 수 있다.
- [93] 따라서, 본 발명은 자유층과 터널링 배리어 계면에 삽입층을 추가하여 스커미온(skyrmion)이 안정적인 스커미온 채널 형성하고, ECM(electrochemical metallization memory), VCM(valence change memory) 및 ECM과 VCM의 혼합이 이루어진 저항 변화 수직전극을 통한 입력 펄스(input pulse)로 스커미온을 형성해서 자기 터널 접합의 자유층을 변화시키는 구조로 스커미온 개수에 따라 저항이 변하고, 이에 따라 강화(potential)와 억제(depression)를 선형적으로 이룰 수 있는 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 제공할 수 있다.
- [94] 자기 터널 접합(130)의 스위칭 방식은 터널 배리어층(124)을 통과하는 스핀 전이 토크(spin-transfer-torque) 방식이 아닌 VCM 혹은 ECM 수직전극에 인가하는 전압 펄스로 인해 형성되는 스커미온의 이동으로 저항변화를 형성함으로써 터널링배리어층(124)의 두께를 증가시켜 p-MTJ의 저항과 면적의 곱(resistance*area, RA)를 증가시킬 수 있다.
- [95] 또한 스커미온은 위상학적으로 안정되어 있기 때문에 결함(defect)에 대한 고정(pinning) 효과가 적을 수 있다.
- [96] 스커미온 메모리 소자(100)는 삽입층(123)의 두께에 따른 스커미온 크기를 제어함으로써 단일 자기 터널 접합(130)에 스커미온 수를 조절함으로써 멀티 레벨(multi-level)이 구현 가능하다.
- [97] 예를 들어, 스커미온 메모리 소자(100)는 고속 재기록이 가능한 자기 비휘발성 메모리, 신경 모사 컴퓨팅(Neuromorphic computing), 신경 모사 소자(Neuromorphic device), 인공지능 하드웨어에 활용될 수 있다.
- [98] 도 2는 본 발명의 일실시예에 따라 2단자로 이루어지는 스커미온 메모리 소자의 구조 및 동작 개념을 설명하는 도면이다.
- [99] 도 2는 본 발명의 일실시예에 따라 2단자로 이루어지는 스커미온 메모리 소자의 구조를 이루는 구성 요소를 예시하고, 구성 요소에 기반한 동작을 예시한다.

- [100] 도 2를 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자(200)는 스커미온 채널층과 자기 터널 접합이 중첩되는 영역(200)에서 스핀토크 채널층(201), 자유층(202), 삽입층(203) 및 터널 배리어층(204), 고정층(205)이 포함된다.
- [101] 스핀토크 채널층(201)의 아래에는 저항 변화 수직 전극으로 ECM이 활용되고 있다.
- [102] 스커미온 메모리 소자(200)는 저저항 상태(210)와 고저항 상태(220)로 구분되고, 쓰기 동작을 위한 전압 펄스가 인가되면 저저항 상태(210)에서 고저항 상태(220)로 이동하고, 지우기 동작을 위한 전압 펄스가 인가되면 고저항 상태(220)에서 저저항 상태(210)로 이동된다.
- [103] 스커미온 메모리 소자(200)의 저저항 상태(210)는 자유층(202)에서 스커미온(211)이 고정층(205)과 수직하는 위치에서 위치하지 않는다.
- [104] 스커미온 메모리 소자(200)의 고저항 상태(220)는 자유층(202)에서 스커미온(221)이 고정층(205)과 수직하는 위치에서 위치한다.
- [105] 스커미온 메모리 소자(200)는 자유층(202)과 고정층(205)의 자화 방향이 평행이면 전류의 흐름이 용이하여 저저항 상태(210)와 자유층(202)과 고정층(205)의 자화 방향이 반평행이면 전류가 감소하여 고저항 상태(220)가 된다.
- [106] 즉, 스커미온 메모리 소자(200)에서 저저항 상태(210)는 고정층(205) 아래 자유층(202)의 화살표 방향이 동일하고, 고저항 상태(220)는 고정층(205) 아래 자유층(202)의 화살표 방향이 동일하지 않다.
- [107] 도 3은 본 발명의 일실시예에 따른 스커미온 메모리 소자를 이용한 크로스 바 어레이 회로를 설명하는 도면이다.
- [108] 도 3은 본 발명의 일실시예에 따른 스커미온 메모리 소자를 이용한 크로스 바 어레이 회로를 예시한다.
- [109] 도 3을 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자를 이용한 크로스 바 어레이 회로(300)는 스커미온 메모리 소자(311)와 스위칭 소자가 하나의 비트셀(310)을 이루고, 비트셀(310)이 복수로 배열한 어레이 및 어레이에 구동 신호를 인가하는 구동부(320)를 포함한다. 예를 들어, 스위칭 소자는 MOSFET(Metal-Oxide-Semiconductor Field Effect Transistor)일 수 있다.
- [110] 일례로, 비트셀(310)은 스커미온 메모리 소자(311)의 저항 변화 수직 전극이 스위칭 소자의 드레인 단에 연결되고, 스커미온 메모리 소자(311)의 자기 터널 접합에서 상부 전극이 비트 라인에 연결되어 2단자 구조를 가진다.
- [111] 크로스 바 어레이 회로(300)는 어레이에서의 소비전력을 낮출 수 있고 기존의 크로스바 어레이를 틀로 이용하기 때문에 고집적화에도 용이하다.
- [112] 따라서, 본 발명은 스커미온(Skyrmion) 메모리 소자 및 이를 이용한 크로스바 어레이회로에 관한 것으로, 스커미온 생성을 위한 저항 변화(resistive switching) 수직전극, 스커미온 이동을 위한 스커미온 채널층 및 스커미온 감지(sensing)를 위한 자기 터널 접합으로 구성되어 스커미온 개수에 따른 저항의 변화가 선형적

인 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 구현할 수 있다.

[113] 도 4a 내지 도 5b는 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층에 포함되는 스핀 토크 채널층에 대한 설명하는 도면이다.

[114] 도 4a 및 도 4b는 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층에서 스커미온 이동에 필요한 쓰기 에너지 감소를 위해 높은 스핀 토크 효율(efficiency) 물질로 알려진 β -W의 A15 결정구조를 예시한다.

[115] 도 4a의 그래프(400)와 도 4b의 그래프(410)를 참고하면, 스커미온 채널층에 스핀 토크 채널층으로 이용되는 텅스텐(W) 두께 5nm이하에서 β -W 5.5°(200), 39.8°(210), 43.8°(211)에 대한 피크(peak)를 확인할 수 있다.

[116] 그래프(400)는 스커미온 채널층과 관련하여 스핀 토크 채널층의 두께에 따른 결정 구조를 예시하고, 그래프(410)는 DC(direct current) 스퍼터링 파워(sputtering power)에 따른 결정성을 예시한다.

[117] 텅스텐 두께 6nm 이후 부터는 α -W 40.1°(110)의 피크만 존재함으로 α -상(phase) (b.c.c.) 결정구조를 확인할 수 있다.

[118] 또한, 텅스텐 박막 4nm 두께에서 DC 스퍼터링 파워가 150 W 이하에서 α -W 5.5°(200), 39.8°(210), 43.8°(211) 피크를 확인할 수 있다.

[119] 스커미온 채널층의 스핀 토크 채널층의 α -W의 A15 결정구조 확보할 경우, 표 1과 같이 0.3의 높은 스핀 홀 각도(spin hall angle)를 확보할 수 있다.

[120] [표 1]

텅스텐 두께(nm)	4nm (β -W)	5nm (β -W)	6nm (α -W)	7nm (α -W)
스핀 홀 각도(θ)	-0.30±0.05	-0.31±0.08	-0.34±0.01	-0.35±0.03

[122] 도 5a는 스커미온 메모리 소자에서 스커미온 채널층의 표면 거칠기(surface roughness, Ra)를 예시한다.

[123] 도 5b는 스커미온 채널층의 스퍼터링 파워에 따른 자유층의 MOKE(Magneto-Optical Kerr Effect microscope)이미지를 예시한다.

[124] 도 5a의 그래프(500)를 참고하면, W 스퍼터링 파워가 증가할수록 스커미온 채널층의 표면 거칠기가 증가하는 것을 확인할 수 있다.

[125] 도 5b를 참고하면, 스커미온 채널층의 표면 거칠기가 증가할수록 이미지(510), 이미지(511) 및 이미지(512)와 같이 도메인 엣지 거칠기(domain edge roughness)가 증가하는 것을 확인할 수 있다.

- [126] 이미지(510)는 W 스퍼터링 파워가 20W인 경우를 예시하고, 이미지(511)는 W 스퍼터링 파워가 100W인 경우를 예시하며, 이미지(512)는 W 스퍼터링 파워가 150W인 경우를 예시한다.
- [127] W 스퍼터링 파워는 텅스텐(W)을 스퍼터링 증착하기 위한 파워이다.
- [128] 이는, 스커미온 채널층의 표면 거칠기로 인한 고정 위치(pinning site)의 증가로 생성된 스커미온 이동에 방해가 될 수 있어, 스커미온 채널층의 표면 거칠기는 1 Å 이하일 필요가 있음을 나타낸다.
- [129] 도 6a 내지 도 10은 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층에 포함되는 삽입층을 설명하는 도면이다
- [130] 도 6a 및 도 6b는 본 발명의 일실시예에 따라 스커미온 채널층에서 삽입층의 두께에 따른 수직자화곡선과 MOKE 줄무늬 도메인 이미지를 예시한다.
- [131] 도 6a의 그래프(600)를 참고하면, 삽입층의 두께가 증가할수록 자유층의 보자력(coercivity)이 감소하고, 줄무늬 도메인(stripe domain)이 형성되면서 잔류 자화(Remanance)가 없어지는 것을 확인할 수 있다.
- [132] 특히, 도 6b의 이미지(610)와 같이 삽입층의 두께가 0.099 nm인 경우 보자력이 없어지는 영역에서는 업 스핀(up-spin)과 다운 스핀(down-spin)이 동시에 존재하는 1 μ m 크기의 줄무늬 도메인을 형성하여 국부적으로는 업 스핀과 다운 스핀의 수직자화 특성을 보유하고 있으나, 전체적으로는 서로 상쇄되어 수직자화 특성이 없는 특성을 보일 수 있다.
- [133] 도 7a 및 도 7b는 본 발명의 일실시예에 따른 삽입층의 형성 물질 및 두께에 따른 자성 특성을 예시한다.
- [134] 도 7a의 그래프(700)는 형성 물질의 종류와 삽입층의 두께에 따른 자기 모멘트(magnetic moment)를 예시하고, 도 7b의 그래프(710)는 형성 물질의 종류와 삽입층의 두께에 따른 이방성 장(anisotropy field, H_k)을 예시한다.
- [135] 그래프(700) 및 그래프(710)에 따르면 Pt (0.110~0.209 nm)와 Ti (0.300~0.402 nm)의 경우 각각 자기 모멘트(M_s)를 102 $\pm$ 6 μ emu, 61 $\pm$ 5 μ emu를 유지하면서 이방성 장 만이 Pt는 +5.10 kOe에서 -2.98 kOe으로, Ti는 +5.29 kOe에서 -1.20 kOe으로 감소한다.
- [136] 삽입층을 형성하는 텅스텐의 경우 두께가 증가함에 따라 자기 모멘트 값은 49 μ emu에서 5 μ emu으로 계속 감소하고, 이방성 장도 텅스텐으로 형성된 삽입층의 두께에 따라 감소하지만 다른 물질에 비해 8.30 kOe에서 3.50 kOe로 유지 된다.
- [137] 따라서, 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삽입층의 형성 물질 종류와 두께를 제어하여 자유층의 보자력(coercivity)을 제어하고, 줄무늬 도메인(stripe domain)을 형성하여 잔류 자화(remanence)를 제거할 수 있다.
- [138] 도 8a는 본 발명의 일실시예에 따른 삽입층의 형성 물질의 두께에 따른 자성 특성 및 줄무늬 도메인 폭(stripe domain width) MOKE를 이용한 M-H curve로 예시한다.

- [139] 도 8b는 본 발명의 일실시예에 따른 삽입층의 형성 물질의 두께에 따른 이방성 장(H_k) 및 줄무늬 도메인 폭을 예시한다.
- [140] 도 8a를 참고하면, 그래프(800)는 Pt를 나타내고, 그래프(801)는 W를 나타내며, 그래프(802)는 Ti를 나타낸다.
- [141] 도 8b를 참고하면, 그래프(810)는 Pt를 나타내고, 그래프(811)는 W를 나타내며, 그래프(812)는 Ti를 나타낸다.
- [142] 도 9는 본 발명의 스커미온 채널층에서 삽입층의 형성 물질 및 두께에 따른 MOKE 이미지를 예시한다.
- [143] 도 9를 참고하면, 이미지(900)는 삽입층의 형성물질이 Pt인 경우를 나타내고, 이미지(910)는 삽입층의 형성물질이 W인 경우를 나타내며, 이미지(920)는 삽입층의 형성물질이 Ti인 경우를 나타낸다.
- [144] 줄무늬 도메인 폭(λ_0)은
$$\exp \sqrt{\frac{M_S H_K}{2}}$$
에 비례하기 때문에 도 8a 내지 도 9와 같이 이방성 장(H_k)이 감소함에 따라 줄무늬 도메인 폭이 감소하며 Pt는 0.1670 nm, W는 0.0806 nm, Ti는 0.3615 nm에서 약 1 μ m의 줄무늬 폭이 확보가 가능한 것을 확인할 수 있다.
- [145] 다시 말해, 이미지(900) 내지 이미지(920)에 따르면 삽입층의 두께가 증가하면 줄무늬 폭이 감소하는 것을 확인할 수 있다.
- [146] 줄무늬 폭은 스커미온의 크기 및 개수와 비례함에 따라 삽입층의 두께는 스커미온의 크기 및 개수와 반비례하는 것을 확인할 수 있다.
- [147] 도 10은 본 발명의 스커미온 채널층에서 삽입층 두께를 고정하고, 자기장에 따른 스커미온 MOKE 이미지를 예시한다.
- [148] 도 10을 참고하면, 이미지(1000)는 삽입층의 형성물질이 Pt인 경우를 나타내고, 이미지(1010)는 삽입층의 형성물질이 W인 경우를 나타내며, 이미지(1020)는 삽입층의 형성물질이 Ti인 경우를 나타낸다.
- [149] 이미지(1000) 내지 이미지(1020)에서 Pt는 0.1670 nm, W는 0.0806 nm, Ti는 0.3615 nm로 두께가 고정된다.
- [150] 이미지(1000) 내지 이미지(1020)에서 우측으로 이동하면서 수직 외부 자기장이 증가되는 것을 확인할 수 있다.
- [151] 또한, 이미지(1000) 내지 이미지(1020)에서 고정된 삽입층 두께에서 외부자기장의 변화를 주면 약 1~2 μ m의 스커미온이 만들어 지는 것을 확인할 수 있다.
- [152] 따라서, 본 발명은 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자에 기반하여 스커미온을 생성하는 전압이 1 V 이하로 매우 낮고, 자터널 접합을 통해 이동된 스커미온을 감지하기 위한 전압이 약 0.1 V로서 매우 낮은 초저전력 시냅스 소자를 구현할 수 있다.

- [153] 또한, 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 삽입층의 형성 물질 종류와 두께를 제어하여 스커미온 이동에 필요한 쓰기 에너지를 감소시킬 수 있다.
- [154] 도 11은 본 발명의 일실시예에 따라 반강자성체 결합(anti-ferro coupled) 스커미온 채널층을 이용한 시냅스 소자의 구조 및 동작 개념을 설명하는 도면이다.
- [155] 도 11은 본 발명의 일실시예에 따라 스커미온이 이동하는 스커미온 채널층에서 스커미온 홀 효과(skyrmion hall effect)를 상쇄하기 위한 시냅스 소자 구조를 예시한다.
- [156] 도 11을 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자에서 스커미온 채널층(1100)은 스핀 토크 채널층, 산화물 시드층(1101), 삽입층(1102), 제1 자유층(1103), 스페이서(spacer)층(1104), 제2 자유층(1105) 및 터널 배리어층(1106)이 순차적으로 적층된 제2 구조로 형성되고, 상부에 자기 터널 접합의 구성으로 고정층(1107)이 위치한다.
- [157] 제1 자유층(1103)과 제2 자유층(1105)은 스페이서층(1104)을 통해 RKKY 결합(coupling)으로 서로 반대가 되는 스핀방향을 가지고 있다. 예를 들어, 자유층은 자성층으로 지칭될 수 있다.
- [158] 스커미온 메모리 소자는 저저항 상태(1110)와 고저항 상태(1120)로 구분되고, 쓰기 동작을 위한 전압 펄스가 인가되면 저저항 상태(1110)에서 고저항 상태(1120)로 이동하고, 지우기 동작을 위한 전압 펄스가 인가되면 고저항 상태(1120)에서 저저항 상태(1110)로 이동된다.
- [159] 스커미온 메모리 소자의 저저항 상태(1110)는 제1 자유층(1103) 및 제2 자유층(1105)에서 반자장 결합 스커미온(1111)이 고정층(1107)과 수직하는 위치에서 위치하지 않는다.
- [160] 스커미온 메모리 소자의 고저항 상태(1120)는 제1 자유층(1103) 및 제2 자유층(1105)에서 반자장 결합 스커미온(1121)이 고정층(1107)과 수직하는 위치에서 위치한다.
- [161] 스커미온 메모리 소자는 제1 자유층(1103) 및 제2 자유층(1105)과 고정층(1107)의 자화 방향이 평행이면 전류의 흐름이 용이하여 저저항 상태(1110)와 제1 자유층(1103) 및 제2 자유층(1105)과 고정층(1107)의 자화 방향이 반평행이면 전류가 감소하여 고저항 상태(1120)가 된다.
- [162] 즉, 스커미온 메모리 소자에서 저저항 상태(1110)는 고정층(1107) 아래 제1 자유층(1103) 및 제2 자유층(1105)의 화살표 방향이 동일하고, 고저항 상태(1120)는 고정층(1107) 아래 자유층(1103) 및 제2 자유층(1105)의 화살표 방향이 동일하지 않다.
- [163] 도 12은 본 발명의 일실시예에 따라 반강자성체 결합(anti-ferro coupled) 스커미온 채널층을 이용한 스커미온 홀 효과(hall effect)의 상쇄를 설명하는 도면이다.
- [164] 도 12를 참고하면, 이미지(1200)는 스커미온 홀 효과에 의해 스커미온이 마구누스 힘(magnus force)을 받아 이동경로가 휘어지는 문제가 발생을 예시하

- 고, 이미지(1201)는 제1 자유층과 제2 자유층이 스페이서층을 통해 RKKY 결합(coupling)으로 서로 반대가 되는 스핀방향을 갖도록 반자장 결합(anti-ferro coupling)으로 형성됨에 따라 스커미온 홀 효과를 상쇄하는 것을 예시한다.
- [165] 즉, 이미지(1201)와 같이 제1 자유층과 제2 자유층 각각에서 마구누스 힘이 작용함에 따라 마구누스 힘이 상쇄되어 스커미온 홀 효과가 상쇄될 수 있다.
- [166] 다시 말해, 스커미온 채널층은 제1 자유층과 제2 자유층이 스페이서층을 통해 RKKY 결합하는 제2 구조로 형성되는 경우에 상기 제1 자유층과 상기 제2 자유층이 상기 형성된 스커미온을 반자장 결합 스커미온(anti-ferro-coupled skyrmion)으로 이동 시킴에 따라 스커미온 홀 효과를 상쇄시킬 수 있다.
- [167] 도 13은 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극의 구조를 설명하는 도면이고, 도 14는 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극의 구조에서 I-V 곡선(curve)을 설명하는 도면이다.
- [168] 도 13은 본 발명의 일실시예에 따라 스커미온 생성을 위한 VCM 기반의 수직 전극 구조를 예시하고, 도 14는 VCM 기반의 수직 전극 구조에서의 I-V 곡선(curve)을 통해 포밍(forming), 셋(set) 및 리셋(reset) 전압을 예시한다.
- [169] 도 13을 참고하면, 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극의 구조(1300)는 Ru로 형성되는 하부 전극(1310), 스커미온 채널층(1320), 저항 변화 수직 전극(1330)으로 구성되고, 스커미온 채널층(1320) 스핀 토크 채널층(1321), 자유층(1322), 삽입층(1323) 및 터널 배리어층(1324)으로 구성되며, 저항 변화 수직 전극(1330)이 HfO_x로 형성되는 저항 변화층(1331) 및 Pt로 형성되는 전극(1332)으로 구성된다.
- [170] 자유층(1322)은 CoFeB로 형성되고, 삽입층(1323)은 Ta, W, Pt, Ti로 형성되며, 터널 배리어층(1324)은 MgO으로 형성될 수 있다.
- [171] 도 14를 참고하면, 그래프(1400)는 도 13에서 설명된 저항 변화 수직 전극의 구조(1300)에서 저항 변화층(1331)의 두께가 2 nm인 경우에 포밍 전압이 -3.6 V이고, 셋 전압이 -1.56V이며, 리셋 전압이 +5.4V를 갖는 구조임을 예시한다.
- [172] 도 15는 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극에 기반한 스커미온 생성 및 이동을 설명하는 도면이다.
- [173] 도 15는 본 발명의 일실시예에 따른 스커미온 생성을 위한 저항 변화 수직 전극에 입력되는 전압 펄스(input voltage pulse)에 따른 스커미온 생성 및 이동 이미지(1500)에서 펄스 크기(amplitude)가 +0.9 V이고, 펄스 폭(width)이 200 ms에 대하여 예시하고, 이미지(1510)에서 펄스 크기가 +0.3 V이고, 펄스 폭이 50 ms인 경우를 예시하며, 이미지(1520)에서 펄스 크기가 -0.3 V이고, 펄스 폭이 50 ms인 경우로 구분하여 예시한다.
- [174] 이미지(1500)를 참고하면, 입력 펄스가 인가됨에 따라 스커미온이 생성되고 연속되는 입력 펄스에 따라 전류방향으로 스커미온이 이동한다.

- [175] 이미지(1510)를 참고하면, 입력 펄스를 +1V에서 +0.3V로 더 낮은 전압 펄스를 인가할 경우에 기 생성된 스커미온은 저류 방향에 따라 오른쪽으로 이동하고, 추가로 스커미온을 형성하지 않는다.
- [176] 이미지(1520)를 참고하면, 펄스 크기가 -0.3 V이고, 펄스 폭이 50 ms인 경우 스커미온은 전류 방향에 따라 왼쪽으로 이동하는 것을 확인할 수 있다.
- [177] 따라서, 도 13의 하부 전극 위치에 p-MTJ 스핀 벨프인 자기 터널 접합이 위치하면 스커미온 채널층의 자유층에서 스커미온의 위치에 따라서 MTJ의 저항이 저저항(parallel state)와 고저항(anti-parallel state)로 변화될 수 있다.
- [178] 도 16a 내지 도 16d는 본 발명의 일실시예에 따른 스커미온 수에 따른 멀티 레벨 구현을 설명하는 도면이다.
- [179] 도 16a는 본 발명의 일실시예에 따른 스커미온 수의 다양한 모습을 예시하고, 도 16b는 본 발명의 일실시예에 따른 스커미온 수에 따른 저항 상태의 변화를 예시하며, 도 16c는 본 발명의 일실시예에 따라 16개의 레벨의 멀티 비트 스커미온을 예시하고, 도 16d는 본 발명의 일실시예에 따라 16개의 레벨의 멀티 비트의 강화 및 억제를 저항 레벨(resistance level)로 예시한다.
- [180] 도 16a를 참고하면, 이미지(1601)는 스커미온이 하나인 경우, 이미지(1602)는 스커미온이 3개인 경우, 이미지(1603)는 스커미온이 5개인 경우, 이미지(1604)는 스커미온이 7개인 경우를 예시한다.
- [181] 도 16b의 그래프(1610)를 참고하면, 스커미온의 수가 증가하면 저저항 상태(LRS)에서 고저항 상태(HRS)로 변화된다.
- [182] 이는 스커미온의 크기가 자기 터널 접합 보다 작을 경우 스커미온의 수에 따라 멀티레벨구현이 가능함을 나타낸다.
- [183] 도 16c를 참고하면, 이미지(1620)는 16개의 레벨의 멀티 비트 스커미온을 예시하고, 도 16d의 그래프(1630)는 스커미온 수에 따른 시냅스의 강화(potential) 및 억제(depression)를 예시한다.
- [184] 스커미온의 크기가 16개로 자기 터널 접합의 스커미온 수를 일정하게 가져갈 경우 선형적인(linear) 시냅스의 강화 및 억제를 구현하여 시냅스 소자로도 구현이 가능함을 예시한다.
- [185] 본 발명의 일실시예에 따른 스커미온 메모리 소자의 자기 터널 접합은 스커미온의 개수가 다수인 경우에 멀티 비트의 스커미온을 감지하고, 멀티 비트의 스커미온에 따라 자유층의 면적이 증가함에 따라 저항 레벨(resistance level)이 점차적으로 변하여 멀티 레벨로 구현되는 강화 및 억제의 선형성을 확보할 수 있다.
- [186] 따라서, 본 발명은 스커미온을 이동시키는 스커미온 채널층에서 자유층과 터널 배리어층 사이에 삽입층이 위치하고, 삽입층의 형성 물질 종류와 두께에 따라 스커미온의 크기를 제어하여 단일 자기 터널 접합에서 스커미온 수를 조절하여 멀티 레벨의 비트를 구현할 수 있다.

- [187] 도 17 및 도 18은 본 발명의 일실시예에 따른 스커미온 메모리 소자의 다른 구조를 설명하는 도면이다. 도 17 및 도 18은 도 13과 같이 실험을 위한 설계 구조로서 예시된다.
- [188] 도 17은 본 발명의 일실시예에 따른 스커미온 메모리 소자의 제1 다른 구조를 예시한다. 여기서, 제1 다른 구조란 도 1에서 설명된 스커미온 메모리 소자와 다른 구조일 수 있다.
- [189] 도 17을 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자(1700)는 도 1에서 예시된 스커미온 메모리 소자(100)와 상하가 반전된 구조를 나타낸다.
- [190] 일례로, 스커미온 메모리 소자(1700)는 하부 전극(1740) 상에 버퍼층(1738), 시드층(1737), 제1 교환 반자장층(1736), 분리층(1735), 제2 교환 반자장층(1734), 브릿지층(1732) 및 고정층(1731)을 포함하는 자기 터널 접합(1730)이 위치한다.
- [191] 버퍼층(1738)은 Ta로 5 nm의 두께로 형성되고, 시드층(1737)은 Pt로 3nm의 두께로 형성될 수 있다.
- [192] 브릿지층(1732)은 W로 0.3 nm 내지 0.5 nm로 형성될 수 있다.
- [193] 제1 교환 반자장층(1736), 분리층(1735) 및 제2 교환 반자장층(1734)은 합성 교환 반자장층 (synthetic anti-ferromagnetic multi-layers, SyAF) (1733)를 이룬다.
- [194] 자기 터널 접합(1730)은 터널 배리어층(1724), 삽입층(1723), 자유층(1722) 및 스핀 토크 채널층(1711)도 포함한다.
- [195] 본 발명의 실시예에 따르면 자기 터널 접합(1730)은 하부 전극(1740) 상에 버퍼층(1738), 시드층(1737), 제1 교환 반자장층(1736), 분리층(1735), 제2 교환 반자장층(1734), 브릿지층(1732) 및 고정층(1731), 터널 배리어층(1724), 삽입층(1723), 자유층(1722) 및 스핀 토크 채널층(1711)이 순차적으로 적층된 제2 구조로 형성될 수 있다.
- [196] 터널 배리어층(1724), 삽입층(1723), 자유층(1722) 및 스핀 토크 채널층(1711)은 스커미온 채널층(1720)을 형성한다.
- [197] 일례로, 스커미온 채널층(1720)은 터널 배리어층(1724), 삽입층(1723), 자유층(1722) 및 스핀 토크 채널층(1721)이 순차적으로 적층된 제3 구조로 형성될 수 있다.
- [198] 예를 들어, 자기 터널 접합(1730)은 스커미온 채널층(1720)을 포함한다.
- [199] 삽입층(123)은 Ta, W, PT 및 Ti 중 어느 하나의 형성물질로 형성된다.
- [200] 스핀 토크 채널층(1711) 상에 저항 변화 수직 전극(1710)이 위치하는데, 저항 변화 수직 전극(1710)은 전극(1711)과 저항 변화층(1712)을 포함한다. 여기서, 전극(1711)은 상부 전극으로 지칭될 수 있다.
- [201] 일례로, 저항 변화층(1712)은 HfO_x로 형성되고, 전극(1711)은 Pt 및 Ru 중 어느 하나로 형성될 수 있다.
- [202] 예를 들어, 저항 변화 수직 전극(1710)은 ECM(electrochemical metallization memory) 수직 전극, VCM(valence change memory) 수직 전극 및 ECM과 VCM이 결합된 수직 전극 중 어느 하나일 수 있다.

- [203] 도 18은 본 발명의 일실시예에 따른 스커미온 메모리 소자의 제2 다른 구조를 예시한다. 여기서, 제2 다른 구조란 도 1 및 도 17에서 설명된 스커미온 메모리 소자와 다른 구조일 수 있다.
- [204] 도 18을 참고하면, 본 발명의 일실시예에 따른 스커미온 메모리 소자(1800)는 도 1에서 예시된 스커미온 메모리 소자(100)와 저항 변화 수직 전극의 위치가 다르다.
- [205] 스커미온 메모리 소자(1800)는 저항 변화 수직 전극(1810)이 스커미온 채널층(1820)과 자기 터널 접합(1830) 터널 배리어층(1824) 상에 위치한다.
- [206] 스커미온 채널층(1820)은 스핀 토크 채널층(1821), 자유층(1822), 삽입층(1823) 및 터널 배리어층(1824)이 순차적으로 적층된 제1 구조로 형성될 수 있다.
- [207] 자기 터널 접합(1830)은 스핀 토크 채널층(1821), 자유층(1822), 삽입층(1823), 터널 배리어층(1824), 고정층(1831), 브릿지층(1832), 제1 교환 반자장층(1834), 분리층(1835), 제2 교환 반자장층(1836) 및 상부 전극(1840)이 순차적으로 적층된 구조로 형성되고, 추가적으로 캐핑층(1837)을 더 포함할 수 있다.
- [208] 즉, 자기 터널 접합(1830)은 스커미온 채널층(1820)을 포함한다.
- [209] 제1 교환 반자장층(1834), 분리층(1835) 및 제2 교환 반자장층(1836)은 합성 교환 반자장층 (1833)을 이룬다.
- [210] 즉, 스커미온 메모리 소자(1800)는 저항 변화 수직 전극(1810)의 위치를 변경하여 새로운 구조로 형성될 수 있다.
- [211] 따라서, 본 발명은 스커미온(Skyrmion) 메모리 소자 및 이를 이용한 크로스바 어레이 회로에 관한 것으로, 스커미온 생성을 위한 저항 변화(resistive switching) 수직전극, 스커미온 이동을 위한 스커미온 채널층 및 스커미온 감지(sensing)를 위한 자기 터널 접합으로 구성되어 스커미온 개수에 따른 저항의 변화가 선형적인 스커미온 메모리 소자 및 이를 이용한 크로스바 어레이 회로를 구현할 수 있다.
- [212] 이상과 같이 실시예들이 비록 한정된 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등물에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.
- [213] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

청구범위

- [청구항 1] 스커미온(skyrmion)을 형성하는 저항 변화 수직 전극;
상기 형성된 스커미온을 이동시키는 스커미온 채널층; 및
상기 스커미온 채널층을 포함하고, 상기 이동된 스커미온을 감지(sensing)하여 자유층과 고정층의 자화 방향에 따라 저저항 상태 및 고저항 상태 중 어느 하나의 상태로 결정되는 자기 터널 접합을 포함하고,
상기 스커미온 채널층은 스핀 토크(spin orbit torque, SOT) 채널층, 상기 자유층, 삽입층 및 터널 배리어층을 포함하며,
상기 삽입층의 두께 및 형성 물질의 종류에 기반하여 상기 이동된 스커미온의 크기 및 개수가 제어됨에 따라 상기 자유층의 면적이 제어되는 것을 특징으로 하는
스커미온 메모리 소자.
- [청구항 2] 제1항에 있어서,
상기 자기 터널 접합은 상기 스커미온의 개수가 다수인 경우에 멀티 비트의 스커미온을 감지하고, 상기 멀티 비트의 스커미온에 따라 상기 자유층의 면적이 증가하는 것을 특징으로 하는
스커미온 메모리 소자.
- [청구항 3] 제2항에 있어서,
상기 자기 터널 접합은 상기 자유층의 면적이 증가함에 따라 저항 레벨(resistance level)이 점차적으로 변하여 멀티 레벨로 구현되는 강화(potential) 및 억제(depression)의 선형성을 확보하는 것을 특징으로 하는
스커미온 메모리 소자.
- [청구항 4] 제1항에 있어서,
상기 저항 변화 수직 전극은 ECM(electrochemical metallization memory) 수직 전극, VCM(valence change memory) 수직 전극 및 ECM과 VCM이 결합된 수직 전극 중 어느 하나인 것을 특징으로 하는
스커미온 메모리 소자.
- [청구항 5] 제4항에 있어서,
상기 저항 변화 수직 전극은 전극과 저항 변화층(resistive switching layer)을 포함하고,
상기 저항 변화층은 SiO_x , MgO , HfO_x , AlO_x , TiO_x , TaO_x , GeSe , GeS_2 , GeTe , ZnTe 중 어느 하나로 형성되며,
상기 전극은 Al , TiN , Ti , Ag , Cu , CuTe , W , Pt 및 Ru 중 어느 하나로 형성되는 것을 특징으로 하는
스커미온 메모리 소자.
- [청구항 6] 제1항에 있어서,

상기 스커미온 채널층은 상기 스핀 토크 채널층, 상기 자유층, 상기 삽입층 및 상기 터널 배리어층이 순차적으로 적층된 제1 구조로 형성되는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 7]

제1항에 있어서,

상기 스커미온 채널층은 상기 스핀 토크 채널층, 산화물 시드층, 상기 삽입층, 제1 자유층, 스페이서(spacer)층, 제2 자유층 및 상기 터널 배리어층이 순차적으로 적층된 제2 구조로 형성되는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 8]

제7항에 있어서,

상기 스커미온 채널층은 상기 제2 구조로 형성되는 경우에 상기 제1 자유층과 상기 제2 자유층이 상기 형성된 스커미온을 반자장 결합 스커미온(anti-ferro-coupled skyrmion)으로 이동 시킴에 따라 스커미온 홀 효과(skyrmion hall effect)를 상쇄(cancel)시키는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 9]

제1항에 있어서,

상기 스커미온 채널층은 상기 터널 배리어층, 상기 삽입층, 상기 자유층 및 상기 스핀 토크 채널층이 순차적으로 적층된 제3 구조로 형성되는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 10]

제1항에 있어서,

상기 삽입층은 Ta, W, Pt, Mo 및 Ti 중 어느 하나의 물질로 형성되고,

상기 삽입층의 두께는 상기 스커미온의 크기 및 개수와 반비례하는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 11]

제1항에 있어서,

상기 자기 터널 접합은 상기 스핀 토크 채널층, 상기 자유층, 상기 삽입층, 상기 터널 배리어층, 상기 고정층, 브릿지층(bridge layer), 제1 교환 반자장층(synthetic anti-ferromagnetic multi-layers), 분리층(spacing layer), 제2 교환 반자장층 및 상부 전극이 순차적으로 적층된 구조로 형성되는 것을 특징으로 하는

스커미온 메모리 소자.

[청구항 12]

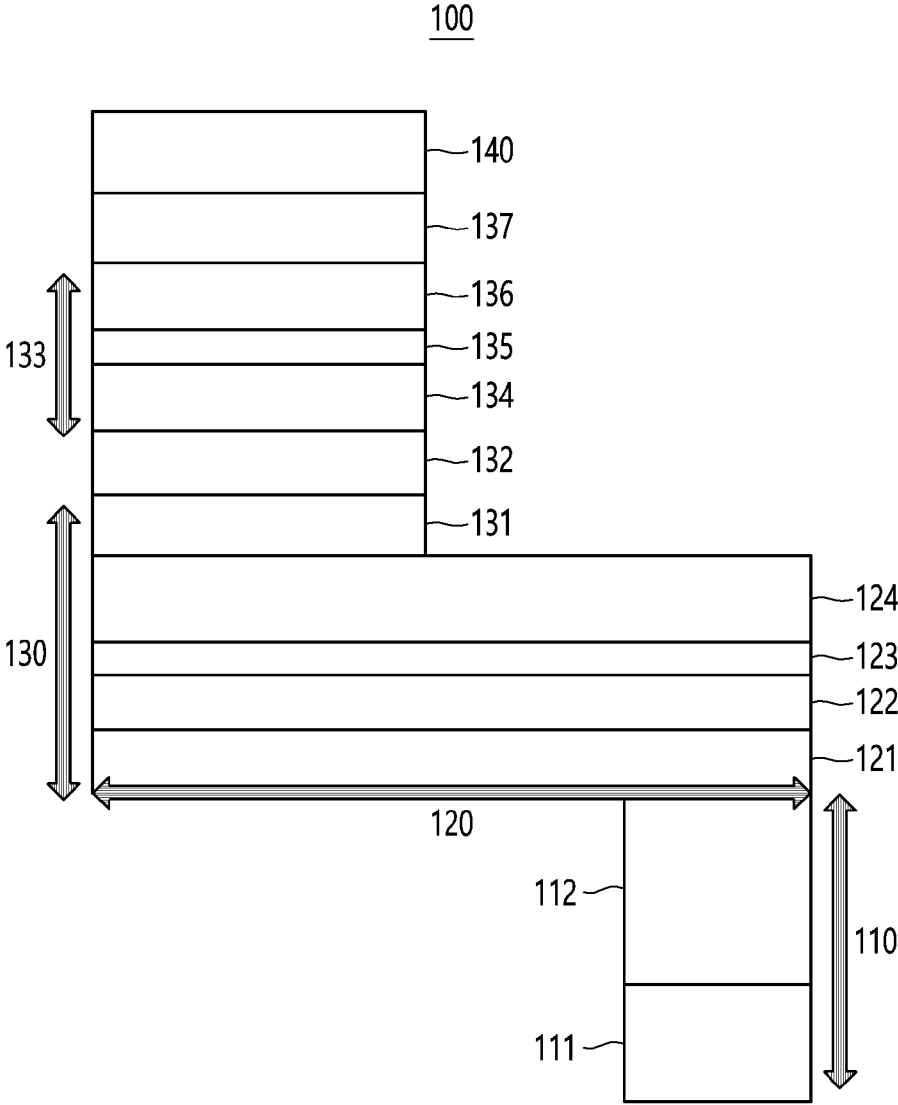
스커미온(skyrmion)을 형성하는 저항 변화 수직 전극, 상기 형성된 스커미온을 이동시키는 스커미온 채널층 및 상기 스커미온 채널층을 포함하고, 상기 이동된 스커미온을 감지(sensing)하여 자유층과 고정층의 자화 방향에 따라 저저항 상태 및 고저항 상태 중 어느 하나의 상태로 결정되는 자기 터널 접합을 포함하고, 상기 스커미온 채널층은 스핀 토크(spin orbit torque, SOT) 채널층, 상기 자유층, 삽입층 및 터널 배리어층을 포함하며,

상기 삽입층의 두께 및 형성 물질의 종류에 기반하여 상기 이동된 스커미온의 크기 및 개수가 제어됨에 따라 상기 자유층의 면적이 제어되는 스커미온 메모리 소자를 이용한 크로스바 어레이 회로에 있어서,
상기 스커미온 메모리 소자와 스위칭 소자가 하나의 비트셀을 이루고, 상기 비트셀이 복수로 배열한 어레이 및 상기 어레이에 구동 신호를 인가하는 구동부를 포함하는 것을 특징으로 하는
크로스바 어레이 회로.

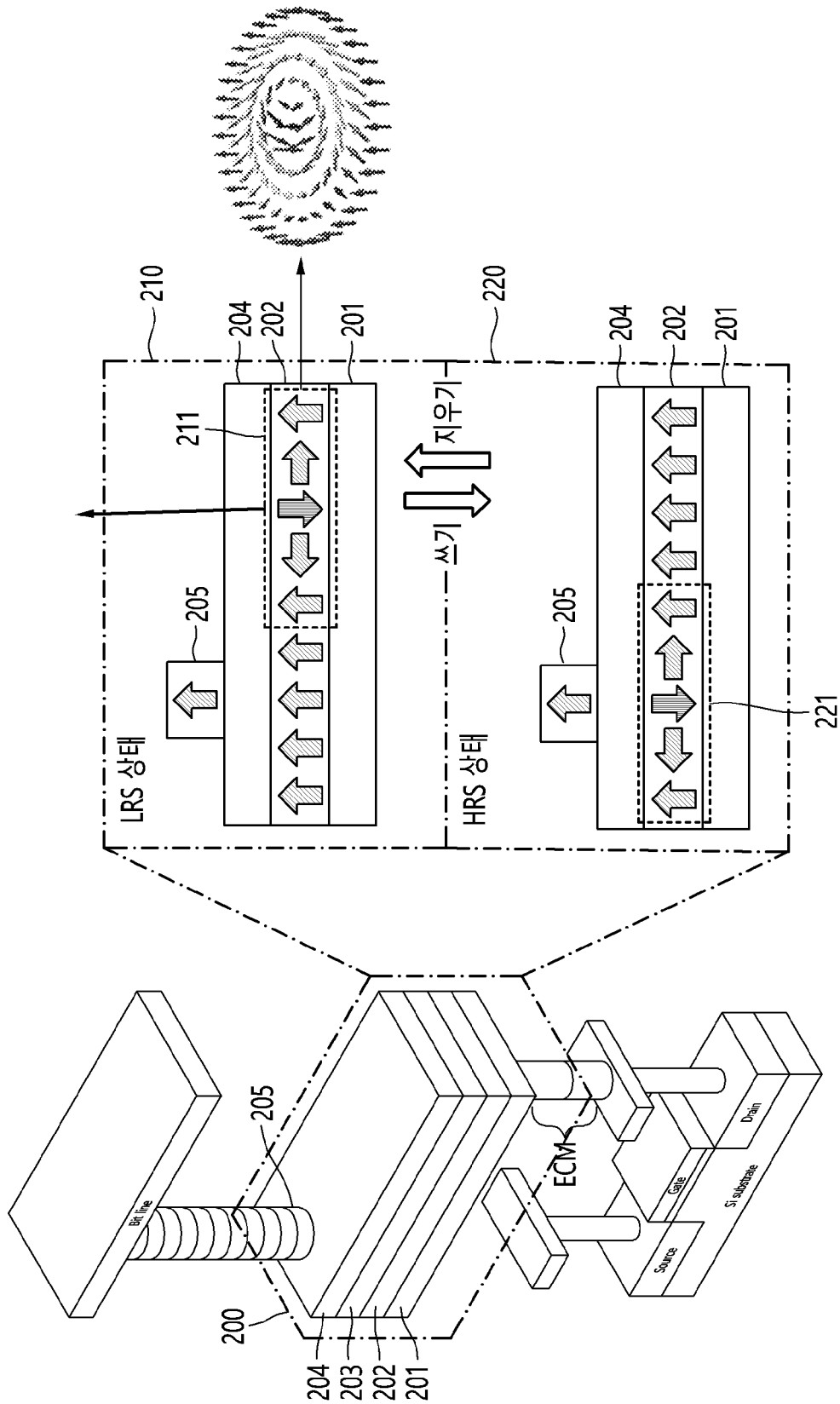
[청구항 13]

제12항에 있어서,
상기 비트셀은 상기 저항 변화 수직 전극이 상기 스위칭 소자의 드레인 단에 연결되고, 상기 자기 터널 접합의 상부 전극이 비트 라인에 연결되어 2단자 구조를 가지는 것을 특징으로 하는
크로스바 어레이 회로.

[도 1]

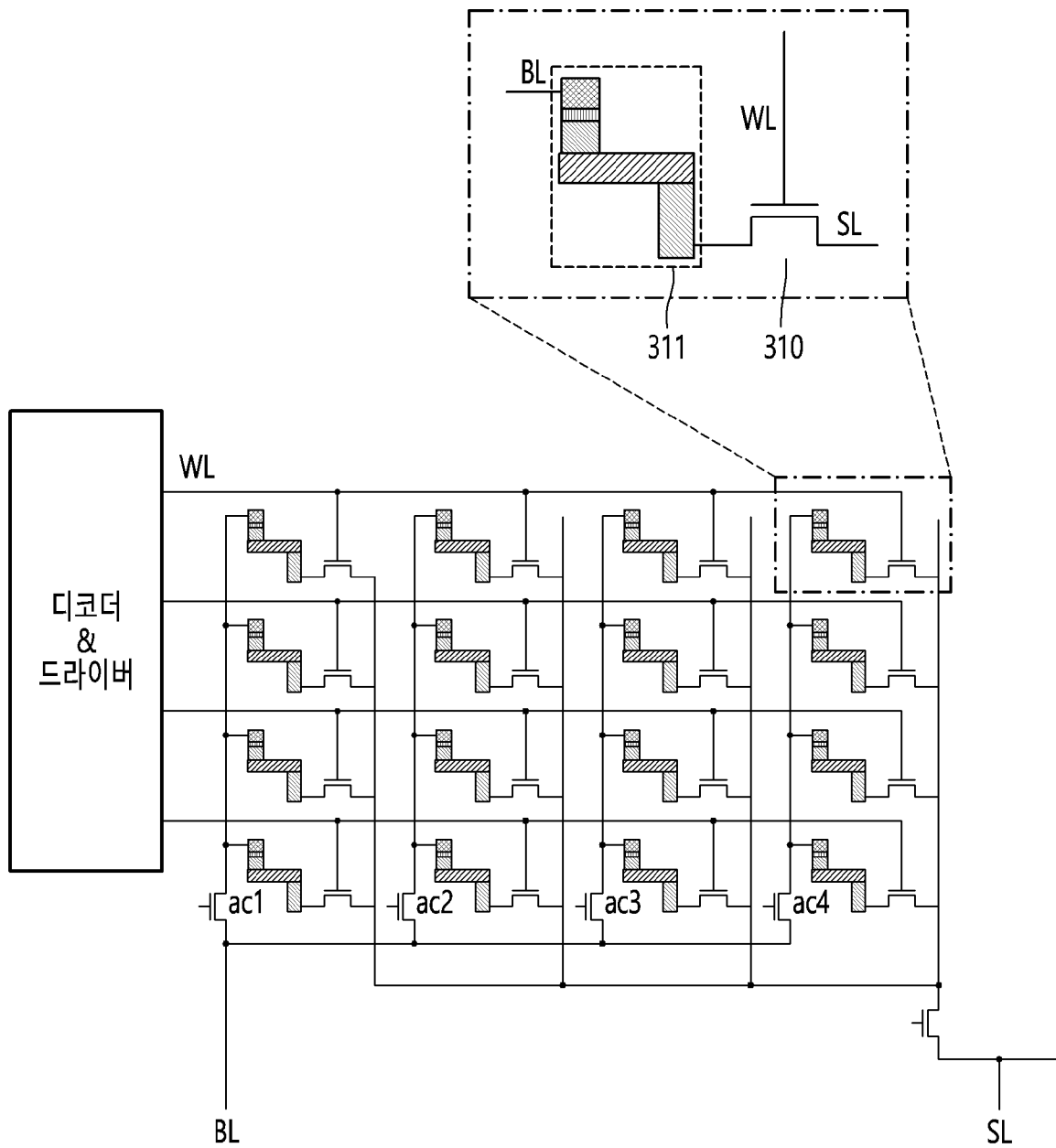


[도2]

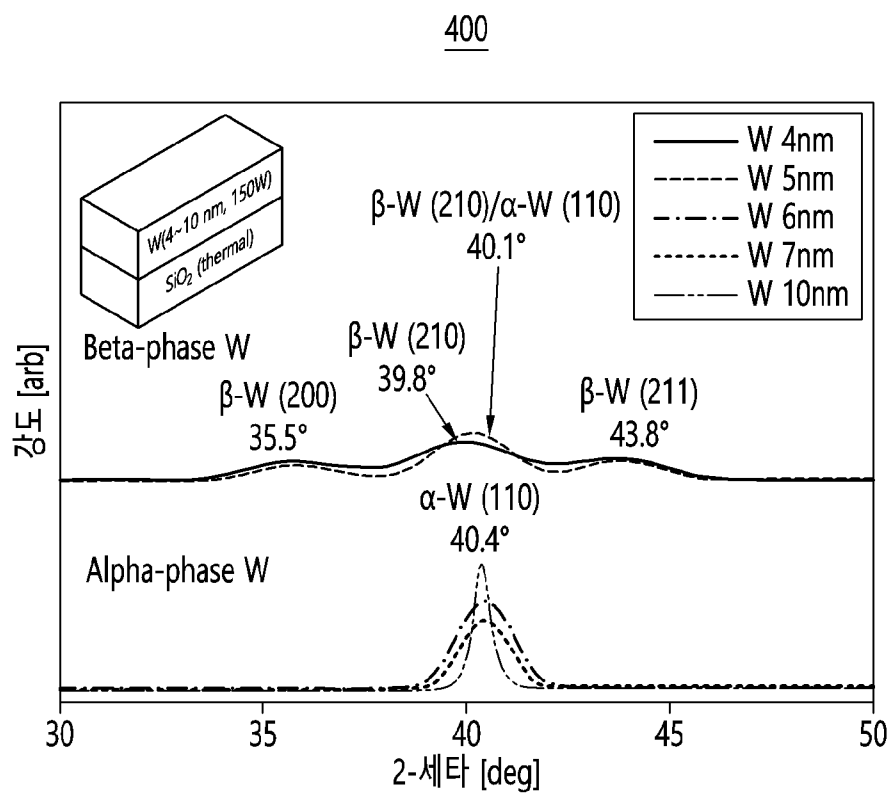


[도3]

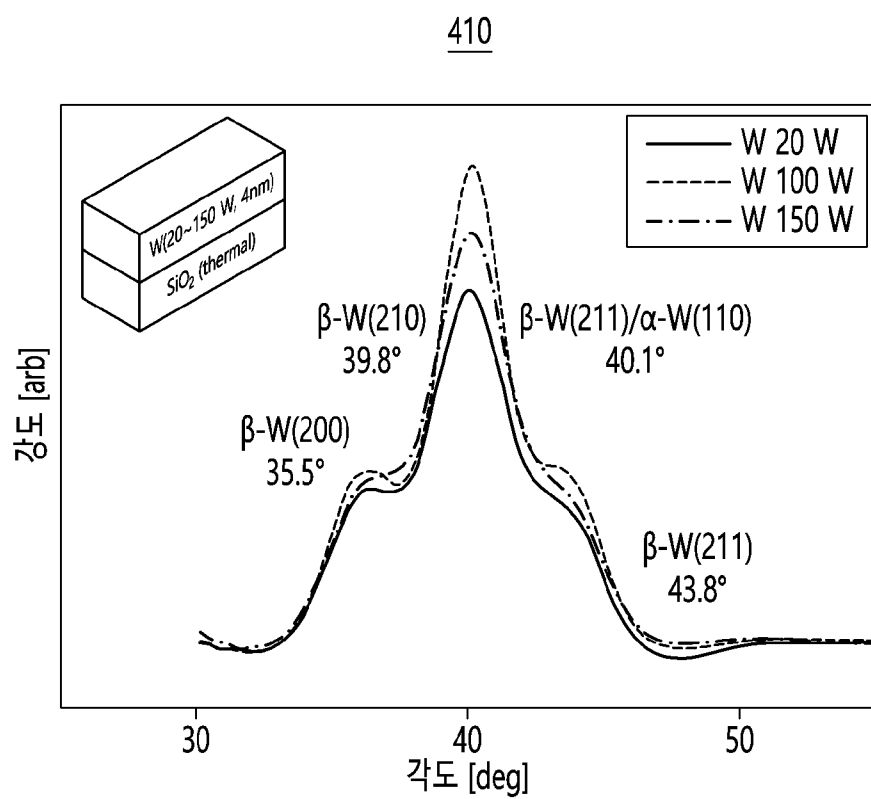
300



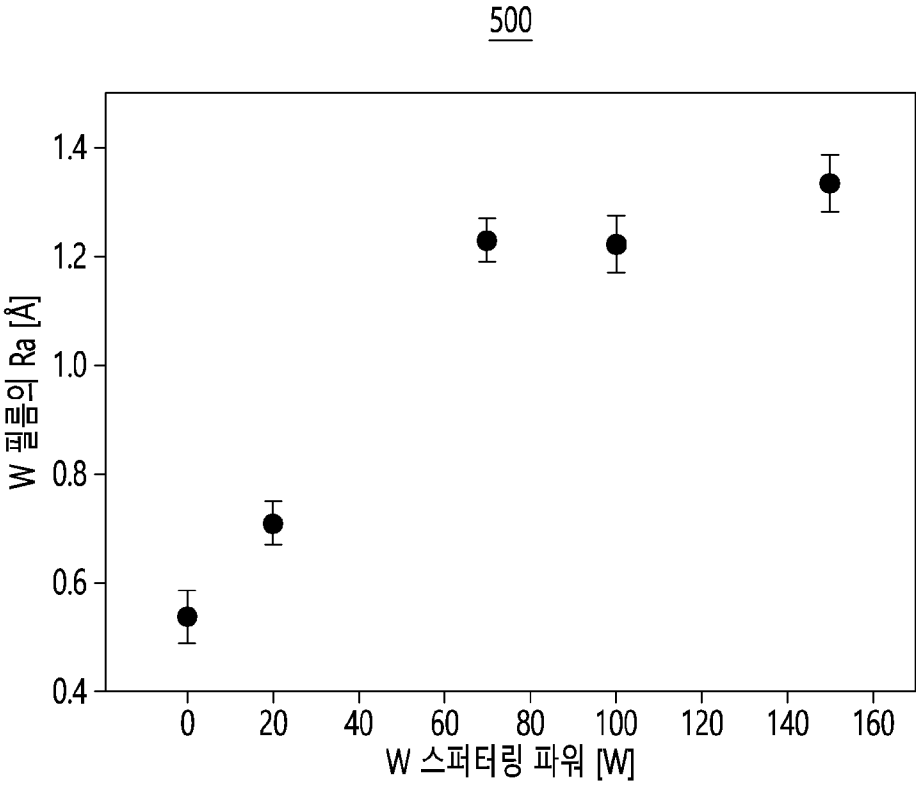
[도4a]



[도4b]

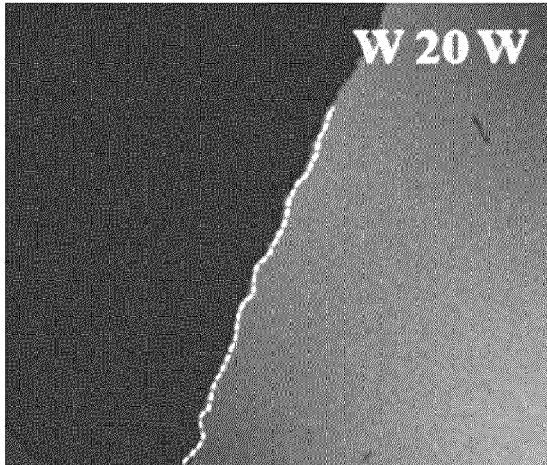


[도5a]

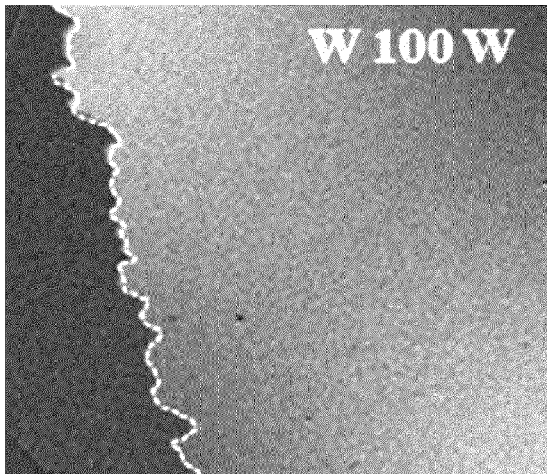


[도5b]

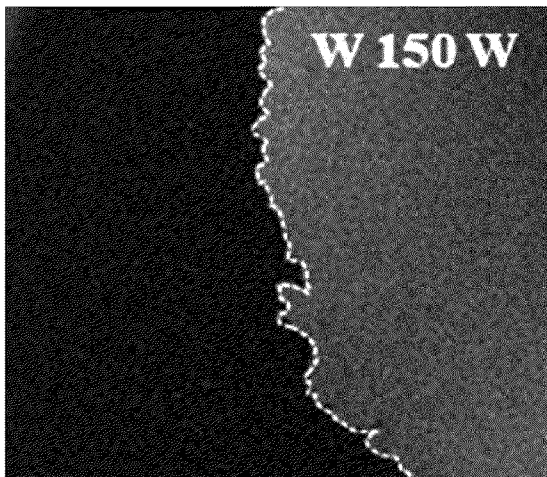
510



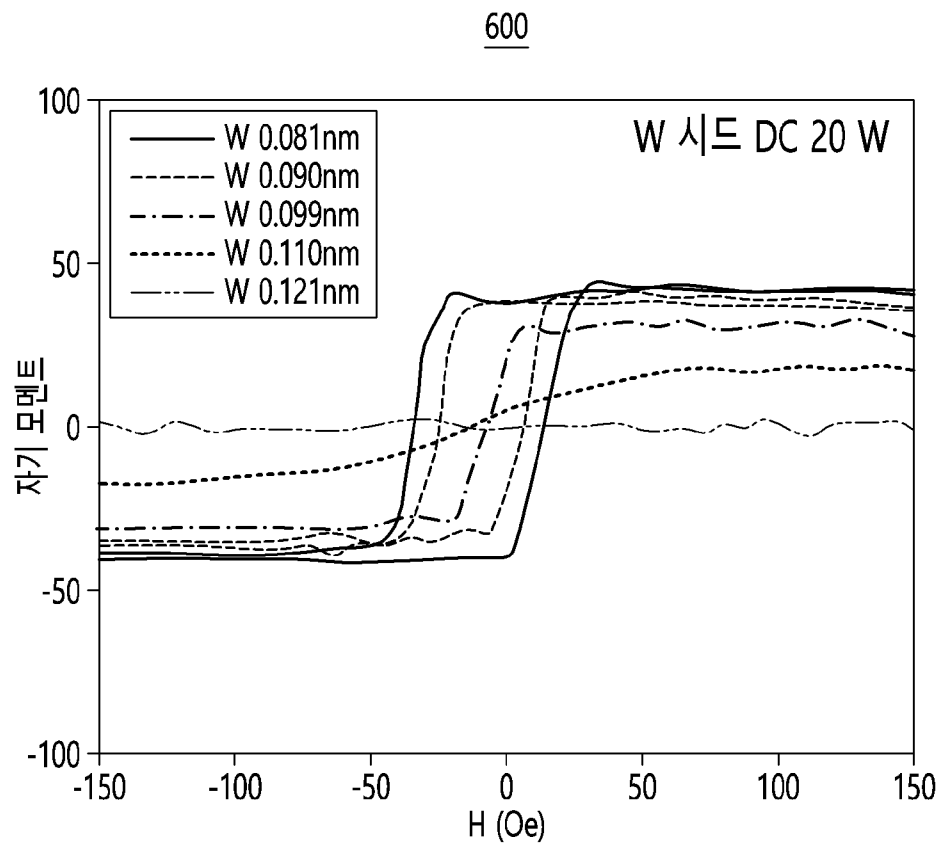
511



512

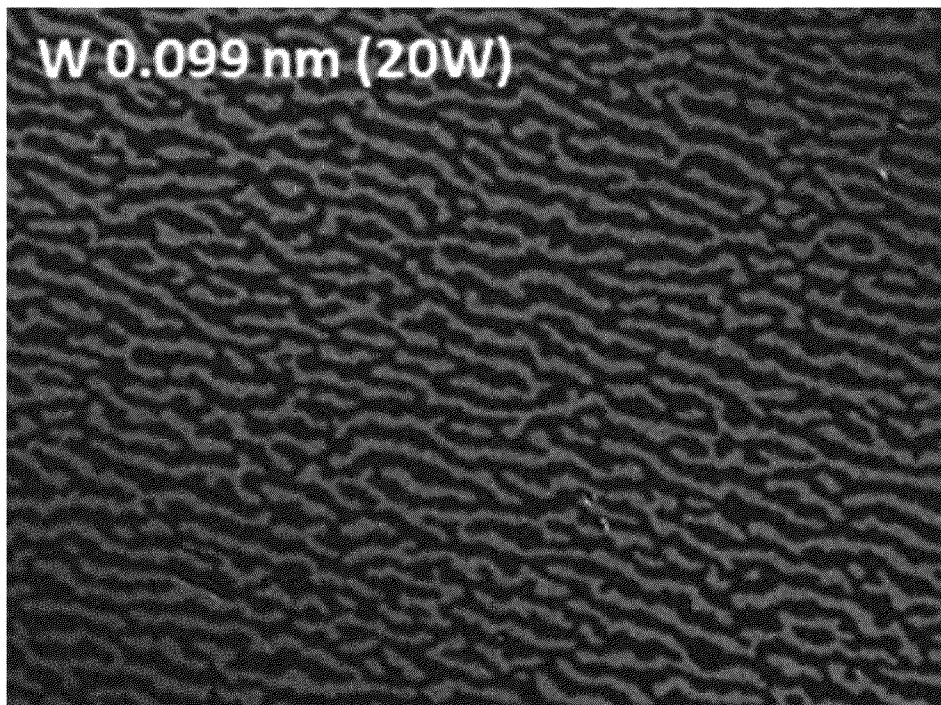


[도6a]

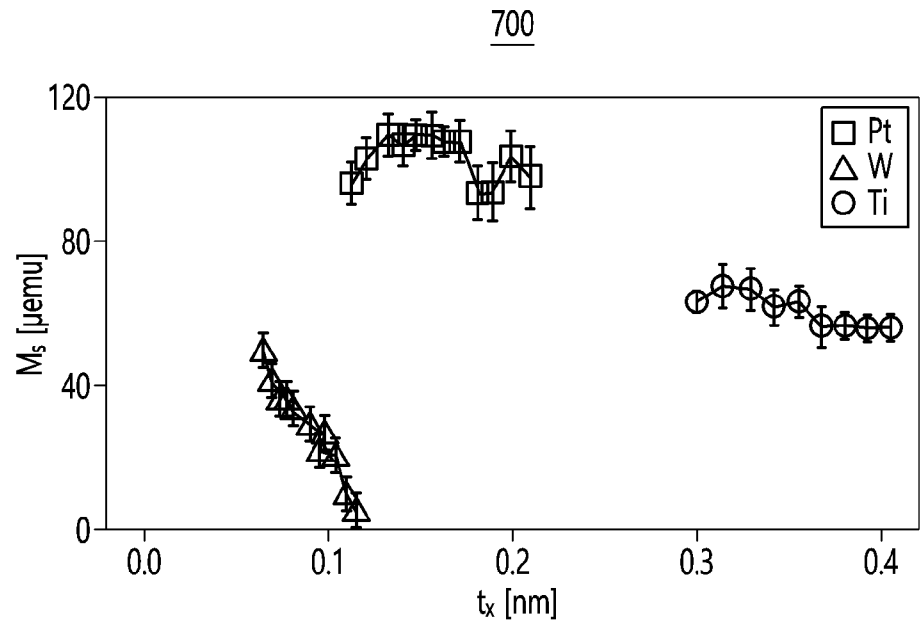


[도6b]

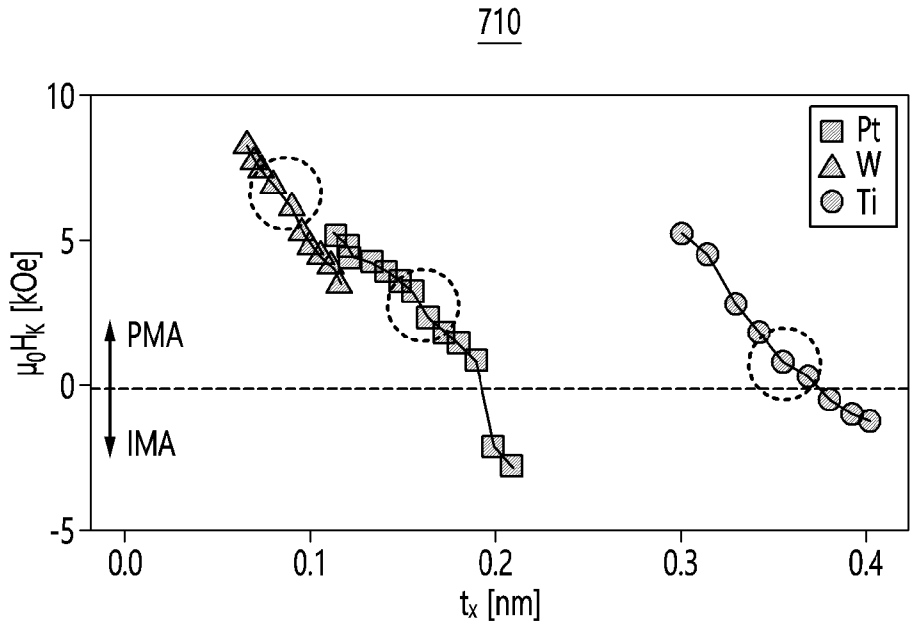
610



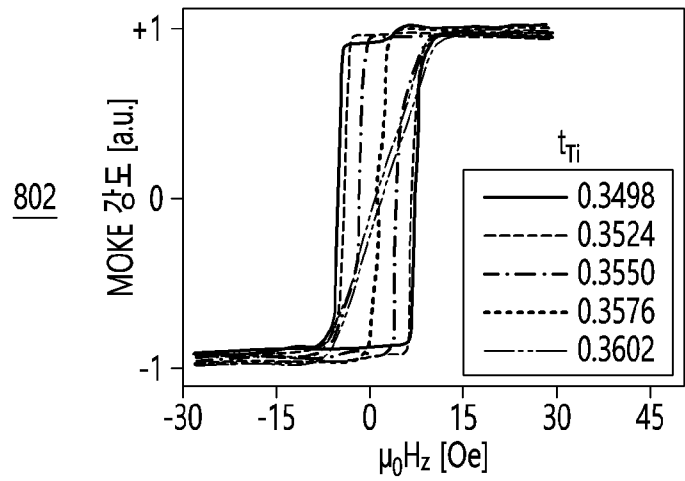
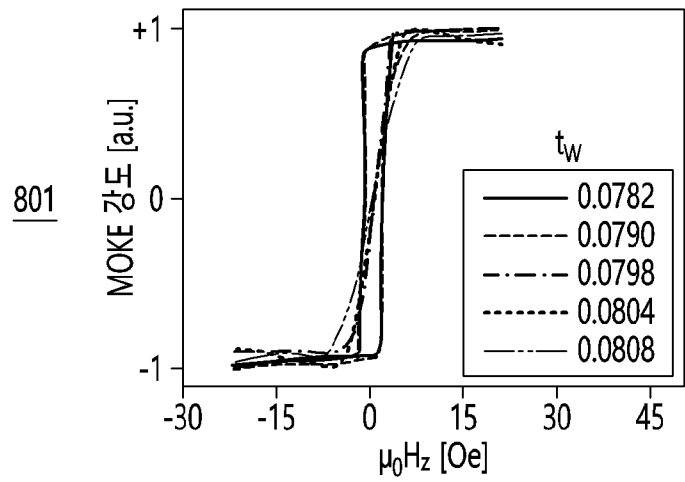
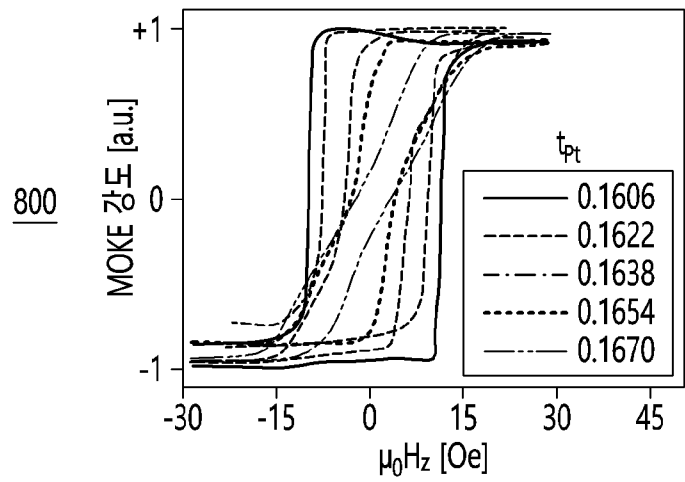
[도7a]



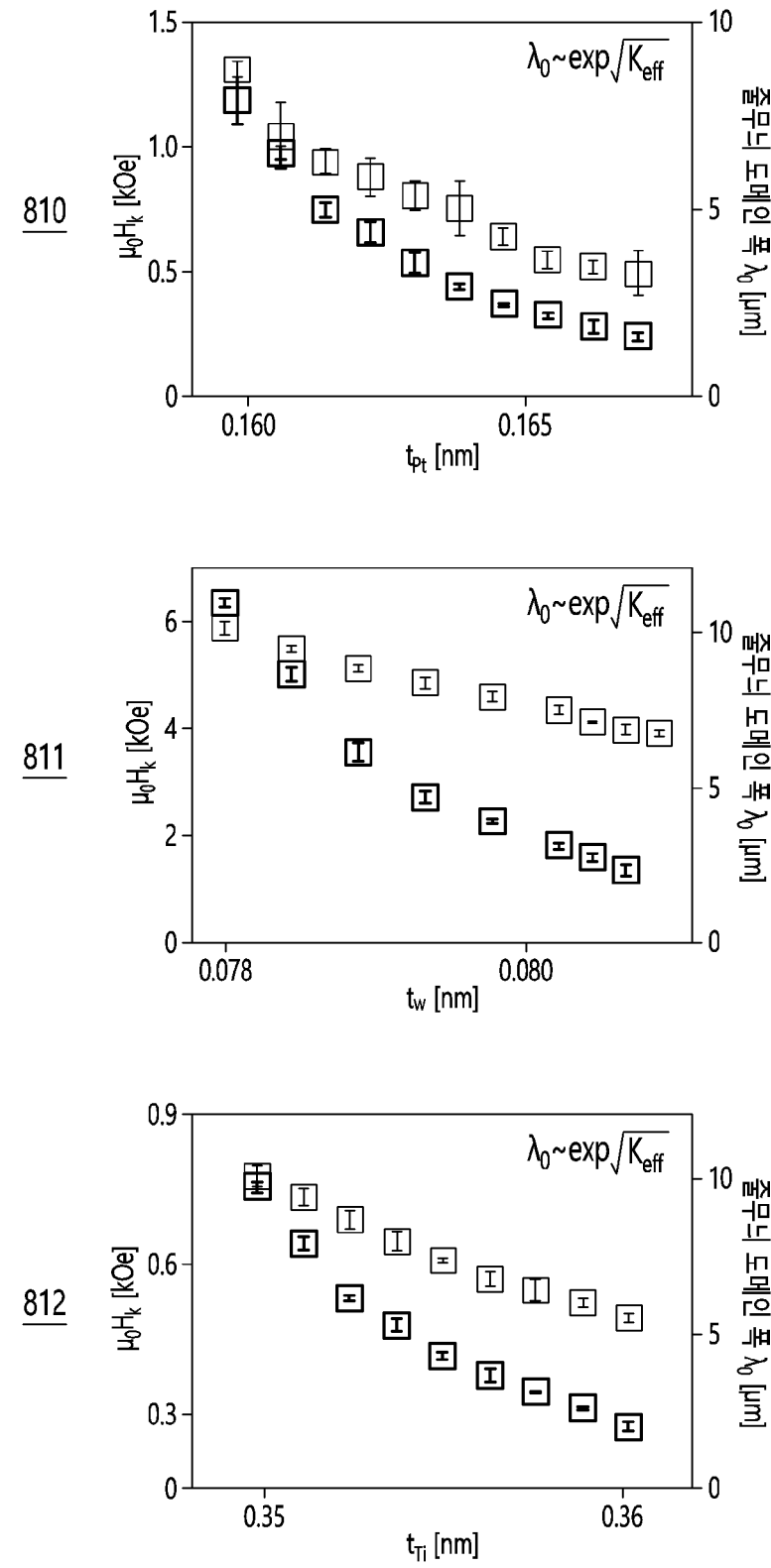
[도7b]



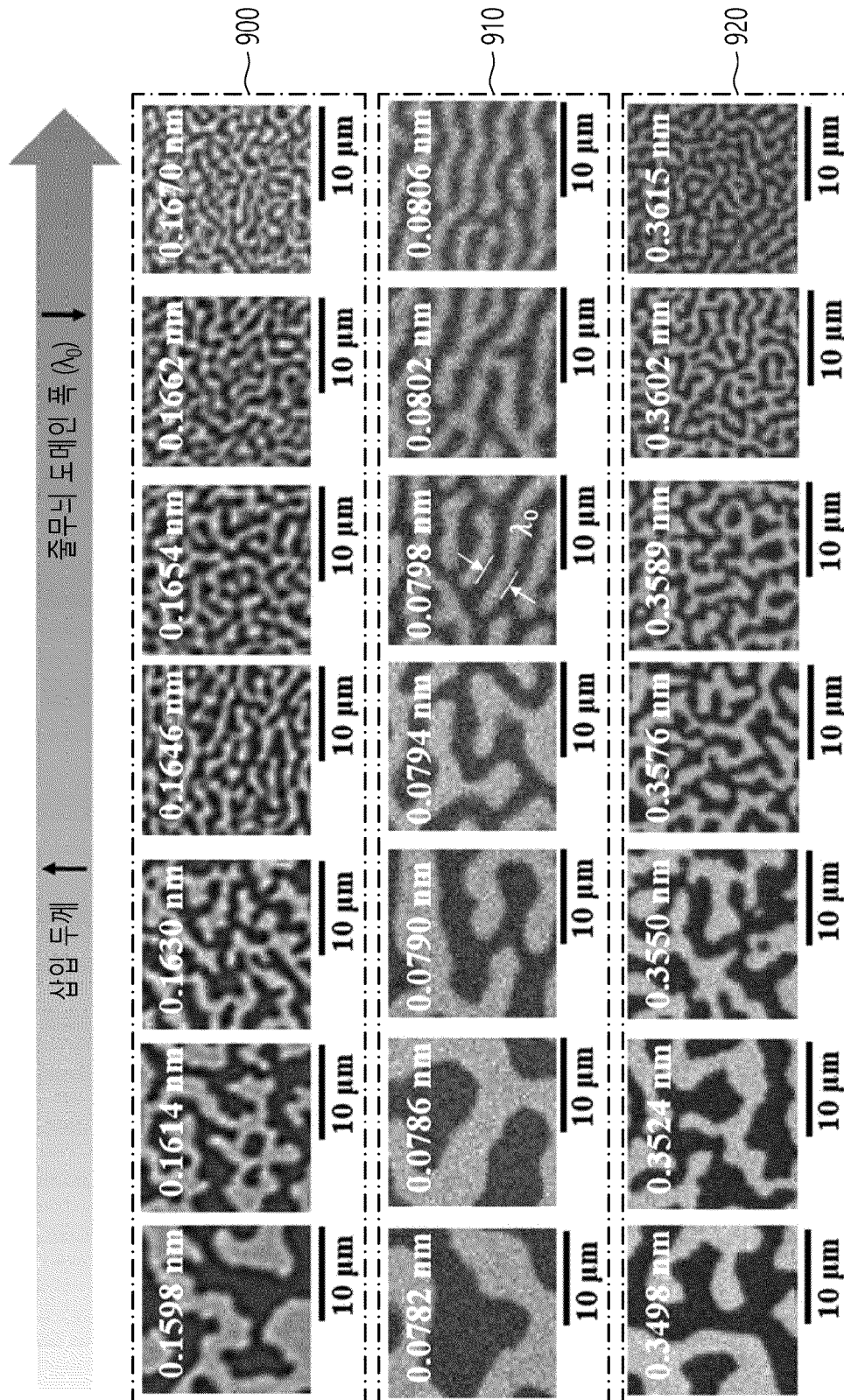
[도8a]



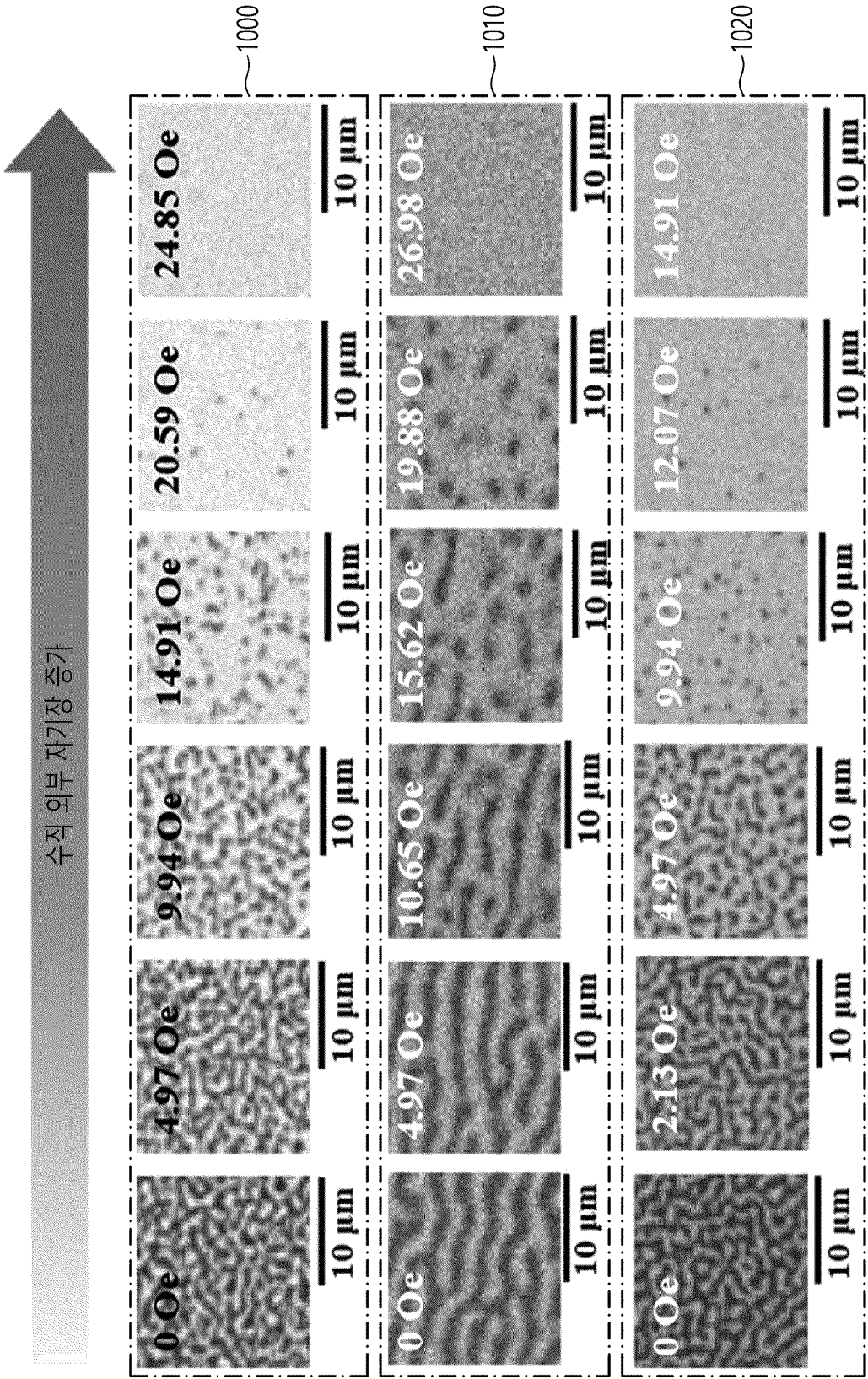
[도8b]



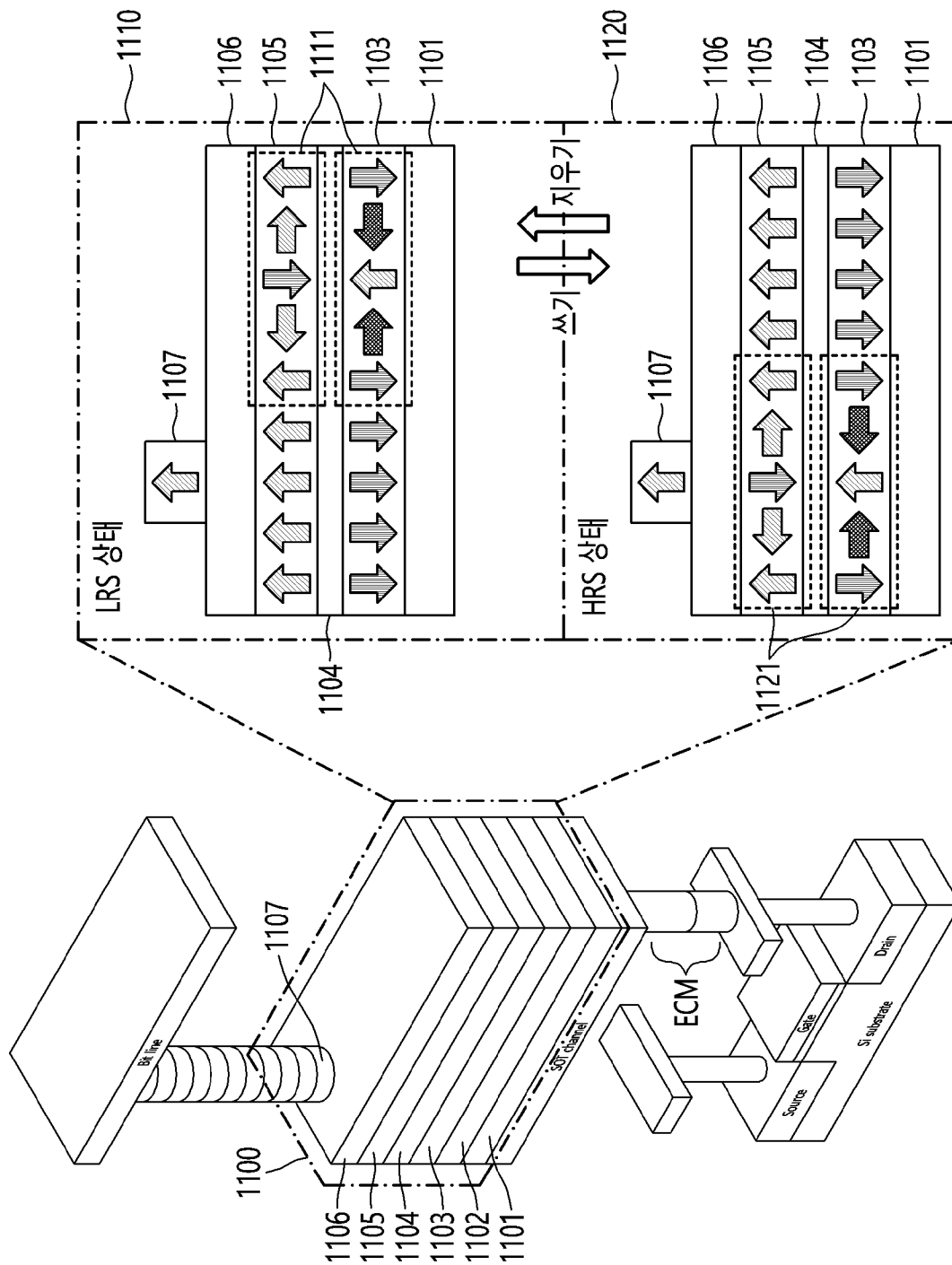
[도9]



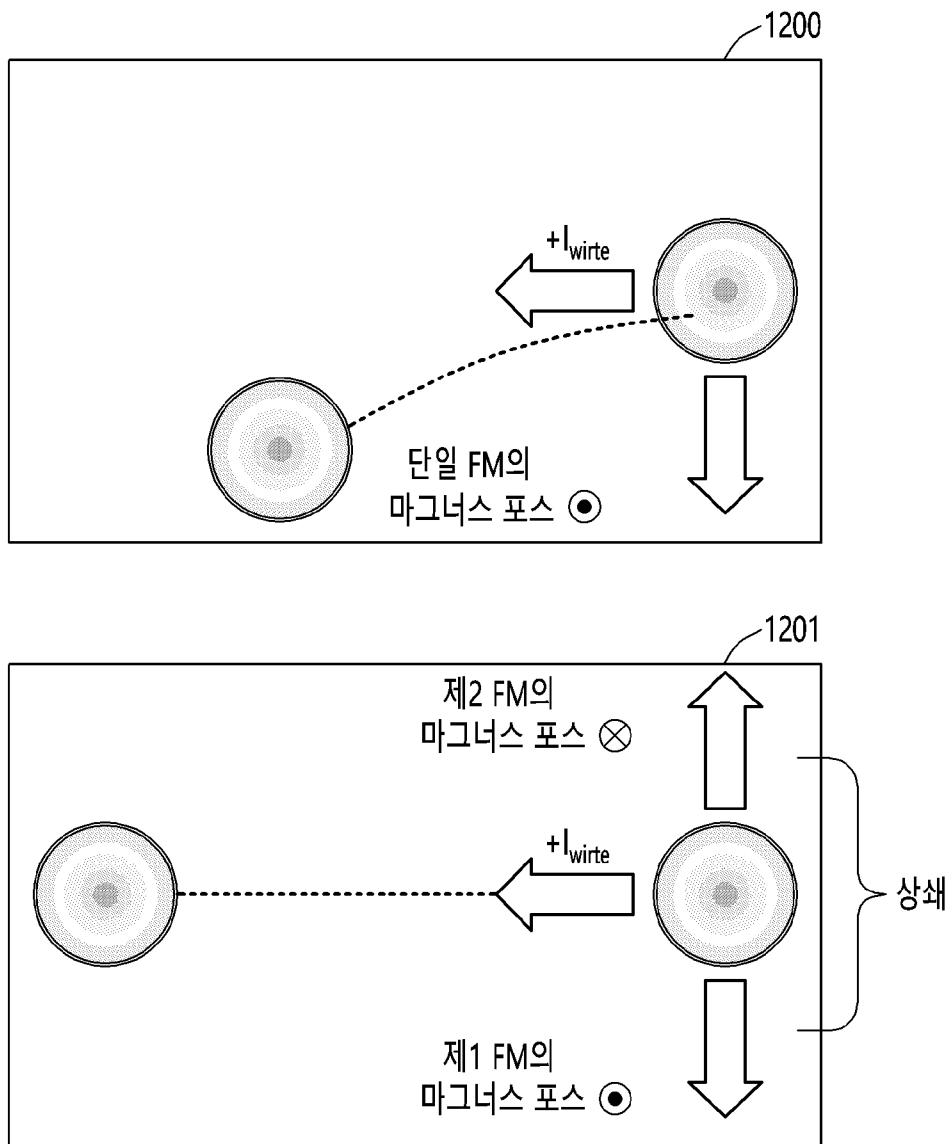
[도 10]



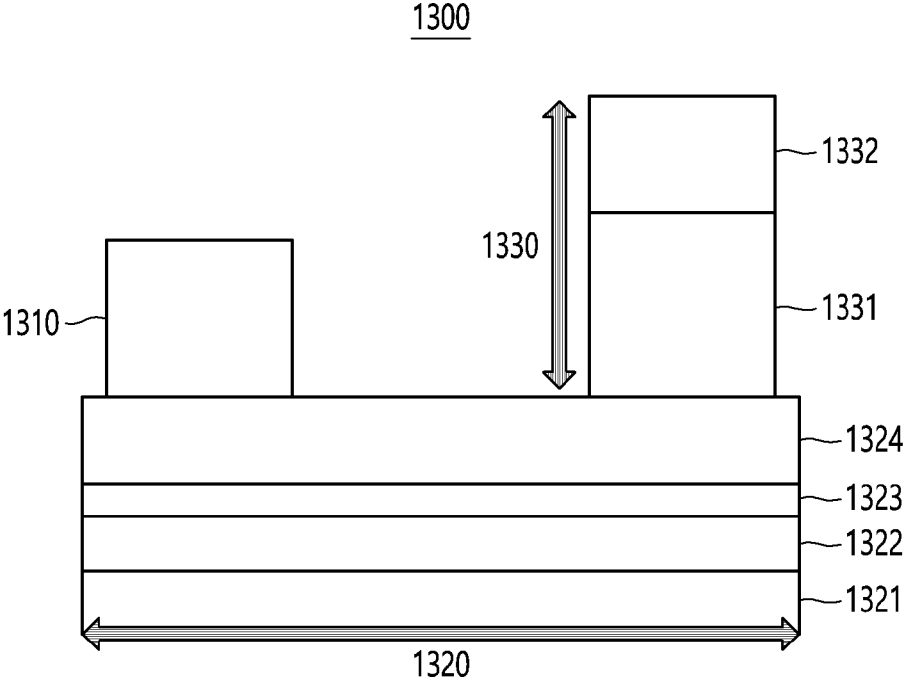
[51]



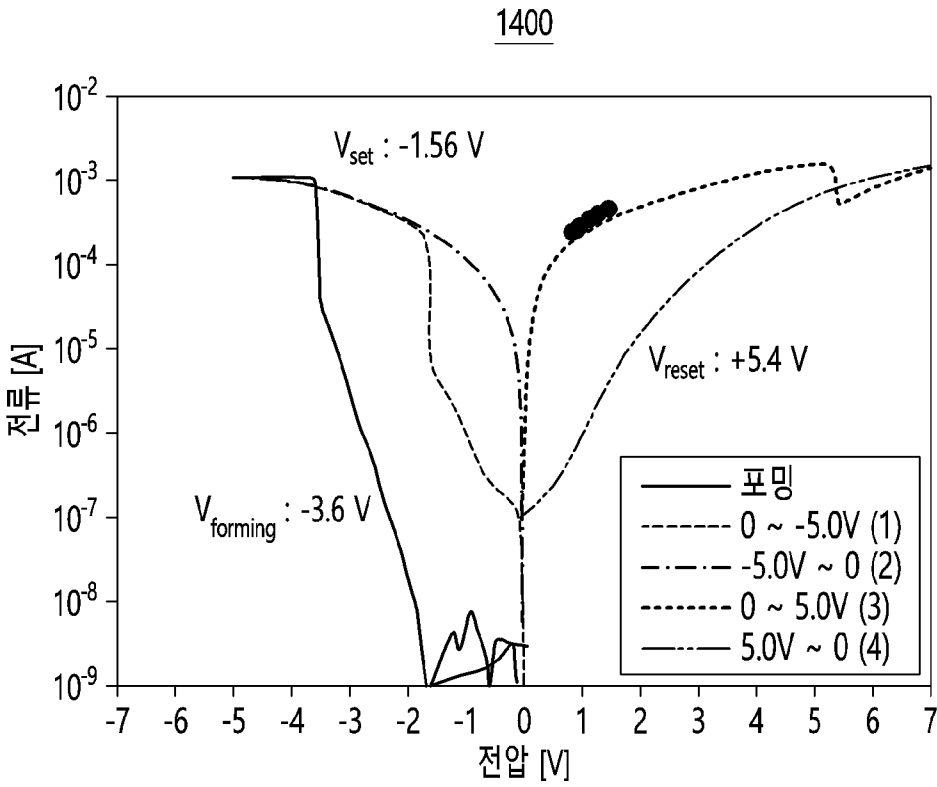
[도 12]



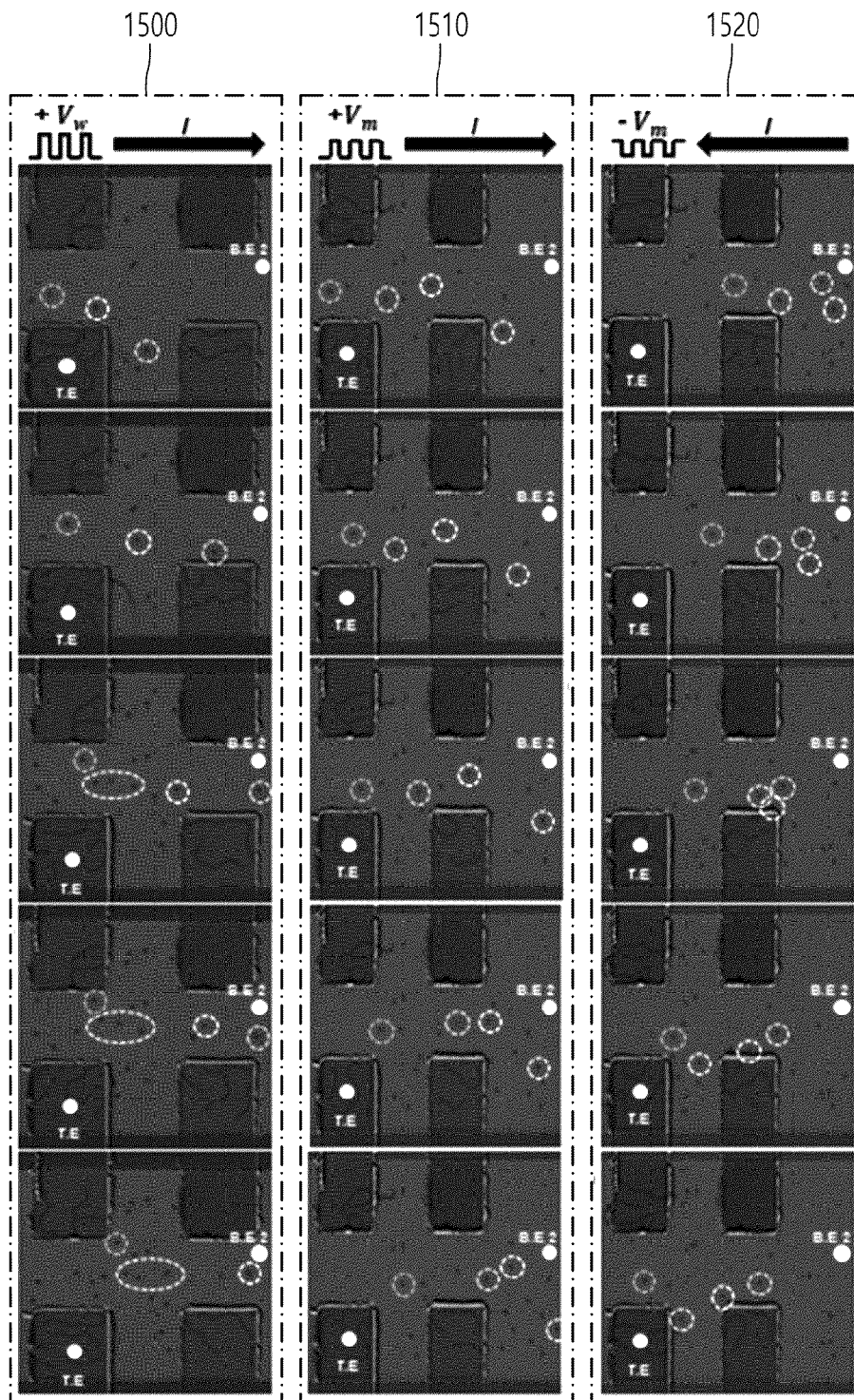
[도 13]



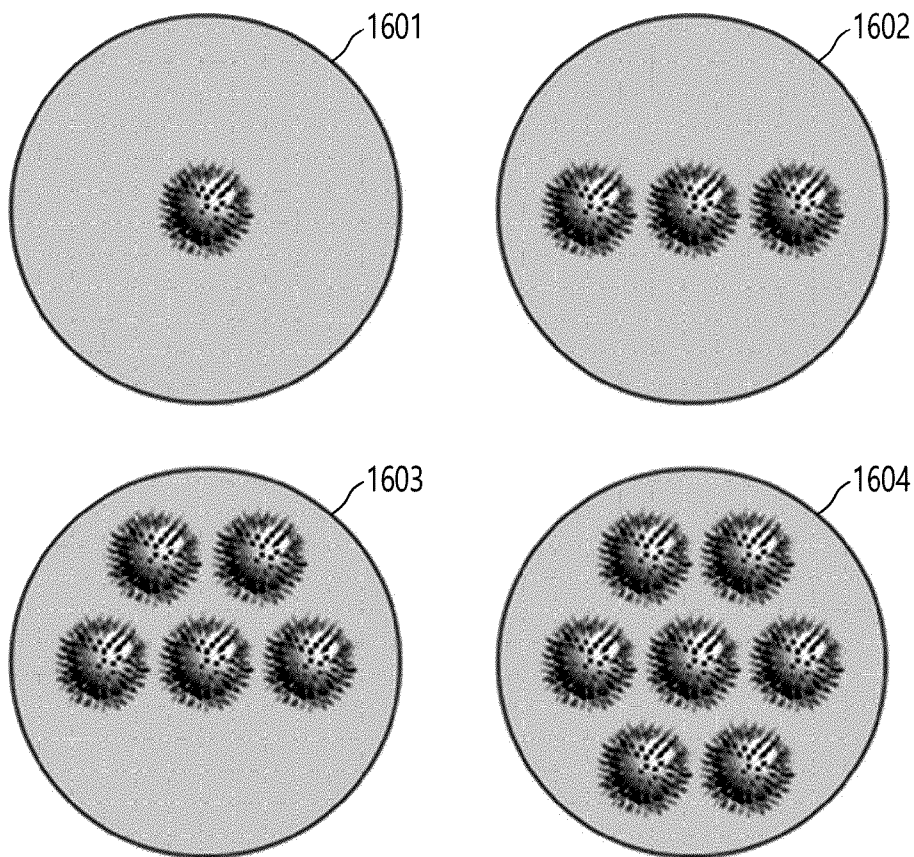
[도 14]



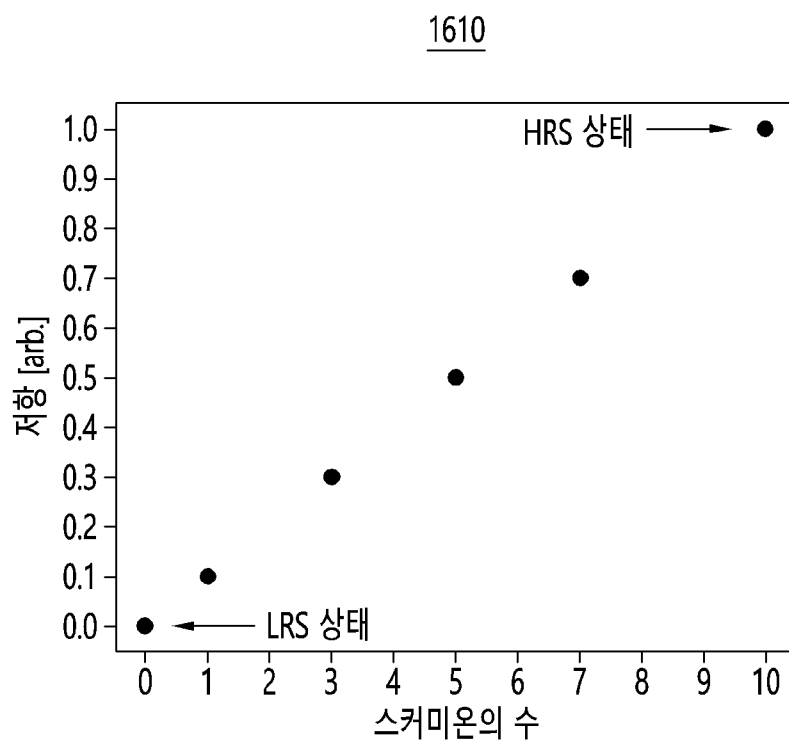
[도15]



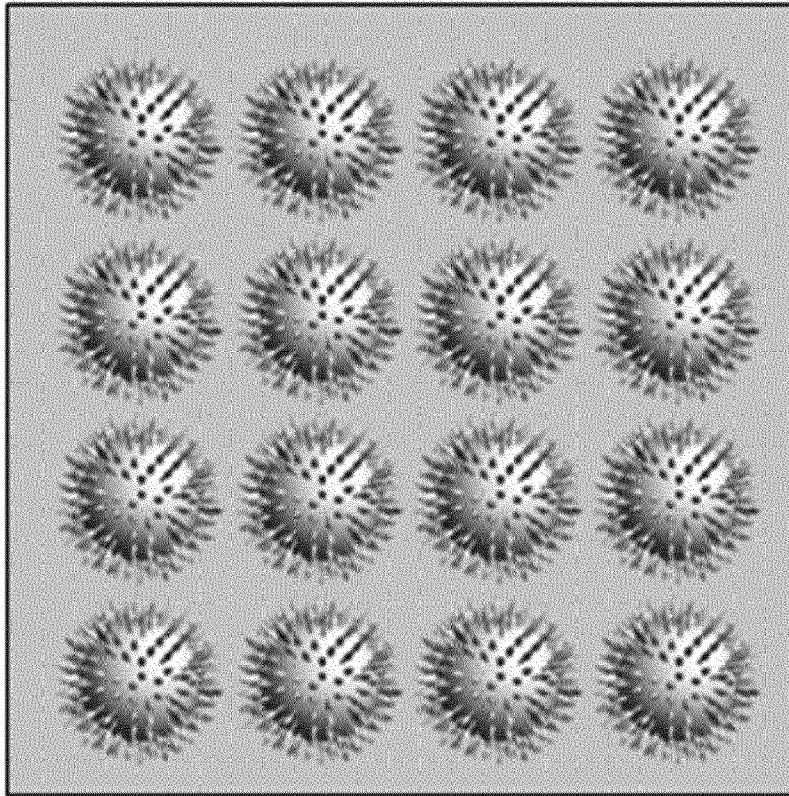
[도 16a]



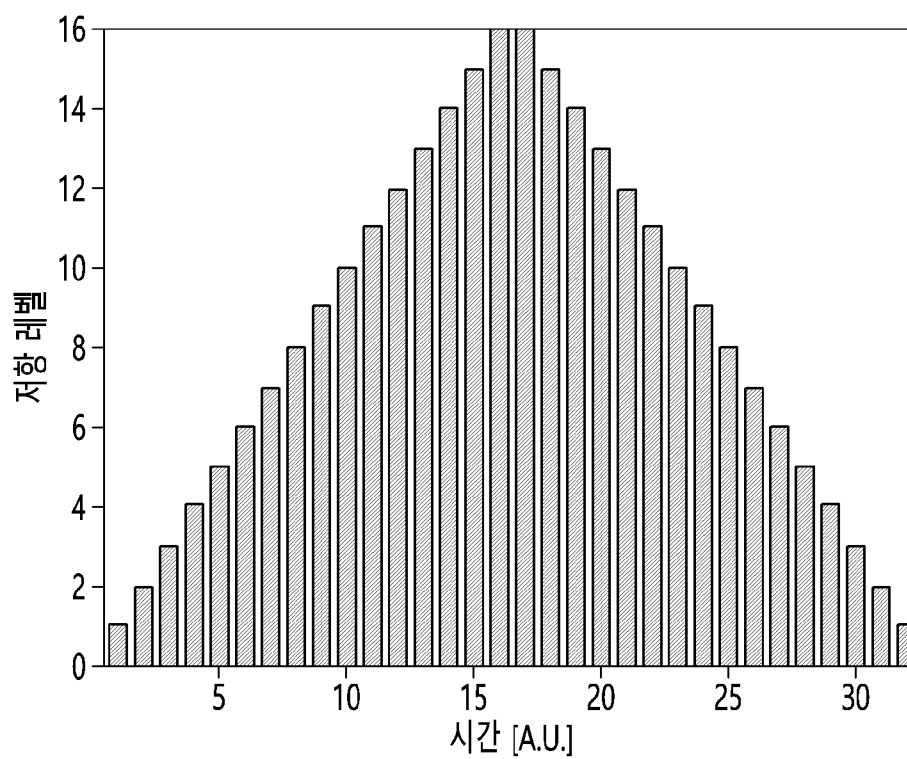
[도 16b]



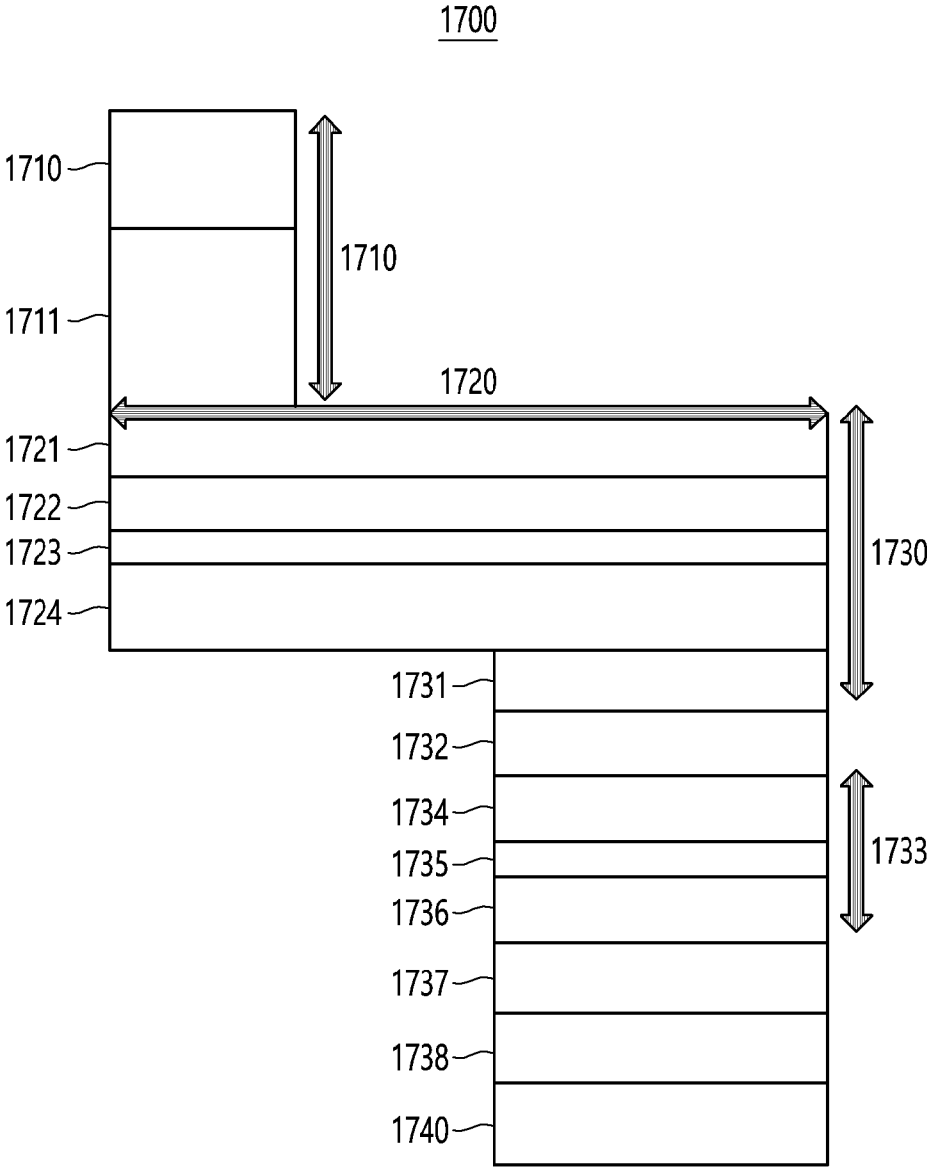
[도 16c]

1620

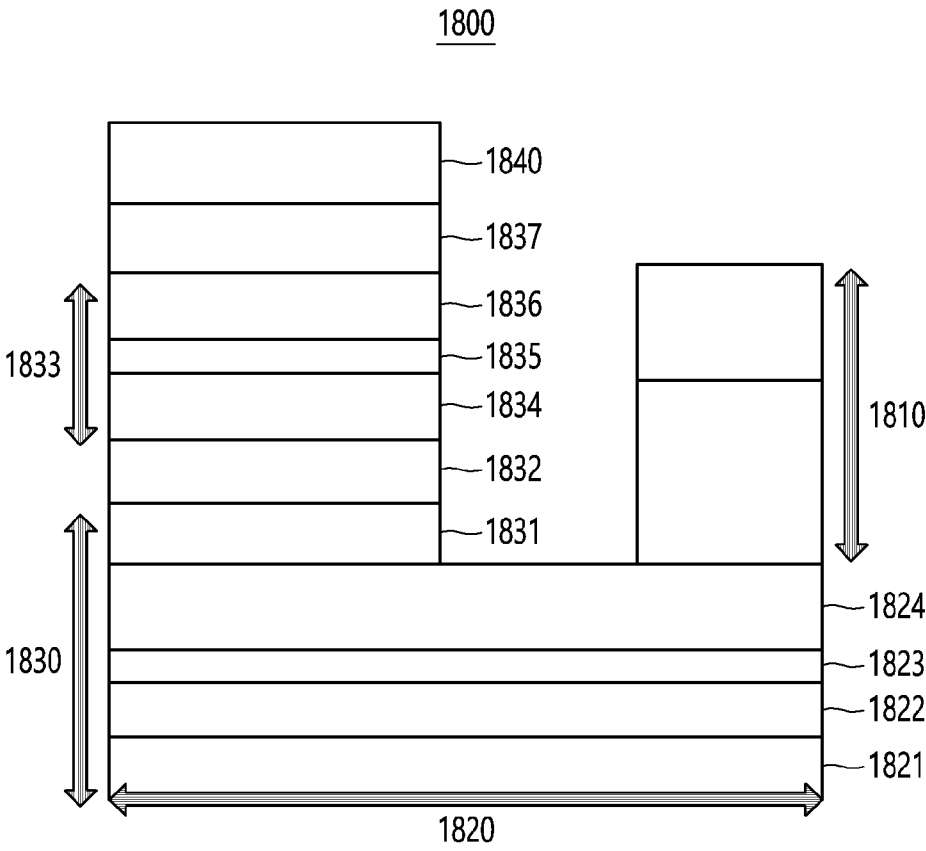
[도 16d]

1630

[도 17]



[도 18]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/095620

A. CLASSIFICATION OF SUBJECT MATTER**H10N 50/10(2023.01)i; H10N 50/85(2023.01)i; H10B 61/00(2023.01)i; H10N 59/00(2023.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H10N 50/10(2023.01); G11C 11/16(2006.01); H01F 10/32(2006.01); H01L 27/22(2006.01); H01L 43/02(2006.01);
H01L 43/08(2006.01); H01L 43/12(2006.01)

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean utility models and applications for utility models: IPC as above
Japanese utility models and applications for utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & keywords: 스커미온(skymion), 스핀 궤도 토크(SOT, spin orbit torque), 채널(channel), 전극(electrodes), 메모리(memory)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2019-0304524 A1 (OGUZ, Kaan et al.) 03 October 2019 (2019-10-03) See claims 1-2 and 13.	1-13
Y	LONE, Aijaz H. et al. Skymion-Magnetic Tunnel Junction Synapse With Long-Term and Short-Term Plasticity for Neuromorphic Computing. IEEE Transactions on Electron Devices. Volume 70, Issue 1, pp. 371-378, 21 November 2022. [Retrieved on 28 May 2024]. Retrieved from < https://ieeexplore.ieee.org/abstract/document/9956919 >. See pages 371-372; and figures 2(a), 3(b) and 5(b).	1-13
Y	US 2021-0013397 A1 (INTEL CORPORATION) 14 January 2021 (2021-01-14) See paragraphs [0049]-[0050]; and figures 1A and 1F.	8,11
A	US 2018-0301266 A1 (CORNELL UNIVERSITY) 18 October 2018 (2018-10-18) See claims 1-33; and figures 1-2.	1-13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 June 2024

Date of mailing of the international search report

20 June 2024

Name and mailing address of the ISA/KR

**Korean Intellectual Property Office
Government Complex-Daejeon Building 4, 189 Cheongsaro, Seo-gu, Daejeon 35208**

Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2024/095620

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2022-233235 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 10 November 2022 (2022-11-10) See claims 1-20; and figures 1-9.	1-13

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/KR2024/095620

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
US	2019-0304524	A1	03 October 2019	None			
US	2021-0013397	A1	14 January 2021	US	11462678	B2	04 October 2022
				WO	2019-172928	A1	12 September 2019
US	2018-0301266	A1	18 October 2018	None			
WO	2022-233235	A1	10 November 2022	US	11793002	B2	17 October 2023
				US	2022-0359617	A1	10 November 2022

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H10N 50/10(2023.01)i; H10N 50/85(2023.01)i; H10B 61/00(2023.01)i; H10N 59/00(2023.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H10N 50/10(2023.01); G11C 11/16(2006.01); H01F 10/32(2006.01); H01L 27/22(2006.01); H01L 43/02(2006.01);
H01L 43/08(2006.01); H01L 43/12(2006.01)

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 스커미온(skyrmion), 스핀 궤도 토크(SOT, spin orbit torque), 채널(channel), 전극(electrodes), 메모리(memory)

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2019-0304524 A1 (KAAN OGUZ 등) 2019.10.03 청구항 1-2, 13	1-13
Y	ALIHAZ H. LONE 등, Skyrmion-Magnetic Tunnel Junction Synapse With Long-Term and Short-Term Plasticity for Neuromorphic Computing, IEEE Transactions on Electron Devices, Volume 70, Issue 1, pp. 371-378, 2022.11.21 [검색일: 2024-05-28], 출처 < https://ieeexplore.ieee.org/abstract/document/9956919 > 페이지 371-372; 및 도면 2(a), 3(b), 5(b)	1-13
Y	US 2021-0013397 A1 (INTEL CORPORATION) 2021.01.14 단락 [0049]-[0050]; 및 도면 1A, 1F	8,11
A	US 2018-0301266 A1 (CORNELL UNIVERSITY) 2018.10.18 청구항 1-33; 및 도면 1-2	1-13
A	WO 2022-233235 A1 (INTERNATIONAL BUSINESS MACHINES CORPORATION) 2022.11.10 청구항 1-20; 및 도면 1-9	1-13

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“D” 본 국제출원에서 출원인이 인용한 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“&” 동일한 대응특허문헌에 속하는 문헌

국제조사의 실제 완료일

2024년06월19일(19.06.2024)

국제조사보고서 발송일

2024년06월20일(20.06.2024)

ISA/KR의 명칭 및 우편주소

대한민국 특허청
(35208) 대전광역시 서구 청사로 189, 4동 (둔산동,
정부대전청사)

팩스 번호 +82-42-481-8578

심사관

양정록

전화번호 +82-42-481-5709

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2019-0304524 A1	2019/10/03	없음	
US 2021-0013397 A1	2021/01/14	US 11462678 B2	2022/10/04
		WO 2019-172928 A1	2019/09/12
US 2018-0301266 A1	2018/10/18	없음	
WO 2022-233235 A1	2022/11/10	US 11793002 B2	2023/10/17
		US 2022-0359617 A1	2022/11/10