

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2011-139049

(P2011-139049A)

(43) 公開日 平成23年7月14日(2011.7.14)

|                                 |                       |             |
|---------------------------------|-----------------------|-------------|
| (51) Int.Cl.                    | F I                   | テーマコード (参考) |
| <b>H O 1 L 29/786 (2006.01)</b> | H O 1 L 29/78 6 1 8 B | 4 M 1 0 4   |
| <b>H O 1 L 21/28 (2006.01)</b>  | H O 1 L 29/78 6 1 6 V | 5 F 1 1 0   |
|                                 | H O 1 L 29/78 6 1 3 A |             |
|                                 | H O 1 L 21/28 3 0 1 B |             |

審査請求 未請求 請求項の数 6 O L (全 49 頁)

|              |                              |          |                     |
|--------------|------------------------------|----------|---------------------|
| (21) 出願番号    | 特願2010-268000 (P2010-268000) | (71) 出願人 | 000153878           |
| (22) 出願日     | 平成22年12月1日 (2010.12.1)       |          | 株式会社半導体エネルギー研究所     |
| (31) 優先権主張番号 | 特願2009-276274 (P2009-276274) |          | 神奈川県厚木市長谷398番地      |
| (32) 優先日     | 平成21年12月4日 (2009.12.4)       | (72) 発明者 | 山崎 舜平               |
| (33) 優先権主張国  | 日本国(JP)                      |          | 神奈川県厚木市長谷398番地 株式会社 |
|              |                              |          | 半導体エネルギー研究所内        |
|              |                              | (72) 発明者 | 河江 大輔               |
|              |                              |          | 神奈川県厚木市長谷398番地 株式会社 |
|              |                              |          | 半導体エネルギー研究所内        |
|              |                              | (72) 発明者 | 郷戸 宏充               |
|              |                              |          | 神奈川県厚木市長谷398番地 株式会社 |
|              |                              |          | 半導体エネルギー研究所内        |

最終頁に続く

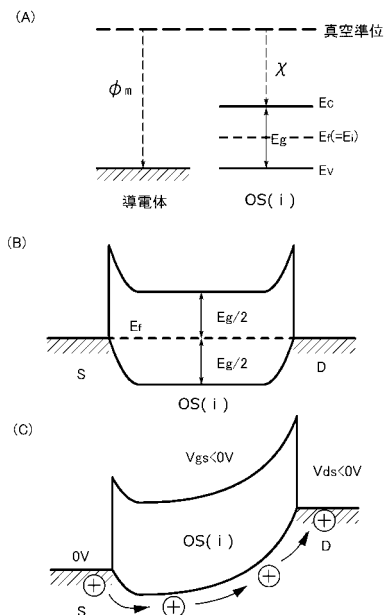
(54) 【発明の名称】 半導体装置

## (57) 【要約】

【課題】 酸化物半導体を用いたpチャネル型トランジスタを提供することを目的の一とする。また、酸化物半導体を用いたnチャネル型トランジスタとpチャネル型トランジスタとのCMOS（相補型金属酸化物半導体）構造を提供することを目的の一とする。

【解決手段】 ゲート電極層と、ゲート絶縁層と、酸化物半導体層と、前記酸化物半導体層と接するソース電極層及びドレイン電極層とを含み、前記酸化物半導体層に用いる酸化物半導体の電子親和力を $\chi$ （eV）、バンドギャップを $E_g$ （eV）とすると、前記ソース電極層及び前記ドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たし、かつ、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{BP}$ は0.25eV未満である、酸化物半導体を用いたpチャネル型トランジスタを提供する。

【選択図】 図1



## 【特許請求の範囲】

## 【請求項 1】

ゲート電極層と、ゲート絶縁層と、酸化物半導体層と、前記酸化物半導体層と接するソース電極層及びドレイン電極層とを含むトランジスタを有し、

前記酸化物半導体層に用いる酸化物半導体の電子親和力を $\chi$  (eV)、バンドギャップを $E_g$  (eV) とすると、

前記ソース電極層及び前記ドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たし、

かつ、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{B P}$ は0.25 eV未満であることを特徴とする半導体装置。

10

## 【請求項 2】

ゲート電極層と、ゲート絶縁層と、インジウム、ガリウム、又は亜鉛の少なくとも一種含む酸化物半導体層と、前記酸化物半導体層と接するソース電極層及びドレイン電極層とを含むトランジスタを有し、

前記酸化物半導体層に用いる酸化物半導体の電子親和力を $\chi$  (eV)、バンドギャップを $E_g$  (eV) とすると、

前記ソース電極層及び前記ドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たし、

かつ、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{B P}$ は0.25 eV未満であることを特徴とする半導体装置。

20

## 【請求項 3】

請求項 1 又は請求項 2 において、前記導電体は金属酸化物であることを特徴とする半導体装置。

## 【請求項 4】

第 1 のゲート電極層と、第 1 のゲート絶縁層と、第 1 の酸化物半導体層と、前記第 1 の酸化物半導体層と接する第 1 のソース電極層及び第 1 のドレイン電極層とを含む p チャネル型トランジスタと、

第 2 のゲート電極層と、第 2 のゲート絶縁層と、第 2 の酸化物半導体層と、前記第 2 の酸化物半導体層と接する第 2 のソース電極層及び第 2 のドレイン電極層とを含む n チャネル型トランジスタとを有し、

30

前記第 1 の酸化物半導体層に用いる第 1 の酸化物半導体の電子親和力を $\chi_1$  (eV)、バンドギャップを $E_{g1}$  (eV) とすると、

前記第 1 のソース電極層及び前記第 1 のドレイン電極層に用いる第 1 の導電体の仕事関数 $\phi_{m1}$ は、 $\phi_{m1} > \chi_1 + E_{g1} / 2$ を満たし、

かつ、 $\chi_1 + E_{g1} - \phi_{m1}$ で表される正孔に対する障壁 $\phi_{B P1}$ は0.25 eV未満であることを特徴とする半導体装置。

## 【請求項 5】

第 1 のゲート電極層と、第 1 のゲート絶縁層と、第 1 の酸化物半導体層と、前記第 1 の酸化物半導体層と接する第 1 のソース電極層及び第 1 のドレイン電極層とを含む p チャネル型トランジスタと、

40

第 2 のゲート電極層と、第 2 のゲート絶縁層と、第 2 の酸化物半導体層と、前記第 2 の酸化物半導体層と接する第 2 のソース電極層及び第 2 のドレイン電極層とを含む n チャネル型トランジスタとを有し、

前記第 1 の酸化物半導体層に用いる第 1 の酸化物半導体の電子親和力を $\chi_1$  (eV)、バンドギャップを $E_{g1}$  (eV) とすると、

前記第 1 のソース電極層及び前記第 1 のドレイン電極層に用いる第 1 の導電体の仕事関数 $\phi_{m1}$ は、 $\phi_{m1} > \chi_1 + E_{g1} / 2$ を満たし、

かつ、 $\chi_1 + E_{g1} - \phi_{m1}$ で表される正孔に対する障壁 $\phi_{B P1}$ は0.25 eV未満であり、

前記第 1 の酸化物半導体層に用いる第 1 の酸化物半導体と前記第 2 の酸化物半導体層に

50

用いる第2の酸化物半導体とは同じ材料であることを特徴とする半導体装置。

【請求項6】

請求項4又は請求項5において、前記第1の導電体は金属酸化物であり、第2のソース電極層及び第2のドレイン電極層に用いる第2の導電体は金属であることを特徴とする半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

酸化物半導体を用いる半導体装置及びその作製方法に関する。

【0002】

なお、本明細書中において半導体装置とは、半導体特性を利用することで機能しうる装置全般を指し、電気光学装置、半導体回路および電子機器は全て半導体装置である。

【背景技術】

【0003】

絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百nm程度）を用いて薄膜トランジスタ（TFT）を構成する技術が注目されている。薄膜トランジスタはICや電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。薄膜トランジスタに適用可能な半導体薄膜としてシリコン系半導体材料が公知であるが、その他の材料として酸化物半導体が注目されている。

【0004】

酸化物半導体の材料としては、酸化亜鉛又は酸化亜鉛を成分とするものが知られている。そして、電子キャリア濃度が $10^{18}/\text{cm}^3$ 未満である非晶質酸化物（酸化物半導体）なるもので形成された薄膜トランジスタが開示されている（特許文献1乃至3参照。）。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2006-165527号公報

【特許文献2】特開2006-165528号公報

【特許文献3】特開2006-165529号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

薄膜トランジスタを用いた半導体装置において、その回路設計に自由度を持たせ、高機能化、高信頼性化を達成するためには、nチャネル型トランジスタ及びpチャネル型トランジスタという両方の極性を有するトランジスタが必要とされている。しかし、酸化物半導体を用いたpチャネル型トランジスタは実用化レベルの特性の実現するのはまだ困難とされている。

【0007】

このような問題に鑑み、本発明の一形態は、酸化物半導体を用いたpチャネル型トランジスタを提供することを目的の一とする。

【0008】

また、本発明の一形態は、酸化物半導体を用いたnチャネル型トランジスタとpチャネル型トランジスタとのCMOS（相補型金属酸化物半導体：Complementary Metal Oxide Semiconductor）構造を提供することを目的の一とする。

【0009】

また、本発明の一形態は、酸化物半導体を含むトランジスタを用いた高機能、高信頼性の半導体装置を提供することを目的の一とする。

【課題を解決するための手段】

【0010】

10

20

30

40

50

本発明に係る酸化物半導体は、 $n$ 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性（ $I$ 型）とし、又は真性型とせんとしたものである。すなわち、不純物を添加して $I$ 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された $I$ 型（真性半導体）又はそれに近づけることを特徴としている。従って、酸化物半導体層は、高純度化及び電氣的に $I$ 型（真性）化された酸化物半導体層である。

#### 【0011】

従って、本明細書で用いる酸化物半導体層は、 $N$ 型、 $P$ 型という定義はあてはまらず、キャリアが通過する通路として機能する。よって $n$ チャネル型トランジスタ（ $NMOS$ トランジスタともいう）も $p$ チャネル型トランジスタ（ $PMOS$ トランジスタともいう）も $I$ 型（真性）酸化物半導体層を用いて作製することができ、酸化物半導体層と接するソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ を制御することによって $n$ チャネル型トランジスタ、 $p$ チャネル型トランジスタを決定する。

10

#### 【0012】

ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が $0.25 \text{ eV}$ 未満とすることによって、 $p$ チャネル型トランジスタを得ることができる。

#### 【0013】

$\phi_m - \chi$ で表される電子に対する障壁 $\phi_{Bn}$ より、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{Bp}$ が小さければ（ $\phi_{Bn} > \phi_{Bp}$ ）正孔が注入されやすい。

20

#### 【0014】

よって、 $p$ チャネル型トランジスタとするには、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たす必要がある。

#### 【0015】

また、正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が $0.25 \text{ eV}$ 未満であると $p$ チャネル型トランジスタとして良好なオン電流特性を示すことができる。

#### 【0016】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が $0.25 \text{ eV}$ 未満とすることによって、正孔はソース電極層の導電体から酸化物半導体へ注入され、酸化物半導体を通過してドレイン電極層の導電体へ到達する。従って $p$ チャネル型トランジスタとして動作することができる。

30

#### 【0017】

酸化物半導体膜としては、四元系金属酸化物である $In-Sn-Ga-Zn-O$ 膜や、三元系金属酸化物である $In-Ga-Zn-O$ 膜、 $In-Sn-Zn-O$ 膜、 $In-Al-Zn-O$ 膜、 $Sn-Ga-Zn-O$ 膜、 $Al-Ga-Zn-O$ 膜、 $Sn-Al-Zn-O$ 系や、二元系金属酸化物である $In-Zn-O$ 膜、 $Sn-Zn-O$ 膜、 $Al-Zn-O$ 膜、 $Zn-Mg-O$ 膜、 $Sn-Mg-O$ 膜、 $In-Mg-O$ 膜や、 $In-O$ 膜、 $Sn-O$ 膜、 $Zn-O$ 膜などの酸化物半導体膜を用いることができる。また、上記酸化物半導体膜に $SiO_2$ を含んでもよい。

40

#### 【0018】

また、酸化物半導体膜は、 $InMO_3 (ZnO)_m$ （ $m > 0$ ）で表記される薄膜を用いることができる。ここで、 $M$ は、 $Ga$ 、 $Al$ 、 $Mn$ および $Co$ から選ばれた一または複数の金属元素を示す。例えば $M$ として、 $Ga$ 、 $Ga$ 及び $Al$ 、 $Ga$ 及び $Mn$ 、または $Ga$ 及び $Co$ などがある。 $InMO_3 (ZnO)_m$ （ $m > 0$ ）で表記される構造の酸化物半導体膜のうち、 $M$ として $Ga$ を含む構造の酸化物半導体を、上記した $In-Ga-Zn-O$ 酸化物半導体とよび、その薄膜を $In-Ga-Zn-O$ 非単結晶膜ともよぶこととする。

#### 【0019】

例えば、上記 $p$ チャネル型トランジスタのソース電極層及びドレイン電極層に用いる導電

50

体としては、酸化錫（ $\text{SnO}$ ）、 $\text{LaCuOCh}$ （ $\text{Ch} = \text{カルコゲン、S、Se など}$ ）、 $\text{CuAO}_2$ （ $\text{A} = \text{B、Al、Ga、In など}$ ）、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、 $\text{CuO}$ などの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、 $\text{Mg}$ を添加した $\text{LaCuOCh}$ や、 $\text{Li}$ を添加した $\text{NiO}$ を用いることができる。

#### 【0020】

本明細書で開示する発明の構成の一形態は、ゲート電極層と、ゲート絶縁層と、酸化物半導体層と、酸化物半導体層と接するソース電極層及びドレイン電極層とを含むトランジスタを有し、酸化物半導体層に用いる酸化物半導体の電子親和力を $\chi$ （eV）、バンドギャップを $E_g$ （eV）とすると、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たし、かつ、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{Bp}$ は0.25 eV未満である半導体装置である。

10

#### 【0021】

本明細書で開示する発明の構成の他の一形態は、ゲート電極層と、ゲート絶縁層と、インジウム、ガリウム、又は亜鉛の少なくとも一種含む酸化物半導体層と、酸化物半導体層と接するソース電極層及びドレイン電極層とを含むトランジスタを有し、酸化物半導体層に用いる酸化物半導体の電子親和力を $\chi$ （eV）、バンドギャップを $E_g$ （eV）とすると、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たし、かつ、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{Bp}$ は0.25 eV未満である半導体装置である。

20

#### 【0022】

本明細書で開示する発明の構成の他の一形態は、第1のゲート電極層と、第1のゲート絶縁層と、第1の酸化物半導体層と、第1の酸化物半導体層と接する第1のソース電極層及び第1のドレイン電極層とを含むpチャネル型トランジスタと、第2のゲート電極層と、第2のゲート絶縁層と、第2の酸化物半導体層と、第2の酸化物半導体層と接する第2のソース電極層及び第2のドレイン電極層とを含むnチャネル型トランジスタとを有し、第1の酸化物半導体層に用いる第1の酸化物半導体の電子親和力を $\chi_1$ （eV）、バンドギャップを $E_{g1}$ （eV）とすると、第1のソース電極層及び第1のドレイン電極層に用いる第1の導電体の仕事関数 $\phi_{m1}$ は、 $\phi_{m1} > \chi_1 + E_{g1} / 2$ を満たし、かつ、 $\chi_1 + E_{g1} - \phi_{m1}$ で表される正孔に対する障壁 $\phi_{Bp1}$ は0.25 eV未満である半導体装置である。

30

#### 【0023】

本明細書で開示する発明の構成の他の一形態は、第1のゲート電極層と、第1のゲート絶縁層と、第1の酸化物半導体層と、第1の酸化物半導体層と接する第1のソース電極層及び第1のドレイン電極層とを含むpチャネル型トランジスタと、第2のゲート電極層と、第2のゲート絶縁層と、第2の酸化物半導体層と、第2の酸化物半導体層と接する第2のソース電極層及び第2のドレイン電極層とを含むnチャネル型トランジスタとを有し、第1の酸化物半導体層に用いる第1の酸化物半導体の電子親和力を $\chi_1$ （eV）、バンドギャップを $E_{g1}$ （eV）とすると、第1のソース電極層及び第1のドレイン電極層に用いる第1の導電体の仕事関数 $\phi_{m1}$ は、 $\phi_{m1} > \chi_1 + E_{g1} / 2$ を満たし、かつ、 $\chi_1 + E_{g1} - \phi_{m1}$ で表される正孔に対する障壁 $\phi_{Bp1}$ は0.25 eV未満であり、第1の酸化物半導体層に用いる第1の酸化物半導体と第2の酸化物半導体層に用いる第2の酸化物半導体とは同じ材料である半導体装置である。

40

#### 【0024】

なお、第1、第2として付される序数詞は便宜上用いるものであり、工程順又は積層順を示すものではない。また、本明細書において発明を特定するための事項として固有の名称を示すものではない。

#### 【発明の効果】

#### 【0025】

ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \text{酸化物半導体}$

50

の電子親和力  $\chi$  + 酸化物半導体のエネルギーギャップ  $E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が  $0.25 \text{ eV}$  未満とすることによって、pチャネル型トランジスタ (PMOSトランジスタ) を得ることができる。

#### 【0026】

また、本発明の一形態は、酸化物半導体を用いたnチャネル型トランジスタとpチャネル型トランジスタとのCMOS (相補型金属酸化物半導体: Complementary Metal Oxide Semiconductor) 構造を提供することができる。

#### 【0027】

また、本発明の一形態は、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

10

#### 【図面の簡単な説明】

#### 【0028】

【図1】図6に示すO-P断面におけるエネルギーバンド図 (模式図)。

【図2】真空準位と導電体の仕事関数 ( $\phi_m$ )、酸化物半導体の電子親和力 ( $\chi$ ) の関係を示す図。

【図3】計算結果によるトランジスタのゲート、ソース間電圧 ( $V_{gs}$ ) - ソース、ドレイン間電流 ( $I_{ds}$ ) ( $V_{gs} - I_{ds}$ ) 特性を示す図。

【図4】計算結果によるトランジスタのゲート、ソース間電圧 ( $V_{gs}$ ) - ソース、ドレイン間電流 ( $I_{ds}$ ) ( $V_{gs} - I_{ds}$ ) 特性を示す図。

20

【図5】計算結果によるトランジスタのゲート、ソース間電圧 ( $V_{gs}$ ) が  $5 \text{ V}$  の時のドレイン電流 ( $I_{ds}$ ) 値と  $\chi + E_g - \phi_m$  で表される正孔に対する障壁  $\phi_{Bp}$  の関係を示す図。

【図6】半導体装置を説明する図。

【図7】半導体装置を説明する図。

【図8】半導体装置を説明する図。

【図9】半導体装置を説明する図。

【図10】半導体装置を説明する図。

【図11】半導体装置を説明する図。

【図12】半導体装置の作製方法を説明する図。

30

【図13】半導体装置の作製方法を説明する図。

【図14】半導体装置の作製方法を説明する図。

【図15】半導体装置を説明する図。

【図16】半導体装置を説明する図。

【図17】電子機器を示す図。

【図18】電子機器を示す図。

【図19】電子機器を示す図。

【図20】電子機器を示す図。

#### 【発明を実施するための形態】

#### 【0029】

40

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、その形態および詳細を様々に変更し得ることは、当業者であれば容易に理解される。また、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。

#### 【0030】

##### (実施の形態1)

本実施の形態では、酸化物半導体を用いたpチャネル型トランジスタの一形態を示す。

#### 【0031】

本明細書で用いる酸化物半導体層は、高純度化及び電氣的にI型 (真性) 化された酸化物半導体層である。

50

## 【0032】

酸化物半導体層を用いるトランジスタの電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層は高純度化及び電氣的にI型（真性）化されている。

## 【0033】

よって酸化物半導体中の水素は少なければ少ないほどよく、酸化物半導体に含まれる水素は好ましくは $1 \times 10^{16} / \text{cm}^3$ 未満であり、酸化物半導体に含まれる水素はゼロに近いほど極力除去されている。

10

## 【0034】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく（ゼロに近い）、キャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、さらに好ましくは $1 \times 10^{11} / \text{cm}^3$ 未満である。

## 【0035】

酸化物半導体中にキャリアが極めて少ないため、逆方向にバイアスをかけてIV特性を測定した際のトランジスタの特性では、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。Nチャネル型トランジスタの場合、オフ電流（リーク電流ともいう）とは、 $-1\text{V} \sim -10\text{V}$ の間のいずれかのゲート電圧を印加した場合のトランジスタのソース、ドレイン間を流れる電流のことであり、本明細書に開示する酸化物半導体を用いたトランジスタは、チャンネル幅（ $w$ ）が $1\mu\text{m}$ あたりの電流値が $100\text{aA} / \mu\text{m}$ 以下、好ましくは $10\text{aA} / \mu\text{m}$ 以下、さらに好ましくは $1\text{aA} / \mu\text{m}$ 以下である。

20

## 【0036】

上記水素の濃度範囲は、二次イオン質量分析（SIMS：Secondary Ion Mass Spectrometry）で得られたもの、またはそのデータに基づいて得られる。また、キャリア濃度はホール効果測定により求めることができる。ホール効果測定器の例として、比抵抗／ホール測定システムResiTest 8310（東陽テクニカ製）を挙げることができる。比抵抗／ホール測定システムResiTest 8310は、磁場の向きと大きさを一定の周期で変化させ、それと同期してサンプルに現れるホール起電圧のみを検出するAC（交流）ホール測定が可能であり、移動度が小さくて抵抗率の高い材料についても、ホール起電圧を検出できる。

30

## 【0037】

また、酸化物半導体層中だけでなく、ゲート絶縁層内に存在する水分などの不純物を低減し、上下に接して設けられる膜と酸化物半導体膜の界面に存在する水分などの不純物も低減する。

## 【0038】

酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができる。

## 【0039】

従って、本明細書で用いる酸化物半導体層は、N型、P型という定義はあてはまらず、キャリアが通過する通路として機能する。よってnチャネル型トランジスタ（NMOSTランジスタともいう）もpチャネル型トランジスタ（PMOSTランジスタともいう）もI型（真性）酸化物半導体層を用いて作製することができ、酸化物半導体層と接するソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ を制御することによってnチャネル型トランジスタ、pチャネル型トランジスタを決定する。

40

## 【0040】

以下、ソース電極層及びドレイン電極層に用いる導電体の仕事関数による酸化物半導体層への電子／正孔注入性の変化、それによるMOSTランジスタの極性（N型かP型か）の変化について二次元デバイスシミュレータを用いて計算を行った結果を示す。なお、ここでは、デバイスシミュレータとしてSilvaco社のAtlasを用いた。

50

## 【0041】

ソース電極層又はドレイン電極層の導電体と酸化物半導体層の酸化物半導体（OS(i)と示す）との接合部におけるバンド構造の概念を図2（A）（B）に示す。図2（A）（B）において、導電体の仕事関数は $\phi_m$ （eV）、酸化物半導体の電子親和力は $\chi$ （eV）、価電子帯の準位は $E_v$ 、伝導帯の準位は $E_c$ 、エネルギーギャップは $E_g$ （eV）で示している。図2においては、 $\phi_m > \chi$ の導電体と酸化物半導体の場合を示している。図2（A）に、真空準位と導電体の仕事関数 $\phi_m$ と、酸化物半導体の電子親和力 $\chi$ との関係を示す。

## 【0042】

従来の酸化物半導体は一般にN型であり、その場合のフェルミ準位（Ef）は、バンドギャップ中央に位置する真性フェルミ準位（Ei）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素はドナーでありN型化する一つの要因であることが知られている。

10

## 【0043】

これに対して本発明に係る酸化物半導体は、n型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性（I型）とし、又は真性型とせんとしたものである。すなわち、不純物を添加してI型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化されたI型（真性半導体）又はそれに近づけることを特徴としている。そうすることにより、フェルミ準位（Ef）は真性フェルミ準位（Ei）と同じレベルにまですることができ。

20

## 【0044】

図2（B）に、導電体から酸化物半導体側へ流れる、 $\phi_m - \chi$ で表される電子に対する障壁 $\phi_{Bn}$ と、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{Bp}$ の関係を示す。図2（B）より分かるように、電子に対する障壁 $\phi_{Bn}$ より正孔に対する障壁 $\phi_{Bp}$ が大きければ（ $\phi_{Bn} < \phi_{Bp}$ ）電子が注入されやすく、逆に電子に対する障壁 $\phi_{Bn}$ より正孔に対する障壁 $\phi_{Bp}$ が小さければ（ $\phi_{Bn} > \phi_{Bp}$ ）正孔が注入されやすい。ソース電極層の導電体から酸化物半導体へ注入された電子、又は正孔は酸化物半導体を通過してドレイン電極層の導電体へ到達する。

## 【0045】

ソース電極層及びドレイン電極層の導電体の仕事関数 $\phi_m$ が、 $\phi_m = \chi + E_g$ の場合と、 $\phi_m = \chi$ の場合におけるトランジスタのゲート、ソース間電圧（Vgs）－ソース、ドレイン間電流（Ids）（Vgs－Ids）特性の変化を計算した結果を図3に示す。なお酸化物半導体としてはInGaZnO系酸化物半導体を例とし、電子親和力 $\chi$ は4.3 eV、エネルギーギャップ $E_g$ は3.15 eVとした。また、トランジスタの構造は図6で示すように、酸化物半導体層103と接してソース電極層105a、ドレイン電極層105bが設けられ、酸化物半導体層103、ソース電極層105a、及びドレイン電極層105bを覆うようにゲート絶縁層102が設けられ、さらにゲート絶縁層102上にゲート電極層101が設けられているトップゲート構造のプレーナ型トランジスタとした。なお、酸化物半導体層103の膜厚（ $d_{os}$ ）は200 nm、ゲート絶縁層102の膜厚（ $d_{gi}$ ）は100 nm、比誘電率4.0、チャネル長（L）は10  $\mu$ m、チャネル幅（W）は1  $\mu$ mとし、ゲート、ドレイン間電圧（Vds）は0.1 Vの場合のVgs－Ids特性を計算した。

30

40

## 【0046】

図3に示すように、 $\phi_m < \chi + E_g / 2$ である $\phi_m = \chi$ では正のゲートバイアスで電流値が増加するN型の特性が、一方 $\phi_m > \chi + E_g / 2$ である $\phi_m = \chi + E_g$ では負のゲートバイアスで電流値が増加するP型の特性が現れているのがわかる。

## 【0047】

つまり、pチャネル型トランジスタとするには、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たす必要がある。

## 【0048】

50

上記  $\phi_m > \chi + E_g / 2$  を満たす仕事関数  $\phi_m$  の範囲内で、数値を変えたときのトランジスタの  $V_{gs} - I_{ds}$  特性の変化を図4に示す。図4において、仕事関数  $\phi_m$  が  $7.5 \text{ eV}$  の  $V_{gs} - I_{ds}$  特性は黒い菱形のドット、 $7.45 \text{ eV}$  の  $V_{gs} - I_{ds}$  特性は黒い四角形のドット、 $7.25 \text{ eV}$  の  $V_{gs} - I_{ds}$  特性はばつ印のドット、 $7.2 \text{ eV}$  の  $V_{gs} - I_{ds}$  特性は米印のドット、 $7.15 \text{ eV}$  の  $V_{gs} - I_{ds}$  特性は黒い三角形のドットで示してある。

#### 【0049】

また、図4におけるゲート、ソース間電圧 ( $V_{gs}$ ) が  $5 \text{ V}$  の時のドレイン電流 ( $I_{ds}$ ) 値と  $\chi + E_g - \phi_m$  で表される正孔に対する障壁  $\phi_{Bp}$  の関係を図5に示す。

#### 【0050】

図5に示すように、正孔に対する障壁  $\phi_{Bp}$  ( $\chi + E_g - \phi_m$ ) が  $0.25 \text{ eV}$  未満であるとpチャネル型トランジスタとして良好なオン電流特性を示すことが確認できる。

#### 【0051】

図1 (A) 乃至 (C) にエネルギーバンド図 (模式図) を示す。図1 (A) にソース電極層又はドレイン電極層である導電体と酸化物半導体層 ( $OS(i)$ ) との接合前のバンド図を示す。図1に示すトランジスタは、仕事関数  $\phi_m$  が、 $\phi_m > \chi + E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp}$  ( $\chi + E_g - \phi_m$ ) が  $0.25 \text{ eV}$  未満の条件を満たす  $\phi_m = \chi + E_g$  である、正孔がソース電極層から半導体層の価電子帯 ( $E_v$ ) を通過してドレイン電極層に到達することで動作するpチャネル型トランジスタである。

#### 【0052】

図1 (B) (C) は、図6に示すO-P断面におけるエネルギーバンド図 (模式図) を示す。図1 (B) はソース電極層 (S)、酸化物半導体層 ( $OS(i)$ )、及びドレイン電極層 (D) を接合し、ソースとドレインの間の電圧を等電位 ( $V_{ds} = 0 \text{ V}$ ) とした場合を示し、図1 (C) はソースに対しドレインに負の電位 ( $V_{ds} < 0$ ) を加えた場合を示す。

#### 【0053】

図1 (C) に示すように、ソース電極層及びドレイン電極層の仕事関数  $\phi_m$  を適切に選ぶことによって、正孔を効率的に注入し、流すことができる。またバンドギャップが広いため電子の注入障壁が高い、そのためゲートに逆バイアスを印加したときのリーク電流 (オフ電流) を抑えることができる。

#### 【0054】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数  $\phi_m$  を、 $\phi_m > \chi + E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp}$  ( $\chi + E_g - \phi_m$ ) が  $0.25 \text{ eV}$  未満とすることによって、pチャネル型トランジスタ (PMOSトランジスタ) を得ることができる。

#### 【0055】

酸化物半導体膜としては、四元系金属酸化物である  $In-Sn-Ga-Zn-O$  膜や、三元系金属酸化物である  $In-Ga-Zn-O$  膜、 $In-Sn-Zn-O$  膜、 $In-Al-Zn-O$  膜、 $Sn-Ga-Zn-O$  膜、 $Al-Ga-Zn-O$  膜、 $Sn-Al-Zn-O$  系や、二元系金属酸化物である  $In-Zn-O$  膜、 $Sn-Zn-O$  膜、 $Al-Zn-O$  膜、 $Zn-Mg-O$  膜、 $Sn-Mg-O$  膜、 $In-Mg-O$  膜や、 $In-O$  膜、 $Sn-O$  膜、 $Zn-O$  膜などの酸化物半導体膜を用いることができる。また、上記酸化物半導体膜に  $SiO_2$  を含んでもよい。

#### 【0056】

また、酸化物半導体膜は、 $InMO_3 (ZnO)_m$  ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。 $InMO_3 (ZnO)_m$  ( $m > 0$ ) で表記される構造の酸化物半導体膜のうち、MとしてGaを含む構造の酸化物半導体を、上記した  $In-Ga-Zn-O$  酸化物半導体とよび、その薄膜を  $In-Ga-Zn-O$  非単結晶膜ともよぶこととする。

10

20

30

40

50

## 【0057】

例えば、上記 p チャンネル型トランジスタのソース電極層及びドレイン電極層に用いる導電体としては、酸化錫 ( $\text{SnO}$ )、 $\text{LaCuOCh}$  ( $\text{Ch}$  = カルコゲン、S、Se など)、 $\text{CuAO}_2$  ( $\text{A} = \text{B}$ 、Al、Ga、In など)、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、 $\text{CuO}$  などの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mg を添加した  $\text{LaCuOCh}$  や、Li を添加した  $\text{NiO}$  を用いることができる。ソース電極層及びドレイン電極層はスパッタリング法や真空蒸着法で形成すればよい。

## 【0058】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数  $\phi_m$  が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が 0.25 eV 未満とすることによって、p チャンネル型トランジスタ (PMOS トランジスタ) を得ることができる。

10

## 【0059】

従って、酸化物半導体を含む p チャンネル型トランジスタ、及び n チャンネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

## 【0060】

(実施の形態 2)

本実施の形態では、本明細書に開示する p チャンネル型トランジスタに適用できるトランジスタの他の構造の例を示す。

20

## 【0061】

図 7 (A) (B) に半導体装置の平面及び断面構造の一例を示す。図 7 (A) (B) に示すトランジスタ 450 は、ボトムゲート構造の薄膜トランジスタの一つであり、逆スタガ型薄膜トランジスタともいう。図 7 (A) はボトムゲート構造のトランジスタ 450 の平面図であり、図 7 (B) は図 7 (A) の線 C1-C2 における断面図である。トランジスタ 450 は p チャンネル型トランジスタである。

## 【0062】

トランジスタ 450 は、絶縁表面を有する基板 400 上に、ゲート電極層 401、ゲート絶縁層 402、酸化物半導体層 403、ソース電極層 405a、及びドレイン電極層 405b を含む。また、トランジスタ 450 を覆い、酸化物半導体層 403 に積層する絶縁層 407 が設けられている。絶縁層 407 上にはさらに保護絶縁層 409 が形成されている。

30

## 【0063】

図 8 に半導体装置の断面構造の他の一例を示す。図 8 に示すトランジスタ 360 は、チャネル保護型 (チャネルストップ型ともいう) と呼ばれるボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。トランジスタ 360 は p チャンネル型トランジスタである。

## 【0064】

トランジスタ 360 は、絶縁表面を有する基板 320 上に、ゲート電極層 361、ゲート絶縁層 322、酸化物半導体層 362、酸化物半導体層 362 のチャネル形成領域を覆うチャネル保護層として機能する絶縁層 366、ソース電極層 365a、及びドレイン電極層 365b を含む。また、トランジスタ 360 を覆い、保護絶縁層 323 が形成されている。

40

## 【0065】

図 9 に半導体装置の断面構造の他の一例を示す。トランジスタ 350 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板である基板 340 上に、ゲート電極層 351、ゲート絶縁層 342、ソース電極層 355a、ドレイン電極層 355b、及び酸化物半導体層 352 を含む。また、トランジスタ 350 を覆い、酸化物半導体層 352 に接する絶縁層 356 が設けられている。絶縁層 356 上にはさらに保護絶縁層 343 が形成

50

されている。トランジスタ 350 は p チャンネル型トランジスタである。

【0066】

トランジスタ 350 は、トランジスタ 350 を含む領域全てにおいてゲート絶縁層 342 が存在し、ゲート絶縁層 342 と絶縁表面を有する基板である基板 340 の間にゲート電極層 351 が設けられている。ゲート絶縁層 342 上にはソース電極層 355a、ドレイン電極層 355b が設けられている。そして、ゲート絶縁層 342、及びソース電極層 355a、ドレイン電極層 355b 上に酸化物半導体層 352 が設けられている。本実施の形態では、ソース電極層 355a、ドレイン電極層 355b は酸化物半導体層 352 の外周部より外側に延在している。

【0067】

図 10 (A) (B) に半導体装置の平面及び断面構造の他の一例を示す。図 10 (A) (B) に示すトランジスタ 460 は、トップゲート構造の薄膜トランジスタの一つである。図 10 (A) はトランジスタ 460 の平面図であり、図 10 (B) は図 10 (A) の線 D1-D2 における断面図である。トランジスタ 460 は p チャンネル型トランジスタである。

【0068】

トランジスタ 460 は、絶縁表面を有する基板 470 上に、絶縁層 457、酸化物半導体層 452、ソース電極層 465a、及びドレイン電極層 465b、ゲート絶縁層 462、ゲート電極層 461 を含み、ソース電極層 465a、ドレイン電極層 465b にそれぞれ配線層 464a、配線層 464b が接して設けられ電氣的に接続している。

【0069】

また、トランジスタ 350、360、450、460 はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャンネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

【0070】

本発明に係る酸化物半導体は、n 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより真性 (I 型) とし、又は真性型とせんとしたものである。すなわち、不純物を添加して I 型化するのでなく、水素や水等の不純物を極力除去したことにより、高純度化された I 型 (真性半導体) 又はそれに近づけることを特徴としている。従って、酸化物半導体層 352、362、403、452 は、高純度化及び電氣的に I 型 (真性) 化された酸化物半導体層である。

【0071】

よって酸化物半導体中の水素は少なければ少ないほどよく、酸化物半導体に含まれる水素は好ましくは  $1 \times 10^{16} / \text{cm}^3$  未満であり、酸化物半導体に含まれる水素はゼロに近いほど極力除去されている。

【0072】

また、高純度化された酸化物半導体中にはキャリアが極めて少なく (ゼロに近い)、キャリア濃度は  $1 \times 10^{14} / \text{cm}^3$  未満、好ましくは  $1 \times 10^{12} / \text{cm}^3$  未満、さらに好ましくは  $1 \times 10^{11} / \text{cm}^3$  未満である。

【0073】

酸化物半導体中にキャリアが極めて少ないため、逆方向にバイアスをかけて I-V 特性を測定した際のトランジスタの特性では、オフ電流を少なくすることができる。オフ電流は少なければ少ないほど好ましい。N チャンネル型トランジスタの場合、オフ電流 (リーク電流ともいう) とは、 $-1 \text{ V} \sim -10 \text{ V}$  の間のいずれかのゲート電圧を印加した場合のトランジスタのソース、ドレイン間を流れる電流のことであり、本明細書に開示する酸化物半導体を用いたトランジスタは、チャンネル幅 (w) が  $1 \mu\text{m}$  あたりの電流値が  $100 \text{ aA} / \mu\text{m}$  以下、好ましくは  $10 \text{ aA} / \mu\text{m}$  以下、さらに好ましくは  $1 \text{ aA} / \mu\text{m}$  以下である。

【0074】

また、酸化物半導体層 352、362、403、452 中だけでなく、ゲート絶縁層 32

10

20

30

40

50

2、342、402、462内に存在する水分などの不純物を低減し、上下に接して設けられる膜と酸化物半導体層の界面に存在する水分などの不純物も低減する。

【0075】

酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより、トランジスタ350、360、450、460の動作を良好なものとするができる。

【0076】

従って、酸化物半導体層352、362、403、452は、N型、P型という定義はあてはまらず、キャリアが通過する通路として機能する。よってnチャネル型トランジスタ（NMOSTランジスタともいう）もpチャネル型トランジスタ（PMOSTランジスタともいう）もI型（真性）酸化物半導体層を用いて作製することができ、酸化物半導体層352、362、403、452と接するソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bに用いる導電体の仕事関数 $\phi_m$ を制御することによってpチャネル型トランジスタであるトランジスタ350、360、450、460を作製することができる。

10

【0077】

ソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bに用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、pチャネル型トランジスタを得ることができる。

20

【0078】

$\phi_m - \chi$ で表される電子に対する障壁 $\phi_{Bn}$ より、 $\chi + E_g - \phi_m$ で表される正孔に対する障壁 $\phi_{Bp}$ が小さければ（ $\phi_{Bn} > \phi_{Bp}$ ）正孔が注入されやすい。

【0079】

よって、pチャネル型トランジスタであるトランジスタ350、360、450、460とするには、ソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bに用いる導電体の仕事関数 $\phi_m$ は、 $\phi_m > \chi + E_g / 2$ を満たす必要がある。

【0080】

また、正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満であるとpチャネル型トランジスタとして良好なオン電流特性を示すことができる。

30

【0081】

以上のことから、ソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bに用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、正孔はソース電極層355a、365a、405a、465aの導電体から酸化物半導体へ注入され、酸化物半導体を通過してドレイン電極層355b、365b、405b、465bの導電体へ到達する。従ってトランジスタ350、360、450、460は、pチャネル型トランジスタとして動作することができる。

【0082】

例えば、上記pチャネル型トランジスタであるトランジスタ350、360、450、460のソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bに用いる導電体としては、酸化錫（SnO）、LaCuOCh（Ch=カルコゲン、S、Seなど）、CuAO<sub>2</sub>（A=B、Al、Ga、Inなど）、SrCu<sub>2</sub>O<sub>2</sub>、NiO、Cu<sub>2</sub>O、CuOなどの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mgを添加したLaCuOChや、Liを添加したNiOを用いることができる。なお、ソース電極層355a、365a、405a、465a、及びドレイン電極層355b、365b、405b、465bの成膜方法としては、スパッタリング法や真空蒸着法を用いることができる。

40

50

## 【0083】

また、本明細書において、ソース電極層、ドレイン電極層とは酸化物半導体層と接する導電膜である。よってソース電極層、ドレイン電極層を積層構造とする場合、少なくとも酸化物半導体層と接する導電膜を、仕事関数  $\phi_m$  が、 $\phi_m > \chi + E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が  $0.25 \text{ eV}$  未満である導電体を用いて形成する。

## 【0084】

よって、例えば、ソース電極層、及びドレイン電極層を、酸化物半導体層側から第1の導電膜と第2の導電膜との積層構造とする場合、酸化物半導体層と接する第1の導電膜を、仕事関数  $\phi_m$  が、 $\phi_m > \chi + E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が  $0.25 \text{ eV}$  未満である導電体を用いた導電膜とすればよい。第2の導電膜は他の導電体を用いてもよい。ソース電極層465a、ドレイン電極層465bに電氣的に接続する配線層464a、配線層464bのような導電膜も、上記第2の導電膜と同様な材料を用いることができる。

## 【0085】

酸化物半導体層と接しない第2の導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。また、第2の導電膜として透光性の導電性材料を用いてもよい。

## 【0086】

酸化物半導体層352、362、403、452としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O膜や、三元系金属酸化物であるIn-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、In-Mg-O膜や、In-O膜、Sn-O膜、Zn-O膜などの酸化物半導体層を用いることができる。また、上記酸化物半導体層にSiO<sub>2</sub>を含んでもよい。

## 【0087】

また、酸化物半導体層352、362、403、452は、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される薄膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えばMとして、Ga、Ga及びAl、Ga及びMn、またはGa及びCoなどがある。 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ ) で表記される構造の酸化物半導体膜のうち、MとしてGaを含む構造の酸化物半導体を、上記したIn-Ga-Zn-O酸化物半導体とよび、その薄膜をIn-Ga-Zn-O非単結晶膜ともよぶこととする。

## 【0088】

酸化物半導体層は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。

## 【0089】

酸化物半導体層を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数ppm程度、濃度数ppb程度まで除去された高純度ガスを用いることが好ましい。

## 【0090】

スパッタリング法にはスパッタ用電源に高周波電源を用いるRFスパッタリング法と、DCスパッタリング法があり、さらにパルスのバイアスを与えるパルスDCスパッタリン

10

20

30

40

50

グ法もある。R Fスパッタリング法は主に絶縁膜を成膜する場合に用いられ、D Cスパッタリング法は主に金属膜を成膜する場合に用いられる。

【0091】

また、材料の異なるターゲットを複数設置できる多元スパッタ装置もある。多元スパッタ装置は、同一チャンバーで異なる材料膜を積層成膜することも、同一チャンバーで複数種類の材料を同時に放電させて成膜することもできる。

【0092】

また、チャンバー内部に磁石機構を備えたマグネトロンスパッタリング法を用いるスパッタ装置や、グロー放電を使わずマイクロ波を用いて発生させたプラズマを用いるE C Rスパッタリング法を用いるスパッタ装置がある。

10

【0093】

また、スパッタリング法を用いる成膜方法として、成膜中にターゲット物質とスパッタガス成分とを化学反応させてそれらの化合物薄膜を形成するリアクティブスパッタリング法や、成膜中に基板にも電圧をかけるバイアスパッタリング法もある。

【0094】

絶縁表面を有する基板320、340、400、470に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

20

【0095】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。なお、実用的な耐熱ガラスである、酸化ホウ素( $B_2O_3$ )より酸化バリウム( $BaO$ )を多く含むガラス基板を用いてもよい。

【0096】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

【0097】

ボトムゲート構造のトランジスタ350、360、420、450において、下地膜となる絶縁膜を基板とゲート電極層の間に設けてもよい。下地膜は、基板からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

30

【0098】

ゲート電極層351、361、401、461は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて、単層でまたは積層して形成することができる。

【0099】

例えば、ゲート電極層351、361、401、461の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、または銅層上にモリブデン層を積層した2層構造、または銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層構造、窒化チタン層とモリブデン層とを積層した2層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

40

【0100】

50

ゲート絶縁層 3 2 2、3 4 2、4 0 2、4 6 2 は、プラズマ C V D 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層 3 2 2、3 4 2、4 0 2、4 6 2 中に水素が多量に含まれないようにすることが好ましい。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

#### 【0101】

ゲート絶縁層 3 2 2、3 4 2、4 0 2、4 6 2 は、ゲート電極層側から窒化シリコン層と酸化シリコン層を積層した構造とすることもできる。例えば、第 1 のゲート絶縁層としてスパッタリング法により膜厚 5 0 n m 以上 2 0 0 n m 以下の窒化シリコン層 ( $\text{SiN}_y$  ( $y > 0$ )) を形成し、第 1 のゲート絶縁層上に第 2 のゲート絶縁層として膜厚 5 n m 以上 3 0 0 n m 以下の酸化シリコン層 ( $\text{SiO}_x$  ( $x > 0$ )) を積層して、膜厚 1 0 0 n m のゲート絶縁層とする。ゲート絶縁層 3 2 2、3 4 2、4 0 2、4 6 2 の膜厚は、薄膜トランジスタに要求される特性によって適宜設定すればよく 3 5 0 n m 乃至 4 0 0 n m 程度でもよい。

#### 【0102】

また、ゲート絶縁層 3 2 2、3 4 2、4 0 2、4 6 2、酸化物半導体層 3 5 2、3 6 2、4 0 3、4 5 2 に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層が形成された基板、又はゲート絶縁層までが形成された基板を予備加熱し、基板に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 の成膜前に、ソース電極層及びドレイン電極層まで形成した基板にも同様に行ってもよい。

#### 【0103】

絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 は、少なくとも 1 n m 以上の膜厚とし、スパッタ法など、絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体層中の酸素の引き抜き、が生じ酸化物半導体層のバックチャネルが低抵抗化 (N 型化) してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

#### 【0104】

本実施の形態では、絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 として膜厚 2 0 0 n m の酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上 3 0 0 °C 以下とすればよく、本実施の形態では 1 0 0 °C とする。酸化シリコン膜のスパッタ法による成膜は、希ガス (代表的にはアルゴン) 雰囲気下、酸素雰囲気下、または希ガス (代表的にはアルゴン) 及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコンを形成することができる。絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 は、水分や、水素イオンや、 $\text{OH}^-$  などの不純物を含まない無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

#### 【0105】

この場合において、処理室内の残留水分を除去しつつ絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 を成膜することが好ましい。酸化物半導体層 3 5 2、3 6 2、4 0 3、4 5 2、及び絶縁層 3 5 6、3 6 6、4 0 7、4 5 7 に水素、水酸基又は水分が含まれないようにする

10

20

30

40

50

ためである。

#### 【0106】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層 356、366、407、457 に含まれる不純物の濃度を低減できる。

#### 【0107】

絶縁層 356、366、407、457 を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数 ppm 程度、濃度数 ppb 程度まで除去された高純度ガスを用いることが好ましい。

#### 【0108】

また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

#### 【0109】

保護絶縁層 323、343、409 は、水分や、水素イオンや、 $OH^-$  などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などを用いる。例えば、RF スパッタ法を用いて窒化シリコン膜を形成する。RF スパッタ法は、量産性がよいため、保護絶縁層 323、343、409 の成膜方法として好ましい。

#### 【0110】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数  $\phi_m$  が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が 0.25 eV 未満とすることによって、様々な構造の p チャネル型トランジスタを得ることができる。

#### 【0111】

従って、酸化物半導体を含む p チャネル型トランジスタ、及び n チャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

#### 【0112】

(実施の形態 3)

本実施の形態では、酸化物半導体を用いた n チャネル型トランジスタと p チャネル型トランジスタとの CMOS (相補型金属酸化物半導体: Complementary Metal Oxide Semiconductor) 構造、及び CMOS 構造の作製方法の一例を示す。

#### 【0113】

以下、図 12 (A) 乃至 (E) を用い、基板 500 上に p チャネル型トランジスタであるトランジスタ 510、n チャネル型トランジスタであるトランジスタ 520 を作製する工程を説明する。

#### 【0114】

まず、絶縁表面を有する基板 500 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 511、ゲート電極層 521 を形成する。

#### 【0115】

下地膜となる絶縁膜を基板 500 とゲート電極層 511、ゲート電極層 521 との間に設けてもよい。

#### 【0116】

また、ゲート電極層 511、ゲート電極層 521 の材料は、モリブデン、チタン、クロム

10

20

30

40

50

、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0117】

次いで、ゲート電極層511、ゲート電極層521上にゲート絶縁層502を形成する。ゲート絶縁層502は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、又は酸化アルミニウム層を単層で又は積層して形成することができる。なお、ゲート絶縁層502中に水素が含まれないようにすることが好ましい。

【0118】

次いで、ゲート絶縁層502上に、膜厚2nm以上200nm以下の酸化物半導体膜を形成する。なお、酸化物半導体膜は、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。本実施の形態では、酸化物半導体膜を、In-Ga-Zn-O系酸化物ターゲットを用いてスパッタリング法により成膜する。

【0119】

本実施の形態では、酸化物半導体膜に脱水化または脱水素化のための第1の加熱処理を行う。第1の加熱処理の温度は、400℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体膜に対して窒素雰囲気下450℃において1時間の加熱処理を行った後、酸化物半導体膜への水や水素の再混入を防ぎ、酸化物半導体膜530を得る（図12（A）参照。）。

【0120】

次いで、酸化物半導体膜530を第2のフォトリソグラフィ工程により島状の酸化物半導体層513、酸化物半導体層523に加工する（図12（B）参照。）。酸化物半導体膜を島状に加工してから脱水化または脱水素化のための加熱処理を行ってもよい。

【0121】

酸化物半導体層513はpチャネル型トランジスタの半導体層として、酸化物半導体層523はnチャネル型トランジスタの半導体層として用いられるが、本実施の形態で示すように、酸化物半導体層513、酸化物半導体層523は同材料及び同工程で作製することができる。

【0122】

次いで、酸化物半導体層513上に導電膜を形成し、第3のフォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層515a、ドレイン電極層515bを形成する（図12（C）参照。）。

【0123】

ソース電極層515a及びドレイン電極層515bに用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、正孔はソース電極層515aの導電体から酸化物半導体へ注入され、酸化物半導体を通してドレイン電極層515bの導電体へ到達する。従ってトランジスタ510は、pチャネル型トランジスタとして動作することができる。

【0124】

ソース電極層515a及びドレイン電極層515bはスパッタリング法や真空蒸着法で形成すればよい。ソース電極層515a及びドレイン電極層515bの材料としては、例えば、酸化錫（SnO）、LaCuOCh（Ch=カルコゲン、S、Seなど）、CuAO<sub>2</sub>（A=B、Al、Ga、Inなど）、SrCu<sub>2</sub>O<sub>2</sub>、NiO、Cu<sub>2</sub>O、CuOなどの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mgを添加したLaCuOChや、Liを添加したNiOを用いることができる。

【0125】

一方、酸化物半導体層523上に、ソース電極層525a及びドレイン電極層525bとなる導電膜を形成する。導電膜はスパッタ法や真空蒸着法で形成すればよい。第4のフォ

10

20

30

40

50

トリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層525a、ドレイン電極層525bを形成した後、レジストマスクを除去する(図12(D)参照。)

#### 【0126】

ソース電極層525a、ドレイン電極層525bの材料としては、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等が挙げられる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用

10

#### 【0127】

また、ソース電極層525a、ドレイン電極層525bは、単層構造でも、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜を積層する2層構造、Ti膜と、そのTi膜上に重ねてアルミニウム膜を積層し、さらにその上にTi膜を成膜する3層構造などが挙げられる。

#### 【0128】

ソース電極層525a、ドレイン電極層525b形成後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

20

#### 【0129】

なお、本実施の形態では、酸化物半導体層513、523としてはIn-Ga-Zn-O系酸化物半導体層を用いており、In-Ga-Zn-O系酸化物半導体の電子親和力 $\chi$ は4.3eV、エネルギーギャップ $E_g$ は3.15eVである。

#### 【0130】

次に、酸化物半導体層513、ソース電極層515a、ドレイン電極層515b、酸化物半導体層523、ソース電極層525a、ドレイン電極層525b上に、保護絶縁膜となる絶縁層507を形成する。絶縁層507は、スパッタリング法など、絶縁層507に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。本実施の形態では、絶縁層507として膜厚200nmの酸化シリコン膜をスパッタ法を用いて成膜する。

30

#### 【0131】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理(好ましくは200℃以上400℃以下、例えば250℃以上350℃以下)を行う。例えば、窒素雰囲気下で250℃、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部(チャンネル形成領域)が絶縁層507と接した状態で加熱される。

#### 【0132】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対してトランジスタの電気的特性変動を抑止するため、変動要因となる水素、水分、水酸基又は水素化物(水素化合物ともいう)などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層513、523を高純度化及び電氣的にI型(真性)化することができる。

40

#### 【0133】

絶縁層507上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層509を絶縁層507上に形成する。保護絶縁層509としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層509として、スパッタリング法を用いて膜厚100nmの窒化シリコン膜を形成する。

#### 【0134】

50

以上のことから、ソース電極層 5 1 5 a 及びドレイン電極層 5 1 5 b に用いる導電体の仕事関数  $\phi_m$  が、 $\phi_m > \chi + E_g / 2$  を満たし、かつ正孔に対する障壁  $\phi_{Bp} (\chi + E_g - \phi_m)$  が 0.25 eV 未満とすることによって、本実施の形態の p チャネル型トランジスタであるトランジスタ 5 1 0 を得ることができる。一方、該 p チャネル型トランジスタのソース電極層及びドレイン電極層の条件を満たさない、異なる仕事関数を有する導電体を用いたソース電極層 5 2 5 a、及びドレイン電極層 5 2 5 b を用いることによってトランジスタ 5 2 0 は n チャネル型トランジスタとすることができる。よって、酸化物半導体層を用いたトランジスタ 5 1 0 及びトランジスタ 5 2 0 から構成される CMOS 構造の半導体装置を作製することができる（図 1 2 (E) 参照。）。

10

#### 【0135】

本明細書で用いる酸化物半導体層は、N 型、P 型という定義はあてはまらず、キャリアが通過する通路として機能する。よって n チャネル型トランジスタも p チャネル型トランジスタも同材料の I 型（真性）酸化物半導体層を用いて作製することができ、酸化物半導体層と接するソース電極層及びドレイン電極層に用いる導電体の仕事関数  $\phi_m$  を制御することによって n チャネル型トランジスタ、p チャネル型トランジスタを作り分けることができる。従って、n チャネル型トランジスタ及び p チャネル型トランジスタを、ソース電極層及びドレイン電極層のみ材料及び作製工程を異ならせるだけで作製することができ、他のゲート電極層、ゲート絶縁層、酸化物半導体層等は同材料及び同工程で形成することが可能となる。作製工程を複雑化せずに CMOS 構造が作製できるために生産性やコストの面で有利である。

20

#### 【0136】

従って、酸化物半導体を含む p チャネル型トランジスタ、及び n チャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

#### 【0137】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

#### 【0138】

（実施の形態 4）

本実施の形態では、断面から見て酸化物半導体層を窒化物絶縁層で囲む例を図 1 1 に示す。図 1 1 は、実施の形態 2 に示すトランジスタ 4 5 0 と絶縁層の上面形状及び端部の位置が異なる点、ゲート絶縁層の構成が異なる点以外は同じであるため、実施の形態 2 と同一部分または同様な機能を有する部分、及び工程は、実施の形態 2 と同様に行うことができ、繰り返しの説明は省略する。

30

#### 【0139】

図 1 1 に示すトランジスタ 4 2 0 はボトムゲート型の薄膜トランジスタであり、絶縁表面を有する基板 4 0 0 上に、ゲート電極層 4 0 1、窒化物絶縁層を用いたゲート絶縁層 4 3 2 a、酸化物絶縁層を用いたゲート絶縁層 4 3 2 b、酸化物半導体層 4 0 3、ソース電極層 4 0 5 a、及びドレイン電極層 4 0 5 b を含む。また、トランジスタ 4 2 0 を覆い、酸化物半導体層 4 0 3 に積層する酸化物絶縁層を用いた絶縁層 4 3 7 が設けられている。絶縁層 4 3 7 上にはさらに窒化物絶縁層を用いた保護絶縁層 4 3 9 が形成されている。保護絶縁層 4 3 9 は窒化物絶縁層であるゲート絶縁層 4 3 2 a と接する構成とする。

40

#### 【0140】

トランジスタ 4 2 0 においてゲート絶縁層をゲート電極層側から窒化物絶縁層と酸化物絶縁層との積層構造とする。また、窒化物絶縁層である保護絶縁層 4 3 9 の形成前に、絶縁層 4 3 7 と、ゲート絶縁層 4 3 2 b を選択的に除去し、窒化物絶縁層であるゲート絶縁層 4 3 2 a が露出するように加工する。

#### 【0141】

少なくとも絶縁層 4 3 7、ゲート絶縁層 4 3 2 b の上面形状は、酸化物半導体層 4 0 3 の上面形状よりも広く、トランジスタ 4 2 0 を覆う上面形状とすることが好ましい。

50

## 【0142】

さらに絶縁層437の上面と、絶縁層437及びゲート絶縁層432bの側面とを覆い、かつ窒化物絶縁層であるゲート絶縁層432aに接して、窒化物絶縁層である保護絶縁層439を形成する。

## 【0143】

窒化物絶縁層からなる保護絶縁層439及びゲート絶縁層432aは、スパッタ法やプラズマCVD法で得られる窒化シリコン膜、酸化窒化シリコン膜、窒化アルミニウム膜、酸化窒化アルミニウム膜などの水分、水素イオン、 $\text{OH}^-$ などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用いる。

## 【0144】

例えば、窒化物絶縁層からなる保護絶縁層439として、酸化物半導体層403の下面、上面、及び側面を囲むようにRFスパッタ法を用い、膜厚100nmの窒化シリコン層を設ける。

## 【0145】

図11に示す構造とすることで、酸化物半導体層は、接して囲う様に設けられるゲート絶縁層432b及び絶縁層437によって、水素、水分、水酸基又は水素化物などの不純物は低減され、かつ窒化物絶縁層であるゲート絶縁層432a及び保護絶縁層439によってさらに外部を覆うように囲まれているので、保護絶縁層439の形成後の製造プロセスにおいて、外部からの水分の侵入を防ぐことができる。また、半導体装置としてデバイスが完成した後にも長期的に、外部からの水分の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

## 【0146】

また、本実施の形態では一つのトランジスタを窒化物絶縁層で囲む構成を示したが特に限定されず、複数のトランジスタを窒化物絶縁層で囲む構成としてもよいし、画素部の複数のトランジスタをまとめて窒化物絶縁層で囲む構成としてもよい。少なくともアクティブマトリクス基板の画素部の周縁を囲むように保護絶縁層439とゲート絶縁層432aとが接する領域を設ける構成とすればよい。

## 【0147】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、本実施の形態のpチャネル型トランジスタを得ることができる。

## 【0148】

従って、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

## 【0149】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

## 【0150】

## (実施の形態5)

本実施の形態は、酸化物半導体層を含むpチャネル型トランジスタ、及び作製方法の一例を図13を用いて詳細に説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

## 【0151】

図13(A)乃至(E)にトランジスタの断面構造の一例を示す。図13(A)乃至(E)に示すトランジスタ390は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

## 【0152】

また、トランジスタ 390 はシングルゲート構造のトランジスタを用いて説明するが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

#### 【0153】

以下、図 13 (A) 乃至 (E) を用い、基板 394 上にトランジスタ 390 を作製する工程を説明する。

#### 【0154】

まず、絶縁表面を有する基板 394 上に導電膜を形成した後、第 1 のフォトリソグラフィ工程によりゲート電極層 391 を形成する。形成されたゲート電極層の端部はテーパ形状であると、上に積層するゲート絶縁層の被覆性が向上するため好ましい。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

10

#### 【0155】

絶縁表面を有する基板 394 に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

#### 【0156】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が 730℃以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。

20

#### 【0157】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。また、プラスチック基板等も適宜用いることができる。

#### 【0158】

下地膜となる絶縁膜を基板 394 とゲート電極層 391 との間に設けてもよい。下地膜は、基板 394 からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜による積層構造により形成することができる。

30

#### 【0159】

また、ゲート電極層 391 は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

#### 【0160】

例えば、ゲート電極層 391 の 2 層の積層構造としては、アルミニウム層上にモリブデン層が積層された 2 層の積層構造、銅層上にモリブデン層を積層した 2 層構造、銅層上に窒化チタン層若しくは窒化タンタルを積層した 2 層構造、窒化チタン層とモリブデン層とを積層した 2 層構造、又は窒化タングステン層とタングステン層とを積層した 2 層構造とすることが好ましい。3 層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金層またはアルミニウムとチタンの合金層と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。なお、透光性を有する導電膜を用いてゲート電極層を形成することもできる。透光性を有する導電膜としては、透光性導電性酸化物等をその例に挙げることができる。

40

#### 【0161】

次いで、ゲート電極層 391 上にゲート絶縁層 397 を形成する。

#### 【0162】

ゲート絶縁層 397 は、プラズマ CVD 法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハ

50

フニウム層を単層で又は積層して形成することができる。スパッタリング法により酸化シリコン膜を成膜する場合には、ターゲットとしてシリコンターゲット又は石英ターゲットを用い、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

#### 【0163】

ここで、不純物を除去することにより I 型化又は実質的に I 型化された酸化物半導体（高純度化された酸化物半導体）は界面準位、界面電荷に対して極めて敏感であるため、ゲート絶縁層との界面は重要である。そのため高純度化された酸化物半導体に接するゲート絶縁層（GI）は、高品質化が要求される。

#### 【0164】

例えば、 $\mu$ 波（2.45GHz）を用いた高密度プラズマCVDは、緻密で絶縁耐圧の高い高品質な絶縁層を形成できるので好ましい。高純度化された酸化物半導体と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

#### 【0165】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、スパッタリング法やプラズマCVD法など他の成膜方法を適用することができる。また、成膜後の熱処理によってゲート絶縁層の膜質、酸化物半導体との界面特性が改質される絶縁層であっても良い。いずれにしても、ゲート絶縁層としての膜質が良好であることは勿論のこと、酸化物半導体との界面準位密度を低減し、良好な界面を形成できるものであれば良い。

#### 【0166】

さらに、85℃、 $2 \times 10^6$  V/cm、12時間のゲートバイアス・熱ストレス試験（BT試験）においては、不純物が酸化物半導体に添加されていると、不純物と酸化物半導体の主成分との結合手が、強電界（B：バイアス）と高温（T：温度）により切断され、生成された不對結合手がしきい値電圧（ $V_{th}$ ）のドリフトを誘発することとなる。

#### 【0167】

これに対して、本明細書に開示する発明は、酸化物半導体の不純物、特に水素や水等を極力除去し、上記のようにゲート絶縁層との界面特性を良好にすることにより、BT試験に対しても安定なトランジスタを得ることを可能としている。

#### 【0168】

ゲート絶縁層397は、ゲート電極層391側から窒化物絶縁層と、酸化物絶縁層との積層構造とすることもできる。例えば、第1のゲート絶縁層としてスパッタリング法により膜厚50nm以上200nm以下の窒化シリコン層（ $SiN_y$ （ $y > 0$ ））を形成し、第1のゲート絶縁層上に第2のゲート絶縁層として膜厚5nm以上300nm以下の酸化シリコン層（ $SiO_x$ （ $x > 0$ ））を積層して、膜厚100nmのゲート絶縁層とする。ゲート絶縁層の膜厚は、トランジスタに要求される特性によって適宜設定すればよく350nm乃至400nm程度でもよい。

#### 【0169】

また、ゲート絶縁層397、酸化物半導体膜393に水素、水酸基及び水分がなるべく含まれないようにするために、成膜の前処理として、スパッタリング装置の予備加熱室でゲート電極層391が形成された基板394、又はゲート絶縁層397までが形成された基板394を予備加熱し、基板394に吸着した水素、水分などの不純物を脱離し排気することが好ましい。なお、予備加熱の温度としては、100℃以上400℃以下好ましくは150℃以上300℃以下である。なお、予備加熱室に設ける排気手段はクライオポンプが好ましい。なお、この予備加熱の処理は省略することもできる。またこの予備加熱は、絶縁層396の成膜前に、ソース電極層395a及びドレイン電極層395bまで形成した基板394にも同様に行ってもよい。

#### 【0170】

次いで、ゲート絶縁層397上に、膜厚2nm以上200nm以下の酸化物半導体膜393を形成する（図13（A）参照。）。

#### 【0171】

なお、酸化物半導体膜 393 をスパッタリング法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層 397 の表面に付着している粉状物質（パーティクル、ごみともいう）を除去することが好ましい。逆スパッタとは、ターゲット側に電圧を印加せずに、アルゴン雰囲気下で基板側に RF 電源を用いて電圧を印加して基板近傍にプラズマを形成して表面を改質する方法である。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いてもよい。

#### 【0172】

酸化物半導体膜 393 はスパッタリング法により成膜する。酸化物半導体膜 393 は、四元系金属酸化物である  $\text{In-Sn-Ga-Zn-O}$  膜や、三元系金属酸化物である  $\text{In-Ga-Zn-O}$  膜、 $\text{In-Sn-Zn-O}$  膜、 $\text{In-Al-Zn-O}$  膜、 $\text{Sn-Ga-Zn-O}$  膜、 $\text{Al-Ga-Zn-O}$  膜、 $\text{Sn-Al-Zn-O}$  系や、二元系金属酸化物である  $\text{In-Zn-O}$  膜、 $\text{Sn-Zn-O}$  膜、 $\text{Al-Zn-O}$  膜、 $\text{Zn-Mg-O}$  膜、 $\text{Sn-Mg-O}$  膜、 $\text{In-Mg-O}$  膜や、 $\text{In-O}$  膜、 $\text{Sn-O}$  膜、 $\text{Zn-O}$  膜などの酸化物半導体膜を用いることができる。また、上記酸化物半導体膜に  $\text{SiO}_2$  を含んでもよい。本実施の形態では、酸化物半導体膜 393 を  $\text{In-Ga-Zn-O}$  系酸化物半導体ターゲットを用いてスパッタリング法により成膜する。また、酸化物半導体膜 393 は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、又は希ガス（代表的にはアルゴン）及び酸素雰囲気下においてスパッタリング法により形成することができる。

#### 【0173】

酸化物半導体膜 393 をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、 $\text{In}$ 、 $\text{Ga}$ 、及び  $\text{Zn}$  を含む酸化物ターゲット（組成比として、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$  [mol 比]、又は  $\text{In}:\text{Ga}:\text{Zn}=1:1:0.5$  [atom 比]）を用いることができる。また、 $\text{In}$ 、 $\text{Ga}$ 、及び  $\text{Zn}$  を含む酸化物ターゲットとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [atom 比]、又は  $\text{In}:\text{Ga}:\text{Zn}=1:1:2$  [atom 比] の組成比を有するターゲットを用いることもできる。酸化物ターゲットの充填率は 90% 以上 100% 以下、好ましくは 95% 以上 99.9% である。充填率の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

#### 【0174】

減圧状態に保持された処理室内に基板を保持し、基板を室温又は 400℃未満の温度に加熱する。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板 394 上に酸化物半導体膜 393 を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水（ $\text{H}_2\text{O}$ ）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

#### 【0175】

成膜条件の一例としては、基板とターゲットの間との距離を 100mm、圧力 0.6Pa、直流（DC）電源 0.5kW、酸素（酸素流量比率 100%）雰囲気下の条件が適用される。なお、パルス直流（DC）電源を用いると、成膜時に発生する粉状物質（パーティクル、ごみともいう）が軽減でき、膜厚分布も均一となるために好ましい。酸化物半導体膜は好ましくは 5nm 以上 30nm 以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

#### 【0176】

次いで、酸化物半導体膜を第 2 のフォトリソグラフィ工程により島状の酸化物半導体層 399 に加工する（図 13（B）参照。）。また、島状の酸化物半導体層 399 を形成する

10

20

30

40

50

ためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

【0177】

また、ゲート絶縁層397にコンタクトホールを形成する場合、その工程は酸化物半導体層399の形成時に行うことができる。

【0178】

なお、ここでの酸化物半導体膜393のエッチングは、ドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。

【0179】

ドライエッチングに用いるエッチングガスとしては、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、塩化硼素（ $\text{BCl}_3$ ）、塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）が好ましい。

【0180】

また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $\text{CF}_4$ ）、六弗化硫黄（ $\text{SF}_6$ ）、弗化窒素（ $\text{NF}_3$ ）、トリフルオロメタン（ $\text{CHF}_3$ ）など）、臭化水素（ $\text{HBr}$ ）、酸素（ $\text{O}_2$ ）、これらのガスにヘリウム（ $\text{He}$ ）やアルゴン（ $\text{Ar}$ ）などの希ガスを添加したガス、などを用いることができる。

【0181】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の加工形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）を適宜調節する。

【0182】

ウェットエッチングに用いるエッチング液としては、磷酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0183】

また、ウェットエッチング後のエッチング液はエッチングされた材料とともに洗浄によって除去される。その除去された材料を含むエッチング液の廃液を精製し、含まれる材料を再利用してもよい。当該エッチング後の廃液から酸化物半導体層に含まれるインジウム等の材料を回収して再利用することにより、資源を有効活用し低コスト化することができる。

【0184】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件（エッチング液、エッチング時間、温度等）を適宜調節する。

【0185】

なお、次工程の導電膜を形成する前に逆スパッタを行い、酸化物半導体層399及びゲート絶縁層397の表面に付着しているレジスト残渣などを除去することが好ましい。

【0186】

ソース電極層及びドレイン電極層（これと同じ層で形成される配線を含む）に用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp}$ （ $\chi + E_g - \phi_m$ ）が0.25eV未満とすることによって、正孔はソース電極層の導電体から酸化物半導体へ注入され、酸化物半導体を通過してドレイン電極層の導電体へ到達する。従ってトランジスタは、pチャネル型トランジスタとして動作することができる。

【0187】

ゲート絶縁層397、及び酸化物半導体層399上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。ソース電極層及びドレイン電極層となる導電膜の材料としては、例えば、酸化錫（ $\text{SnO}$ ）、 $\text{LaCuOCh}$ （ $\text{Ch}$ ＝カルコゲン、S、Seなど）、 $\text{CuAO}_2$ （ $\text{A} = \text{B}, \text{Al}, \text{Ga}, \text{In}$ など）、 $\text{SrCu}_2\text{O}_2$ 、Ni

10

20

30

40

50

O、Cu<sub>2</sub>O、CuOなどの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mgを添加したLaCuOChや、Liを添加したNiOを用いることができる。

#### 【0188】

また、本明細書において、ソース電極層、ドレイン電極層とは酸化物半導体層と接する導電膜である。よってソース電極層、ドレイン電極層を積層構造とする場合、少なくとも酸化物半導体層と接する導電膜を、仕事関数 $\phi_m$ が、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25 eV未満である導電体を用いて形成する。

#### 【0189】

よって、例えば、ソース電極層、及びドレイン電極層を、酸化物半導体層側から第1の導電膜と第2の導電膜との積層構造とする場合、酸化物半導体層と接する第1の導電膜を、仕事関数 $\phi_m$ が、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25 eV未満である導電体を用いた導電膜とすればよい。第2の導電膜は他の導電体を用いてもよい。

#### 【0190】

酸化物半導体層と接しない第2の導電膜としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素、または上述した元素を成分とする合金か、上述した元素を組み合わせた合金膜等を用いることができる。また、Al、Cuなどの金属層の下側又は上側の一方または双方にCr、Ta、Ti、Mo、Wなどの高融点金属層を積層させた構成としても良い。また、Si、Ti、Ta、W、Mo、Cr、Nd、Sc、YなどAl膜に生ずるヒロックやウィスカの発生を防止する元素が添加されているAl材料を用いることで耐熱性を向上させることが可能となる。また、第2の導電膜として透光性の導電性材料を用いてもよい。

#### 【0191】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層395a、ドレイン電極層395bを形成した後、レジストマスクを除去する(図13(C)参照。)

#### 【0192】

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層399上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長L=25 nm未満の露光を行う場合には、数nm~数10 nmと極めて波長が短い超紫外線(Extreme Ultraviolet)を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10 nm以上1000 nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

#### 【0193】

なお、導電膜のエッチングの際に、酸化物半導体層399は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

#### 【0194】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層399は一部のみがエッチングされ、溝部(凹部)を有する酸化物半導体層となることもある。また、ソース電極層395a、ドレイン電極層395bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0195】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過

10

20

30

40

50

した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

#### 【0196】

$N_2O$ 、 $N_2$ 、またはArなどのガスを用いたプラズマ処理によって露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

10

#### 【0197】

プラズマ処理を行った場合、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる酸化物絶縁層として絶縁層396を形成する（図13（D）参照。）。本実施の形態では、酸化物半導体層399がソース電極層395a、ドレイン電極層395bと重ならない領域において、酸化物半導体層399と絶縁層396とが接するように形成する。

#### 【0198】

本実施の形態では、絶縁層396として、島状の酸化物半導体層399、ソース電極層395a、ドレイン電極層395bまで形成された基板394を室温又は100℃未満の温度に加熱し、水素及び水分が除去された高純度酸素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて、欠陥を含む酸化シリコン層を成膜する。

20

#### 【0199】

例えば、純度が6Nであり、ボロンがドーピングされたシリコンターゲット（抵抗値0.01Ωcm）を用い、基板とターゲットの間との距離（T-S間距離）を89mm、圧力0.4Pa、直流（DC）電源6kW、酸素（酸素流量比率100%）雰囲気下でパルスDCスパッタリング法により酸化シリコン膜を成膜する。膜厚は300nmとする。なお、シリコンターゲットに代えて石英（好ましくは合成石英）を酸化シリコン膜を成膜するためのターゲットとして用いることができる。なお、スパッタガスとして酸素又は、酸素及びアルゴンの混合ガスを用いて行う。

30

#### 【0200】

この場合において、処理室内の残留水分を除去しつつ絶縁層396を成膜することが好ましい。酸化物半導体層399及び絶縁層396に水素、水酸基又は水分が含まれないようにするためである。

#### 【0201】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（ $H_2O$ ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層396に含まれる不純物の濃度を低減できる。

40

#### 【0202】

なお、絶縁層396として、酸化シリコン層に代えて、酸化窒化シリコン層、酸化アルミニウム層、または酸化窒化アルミニウム層などを用いることもできる。

#### 【0203】

さらに、絶縁層396と酸化物半導体層399とを接した状態で100℃乃至400℃で加熱処理を行ってもよい。本実施の形態における絶縁層396は欠陥を多く含むため、この加熱処理によって酸化物半導体層399中に含まれる水素、水分、水酸基又は水素化物などの不純物を絶縁層396に拡散させ、酸化物半導体層399中に含まれる該不純物をより低減させることができる。

50

## 【0204】

以上の工程で、水素、水分、水酸基又は水素化物の濃度が低減された酸化物半導体層392を有するトランジスタ390を形成することができる(図13(E)参照。)

## 【0205】

上記のように酸化物半導体膜を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体膜中の水素及び水素化物の濃度を低減することができる。それにより酸化物半導体膜の安定化を図ることができる。

## 【0206】

酸化物絶縁層上に保護絶縁層を設けてもよい。本実施の形態では、保護絶縁層398を絶縁層396上に形成する。保護絶縁層398としては、窒化シリコン膜、窒化酸化シリコン膜、窒化アルミニウム膜、又は窒化酸化アルミニウム膜などを用いる。

10

## 【0207】

保護絶縁層398として、絶縁層396まで形成された基板394を100℃～400℃の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層396と同様に、処理室内の残留水分を除去しつつ保護絶縁層398を成膜することが好ましい。

## 【0208】

保護絶縁層398を形成する場合、保護絶縁層398の成膜時に100℃～400℃に基板394を加熱することで、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させることができる。この場合上記絶縁層396の形成後に加熱処理を行わなくてもよい。

20

## 【0209】

絶縁層396として酸化シリコン層を形成し、保護絶縁層398として窒化シリコン層を積層する場合、酸化シリコン層と窒化シリコン層を同じ処理室において、共通のシリコンターゲットを用いて成膜することができる。先に酸素を含むスパッタガスを導入して、処理室内に装着されたシリコンターゲットを用いて酸化シリコン層を形成し、次にスパッタガスを窒素を含むスパッタガスに切り替えて同じシリコンターゲットを用いて窒化シリコン層を成膜する。酸化シリコン層と窒化シリコン層とを大気に曝露せずに連続して形成することができるため、酸化シリコン層表面に水素や水分などの不純物が吸着することを防止することができる。この場合、絶縁層396として酸化シリコン層を形成し、保護絶縁層398として窒化シリコン層を積層した後、酸化物半導体層中に含まれる水素若しくは水分を酸化物絶縁層に拡散させるための加熱処理(温度100℃乃至400℃)を行うとよい。

30

## 【0210】

保護絶縁層の形成後、さらに大気中、100℃以上200℃以下、1時間以上30時間以下での加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上200℃の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。この加熱処理によって、ノーマリーオフとなるトランジスタを得ることができる。よって半導体装置の信頼性を向上できる。

40

## 【0211】

また、ゲート絶縁層上にチャンネル形成領域とする酸化物半導体層を成膜するに際し、反応雰囲気中の残留水分を除去することで、該酸化物半導体層中の水素及び水素化物の濃度を低減することができる。

## 【0212】

上記の工程は、液晶表示装置などのバックプレーン(トランジスタが形成された基板)の製造に用いることができる。上記の工程は、厚さが1mm以下で、一辺が1mを超えるガラス基板を用いる製造工程にも適用することができる。

50

## 【0213】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が $0.25 \text{ eV}$ 未満とすることによって、本実施の形態のpチャネル型トランジスタを得ることができる。

## 【0214】

従って、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

## 【0215】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

## 【0216】

(実施の形態6)

本実施の形態は、酸化物半導体層を含むpチャネル型トランジスタ、及び作製方法の一例を図14を用いて詳細に説明する。上記実施の形態と同一部分又は同様な機能を有する部分、及び工程は、上記実施の形態と同様に行うことができ、繰り返しの説明は省略する。また同じ箇所の詳細な説明は省略する。

## 【0217】

図14(A)乃至(E)にトランジスタの断面構造の一例を示す。図14(A)乃至(E)に示すトランジスタ310は、ボトムゲート構造の一つであり逆スタガ型薄膜トランジスタともいう。

## 【0218】

また、トランジスタ310はシングルゲート構造のトランジスタを用いて説明したが、必要に応じて、チャネル形成領域を複数有するマルチゲート構造のトランジスタも形成することができる。

## 【0219】

以下、図14(A)乃至(E)を用い、基板305上にトランジスタ310を作製する工程を説明する。

## 【0220】

まず、絶縁表面を有する基板305上に導電膜を形成した後、第1のフォトリソグラフィ工程によりゲート電極層311を形成する。なお、レジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

## 【0221】

絶縁表面を有する基板305に使用することができる基板に大きな制限はないが、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有していることが必要となる。バリウムホウケイ酸ガラスやアルミノホウケイ酸ガラスなどのガラス基板を用いることができる。

## 【0222】

また、ガラス基板としては、後の加熱処理の温度が高い場合には、歪み点が $730^\circ\text{C}$ 以上のものを用いると良い。また、ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられている。酸化ホウ素( $\text{B}_2\text{O}_3$ )より酸化バリウム( $\text{BaO}$ )を多く含むガラス基板を用いると実用的な耐熱ガラスが得られるので好ましい。

## 【0223】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いても良い。他にも、結晶化ガラスなどを用いることができる。

## 【0224】

下地膜となる絶縁膜を基板305とゲート電極層311との間に設けてもよい。下地膜は、基板305からの不純物元素の拡散を防止する機能があり、窒化シリコン膜、酸化シリコン膜、窒化酸化シリコン膜、又は酸化窒化シリコン膜から選ばれた一又は複数の膜によ

10

20

30

40

50

る積層構造により形成することができる。

【0225】

また、ゲート電極層311の材料は、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジウム、スカンジウム等の金属材料又はこれらを主成分とする合金材料を用いて、単層で又は積層して形成することができる。

【0226】

例えば、ゲート電極層311の2層の積層構造としては、アルミニウム層上にモリブデン層が積層された2層の積層構造、銅層上にモリブデン層を積層した2層の積層構造、銅層上に窒化チタン層若しくは窒化タンタル層を積層した2層の積層構造、窒化チタン層とモリブデン層とを積層した2層の積層構造、又は窒化タングステン層とタングステン層との2層の積層構造とすることが好ましい。3層の積層構造としては、タングステン層または窒化タングステン層と、アルミニウムとシリコンの合金またはアルミニウムとチタンの合金と、窒化チタン層またはチタン層とを積層した積層とすることが好ましい。

【0227】

次いで、ゲート電極層311上にゲート絶縁層307を形成する。

【0228】

ゲート絶縁層307は、プラズマCVD法又はスパッタリング法等を用いて、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、酸化アルミニウム層、窒化アルミニウム層、酸化窒化アルミニウム層、窒化酸化アルミニウム層、又は酸化ハフニウム層を単層で又は積層して形成することができる。また、 $\mu$ 波(2.45GHz)を用いた高密度プラズマCVD法を用いてもよい。

【0229】

本実施の形態では、ゲート絶縁層307としてプラズマCVD法により膜厚100nmの酸化窒化シリコン層を形成する。

【0230】

次いで、ゲート絶縁層307上に、膜厚2nm以上200nm以下の酸化物半導体膜330を形成する。

【0231】

なお、酸化物半導体膜330をスパッタ法により成膜する前に、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層307の表面に付着しているゴミを除去することが好ましい。なお、アルゴン雰囲気にて代えて窒素、ヘリウム、酸素などを用いてもよい。

【0232】

酸化物半導体膜330は、四元系金属酸化物であるIn-Sn-Ga-Zn-O膜や、三元系金属酸化物であるIn-Ga-Zn-O膜、In-Sn-Zn-O膜、In-Al-Zn-O膜、Sn-Ga-Zn-O膜、Al-Ga-Zn-O膜、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O膜、Sn-Zn-O膜、Al-Zn-O膜、Zn-Mg-O膜、Sn-Mg-O膜、In-Mg-O膜や、In-O膜、Sn-O膜、Zn-O膜などの酸化物半導体膜を用いることができる。また、上記酸化物半導体膜にSiO<sub>2</sub>を含んでもよい。本実施の形態では、酸化物半導体膜330としてIn-Ga-Zn-O系酸化物ターゲットを用いてスパッタ法により成膜する。この段階での断面図が図14(A)に相当する。また、酸化物半導体膜330は、希ガス(代表的にはアルゴン)雰囲気下、酸素雰囲気下、又は希ガス(代表的にはアルゴン)及び酸素雰囲気下においてスパッタ法により形成することができる。

【0233】

酸化物半導体膜330をスパッタリング法で作製するためのターゲットとして、酸化亜鉛を主成分とする金属酸化物のターゲットを用いることができる。また、金属酸化物のターゲットの他の例としては、In、Ga、及びZnを含む酸化物ターゲット(組成比として、In<sub>2</sub>O<sub>3</sub>:Ga<sub>2</sub>O<sub>3</sub>:ZnO=1:1:1[mol比]、又はIn:Ga:Zn=1:1:0.5[atom比])を用いることができる。また、In、Ga、及びZnを

含む酸化物ターゲットとして、 $\text{In}:\text{Ga}:\text{Zn}=1:1:1$  [atom比]、又は $\text{In}:\text{Ga}:\text{Zn}=1:1:2$  [atom比]の組成比を有するターゲットを用いることもできる。酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%である。充填率の高い酸化物ターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

#### 【0234】

酸化物半導体膜330を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数ppm程度、濃度数ppb程度まで除去された高純度ガスを用いることが好ましい。

#### 【0235】

減圧状態に保持された処理室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら成膜することにより、成膜した酸化物半導体膜に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素及び水分が除去されたスパッタガスを導入し、金属酸化物をターゲットとして基板305上に酸化物半導体膜330を成膜する。処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子、水( $\text{H}_2\text{O}$ )など水素原子を含む化合物(より好ましくは炭素原子を含む化合物も)等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

#### 【0236】

成膜条件の一例としては、基板とターゲットの間との距離を100mm、圧力0.6Pa、直流(DC)電源0.5kW、酸素(酸素流量比率100%)雰囲気下の条件が適用される。酸化物半導体膜は好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚みは異なり、材料に応じて適宜厚みを選択すればよい。

#### 【0237】

次いで、酸化物半導体膜330を第2のフォトリソグラフィ工程により島状の酸化物半導体層に加工する。また、島状の酸化物半導体層を形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

#### 【0238】

次いで、酸化物半導体層に第1の加熱処理を行う。この第1の加熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の加熱処理の温度は、400℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下450℃において1時間の加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層331を得る(図14(B)参照。)

#### 【0239】

なお、加熱処理装置は電気炉に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。気体には、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体を用いられる。

10

20

30

40

50

## 【0240】

例えば、第1の加熱処理として、650℃～700℃の高温に加熱した不活性ガス中に基板を移動させて入れ、数分間加熱した後、基板を移動させて高温に加熱した不活性ガス中から出すGRTAを行ってもよい。GRTAを用いると短時間での高温加熱処理が可能となる。

## 【0241】

なお、第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴン等の希ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

10

## 【0242】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜330に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

## 【0243】

酸化物半導体層に対する脱水化、脱水素化の効果を奏する加熱処理は、酸化物半導体層成膜後、酸化物半導体層上にソース電極及びドレイン電極を積層させた後、ソース電極及びドレイン電極上に保護絶縁膜を形成した後、のいずれで行っても良い。

## 【0244】

また、ゲート絶縁層307にコンタクトホールを形成する場合、その工程は酸化物半導体膜330に脱水化または脱水素化処理を行う前でも行った後に行ってもよい。

20

## 【0245】

なお、ここでの酸化物半導体膜のエッチングは、ウェットエッチングに限定されずドライエッチングを用いてもよい。

## 【0246】

所望の加工形状にエッチングできるように、材料に合わせてエッチング条件(エッチング液、エッチング時間、温度等)を適宜調節する。

## 【0247】

ソース電極層及びドレイン電極層(これと同じ層で形成される配線を含む)に用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp}$ ( $\chi + E_g - \phi_m$ )が0.25eV未満とすることによって、正孔はソース電極層の導電体から酸化物半導体へ注入され、酸化物半導体を通してドレイン電極層の導電体へ到達する。従ってトランジスタは、pチャネル型トランジスタとして動作することができる。

30

## 【0248】

ゲート絶縁層307、及び酸化物半導体層331上に、導電膜を形成する。導電膜をスパッタリング法や真空蒸着法で形成すればよい。ソース電極層及びドレイン電極層となる導電膜の材料としては、例えば、酸化錫( $\text{SnO}$ )、 $\text{LaCuOCh}$ ( $\text{Ch} = \text{カルコゲン}$ 、S、Seなど)、 $\text{CuAO}_2$ ( $A = \text{B}$ 、Al、Ga、Inなど)、 $\text{SrCu}_2\text{O}_2$ 、 $\text{NiO}$ 、 $\text{Cu}_2\text{O}$ 、 $\text{CuO}$ などの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mgを添加した $\text{LaCuOCh}$ や、Liを添加した $\text{NiO}$ を用いることができる。

40

## 【0249】

導電膜後に加熱処理を行う場合には、この加熱処理に耐える耐熱性を導電膜に持たせることが好ましい。

## 【0250】

第3のフォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極層315a、ドレイン電極層315bを形成した後、レジストマスクを除去する(図14(C)参照。)

## 【0251】

50

第3のフォトリソグラフィ工程でのレジストマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いる。酸化物半導体層331上で隣り合うソース電極層の下端部とドレイン電極層の下端部との間隔幅によって後に形成されるトランジスタのチャンネル長Lが決定される。なお、チャンネル長 $L=25\text{ nm}$ 未満の露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いて第3のフォトリソグラフィ工程でのレジストマスク形成時の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長Lを10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化でき、さらにオフ電流値が極めて小さいため、低消費電力化も図ることができる。

10

#### 【0252】

なお、導電膜のエッチングの際に、酸化物半導体層331は除去されないようにそれぞれの材料及びエッチング条件を適宜調節する。

#### 【0253】

本実施の形態では、導電膜としてTi膜を用いて、酸化物半導体層331にはIn-Ga-Zn-O系酸化物半導体を用いて、エッチャントとして過水アンモニア水（31重量%過酸化水素水：28重量%アンモニア水：水＝5：2：2）を用いる。

#### 【0254】

なお、第3のフォトリソグラフィ工程では、酸化物半導体層331は一部のみがエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。また、ソース電極層315a、ドレイン電極層315bを形成するためのレジストマスクをインクジェット法で形成してもよい。レジストマスクをインクジェット法で形成するとフォトマスクを使用しないため、製造コストを低減できる。

20

#### 【0255】

また、酸化物半導体層とソース電極層及びドレイン電極層の間に、酸化物導電層を形成してもよい。酸化物導電層とソース電極層及びドレイン電極層を形成するための金属層は、連続成膜が可能である。酸化物導電層はソース領域及びドレイン領域として機能しうる。

#### 【0256】

ソース領域及びドレイン領域として、酸化物導電層を酸化物半導体層とソース電極層及びドレイン電極層との間に設けることで、ソース領域及びドレイン領域の低抵抗化を図ることができ、トランジスタの高速動作をすることができる。

30

#### 【0257】

また、フォトリソグラフィ工程で用いるフォトマスク数及び工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによって形成されたレジストマスクを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは複数の膜厚を有する形状となり、エッチングを行うことでさらに形状を変形することができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。よって、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が可能となる。

40

#### 【0258】

次いで、 $\text{N}_2\text{O}$ 、 $\text{N}_2$ 、またはArなどのガスを用いたプラズマ処理を行い、露出している酸化物半導体層の表面に付着した吸着水などを除去してもよい。

#### 【0259】

プラズマ処理を行った後、大気に触れることなく、酸化物半導体層の一部に接する保護絶縁膜となる絶縁層316を形成する。

#### 【0260】

絶縁層316は、少なくとも1nm以上の膜厚とし、スパッタ法など、絶縁層316に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。絶縁層316に水素が含まれると、その水素の酸化物半導体層への侵入、又は水素による酸化物半導体

50

層中の酸素の引き抜きが生じ酸化物半導体層のバックチャネルが低抵抗化（N型化）してしまい、寄生チャネルが形成されるおそれがある。よって、絶縁層316はできるだけ水素を含まない膜になるように、成膜方法に水素を用いないことが重要である。

#### 【0261】

本実施の形態では、絶縁層316として膜厚200nmの酸化シリコン膜をスパッタ法を用いて成膜する。成膜時の基板温度は、室温以上300℃以下とすればよく、本実施の形態では100℃とする。酸化シリコン膜のスパッタ法による成膜は、希ガス（代表的にはアルゴン）雰囲気下、酸素雰囲気下、または希ガス（代表的にはアルゴン）及び酸素雰囲気下において行うことができる。また、ターゲットとして酸化シリコンターゲットまたはシリコンターゲットを用いることができる。例えば、シリコンターゲットを用いて、酸素、及び窒素雰囲気下でスパッタ法により酸化シリコンを形成することができる。低抵抗化した酸化物半導体層に接して形成する絶縁層316は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、または酸化窒化アルミニウム膜などを用いる。

10

#### 【0262】

この場合において、処理室内の残留水分を除去しつつ絶縁層316を成膜することが好ましい。酸化物半導体層331及び絶縁層316に水素、水酸基又は水分が含まれないようにするためである。

#### 【0263】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（H<sub>2</sub>O）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した絶縁層316に含まれる不純物の濃度を低減できる。

20

#### 【0264】

絶縁層316を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数ppm程度、濃度数ppb程度まで除去された高純度ガスを用いることが好ましい。

30

#### 【0265】

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第2の加熱処理（好ましくは200℃以上400℃以下、例えば250℃以上350℃以下）を行う。例えば、窒素雰囲気下で250℃、1時間の第2の加熱処理を行う。第2の加熱処理を行うと、酸化物半導体層の一部（チャネル形成領域）が絶縁層316と接した状態で加熱される。

#### 【0266】

以上の工程を経ることによって、成膜後の酸化物半導体膜に対して脱水化または脱水素化のための加熱処理を行って水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的にI型（真性）化する。

40

#### 【0267】

特に、窒素、または希ガス等の不活性ガス雰囲気下で脱水化または脱水素化のための加熱処理を行った場合、加熱処理後の酸化半導体層は低抵抗化するので本実施の形態のように、酸化物半導体層への酸素の供給を絶縁層316と接することによって行う場合は、絶縁層316と接している酸化物半導体層の一部をより選択的に酸素過剰な状態とし、I型のチャネル形成領域として用いることができる。この場合、直接絶縁層316と接しないソース電極層315a又はドレイン電極層315bと重なる酸化物半導体層312の領域は、自己整合的に酸素欠損によってn型化し、高抵抗ソース領域又は高抵抗ドレイン領域として機能しうる。このような構成であるとゲート電極層311とドレイン電極層315b

50

との間に高電界が印加されても高抵抗ドレイン領域がバッファとなり局所的な高電界が印加されず、トランジスタの耐圧を向上させることができる。

【0268】

以上の工程でトランジスタ310が形成される（図14（D）参照。）。

【0269】

また、酸化物絶縁層に欠陥を多く含む酸化シリコン層を用いると、酸化シリコン層形成後の加熱処理によって酸化物半導体層中に含まれる水素、水分、水酸基又は水素化物などの不純物を酸化物絶縁層に拡散させ、酸化物半導体層中に含まれる該不純物をより低減させる効果を奏する。

【0270】

絶縁層316上にさらに保護絶縁層を形成してもよい。例えば、RFスパッタ法を用いて窒化シリコン膜を形成する。RFスパッタ法は、量産性がよいため、保護絶縁層の成膜方法として好ましい。保護絶縁層は、水分や、水素イオンや、OH<sup>-</sup>などの不純物を含まず、これらが外部から侵入することをブロックする無機絶縁膜を用い、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、窒化酸化アルミニウム膜などを用いる。本実施の形態では、保護絶縁層として保護絶縁層306を、窒化シリコン膜を用いて形成する（図14（E）参照。）。

【0271】

本実施の形態では、保護絶縁層306として、絶縁層316まで形成された基板305を100℃～400℃の温度に加熱し、水素及び水分が除去された高純度窒素を含むスパッタガスを導入しシリコン半導体のターゲットを用いて窒化シリコン膜を成膜する。この場合においても、絶縁層316と同様に、処理室内の残留水分を除去しつつ保護絶縁層306を成膜することが好ましい。

【0272】

保護絶縁層の形成後、さらに大気中、100℃以上200℃以下、1時間以上30時間以下の加熱処理を行ってもよい。この加熱処理は一定の加熱温度を保持して加熱してもよいし、室温から、100℃以上200℃の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この加熱処理を、酸化物絶縁層の形成前に、減圧下で行ってもよい。減圧下で加熱処理を行うと、加熱時間を短縮することができる。

【0273】

保護絶縁層306上に平坦化のための平坦化絶縁層を設けてもよい。

【0274】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25 eV未満とすることによって、本実施の形態のpチャネル型トランジスタを得ることができる。

【0275】

従って、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

【0276】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0277】

（実施の形態7）

本実施の形態は、酸化物半導体層を含むトランジスタ、及び作製方法の一例を図15を用いて詳細に説明する。

【0278】

本実施の形態では、トランジスタの作製工程の一部が実施の形態6と異なる例を図15に示す。図15は、図14と工程が一部異なる点以外は同じであるため、同じ箇所には同じ

10

20

30

40

50

符号を用い、同じ箇所の詳細な説明は省略する。

【0279】

実施の形態6に従って、基板370上にゲート電極層381を形成し、第1のゲート絶縁層372a、第2のゲート絶縁層372bを積層する。本実施の形態では、ゲート絶縁層を2層構造とし、第1のゲート絶縁層372aに窒化物絶縁層を、第2のゲート絶縁層372bに酸化物絶縁層を用いる。

【0280】

酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、または酸化アルミニウム層、酸化窒化アルミニウム層、又は酸化ハフニウム層などを用いることができる。また、窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層、又は窒化酸化アルミニウム層などを用いることができる。

10

【0281】

本実施の形態では、ゲート電極層381側から窒化シリコン層と酸化シリコン層とを積層した構造とする。第1のゲート絶縁層372aとしてスパッタリング法により膜厚50nm以上200nm以下（本実施の形態では50nm）の窒化シリコン層（ $\text{SiN}_y$ （ $y > 0$ ））を形成し、第1のゲート絶縁層372a上に第2のゲート絶縁層372bとして膜厚5nm以上300nm以下（本実施の形態では100nm）の酸化シリコン層（ $\text{SiO}_x$ （ $x > 0$ ））を積層して、膜厚150nmのゲート絶縁層とする。

【0282】

次に酸化物半導体膜の形成を行い、酸化物半導体膜をフォトリソグラフィ工程により島状の酸化物半導体層に加工する。本実施の形態では、酸化物半導体膜としてIn-Ga-Zn-O系酸化物半導体ターゲットを用いてスパッタ法により成膜する。

20

【0283】

この場合において、処理室内の残留水分を除去しつつ酸化物半導体膜を成膜することが好ましい。酸化物半導体膜に水素、水酸基又は水分が含まれないようにするためである。

【0284】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水（ $\text{H}_2\text{O}$ ）など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物半導体膜に含まれる不純物の濃度を低減できる。

30

【0285】

酸化物半導体膜を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数ppm程度、濃度数ppb程度まで除去された高純度ガスを用いることが好ましい。

【0286】

次いで、酸化物半導体層の脱水化または脱水素化を行う。脱水化または脱水素化を行う第1の加熱処理の温度は、400℃以上750℃以下、好ましくは425℃以上750℃以下とする。なお、425℃以上であれば加熱処理時間は1時間以下でよいが、425℃未満であれば加熱処理時間は、1時間よりも長時間行うこととする。ここでは、加熱処理装置の一つである電気炉に基板を導入し、酸化物半導体層に対して窒素雰囲気下において加熱処理を行った後、大気に触れることなく、酸化物半導体層への水や水素の再混入を防ぎ、酸化物半導体層を得る。その後、同じ炉に高純度の酸素ガス、高純度の $\text{N}_2\text{O}$ ガス、又は超乾燥エア（露点が-40℃以下、好ましくは-60℃以下）を導入して冷却を行う。酸素ガスまたは $\text{N}_2\text{O}$ ガスに、水、水素などが含まれないことが好ましい。または、加熱処理装置に導入する酸素ガスまたは $\text{N}_2\text{O}$ ガスの純度を、6N（99.9999%）以上、好ましくは7N（99.99999%）以上、（即ち酸素ガスまたは $\text{N}_2\text{O}$ ガス中の不純物濃度を1ppm以下、好ましくは0.1ppm以下）とすることが好ましい。

40

【0287】

50

脱水化または脱水素化処理により水素、水分、水酸基又は水素化物（水素化合物ともいう）などの不純物を酸化物半導体層より意図的に排除し、かつ不純物の排除工程によって同時に減少してしまう酸化物半導体を構成する主成分材料である酸素を供給することによって、酸化物半導体層を高純度化及び電氣的に I 型（真性）化する。

#### 【0288】

なお、加熱処理装置は電気炉に限られず、例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。また、LRTA装置、ランプだけでなく、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。GRTAとは高温のガスを用いて加熱処理を行う方法である。ガスには、アルゴンなどの希ガス、または窒素のような、加熱処理によって被処理物と反応しない不活性気体が用いられる。RTA法を用いて、600℃～750℃で数分間加熱処理を行ってもよい。

10

#### 【0289】

また、脱水化または脱水素化を行う第1の加熱処理後に200℃以上400℃以下、好ましくは200℃以上300℃以下の温度で酸素ガスまたはN<sub>2</sub>Oガス雰囲気下での加熱処理を行ってもよい。

20

#### 【0290】

また、酸化物半導体層の第1の加熱処理は、島状の酸化物半導体層に加工する前の酸化物半導体膜に行うこともできる。その場合には、第1の加熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行う。

#### 【0291】

以上の工程を経ることによって酸化物半導体膜全体を酸素過剰な状態とすることで、高抵抗化、即ちI型化させる。よって、高純度化及び電氣的にI型（真性）化した酸化物半導体層382を得る。

#### 【0292】

次いで、酸化物半導体層382上に、フォトリソグラフィ工程によりレジストマスクを形成し、選択的にエッチングを行ってソース電極層385a、ドレイン電極層385bを形成する。

30

#### 【0293】

ソース電極層385a及びドレイン電極層385b（これと同じ層で形成される配線を含む）に用いる導電体の仕事関数 $\phi_m$ を、 $\phi_m > \chi + E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、正孔はソース電極層385aの導電体から酸化物半導体へ注入され、酸化物半導体を通過してドレイン電極層385bの導電体へ到達する。従ってトランジスタは、pチャネル型トランジスタとして動作することができる。

#### 【0294】

ソース電極層385a及びドレイン電極層385bはスパッタリング法や真空蒸着法で形成すればよい。ソース電極層385a及びドレイン電極層385bの材料としては、例えば、酸化錫（SnO）、LaCuOCh（Ch＝カルコゲン、S、Seなど）、CuAO<sub>2</sub>（A＝B、Al、Ga、Inなど）、SrCu<sub>2</sub>O<sub>2</sub>、NiO、Cu<sub>2</sub>O、CuOなどの金属酸化物を用いることができる。また該金属酸化物の導電性を上げるために、不純物を添加してもよい。例えば、Mgを添加したLaCuOChや、Liを添加したNiOを用いることができる。

40

#### 【0295】

次に、酸化物半導体層382、ソース電極層385a及びドレイン電極層385b上に、スパッタ法で酸化物絶縁層386を形成する。

50

## 【0296】

この場合において、処理室内の残留水分を除去しつつ酸化物絶縁層386を成膜することが好ましい。酸化物半導体層382及び酸化物絶縁層386に水素、水酸基又は水分が含まれないようにするためである。

## 【0297】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水( $H_2O$ )など水素原子を含む化合物等が排気されるため、当該成膜室で成膜した酸化物絶縁層386に含まれる不純物の濃度を低減できる。

10

## 【0298】

酸化物絶縁層386を、成膜する際に用いるスパッタガスは水素、水、水酸基又は水素化物などの不純物が、濃度数ppm程度、濃度数ppb程度まで除去された高純度ガスを用いることが好ましい。

## 【0299】

以上の工程で、トランジスタ380を形成することができる。

## 【0300】

次いで、トランジスタの電気的特性のばらつきを軽減するため、不活性ガス雰囲気下、または窒素ガス雰囲気下で加熱処理（好ましくは150℃以上350℃未満）を行ってもよい。例えば、窒素雰囲気下で250℃、1時間の加熱処理を行う。

20

## 【0301】

酸化物絶縁層386上に保護絶縁層373を形成する。本実施の形態では、保護絶縁層373として、スパッタリング法を用いて膜厚100nmの窒化シリコン膜を形成する。

## 【0302】

窒化物絶縁層からなる保護絶縁層373及び第1のゲート絶縁層372aは、水分や、水素や、水素化物、水酸化物などの不純物を含まず、これらが外部から侵入することをブロックする効果がある。

## 【0303】

従って、保護絶縁層373形成後の製造プロセスにおいて、外部からの水分などの不純物の侵入を防ぐことができる。また、表示パネルを含む半導体装置、例えば液晶表示装置としてデバイスが完成した後にも長期的に、外部からの水分などの不純物の侵入を防ぐことができデバイスの長期信頼性を向上することができる。

30

## 【0304】

また、窒化物絶縁層からなる保護絶縁層373と、第1のゲート絶縁層372aとの間に設けられる絶縁層を除去し、保護絶縁層373と、第1のゲート絶縁層372aとが接する構造としてもよい。

## 【0305】

従って、酸化物半導体層中の水分や、水素や、水素化物、水酸化物などの不純物を究極にまで低減し、かつ該不純物の再混入を防止し、酸化物半導体層中の不純物濃度を低く維持することができる。

40

## 【0306】

保護絶縁層373上に平坦化のための平坦化絶縁層を設けてもよい。

## 【0307】

以上のことから、ソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ が、 $\phi_m > \text{酸化物半導体の電子親和力 } \chi + \text{酸化物半導体のエネルギーギャップ } E_g / 2$ を満たし、かつ正孔に対する障壁 $\phi_{Bp} (\chi + E_g - \phi_m)$ が0.25eV未満とすることによって、本実施の形態のpチャネル型トランジスタを得ることができる。

## 【0308】

従って、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタ

50

を有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

#### 【0309】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

#### 【0310】

(実施の形態8)

トランジスタを作製し、該トランジスタを画素部、さらには駆動回路に用いて表示機能を有する半導体装置（表示装置ともいう）を作製することができる。また、トランジスタを駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

10

#### 【0311】

表示装置は表示素子を含む。表示素子としては液晶素子（液晶表示素子ともいう）、発光素子（発光表示素子ともいう）を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL（Electro Luminescence）、有機EL等が含まれる。また、電子インクなど、電気的作用によりコントラストが変化する表示媒体も適用することができる。

#### 【0312】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

20

#### 【0313】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

30

#### 【0314】

半導体装置の一形態に相当する表示パネルの外観及び断面について、図16（A）（B）を用いて説明する。図16は、トランジスタ、及び表示素子を、第1の基板4001と、第2の基板4006との間にシール材4005によって封止した表示パネルの平面図である。

#### 【0315】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、表示素子と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に単結晶半導体膜又は多結晶半導体膜で形成された信号線駆動回路4003が実装されている。

40

#### 【0316】

なお、別途形成した駆動回路の接続方法は、特に限定されるものではなく、COG方法、ワイヤボンディング方法、或いはTAB方法などを用いることができる。図16（A）は、COG方法により信号線駆動回路4003を実装する例であり、図16（B）は、TAB方法により信号線駆動回路4003を実装する例である。

50

## 【0317】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、トランジスタを複数有しており、上記実施の形態1乃至7で示したpチャネル型トランジスタを用いることができ、実施の形態2で示したCMOS構造も適用することができる。

## 【0318】

本明細書で用いる酸化物半導体層は、N型、P型という定義はあてはまらず、キャリアが通過する通路として機能する。よってnチャネル型トランジスタもpチャネル型トランジスタも同材料のI型（真性）酸化物半導体層を用いて作製することができ、酸化物半導体層と接するソース電極層及びドレイン電極層に用いる導電体の仕事関数 $\phi_m$ を制御することによってnチャネル型トランジスタ、pチャネル型トランジスタを作り分けることができる。従って、nチャネル型トランジスタ及びpチャネル型トランジスタを、ソース電極層及びドレイン電極層のみ材料及び作製工程を異ならせるだけで作製することができ、他のゲート電極層、ゲート絶縁層、酸化物半導体層等は同材料及び同工程で形成することが可能となる。作製工程を複雑化せずにCMOS構造が作製できるために生産性やコストの面で有利である。

## 【0319】

表示素子として、液晶素子を用いる場合、TN液晶、OCB液晶、STN液晶、VA液晶、ECB型液晶、GH液晶、高分子分散型液晶、ディスコティック液晶などを用いることができる。また、配向膜を用いないブルー相を示す液晶を用いてもよい。ブルー相は液晶相の一つであり、コレステリック液晶を昇温していくと、コレステリック相から等方相へ転移する直前に発現する相である。ブルー相は狭い温度範囲でしか発現しないため、温度範囲を改善するために5重量%以上のカイラル剤を混合させた液晶組成物を用いて液晶層に用いる。ブルー相を示す液晶とカイラル剤とを含む液晶組成物は、応答速度が1msec以下と短く、光学的等方性であるため配向処理が不要であり、視野角依存性が小さい。また配向膜を設けなくてもよいのでラビング処理も不要となるため、ラビング処理によって引き起こされる静電破壊を防止することができ、作製工程中の液晶表示装置の不良や破損を軽減することができる。よって液晶表示装置の生産性を向上させることが可能となる。特に、酸化物半導体層を用いる薄膜トランジスタは、静電気の影響により薄膜トランジスタの電氣的な特性が著しく変動して設計範囲を逸脱する恐れがある。よって酸化物半導体層を用いるトランジスタを有する液晶表示装置にブルー相の液晶材料を用いることはより効果的である。

## 【0320】

液晶表示装置には、TN（Twisted Nematic）モード、IPS（In-Plane-Switching）モード、FFS（Fringe Field Switching）モード、ASM（Axially Symmetric aligned Micro-cell）モード、OCB（Optical Compensated Birefringence）モード、FLC（Ferroelectric Liquid Crystal）モード、AFLC（AntiFerroelectric Liquid Crystal）モードなどを用いる。

## 【0321】

また、ノーマリーブラック型の液晶表示装置、例えば垂直配向（VA）モードを採用した透過型の液晶表示装置としてもよい。垂直配向モードとしては、いくつか挙げられるが、例えば、MVA（Multi-Domain Vertical Alignment）モード、PVA（Patterned Vertical Alignment）モード、ASVモードなどを用いることができる。

## 【0322】

また、VA型の液晶表示装置にも適用することができる。VA型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。VA型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。また、画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に

分子を倒すよう工夫されているマルチドメイン化あるいはマルチドメイン設計といわれる方法を用いることができる。

#### 【0323】

また、表示装置において、ブラックマトリクス（遮光層）、偏光部材、位相差部材、反射防止部材などの光学部材（光学基板）などは適宜設ける。例えば、偏光基板及び位相差基板による円偏光を用いてもよい。また、光源としてバックライト、サイドライトなどを用いてもよい。

#### 【0324】

実施の形態1乃至7のトランジスタによって得られるアクティブマトリクス基板を、スイッチング素子と電気的に接続する素子を利用して電子インクを駆動させる電子ペーパーに用いてもよい。電子ペーパーは、電気泳動表示装置（電気泳動ディスプレイ）とも呼ばれており、紙と同じ読みやすさ、他の表示装置に比べ低消費電力、薄くて軽い形状とすることが可能という利点を有している。

#### 【0325】

電気泳動表示装置は、様々な形態が考えられ得るが、プラスの電荷を有する第1の粒子と、マイナスの電荷を有する第2の粒子とを含むマイクロカプセルが溶媒または溶質に複数分散されたものであり、マイクロカプセルに電界を印加することによって、マイクロカプセル中の粒子を互いに反対方向に移動させて一方側に集合した粒子の色のみを表示するのである。なお、第1の粒子または第2の粒子は染料を含み、電界がない場合において移動しないものである。また、第1の粒子の色と第2の粒子の色は異なるもの（無色を含む）とする。

#### 【0326】

このように、電気泳動表示装置は、誘電定数の高い物質が高い電界領域に移動する、いわゆる誘電泳動的効果を利用したディスプレイである。

#### 【0327】

上記マイクロカプセルを溶媒中に分散させたものが電子インクと呼ばれるものであり、この電子インクはガラス、プラスチック、布、紙などの表面に印刷することができる。また、カラーフィルタや色素を有する粒子を用いることによってカラー表示も可能である。

#### 【0328】

なお、マイクロカプセル中の第1の粒子および第2の粒子は、導電体材料、絶縁体材料、半導体材料、磁性材料、液晶材料、強誘電性材料、エレクトロルミネセント材料、エレクトロクロミック材料、磁気泳動材料から選ばれた一種の材料、またはこれらの複合材料を用いればよい。

また、電子ペーパーとして、ツイストボール表示方式を用いる表示装置も適用することができる。ツイストボール表示方式とは、白と黒に塗り分けられた球形粒子を表示素子に用いる電極層である第1の電極層及び第2の電極層の間に配置し、第1の電極層及び第2の電極層に電位差を生じさせて球形粒子の向きを制御することにより、表示を行う方法である。

#### 【0329】

表示素子として、エレクトロルミネッセンスを利用する発光素子を用いた発光表示装置（発光装置）に、実施の形態1乃至7のトランジスタによって得られるアクティブマトリクス基板を用いることができる。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。

#### 【0330】

有機EL素子は、発光素子に電圧を印加することにより、一対の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

## 【0331】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナーアクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。

## 【0332】

以上のように、酸化物半導体を含むpチャネル型トランジスタ、及びnチャネル型トランジスタを有し、その両方の極性を用いた高機能、高信頼性の半導体装置を提供することができる。

10

## 【0333】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

## 【0334】

(実施の形態9)

本明細書に開示する半導体装置は、さまざまな電子機器（遊技機も含む）に適用することができる。電子機器としては、例えば、テレビジョン装置（テレビ、またはテレビジョン受信機ともいう）、コンピュータ用などのモニタ、デジタルカメラ、デジタルビデオカメラ、デジタルフォトフレーム、携帯電話機（携帯電話、携帯電話装置ともいう）、携帯型ゲーム機、携帯情報端末、音響再生装置、パチンコ機などの大型ゲーム機などが挙げられる。

20

## 【0335】

図17(A)は、携帯電話機1600の一例を示している。携帯電話機1600は、筐体1601に組み込まれた表示部1602の他、操作ボタン1603a、1603b、外部接続ポート1604、スピーカ1605、マイク1606などを備えている。

## 【0336】

図17(A)に示す携帯電話機1600は、表示部1602を指などで触れることで、情報を入力することができる。また、電話を掛ける、或いはメールを打つなどの操作は、表示部1602を指などで触れることにより行うことができる。

## 【0337】

表示部1602の画面は主として3つのモードがある。第1は、画像の表示を主とする表示モードであり、第2は、文字等の情報の入力を主とする入力モードである。第3は表示モードと入力モードの2つのモードが混合した表示+入力モードである。

30

## 【0338】

例えば、電話を掛ける、或いはメールを作成する場合は、表示部1602を文字の入力を主とする文字入力モードとし、画面に表示させた文字の入力操作を行えばよい。この場合、表示部1602の画面のほとんどにキーボードまたは番号ボタンを表示させることが好ましい。

## 【0339】

また、携帯電話機1600内部に、ジャイロ、加速度センサ等の傾きを検出するセンサを有する検出装置を設けることで、携帯電話機1600の向き（縦か横か）を判断して、表示部1602の画面表示を自動的に切り替えるようにすることができる。

40

## 【0340】

また、画面モードの切り替えは、表示部1602を触れること、又は筐体1601の操作ボタン1603の操作により行われる。また、表示部1602に表示される画像の種類によって切り替えるようにすることもできる。例えば、表示部に表示する画像信号が動画のデータであれば表示モード、テキストデータであれば入力モードに切り替える。

## 【0341】

また、入力モードにおいて、表示部1602の光センサで検出される信号を検知し、表示部1602のタッチ操作による入力が一定期間ない場合には、画面のモードを入力モード

50

から表示モードに切り替えるように制御してもよい。

#### 【0342】

表示部1602は、イメージセンサとして機能させることもできる。例えば、表示部1602に掌や指を触れることで、掌紋、指紋等を撮像することで、本人認証を行うことができる。また、表示部に近赤外光を発光するバックライトまたは近赤外光を発光するセンシング用光源を用いれば、指静脈、掌静脈などを撮像することもできる。

#### 【0343】

表示部1602には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

10

#### 【0344】

図17(B)も携帯電話機の一例である。図17(B)を一例とした携帯型情報端末は、複数の機能を備えることができる。例えば電話機能に加えて、コンピュータを内蔵し、様々なデータ処理機能を備えることもできる。

#### 【0345】

図17(B)に示す携帯型情報端末は、筐体1800及び筐体1801の二つの筐体で構成されている。筐体1800には、表示パネル1802、スピーカー1803、マイクロフォン1804、ポインティングデバイス1806、カメラ用レンズ1807、外部接続端子1808などを備え、筐体1801には、キーボード1810、外部メモリスロット1811などを備えている。また、アンテナは筐体1801内部に内蔵されている。

20

#### 【0346】

また、表示パネル1802はタッチパネルを備えており、図17(B)には映像表示されている複数の操作キー1805を点線で示している。

#### 【0347】

また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵していてもよい。

#### 【0348】

上記実施の形態に示す半導体装置は、表示パネル1802に用いることができ、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1802と同一面上にカメラ用レンズ1807を備えているため、テレビ電話が可能である。スピーカー1803及びマイクロフォン1804は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1800と筐体1801は、スライドし、図17(B)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

30

#### 【0349】

外部接続端子1808はACアダプタ及びUSBケーブルなどの各種ケーブルと接続可能であり、充電及びパーソナルコンピュータなどとのデータ通信が可能である。また、外部メモリスロット1811に記録媒体を挿入し、より大量のデータ保存及び移動に対応できる。

#### 【0350】

また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。

40

#### 【0351】

図18(A)は、テレビジョン装置の一例を示している。テレビジョン装置9600は、筐体9601に表示部9603が組み込まれている。表示部9603により、映像を表示することが可能である。また、ここでは、スタンド9605により筐体9601を支持した構成を示している。

#### 【0352】

テレビジョン装置9600の操作は、筐体9601が備える操作スイッチや、別体のリモコン操作機9610により行うことができる。リモコン操作機9610が備える操作キー9609により、チャンネルや音量の操作を行うことができ、表示部9603に表示される映像を操作することができる。また、リモコン操作機9610に、当該リモコン操作機

50

９６１０から出力する情報を表示する表示部９６０７を設ける構成としてもよい。

【０３５３】

なお、テレビジョン装置９６００は、受信機やモデムなどを備えた構成とする。受信機により一般のテレビ放送の受信を行うことができ、さらにモデムを介して有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことも可能である。

【０３５４】

表示部９６０３には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

10

【０３５５】

図１８（Ｂ）は、デジタルフォトフレームの一例を示している。例えば、デジタルフォトフレーム９７００は、筐体９７０１に表示部９７０３が組み込まれている。表示部９７０３は、各種画像を表示することが可能であり、例えばデジタルカメラなどで撮影した画像データを表示させることで、通常の写真立てと同様に機能させることができる。

【０３５６】

表示部９７０３には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【０３５７】

なお、デジタルフォトフレーム９７００は、操作部、外部接続用端子（ＵＳＢ端子、ＵＳＢケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成とする。これらの構成は、表示部と同一面に組み込まれていてもよいが、側面や裏面に備えるとデザイン性が向上するため好ましい。例えば、デジタルフォトフレーム９７００の記録媒体挿入部に、デジタルカメラで撮影した画像データを記憶したメモリを挿入して画像データを取り込み、取り込んだ画像データを表示部９７０３に表示させることができる。

20

【０３５８】

また、デジタルフォトフレーム９７００は、無線で情報を送受信できる構成としてもよい。無線により、所望の画像データを取り込み、表示させる構成とすることもできる。

30

【０３５９】

図１９（Ａ）は携帯型遊技機であり、筐体９８８１と筐体９８９１の２つの筐体で構成されており、連結部９８９３により、開閉可能に連結されている。筐体９８８１には表示部９８８２が組み込まれ、筐体９８９１には表示部９８８３が組み込まれている。

【０３６０】

表示部９８８３には、上記実施の形態に示す半導体装置を適用することができ、例えば画素のスイッチング素子として、上記他の実施の形態に示す薄膜トランジスタを複数配置することができる。

【０３６１】

また、図１９（Ａ）に示す携帯型遊技機は、その他、スピーカ部９８８４、記録媒体挿入部９８８６、ＬＥＤランプ９８９０、入力手段（操作キー９８８５、接続端子９８８７、センサ９８８８（力、変位、位置、速度、加速度、角速度、回転数、距離、光、液、磁気、温度、化学物質、音声、時間、硬度、電場、電流、電圧、電力、放射線、流量、湿度、傾度、振動、に問い又は赤外線を測定する機能を含むもの）、マイクロフォン９８８９）等を備えている。もちろん、携帯型遊技機の構成は上述のものに限定されず、少なくとも本明細書に開示する薄膜トランジスタを備えた構成であればよく、その他付属設備が適宜設けられた構成とすることができる。図１９（Ａ）に示す携帯型遊技機は、記録媒体に記録されているプログラム又はデータを読み出して表示部に表示する機能や、他の携帯型遊技機と無線通信を行って情報を共有する機能を有する。なお、図１９（Ａ）に示す携帯型遊技機が有する機能はこれに限定されず、様々な機能を有することができる。

40

50

## 【0362】

また、本明細書に開示する半導体装置は、電子ペーパーとして適用することができる。電子ペーパーは、情報を表示するものであればあらゆる分野の電子機器に用いることが可能である。例えば、電子ペーパーを用いて、電子書籍（電子ブック）、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示等に適用することができる。電子機器の一例を図19（B）に示す。

## 【0363】

図19（B）は、電子書籍の一例を示している。例えば、電子書籍2700は、筐体2701および筐体2703の2つの筐体で構成されている。筐体2701および筐体2703は、軸部2711により一体とされており、該軸部2711を軸として開閉動作を行うことができる。このような構成により、紙の書籍のような動作を行うことが可能となる。

10

## 【0364】

筐体2701には表示部2705が組み込まれ、筐体2703には表示部2707が組み込まれている。表示部2705および表示部2707は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部（図19（B）では表示部2705）に文章を表示し、左側の表示部（図19（B）では表示部2707）に画像を表示することができる。

## 【0365】

また、図19（B）では、筐体2701に操作部などを備えた例を示している。例えば、筐体2701において、電源2721、操作キー2723、スピーカ2725などを備えている。操作キー2723により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子（イヤホン端子、USB端子、またはACアダプタおよびUSBケーブルなどの各種ケーブルと接続可能な端子など）、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍2700は、電子辞書としての機能を持たせた構成としてもよい。

20

## 【0366】

また、電子書籍2700は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

30

## 【0367】

図20は、上記実施の形態を適用して形成される半導体装置の一例である発光装置を、室内の照明装置3001として用いた例である。本明細書に示す発光装置は大面積化も可能であるため、大面積の照明装置として用いることができる。また、上記実施の形態で示した発光装置は、卓上照明器具3002として用いることも可能である。なお、照明器具には天井固定型の照明器具、卓上照明器具の他にも、壁掛け型の照明器具、車内用照明、誘導灯なども含まれる。

## 【0368】

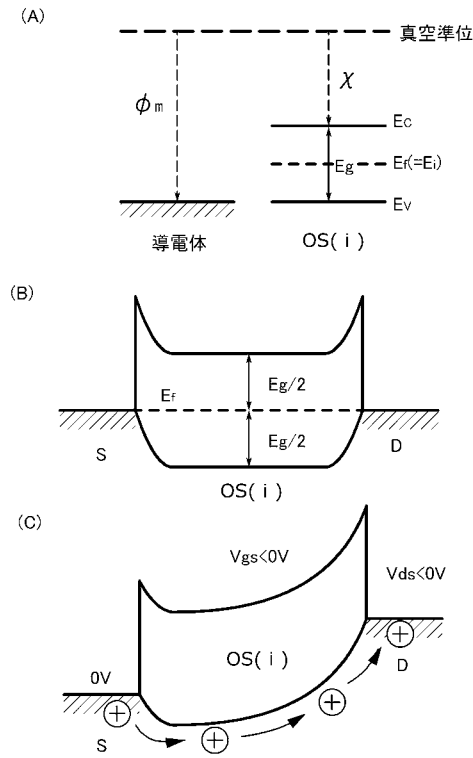
以上のように、実施の形態1乃至8のいずれか一で示した半導体装置は、上記のような様々な電子機器に適用することができ、信頼性の高い電子機器を提供することができる。

40

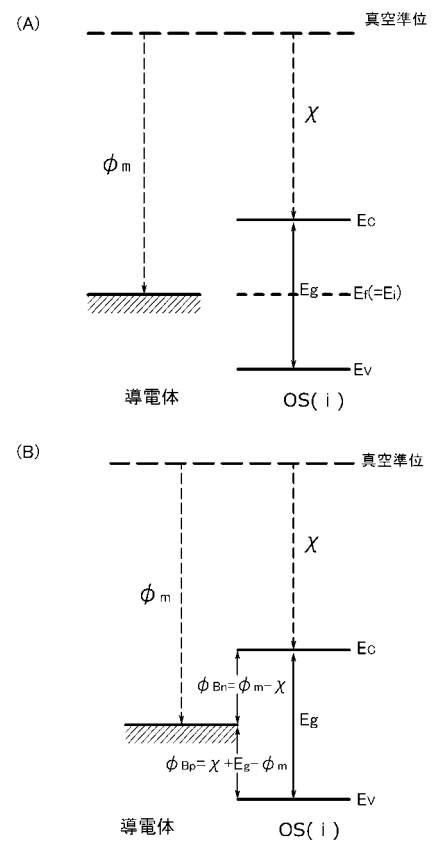
## 【0369】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

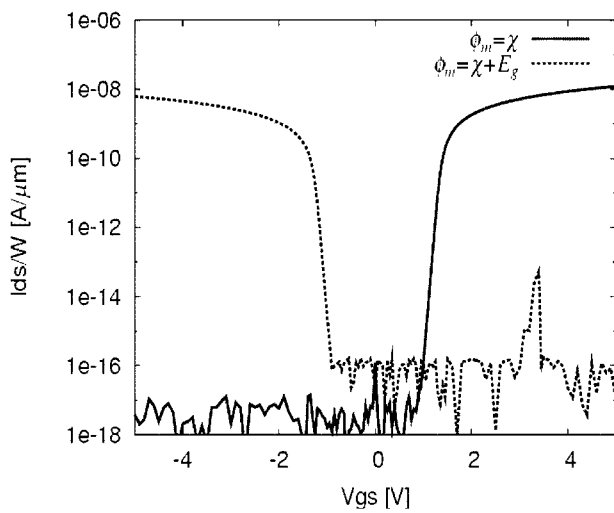
【図 1】



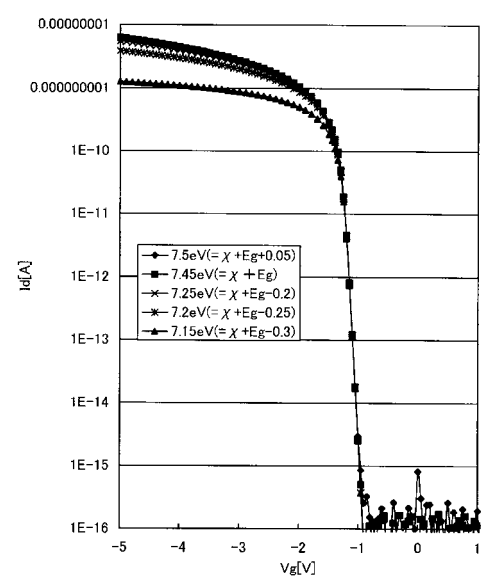
【図 2】



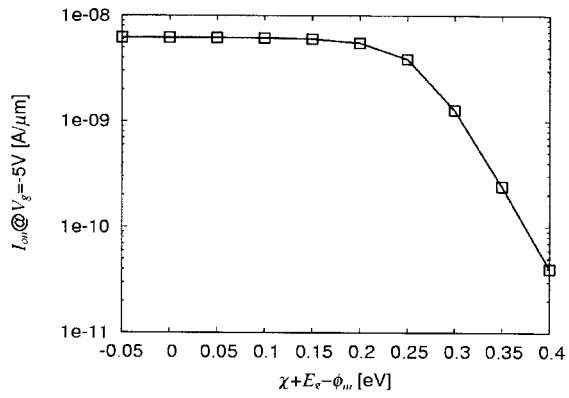
【図 3】



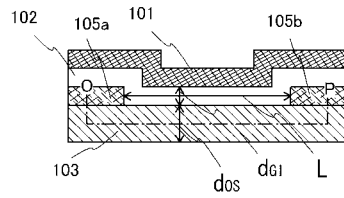
【図 4】



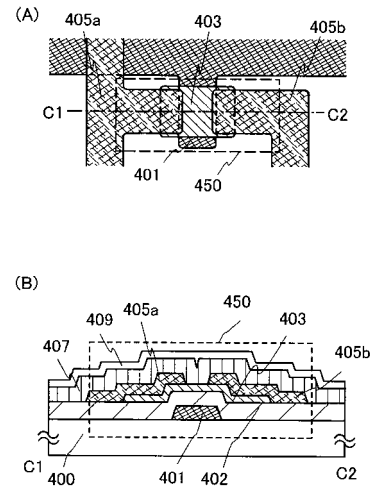
【図 5】



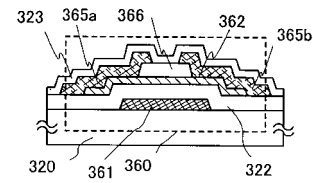
【図 6】



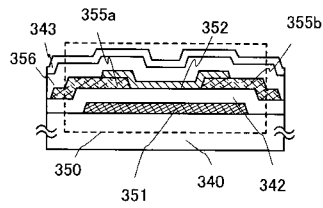
【図 7】



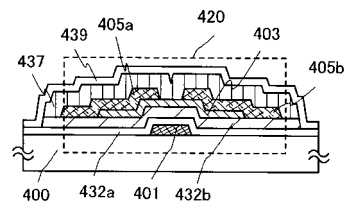
【図 8】



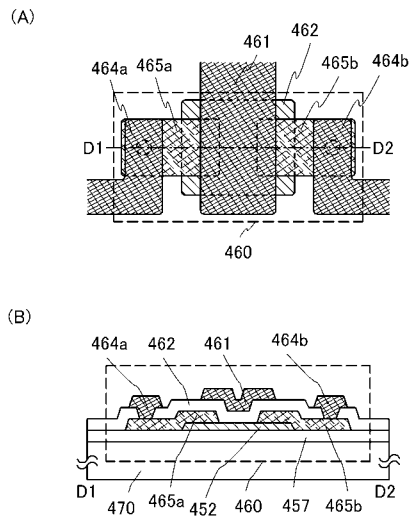
【図 9】



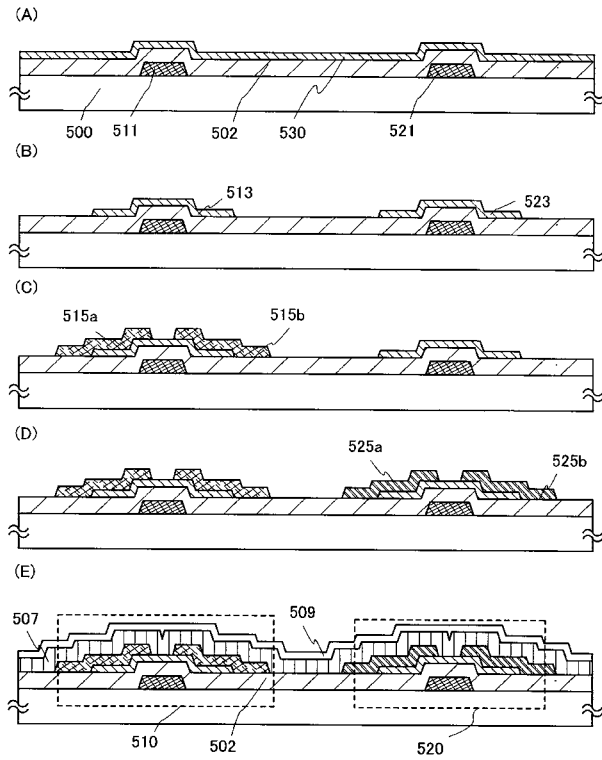
【図 11】



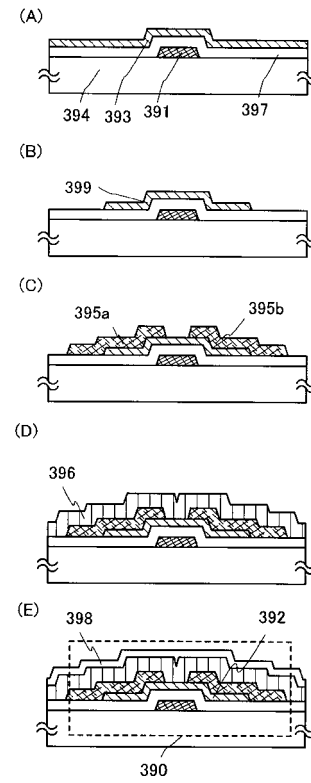
【図 10】



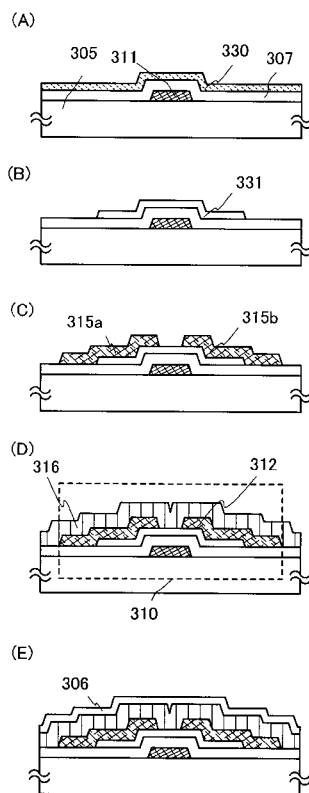
【図 1 2】



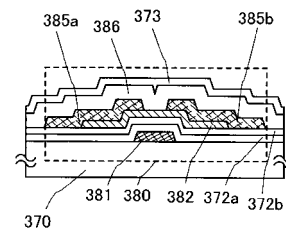
【図 1 3】



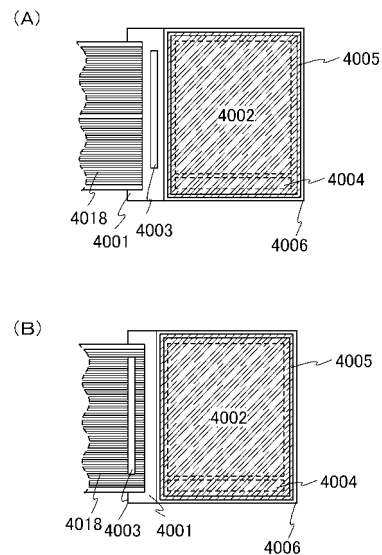
【図 1 4】



【図 1 5】

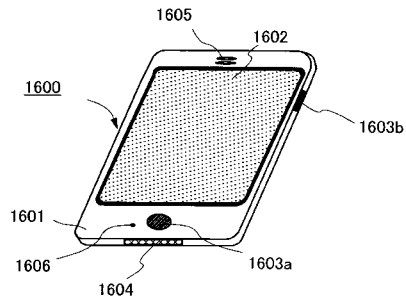


【図 1 6】

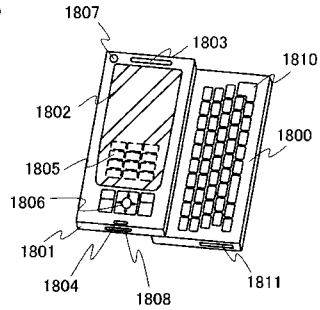


【図 17】

(A)

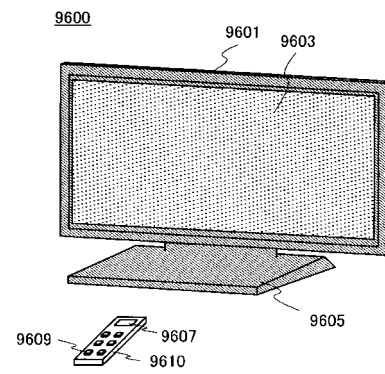


(B)

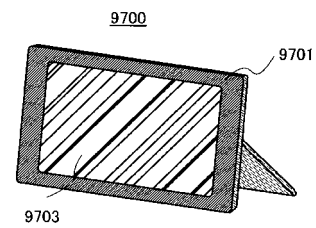


【図 18】

(A)

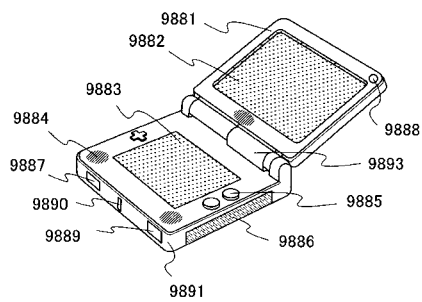


(B)

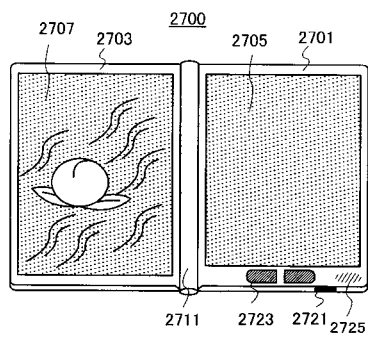


【図 19】

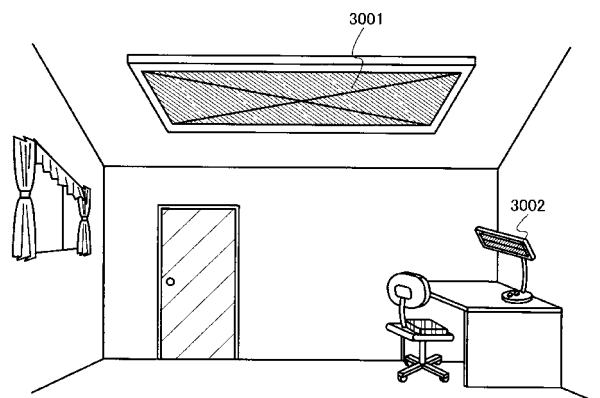
(A)



(B)



【図 20】



---

フロントページの続き

Fターム(参考) 4M104 AA03 AA08 AA09 BB02 BB04 BB13 BB14 BB16 BB17 BB18  
BB36 BB39 CC01 DD34 DD37 FF13 GG08 GG10 GG14 HH20  
5F110 AA06 AA09 AA30 BB01 BB04 CC01 CC03 CC07 DD01 DD02  
DD03 DD04 DD13 DD14 DD15 DD17 EE01 EE02 EE03 EE04  
EE14 EE15 FF01 FF02 FF03 FF04 FF09 FF28 FF30 GG01  
GG06 GG24 GG25 GG28 GG29 GG35 GG43 GG57 GG58 HK01  
HK02 HK03 HK04 HK07 HK17 HK21 HK22 HK32 HK33 HK42  
NN03 NN12 NN22 NN23 NN24 NN34 NN35 NN39 NN40 NN72  
QQ09