



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년04월25일
(11) 등록번호 10-1852193
(24) 등록일자 2018년04월19일

(51) 국제특허분류(Int. Cl.)

G11C 7/10 (2015.01)

(21) 출원번호 10-2011-0090608

(22) 출원일자 2011년09월07일

심사청구일자 2016년06월28일

(65) 공개번호 10-2012-0026001

(43) 공개일자 2012년03월16일

(30) 우선권주장

JP-P-2010-201267 2010년09월08일 일본(JP)

(56) 선행기술조사문헌

JP2009277702 A*

KR1020060065522 A*

US06314017 B1*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

가부시키가이샤 한도오파이 에네루기 켄큐쇼

일본국 가나가와켄 아쓰기시 하세 398

(72) 발명자

오누끼 다즈야

일본 243-0036 가나가와켄 아쓰기시 하세 398 가
부시키가이샤 한도오파이 에네루기 켄큐쇼 내

(74) 대리인

장수길, 박충범, 이중희

전체 청구항 수 : 총 10 항

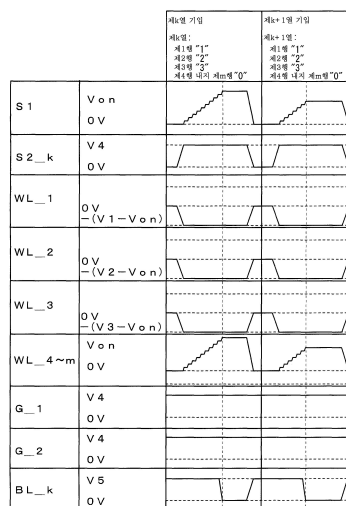
심사관 : 이흥민

(54) 발명의 명칭 반도체 장치의 구동 방법

(57) 요약

신뢰성이 높은 기입 동작을 고속으로 행할 수 있는 반도체 장치의 구동 방법을 제공한다. 다치 기입을 행하는 반도체 장치의 구동 방법에 있어서, 산화물 반도체층을 포함하는 트랜지스터를 사용한 메모리 셀에, 기입을 행하는 기입 트랜지스터의 온 오프를 제어하는 신호선을, 비트선을 따르도록 배치하고, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여 다치 기입을 행한다. 기입을 행하면서 비트선의 전위를 검지함으로써, 기입 베리파이 동작을 행하지 않고, 기입 데이터에 대응한 전위가 플로팅 게이트에 정상으로 부여되었는지를 확인할 수 있다.

대표도 - 도1



명세서

청구범위

청구항 1

반도체 장치의 구동 방법으로서,

상기 반도체 장치는,

소스선과 비트선 사이에 직렬로 접속되는 제1 내지 제 m 메모리 셀들;

게이트 단자가 제1 선택선과 전기적으로 접속되는 제1 선택 트랜지스터; 및

게이트 단자가 제2 선택선과 전기적으로 접속되는 제2 선택 트랜지스터

를 포함하고,

상기 제1 내지 제 m 메모리 셀들 각각은,

제1 신호선과 전기적으로 접속되는 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 포함하고, 반도체 재료를 포함하는 기판에 제공되는 제1 트랜지스터;

제2 신호선과 전기적으로 접속되는 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 포함하고, 산화물 반도체층을 포함하는 제2 트랜지스터; 및

한쪽의 단자가 m 개의 워드선들 중 하나와 전기적으로 접속되는 용량 소자

를 포함하고,

상기 소스선은 상기 제2 선택 트랜지스터를 통하여 상기 제 m 메모리 셀의 상기 제1 소스 단자와 전기적으로 접속되고,

상기 비트선은 상기 제1 선택 트랜지스터를 통하여 상기 제1 메모리 셀의 상기 제1 드레인 단자와 전기적으로 접속되고,

상기 제2 소스 단자, 상기 제1 게이트 단자 및 상기 용량 소자의 다른 쪽의 단자가 서로 전기적으로 접속되어 노드를 형성하며,

상기 방법은,

상기 제2 신호선에 전위를 공급하여 상기 제2 트랜지스터를 온(on)하고, 상기 제1 신호선에 전위를 공급하여 상기 노드에 전위를 공급하는 기입 동작에 있어서, 상기 제1 선택선 및 상기 제2 선택선에 전위를 공급하여 상기 제1 선택 트랜지스터 및 상기 제2 선택 트랜지스터를 온하여, 상기 비트선의 전위를 검출하는 단계

를 포함하는, 반도체 장치의 구동 방법.

청구항 2

반도체 장치의 구동 방법으로서,

상기 반도체 장치는,

소스선과 비트선 사이에 직렬로 접속되는 제1 내지 제 m 메모리 셀들;

게이트 단자가 제1 선택선과 전기적으로 접속되는 제1 선택 트랜지스터; 및

게이트 단자가 제2 선택선과 전기적으로 접속되는 제2 선택 트랜지스터

를 포함하고,

상기 제1 내지 제 m 메모리 셀들 각각은,

제1 신호선과 전기적으로 접속되는 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 포함하고,

반도체 재료를 포함하는 기판에 제공되는 제1 트랜지스터;

제2 신호선과 전기적으로 접속되는 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 포함하고, 산화물 반도체층을 포함하는 제2 트랜지스터; 및

한쪽의 단자가 m 개의 워드선들 중 하나와 전기적으로 접속되는 용량 소자를 포함하고,

상기 소스선은 상기 제2 선택 트랜지스터를 통하여 상기 제 m 메모리 셀의 상기 제1 소스 단자와 전기적으로 접속되고,

상기 비트선은 상기 제1 선택 트랜지스터를 통하여 상기 제1 메모리 셀의 상기 제1 드레인 단자와 전기적으로 접속되고,

상기 제2 소스 단자, 상기 제1 게이트 단자 및 상기 용량 소자의 다른 쪽의 단자는 서로 전기적으로 접속되어 노드를 형성하며,

상기 방법은,

상기 제2 신호선에 전위를 공급하여 상기 제2 트랜지스터를 온하고, 상기 제1 신호선에 전위를 공급하여 상기 노드에 전위를 공급하는 기입 동작에 있어서, 상기 제1 선택선 및 상기 제2 선택선에 전위를 공급하여 상기 제1 선택 트랜지스터 및 상기 제2 선택 트랜지스터를 온하여, 상기 비트선의 전위를 검출하는 단계; 및

상기 비트선과 상기 소스선이 도통한 후, 상기 제2 트랜지스터를 오프하여 상기 기입 동작을 종료하는 단계를 포함하는, 반도체 장치의 구동 방법.

청구항 3

제1항 또는 제2항에 있어서,

상기 노드에 전위를 공급하기 위해 상기 제1 신호선에 인가되는 상기 전위는 단계적으로 상승되는, 반도체 장치의 구동 방법.

청구항 4

제1항 또는 제2항에 있어서,

상기 기입 동작에 있어서, 상기 m 개의 워드선에 복수의 상이한 전위를 인가하여, 상기 제1 내지 제 m 메모리 셀들에 상기 복수의 상이한 전위를 포함시키고,

상기 제2 트랜지스터를 오프한 후, 상기 m 개의 워드선에 대한 전위의 공급을 정지하는, 반도체 장치의 구동 방법.

청구항 5

제1항 또는 제2항에 있어서,

상기 기입 동작 종료 후에 상기 제1 내지 제 m 메모리 셀들에 있어서 상기 노드에 유지되는 전위는 상이한 복수의 전위를 포함하는, 반도체 장치의 구동 방법.

청구항 6

반도체 장치의 구동 방법으로서,

상기 반도체 장치는,

제1 선과 제2 선 사이에 직렬로 접속되는 제1 메모리 셀 및 제2 메모리 셀을 포함하고,

상기 제1 메모리 셀 및 상기 제2 메모리 셀 각각은,

게이트 단자, 제1 단자, 및 제2 단자를 포함하는 제1 트랜지스터;

게이트 단자, 제1 단자, 및 제2 단자를 포함하고, 산화물 반도체를 포함하는 반도체층을 포함하는 제2 트랜지스터; 및

제1 단자가 상기 제1 트랜지스터의 상기 게이트 단자 및 상기 제2 트랜지스터의 상기 제1 단자와 전기적으로 접속되어 노드를 형성하는 용량 소자

를 포함하고,

상기 제1 선은 상기 제1 메모리 셀에서의 상기 제1 트랜지스터의 상기 제1 단자와 전기적으로 접속되고,

상기 제1 메모리 셀에서의 상기 제1 트랜지스터의 상기 제2 단자는 상기 제2 메모리 셀에서의 상기 제1 트랜지스터의 상기 제1 단자와 전기적으로 접속되며,

상기 제2 선은 제3 트랜지스터를 통하여 상기 제2 메모리 셀에서의 상기 제1 트랜지스터의 상기 제2 단자와 전기적으로 접속되고,

상기 방법은,

상기 제2 트랜지스터를 온하고, 상기 노드에 전위가 공급되는 기입 동작에 있어서, 상기 제3 트랜지스터를 온하여 상기 제1 선의 전위를 검출하는 단계

를 포함하는, 반도체 장치의 구동 방법.

청구항 7

제6항에 있어서,

상기 노드에 공급되는 상기 전위는 단계적으로 상승되는, 반도체 장치의 구동 방법.

청구항 8

제1항, 제2항, 및 제6항 중 어느 한 항에 있어서,

상기 제2 트랜지스터를 오프하여 상기 노드의 상기 전위를 유지하는, 반도체 장치의 구동 방법.

청구항 9

제6항에 있어서,

상기 제1 메모리 셀에서의 상기 용량 소자의 제2 단자 및 상기 제2 메모리 셀에서의 상기 용량 소자의 제2 단자는 제3 선과 제4 선과 각각 전기적으로 접속되고,

상기 기입 동작에 있어서, 상기 제3 선과 상기 제4 선에 상이한 전위를 인가하여, 상기 제1 메모리 셀 및 상기 제2 메모리 셀에 상이한 전위를 포함시키고,

상기 제2 트랜지스터를 오프한 후, 상기 제3 선과 상기 제4 선에 대한 전위의 공급을 정지하는, 반도체 장치의 구동 방법.

청구항 10

제9항에 있어서,

상기 기입 동작 종료 후에 상기 제1 메모리 셀 및 상기 제2 메모리 셀에 있어서 상기 노드에 유지되는 전위는 복수의 상이한 전위를 포함하는, 반도체 장치의 구동 방법.

청구항 11

삭제

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

발명의 설명

기술 분야

[0001] 개시하는 발명은, 반도체 소자를 이용한 반도체 장치 및 그 구동 방법에 관한 것이다.

배경 기술

[0002] 반도체 소자를 이용한 기억 장치는, 전력의 공급이 없어지면 기억 내용이 상실되는 휘발성의 것과, 전력의 공급이 없어져도 기억 내용은 유지되는 불휘발성의 것으로 크게 구별된다.

[0003] 휘발성 기억 장치의 대표적인 예로서는, DRAM(Dynamic Random Access Memory)이 있다. DRAM은, 기억 소자를 구성하는 트랜지스터를 선택하여 용량 소자에 전하를 축적함으로써, 정보를 기억한다.

[0004] 상술한 원리로부터, DRAM에서는, 정보를 판독하면 용량 소자의 전하는 상실되기 때문에, 정보의 판독마다, 다시 기입 동작이 필요하게 된다. 또한, 기억 소자를 구성하는 트랜지스터에 있어서는 오프 상태에서의 소스와 드레인간의 누설 전류(오프 전류) 등에 의해, 트랜지스터가 선택되어 있지 않은 상황에서도 전하가 유출 또는 유입되기 때문에, 데이터의 유지 기간이 짧다. 이로 인해, 소정의 주기로 다시 기입 동작(리프레시 동작)이 필요하여, 소비 전력을 충분히 저감시키는 것은 곤란하다. 또한, 전력의 공급이 없어지면 기억 내용이 상실되기 때문에, 장기간의 기억의 유지에는, 자성 재료나 광학 재료를 이용한 다른 기억 장치가 필요하게 된다.

[0005] 휘발성 기억 장치의 다른 예로서는 SRAM(Static Random Access Memory)이 있다. SRAM은, 플립플롭 등의 회로를 사용하여 기억 내용을 유지하기 때문에, 리프레시 동작이 불필요하여, 이 점에서는 DRAM보다 유리하다. 그러나, 플립플롭 등의 회로를 사용하고 있기 때문에, 기억 용량당의 단가가 높아진다는 문제가 있다. 또한, 전력의 공급이 없어지면 기억 내용이 상실된다고 하는 점에 대해서는, DRAM과 마찬가지로이다.

[0006] 불휘발성 기억 장치의 대표예로서는, 플래시 메모리가 있다. 플래시 메모리는, 트랜지스터의 게이트 전극과 채널 형성 영역 사이에 플로팅 게이트를 갖고, 당해 플로팅 게이트에 전하를 유지시킴으로써 기억을 행하기 때문에, 데이터의 유지 기간은 지극히 길고(반 영구적), 휘발성 기억 장치에서 필요한 리프레시 동작이 불필요하다는 이점을 갖고 있다(예를 들어, 특허문헌 1 참조).

[0007] 그러나, 기입 시에 발생하는 터널 전류에 의해 기억 소자를 구성하는 게이트 절연층이 열화되기 때문에, 소정 횟수의 기입에 의해 기억 소자가 기능하지 않게 된다는 수명의 문제가 발생한다. 이 문제의 영향을 완화시키기 위하여, 예를 들어 각 기억 소자의 기입 횟수를 균일화하는 방법이 채용되지만, 이것을 실현하기 위해서는 복잡한 주변 회로가 필요하게 되어 버린다. 그리고, 이러한 방법을 채용해도 근본적인 수명의 문제가 해소되는 것은 아니다. 즉, 플래시 메모리는, 정보의 재기입 빈도가 높은 용도에는 부적합하다.

[0008] 또한, 플로팅 게이트에 전하를 주입시키기 위하여 또는 그 전하를 제거하기 위해서는, 높은 전압이 필요하고, 또한 그를 위한 회로도 필요하다. 따라서, 소비 전력이 크다는 문제가 있다. 또한, 전하의 주입 또는 제거를 위해서는 비교적 오랜 시간을 필요로 하여, 기입, 소거의 고속화가 용이하지 않다는 문제도 있다.

[0009] 상기 플래시 메모리에 있어서는, 기억 용량을 증대시키기 위해서, 1개의 메모리 셀 중 2단계보다 큰 데이터를 기억시키는, 「다치」의 플래시 메모리가 제안되어 있다(예를 들어, 특허문헌 2 참조).

[0010] 또한, 다치 메모리에 있어서, 메모리 셀에 대한 데이터의 기입 상태를 고정밀도로 제어하기 위해서, 기입 동작 후에 메모리 셀의 기입 상태를 검출하는 「기입 베리파이 동작」이 행해지고 있다(예를 들어, 특허문헌 3 참조).

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 일본 특허 공개 소57-105889호 공보
- (특허문헌 0002) 일본 특허 공개 평11-25682호 공보
- (특허문헌 0003) 일본 특허 공개 평10-214492호 공보

발명의 내용

해결하려는 과제

- [0012] 그러나, 상기 다치 메모리에서는, 기억의 대용량화에 수반하여, 다종의 다른 전압값을 사용하기 때문에, 필요로 하는 회로도 증가하여, 반도체 장치의 대형화나 고비용을 초래한다는 문제가 있다.
- [0013] 또한, 상기 기입 베리파이 동작은, 기입에 필요로 하는 시간을 용장화해 버린다.
- [0014] 상술한 문제를 감안하여, 개시하는 발명의 일 형태에서는, 신뢰성이 높은 기입 동작을 고속으로 행할 수 있는 반도체 장치의 구동 방법을 제공하는 것을 목적의 하나로 한다.
- [0015] 개시하는 발명의 일 형태에서는, 전력이 공급되지 않는 상황에서도 기억 내용의 유지가 가능하고, 또한 기입 횟수에도 제한이 없는, 새로운 구조의 반도체 장치를 제공하는 것을 목적의 하나로 한다.
- [0016] 개시하는 발명의 일 형태에서는, 새로운 구조에 의해 반도체 장치의 간략화를 도모하여, 단위 면적당의 기억 용량을 증가시키는 것도 목적의 하나로 한다.

과제의 해결 수단

- [0017] 본 명세서에 개시하는 다치 기입을 행하는 반도체 장치 및 상기 반도체 장치의 구동 방법은, 산화물 반도체층을 포함하는 트랜지스터를 사용한 메모리 셀에, 기입을 행하는 기입 트랜지스터의 온 오프(on/off)를 제어하는 신호선을, 비트선을 따르도록 배치하고, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여, 다치 기입을 행한다.
- [0018] 산화물 반도체층을 포함하는 트랜지스터를 사용한 다치 메모리에 있어서, 기입하고 싶은 데이터에 맞추어, 적절한 전위를 메모리의 용량 소자에 부여하면서 기입을 행함으로써, 기입 전압을 변화시키지 않고, 기입 데이터에 대응한 전위를 플로팅 게이트에 부여할 수 있다. 즉, 기입 데이터에 대응한 기입 전압을 준비하지 않아도, 메모리의 용량 소자에 부여하는 전압을 제어함으로써, 다치 기입을 행할 수 있다. 따라서, 기입 전압을 제어하는 회로를 생략할 수 있기 때문에, 회로 구성을 간략화할 수 있다.
- [0019] 또한, 기입을 행하면서 비트선의 전위를 검지함으로써, 기입 베리파이 동작을 행하지 않고, 기입 데이터에 대응한 전위가 플로팅 게이트에 정상으로 부여되었는지를 확인할 수 있다. 따라서, 개시하는 발명에 관한 반도체 장치의 동작 방법에 있어서는, 신뢰성이 높은 기입을 고속으로 행할 수 있다.
- [0020] 노드를 구성하여 전위를 유지하는 메모리 셀에 사용하는 트랜지스터로서는, 오프 전류를 충분히 작게 할 수 있는 재료, 예를 들어 와이드 갭 반도체 재료(보다 구체적으로는, 예를 들어 에너지 갭 E_g 가 3eV보다 큰 반도체 재료)를 반도체층으로서 갖는 트랜지스터를 사용한다. 트랜지스터의 오프 전류를 충분히 작게 할 수 있는 반도체 재료를 사용함으로써, 장기간에 걸쳐 전위를 유지하는 것이 가능하다. 이러한 와이드 갭 반도체 재료 중 1개에 산화물 반도체 재료가 있다. 본 명세서에 개시하는 반도체 장치에 있어서는, 산화물 반도체 재료를 사용한 산화물 반도체층을 포함하는 트랜지스터를 적절하게 사용할 수 있다.
- [0021] 본 명세서에 개시하는 반도체 장치의 구동 방법의 일 형태는, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제 m 메모리 셀과, 게이트 단자가 제1 선택선과 전기적으로 접속된 제1 선택 트랜지스터와, 게이트 단자가 제2 선택선과 전기적으로 접속된 제2 선택 트랜지스터를 갖고, 제1 내지 제 m 메모리 셀은 각각, 제1 신호선과 전기적으로 접속하는 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 반도체 재료를 포함하는 기판에 설치된 제1 트랜지스터와, 제2 신호선과 전기적으로 접속하는 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 산화물 반도체층을 포함하여 구성된 제2 트랜지스터와, m 개의 워드선 중 어느 1개와 한쪽의 단자가 전기적으로 접속하는 용량 소자를 갖고, 소스선은, 제2 선택 트랜지스터를 통하여, 제 m 메모리 셀의 제1 소스

단자와 전기적으로 접속되고, 비트선은, 제1 선택 트랜지스터를 통하여, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제2 소스 단자와, 제1 게이트 단자와, 용량 소자의 단자의 다른 쪽이 전기적으로 접속하여 노드를 구성하는 반도체 장치의 구동 방법이며, 제2 신호선에 전위를 공급하여 제2 트랜지스터를 온하고, 제1 신호선에 전위를 공급하여 노드에 전위를 공급하는 기입 동작에 있어서, 제1 선택선 및 제2 선택선에 전위를 공급하여 제1 선택 트랜지스터 및 제2 선택 트랜지스터를 온하고, 비트선의 전위를 검출한다.

[0022] 본 명세서에 개시하는 반도체 장치의 구동 방법의 일 형태는, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제 m 메모리 셀과, 게이트 단자가 제1 선택선과 전기적으로 접속된 제1 선택 트랜지스터와, 게이트 단자가 제2 선택선과 전기적으로 접속된 제2 선택 트랜지스터를 갖고, 제1 내지 제 m 메모리 셀은 각각, 제1 신호선과 전기적으로 접속하는 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 반도체 재료를 포함하는 기판에 설치된 제1 트랜지스터와, 제2 신호선과 전기적으로 접속하는 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 산화물 반도체층을 포함하여 구성된 제2 트랜지스터와, m 개의 워드선 중 어느 1개와 한쪽의 단자가 전기적으로 접속하는 용량 소자를 갖고, 소스선은, 제2 선택 트랜지스터를 통하여, 제 m 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 비트선은, 제1 선택 트랜지스터를 통하여, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제2 소스 단자와, 제1 게이트 단자와, 용량 소자의 단자의 다른 쪽이 전기적으로 접속하여 노드를 구성하는 반도체 장치의 구동 방법이며, 제2 신호선에 전위를 공급하여 제2 트랜지스터를 온하고, 제1 신호선에 전위를 공급하여 노드에 전위를 공급하는 기입 동작에 있어서, 제1 선택선 및 제2 선택선에 전위를 공급하여 제1 선택 트랜지스터 및 제2 선택 트랜지스터를 온하고, 비트선의 전위를 검출하고, 비트선과 소스선이 도통한 후, 제2 트랜지스터를 오프하고, 기입 동작을 종료한다.

[0023] 본 명세서에 개시하는 반도체 장치의 구동 방법의 일 형태는, 소스선과, 비트선과, m 개의 워드선과, 제1 신호선과, 제2 신호선과, 제1 선택선과, 제2 선택선과, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제 m 메모리 셀과, 게이트 단자가 제1 선택선과 전기적으로 접속된 제1 선택 트랜지스터와, 게이트 단자가 제2 선택선과 전기적으로 접속된 제2 선택 트랜지스터를 갖고, 제1 내지 제 m 메모리 셀은 각각, 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 제1 트랜지스터와, 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 제2 트랜지스터와, 용량 소자를 갖고, 제1 트랜지스터는 반도체 재료를 포함하는 기판에 설치되고, 제2 트랜지스터는 산화물 반도체층을 포함하여 구성되고, 소스선은, 제2 선택 트랜지스터를 통하여, 제 m 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 비트선은, 제1 선택 트랜지스터를 통하여, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제1 신호선은, 제2 드레인 단자와 전기적으로 접속되고, 제2 신호선은, 제2 게이트 단자와 전기적으로 접속되고, 제1(1은 2 이상 m 이하의 자연수) 메모리 셀의 제1 드레인 단자는, 제(1-1) 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 제 k (k 는 1 이상 m 이하의 자연수)의 워드선은, 제 k 메모리 셀의 용량 소자의 단자의 한쪽과 전기적으로 접속되고, 제 k 메모리 셀의 제2 소스 단자는, 제 k 메모리 셀의 제1 게이트 단자와, 제 k 메모리 셀의 용량 소자의 단자의 다른 쪽과 전기적으로 접속되고, 제2 소스 단자와, 제1 게이트 단자와, 용량 소자의 단자의 다른 쪽이 전기적으로 접속하여 노드를 구성하고, 제2 신호선에 전위를 공급하여 제2 트랜지스터를 온하고, 제1 신호선에 전위를 공급하여 노드에 전위를 공급하는 기입 동작에 있어서, 제1 선택선 및 제2 선택선에 전위를 공급하여 제1 선택 트랜지스터 및 제2 선택 트랜지스터를 온하고, 비트선의 전위를 검출한다.

[0024] 본 명세서에 개시하는 반도체 장치의 구동 방법의 다른 일 형태는, 소스선과, 비트선과, m 개의 워드선과, 제1 신호선과, 제2 신호선과, 제1 선택선과, 제2 선택선과, 소스선과 비트선 사이에, 직렬로 접속된 제1 내지 제 m 메모리 셀과, 게이트 단자가 제1 선택선과 전기적으로 접속된 제1 선택 트랜지스터와, 게이트 단자가 제2 선택선과 전기적으로 접속된 제2 선택 트랜지스터를 갖고, 제1 내지 제 m 메모리 셀은 각각, 제1 게이트 단자, 제1 소스 단자 및 제1 드레인 단자를 갖는 제1 트랜지스터와, 제2 게이트 단자, 제2 소스 단자 및 제2 드레인 단자를 갖는 제2 트랜지스터와, 용량 소자를 갖고, 제1 트랜지스터는 반도체 재료를 포함하는 기판에 설치되고, 제2 트랜지스터는 산화물 반도체층을 포함하여 구성되고, 소스선은, 제2 선택 트랜지스터를 통하여, 제 m 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 비트선은, 제1 선택 트랜지스터를 통하여, 제1 메모리 셀의 제1 드레인 단자와 전기적으로 접속되고, 제1 신호선은, 제2 드레인 단자와 전기적으로 접속되고, 제2 신호선은, 제2 게이트 단자와 전기적으로 접속되고, 제1(1은 2 이상 m 이하의 자연수)의 메모리 셀의 제1 드레인 단자는, 제(1-1) 메모리 셀의 제1 소스 단자와 전기적으로 접속되고, 제 k (k 는 1 이상 m 이하의 자연수)의 워드선은, 제 k 메모리 셀의 용량 소자의 단자의 한쪽과 전기적으로 접속되고, 제 k 메모리 셀의 제2 소스 단자는, 제 k 메모리 셀의 제1 게이트 단자와, 제 k 메모리 셀의 용량 소자의 단자의 다른 쪽과 전기적으로 접속되고, 제2 소스 단자와, 제1 게이트 단자와, 용량 소자의 단자의 다른 쪽이 전기적으로 접속하여 노드를 구성하고, 제2 신호선에 전위를 공급하여 제2 트랜지스터를 온하고, 제1 신호선에 전위를 공급하여 노드에 전위를 공급하는 기입 동작에

있어서, 제1 선택선 및 제2 선택선에 전위를 공급하여 제1 선택 트랜지스터 및 제2 선택 트랜지스터를 온하고, 비트선의 전위를 검출하고, 비트선과 소스선이 도통한 후, 제2 트랜지스터를 오프하고, 기입 동작을 종료한다. 제2 트랜지스터를 오프함으로써 노드에 전위를 유지할 수 있다.

- [0025] 상기 구성에 있어서, 노드에 전위를 공급하기 위하여 제1 신호선에 부여하는 전위는 단계적으로 상승시키는 것이 바람직하다.
- [0026] 또한, 기입 동작에 있어서, m 개의 워드선에 부여하는 전위는, 제1 내지 제 m 메모리 셀에 있어서 상이한 복수의 전위를 포함하는 임의의 전위로 하고, 제2 트랜지스터를 오프한 후, m 개의 워드선에 대한 전위의 공급을 정지함으로써, 기입 동작 종료 후에 노드에 유지되는 전위를 제1 내지 제 m 메모리 셀에 있어서, 상이한 복수의 전위를 포함시킬 수 있다.
- [0027] 상기 구성에 있어서, 제1 트랜지스터는, 반도체 재료를 포함하는 기관에 형성된 채널 형성 영역과, 채널 형성 영역을 사이에 두도록 형성된 불순물 영역과, 채널 형성 영역 위의 제1 게이트 절연층과, 채널 형성 영역과 중첩하고, 제1 게이트 절연층 위에 형성된 제1 게이트 전극을 갖는 구성으로 해도 좋다.
- [0028] 또한, 본 명세서 등에 있어서 「상」이나 「하」의 용어는, 구성 요소의 위치 관계가 「바로 위」 또는 「바로 아래」인 것을 한정하는 것이 아니다. 예를 들어, 「게이트 절연층 위의 게이트 전극」의 표현이면, 게이트 절연층과 게이트 전극 사이에 다른 구성 요소를 포함하는 것을 제외하지 않는다. 또한, 「상」 「하」의 용어는 설명의 편의를 위하여 사용하는 표현에 지나지 않는다.
- [0029] 또한, 본 명세서 등에 있어서 「전극」이나 「배선」의 용어는, 이들의 구성 요소를 기능적으로 한정하는 것이 아니다. 예를 들어, 「전극」은 「배선」의 일부로서 사용되는 경우가 있고, 그의 반대도 또한 마찬가지이다. 또한, 「전극」이나 「배선」의 용어는, 복수의 「전극」이나 「배선」이 일체로 되어 형성되어 있는 경우 등도 포함한다.
- [0030] 또한, 「소스」나 「드레인」의 기능은, 다른 극성의 트랜지스터를 채용하는 경우나, 회로 동작에 있어서 전류의 방향이 변화하는 경우 등에는 교체되는 경우가 있다. 이로 인해, 본 명세서에 있어서는, 「소스」나 「드레인」의 용어는, 교체하여 사용할 수 있는 것으로 한다.
- [0031] 또한, 본 명세서 등에 있어서, 「전기적으로 접속」에는, 「어떠한 전기적 작용을 갖는 것」을 통하여 접속되어 있는 경우가 포함된다. 여기서, 「어떠한 전기적 작용을 갖는 것」은, 접속 대상간에서의 전기 신호의 수신을 가능하게 하는 것이면, 특별히 제한을 받지 않는다. 예를 들어, 「어떠한 전기적 작용을 갖는 것」에는, 전극이나 배선을 비롯하여, 트랜지스터 등의 스위칭 소자, 저항 소자, 인덕터, 용량 소자, 그 밖의 각종 기능을 갖는 소자 등이 포함된다.

발명의 효과

- [0032] 산화물 반도체층을 포함하는 트랜지스터를 사용한 다치 메모리에 있어서, 기입하고 싶은 데이터에 맞추어, 적절한 전위를 메모리의 용량 소자에 부여하면서 기입을 행함으로써, 기입 전압을 변화시키지 않고, 기입 데이터에 대응한 전위를 플로팅 게이트에 부여할 수 있다. 따라서, 기입 전압을 제어하는 회로를 생략할 수 있기 때문에, 회로 구성을 간략화할 수 있다.
- [0033] 기입을 행하면서 비트선의 전위를 검지함으로써, 기입 배리파이 동작을 행하지 않고, 기입 데이터에 대응한 전위가 플로팅 게이트에 정상으로 부여되었는지를 확인할 수 있다. 따라서, 개시하는 발명에 관한 반도체 장치의 동작 방법에 있어서는, 신뢰성이 높은 기입을 고속으로 행할 수 있다.
- [0034] 산화물 반도체를 사용한 트랜지스터는 오프 전류가 지극히 작기 때문에, 이것을 사용함으로써 지극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프레시 동작이 불필요하게 되거나, 또는 리프레시 동작의 빈도를 지극히 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감할 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도, 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0035] 또한, 개시하는 발명에 관한 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않고, 소자의 열화의 문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에 대한 전자의 주입이나, 플로팅 게이트로부터의 전자의 인발을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제되고 있는 재기입 가능 횟수에 제한은 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의

기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다고 하는 장점도 있다.

[0036] 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하기 때문에, 이것을, 산화물 반도체를 사용한 트랜지스터와 조합하여 사용함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적절하게 실현하는 것이 가능하다.

[0037] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(보다 광의로는, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 사용한 트랜지스터(보다 광의로는, 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다.

도면의 간단한 설명

[0038] 도 1은 반도체 장치의 타이밍차트도.

도 2는 반도체 장치의 회로도.

도 3은 반도체 장치의 회로도.

도 4는 반도체 장치의 회로도.

도 5는 반도체 장치의 회로도.

도 6은 반도체 장치의 타이밍차트도.

도 7은 반도체 장치의 타이밍차트도.

도 8은 반도체 장치의 타이밍차트도.

도 9는 반도체 장치의 단면도 및 평면도.

도 10은 반도체 장치의 제작 공정에 관한 단면도.

도 11은 반도체 장치의 제작 공정에 관한 단면도.

도 12는 반도체 장치의 제작 공정에 관한 단면도.

도 13은 반도체 장치의 제작 공정에 관한 단면도.

도 14는 반도체 장치를 사용한 전자 기기를 설명하기 위한 도면.

도 15는 반도체 장치의 단면도.

도 16은 반도체 장치의 단면도.

도 17은 반도체 장치의 제작 공정에 관한 단면도.

도 18은 반도체 장치의 회로도.

발명을 실시하기 위한 구체적인 내용

[0039] 개시하는 발명의 실시 형태의 일례에 대해서, 도면을 사용하여 이하에 설명한다. 단, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위로부터 이탈하지 않고 그 형태 및 상세를 다양하게 변경할 수 있는 것은 당업자라면 용이하게 이해된다. 따라서, 본 발명은 이하에 기재하는 실시 형태의 기재 내용에 한정하여 해석되는 것이 아니다.

[0040] 또한, 도면 등에 있어서 나타내는 각 구성의, 위치, 크기, 범위 등은, 이해의 간단화를 위하여, 실제의 위치, 크기, 범위 등을 나타내고 있지 않은 경우가 있다. 이로 인해, 개시하는 발명은, 반드시 도면 등에 개시된 위치, 크기, 범위 등에 한정되지 않는다.

[0041] 또한, 본 명세서 등에 있어서의 「제1」, 「제2」, 「제3」 등의 서수사는, 구성 요소의 혼동을 피하기 위하여 붙이는 것이며, 수적으로 한정하는 것이 아님을 부기한다.

[0042] (실시 형태 1)

- [0043] 본 실시 형태에서는, 개시하는 발명의 일 형태에 관한 반도체 장치의 회로 구성 및 동작에 대해서, 도 1 내지 도 8을 참조하여 설명한다. 또한, 회로도에 있어서는, 산화물 반도체를 사용한 트랜지스터인 것을 나타내기 위해서, OS의 부호를 아울러 부여하는 경우가 있다.
- [0044] 본 실시 형태의 반도체 장치 및 반도체 장치의 구동 방법은, 메모리 셀에 기입을 행하는 기입 트랜지스터의 온 오프를 제어하는 신호선을, 비트선을 따르도록 배치하고, 판독 동작 시에 용량 소자에 부여하는 전압을 기입 시에도 이용하여, 다치 기입을 행한다.
- [0045] 처음에, 기본적인 회로 구성 및 그 동작에 대해서, 도 18을 참조하여 설명한다. 도 18의 (a)-1에 도시된 반도체 장치에 있어서, 제1 배선(1st Line)과 트랜지스터(160)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되고, 제2 배선(2nd Line)과 트랜지스터(160)의 드레인 전극(또는 소스 전극)은 전기적으로 접속되어 있다. 또한, 제3 배선(3rd Line)과 트랜지스터(162)의 소스 전극(또는 드레인 전극)은 전기적으로 접속되고, 제4 배선(4th Line)과, 트랜지스터(162)의 게이트 전극은 전기적으로 접속되어 있다. 그리고, 트랜지스터(160)의 게이트 전극과, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 용량 소자(164)의 전극의 한쪽과 전기적으로 접속되고, 제5 배선(5th Line)과, 용량 소자(164)의 전극의 다른 쪽은 전기적으로 접속되어 있다.
- [0046] 여기서, 트랜지스터(162)에는, 예를 들어 산화물 반도체를 사용한 트랜지스터가 적용된다. 산화물 반도체를 사용한 트랜지스터는, 오프 전류가 지극히 작다는 특징을 갖고 있다. 이로 인해, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극의 전위를 지극히 장시간에 걸쳐 유지하는 것이 가능하다. 그리고, 용량 소자(164)를 가짐으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하의 유지가 용이해지고, 또한 유지된 정보의 판독이 용이해진다.
- [0047] 또한, 트랜지스터(160)에 대해서는 특별히 한정되지 않는다. 정보의 판독 속도를 향상시킨다는 관점에서는, 예를 들어 단결정 실리콘을 사용한 트랜지스터 등, 스위칭 속도가 높은 트랜지스터를 적용하는 것이 적합하다.
- [0048] 또한, 도 18의 (b)에 도시한 바와 같이, 용량 소자(164)를 설치하지 않은 구성으로 하는 것도 가능하다.
- [0049] 도 18의 (a)-1에 도시된 반도체 장치에서는, 트랜지스터(160)의 게이트 전극의 전위가 유지 가능해지는 특징을 살림으로써, 다음과 같이 정보의 기입, 유지, 판독이 가능하다.
- [0050] 처음에, 정보의 기입 및 유지에 대하여 설명한다. 우선, 제4 배선의 전위를, 트랜지스터(162)가 온 상태로 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위가, 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 부여된다. 즉, 트랜지스터(160)의 게이트 전극에는, 소정의 전하가 부여된다(기입). 여기에서는, 다른 2개의 전위를 부여하는 전하(이하, 저전위를 부여하는 전하를 전하(Q_L), 고전위를 부여하는 전하를 전하(Q_H)라고 한다) 중 어느 1개가 부여되는 것으로 한다. 또한, 다른 3개 또는 그 이상의 전위를 부여하는 전하를 적용하여, 기억 용량을 향상시켜도 좋다. 그 후, 제4 배선의 전위를, 트랜지스터(162)가 오프 상태로 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하가 유지된다(유지).
- [0051] 트랜지스터(162)의 오프 전류는 지극히 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다.
- [0052] 이어서, 정보의 판독에 대하여 설명한다. 제1 배선에 소정의 전위(정전위)를 부여한 상태에서, 제5 배선에 적절한 전위(판독 전위)를 부여하면, 트랜지스터(160)의 게이트 전극에 유지된 전하량에 따라, 제2 배선은 다른 전위를 취한다. 일반적으로, 트랜지스터(160)를 n 채널형으로 하면, 트랜지스터(160)의 게이트 전극에 Q_H 가 부여되어 있는 경우의 걸보기의 임계값($V_{th,H}$)은, 트랜지스터(160)의 게이트 전극에 Q_L 이 부여되어 있는 경우의 걸보기의 임계값($V_{th,L}$)보다 낮아지기 때문이다. 여기서, 걸보기의 임계값이란, 트랜지스터(160)를 「온 상태」로 하기 위하여 필요한 제5 배선의 전위를 말하는 것으로 한다. 따라서, 제5 배선의 전위를 $V_{th,H}$ 와 $V_{th,L}$ 의 중간의 전위(V_0)로 함으로써, 트랜지스터(160)의 게이트 전극에 부여된 전하를 판별할 수 있다. 예를 들어, 기입에 있어서 Q_H 가 부여된 경우에는, 제5 배선의 전위가 $V_0(>V_{th,H})$ 이 되면, 트랜지스터(160)는 「온 상태」로 된다. Q_L 이 부여된 경우에는, 제5 배선의 전위가 $V_0(<V_{th,L})$ 이 되어도, 트랜지스터(160)는 「오프 상태」인 채이다. 이로 인해, 제2 배선의 전위를 봄으로써, 유지되고 있는 정보를 판독할 수 있다.
- [0053] 또한, 메모리 셀을 어레이 형상으로 배치하여 사용하는 경우에는, 원하는 메모리 셀의 정보만을 판독할 수 있는

것이 필요하게 된다. 이와 같이, 소정의 메모리 셀의 정보를 판독하고, 그 이외의 메모리 셀의 정보를 판독하지 않는 경우에는, 판독의 대상이 아닌 메모리 셀의 제5 배선에 대하여, 게이트 전극의 상태에 관계 없이 트랜지스터(160)가 「오프 상태」로 되는 전위, 즉 V_{thH} 보다 작은 전위를 부여하면 된다. 또는, 게이트 전극의 상태에 관계없이 트랜지스터(160)가 「온 상태」로 되는 전위, 즉 V_{thL} 보다 큰 전위를 제5 배선에 부여하면 된다.

[0054] 이어서, 정보의 재기입에 대하여 설명한다. 정보의 재기입은, 상기 정보의 기입 및 유지와 마찬가지로 행해진다. 즉, 제4 배선의 전위를, 트랜지스터(162)가 온 상태로 되는 전위로 하고, 트랜지스터(162)를 온 상태로 한다. 이에 의해, 제3 배선의 전위(새로운 정보에 관한 전위)가, 트랜지스터(160)의 게이트 전극 및 용량 소자(164)에 부여된다. 그 후, 제4 배선의 전위를, 트랜지스터(162)가 오프 상태로 되는 전위로 하고, 트랜지스터(162)를 오프 상태로 함으로써, 트랜지스터(160)의 게이트 전극은, 새로운 정보에 관한 전하가 부여된 상태로 된다.

[0055] 이와 같이, 개시하는 발명에 관한 반도체 장치는, 다시 정보의 기입에 의해 직접 정보를 재기입하는 것이 가능하다. 이 때문에 플래시 메모리 등에 있어서 필요하게 되는 고전압을 사용한 플로팅 게이트로부터의 전하의 인발이 불필요해서, 소거 동작에 기인하는 동작 속도의 저하를 억제할 수 있다. 즉, 반도체 장치의 고속 동작이 실현된다.

[0056] 또한, 트랜지스터(162)의 드레인 전극(또는 소스 전극)은, 트랜지스터(160)의 게이트 전극과 전기적으로 접속됨으로써, 불휘발성 메모리 소자로서 사용되는 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 발휘한다. 본 명세서에 있어서, 트랜지스터(162)의 드레인 전극(또는 소스 전극)과 트랜지스터(160)의 게이트 전극이 전기적으로 접속되는 부위를 플로팅 게이트(노드 FG)라고 칭한다. 트랜지스터(162)가 오프인 경우, 당해 노드 FG는 절연체 내에 매설되었다고 볼 수 있고, 노드 FG에는 전하가 유지된다. 산화물 반도체를 사용한 트랜지스터(162)의 오프 전류는, 실리콘 반도체 등으로 형성되는 트랜지스터의 10만분의 1 이하이기 때문에, 트랜지스터(162)의 누설에 의한, 노드 FG에 축적된 전하의 소실을 무시하는 것이 가능하다. 즉, 산화물 반도체를 사용한 트랜지스터(162)에 의해, 전력의 공급이 없어도 정보의 유지가 가능한 불휘발성의 기억 장치를 실현하는 것이 가능하다.

[0057] 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류가 10zA(1zA(zepto 암페어)는 1×10^{-21} A) 이하이고, 용량 소자(164)의 용량값이 10fF 정도인 경우에는, 적어도 10^4 초 이상의 데이터 유지가 가능하다. 또한, 당해 유지 시간이, 트랜지스터 특성이나 용량값에 따라 변동하는 것은 말할 필요도 없다.

[0058] 또한, 개시하는 발명의 반도체 장치에 있어서는, 종래의 플로팅 게이트형 트랜지스터에 있어서 지적되고 있는 게이트 절연막(터널 절연막)의 열화라는 문제가 존재하지 않는다. 즉, 종래 문제되었던, 전자를 플로팅 게이트에 주입할 때의 게이트 절연막의 열화라는 문제를 해소할 수 있다. 이것은, 원리적인 기입 횟수의 제한이 존재하지 않는 것을 의미하는 것이다. 또한, 종래의 플로팅 게이트형 트랜지스터에 있어서 기입이나 소거 시에 필요한 고전압도 불필요하다.

[0059] 도 18의 (a)-1에 도시된 반도체 장치는, 당해 반도체 장치를 구성하는 트랜지스터 등의 요소가 저항 및 용량을 포함하는 것으로서, 도 18의 (a)-2와 같이 생각하는 것이 가능하다. 즉, 도 18의 (a)-2에서는, 트랜지스터(160) 및 용량 소자(164)가, 각각, 저항 및 용량을 포함하여 구성된다고 생각하게 된다. R1 및 C1은, 각각, 용량 소자(164)의 저항값 및 용량값이며, 저항값 R1은, 용량 소자(164)를 구성하는 절연층에 의한 저항값에 상당한다. 또한, R2 및 C2는, 각각, 트랜지스터(160)의 저항값 및 용량값이며, 저항값 R2는 트랜지스터(160)가 온 상태일 때의 게이트 절연층에 의한 저항값에 상당하고, 용량값 C2는 소위 게이트 용량(게이트 전극과, 소스 전극 또는 드레인 전극 사이에 형성되는 용량 및 게이트 전극과 채널 형성 영역 사이에 형성되는 용량)의 용량값에 상당한다.

[0060] 트랜지스터(162)가 오프 상태에 있는 경우의 소스 전극과 드레인 전극의 사이의 저항값(실효 저항이라고도 칭한다)을 R_{OS} 로 하면, 트랜지스터(162)의 게이트 누설 전류가 충분히 작은 조건에 있어서, R1 및 R2가, $R1 \geq R_{OS}$, $R2 \geq R_{OS}$ 를 만족시키는 경우에는, 전하의 유지 기간(정보의 유지 기간이라고 할 수도 있다)은, 주로 트랜지스터(162)의 오프 전류에 의해 결정되게 된다.

[0061] 반대로 당해 조건을 만족하지 않는 경우에는, 트랜지스터(162)의 오프 전류가 충분히 작아도, 유지 기간을 충분히 확보하는 것이 곤란해진다. 트랜지스터(162)의 오프 전류 이외의 누설 전류(예를 들어, 트랜지스터(160)에 있어서의 소스 전극과 게이트 전극 사이에서 발생하는 누설 전류 등)가 크기 때문이다. 이것으로부터, 본 실시

형태에 있어서 개시하는 반도체 장치는, $R1 \geq ROS$ 및 $R2 \geq ROS$ 의 관계를 만족시키는 것이 바람직하다고 할 수 있다.

[0062] 한편, C1과 C2는, $C1 \geq C2$ 의 관계를 만족하는 것이 바람직하다. C1을 크게 함으로써, 제5 배선에 의해 노드 FG의 전위를 제어할 때에 제5 배선의 전위를 효율적으로 노드 FG에 부여할 수 있게 되어, 제5 배선에 부여하는 전위간(예를 들어, 판독의 전위와, 비판독의 전위)의 전위차를 낮게 억제할 수 있기 때문이다.

[0063] 이와 같이, 상술한 관계를 만족함으로써, 보다 적합한 반도체 장치를 실현하는 것이 가능하다. 또한, R1 및 R2는, 트랜지스터(160)의 게이트 절연층이나 용량 소자(164)의 절연층에 의해 제어된다. C1 및 C2에 대해서도 마찬가지이다. 따라서, 게이트 절연층의 재료나 두께 등을 적절히 설정하여, 상술한 관계를 만족하도록 하는 것이 바람직하다.

[0064] 본 실시 형태에서 기재하는 반도체 장치에 있어서는, 노드 FG가, 플래시 메모리 등의 플로팅 게이트형 트랜지스터의 플로팅 게이트와 동등한 작용을 하지만, 본 실시 형태의 노드 FG는, 플래시 메모리 등의 플로팅 게이트와 본질적으로 다른 특징을 갖고 있다.

[0065] 플래시 메모리에서는, 컨트롤 게이트에 인가되는 전위가 높기 때문에, 그 전위가, 인접하는 셀의 플로팅 게이트에 영향을 주지 않도록, 셀과 셀의 간격을 어느 정도 유지할 필요가 발생한다. 이것은, 반도체 장치의 고집적화를 저해하는 요인 중 하나이다. 그리고, 당해 요인은, 고전계를 가하여 터널 전류를 발생시킨다는 플래시 메모리의 근본적인 원리에 기인하는 것이다.

[0066] 한편, 본 실시 형태에 관한 반도체 장치는, 산화물 반도체를 사용한 트랜지스터의 스위칭에 의해 동작하고, 상술한 바와 같은 터널 전류에 의한 전하 주입의 원리를 사용하지 않는다. 즉, 플래시 메모리와 같은, 전하를 주입하기 위한 고전계가 불필요하다. 이에 의해, 인접 셀에 대한, 컨트롤 게이트에 의한 고전계의 영향을 고려할 필요가 없기 때문에, 고집적화가 용이해진다.

[0067] 또한, 고전계가 불필요하고, 대형 주변 회로(승압 회로 등)가 불필요한 점도, 플래시 메모리에 대한 이점이다. 예를 들어, 본 실시 형태에 관한 메모리 셀에 인가되는 전압(메모리 셀의 각 단자에 동시에 인가되는 전위의 최대의 것과 최소의 것의 차)의 최대값은, 2단계(1비트)의 정보를 기입하는 경우, 1개의 메모리 셀에 있어서, 5V 이하, 바람직하게는 3V 이하로 할 수 있다.

[0068] 또한, 용량 소자(164)를 구성하는 절연층의 비유전율 $\epsilon r1$ 과, 트랜지스터(160)를 구성하는 절연층의 비유전율 $\epsilon r2$ 를 상이하게 하는 경우에는, 용량 소자(164)를 구성하는 절연층의 면적 S1과, 트랜지스터(160)에 있어서 게이트 용량을 구성하는 절연층의 면적 S2가 $2 \cdot S2 \geq S1$ (바람직하게는 $S2 \geq S1$)을 만족하면서, $C1 \geq C2$ 를 실현하는 것이 용이하다. 즉, 용량 소자(164)를 구성하는 절연층의 면적을 작게 하면서, $C1 \geq C2$ 를 실현하는 것이 용이하다. 구체적으로는, 예를 들어 용량 소자(164)를 구성하는 절연층에 있어서는, 산화하프늄 등의 high-k 재료로 이루어지는 막 또는 산화하프늄 등의 high-k 재료로 이루어지는 막과 산화물 반도체로 이루어지는 막의 적층 구조를 채용하고 $\epsilon r1$ 을 10 이상, 바람직하게는 15 이상으로 하고, 게이트 용량을 구성하는 절연층에 있어서는, 산화실리콘을 채용하고, $\epsilon r2=3$ 내지 4로 할 수 있다.

[0069] 이와 같은 구성을 맞추어 사용함으로써, 개시하는 발명에 관한 반도체 장치의, 한층 더한 고집적화가 가능하다.

[0070] 또한, 반도체 장치의 기억 용량을 크게 하기 위해서는, 고집적화 이외에, 다식화의 방법을 채용할 수도 있다. 예를 들어, 메모리 셀 중 1개에 3단계 이상의 정보를 기입하는 구성으로 함으로써 2단계(1비트)의 정보를 기입하는 경우와 비교하여 기억 용량을 증대시킬 수 있다. 예를 들어, 상술한 바와 같은, 저전위를 부여하는 전하(Q_L), 고전위를 부여하는 전하(Q_H) 외에, 다른 전위를 부여하는 전하(Q)를 제1 트랜지스터의 게이트 전극에 부여함으로써 다식화를 실현할 수 있다. 이 경우, 비교적 규모가 큰 회로 구성을 채용해도 충분한 기억 용량을 확보할 수 있다.

[0071] 이어서, 도 18에 도시된 회로를 응용하는 보다 구체적인 회로 구성 및 동작에 대해서, 도 1 내지 도 8을 참조하여 설명한다.

[0072] 도 2는, 세로 m개(행)×가로 n개(열)의 메모리 셀(190)을 갖는 반도체 장치의 회로도 일례이다. 도 2 중의 메모리 셀(190)의 구성은, 도 18의 (a)-1과 마찬가지이다. 즉, 도 18의 (a)-1에서의 제1 배선이 도 2에서의 비트선(BL)에 상당하고, 도 18의 (a)-1에서의 제2 배선이 도 2에서의 소스선(SL)에 상당하고, 도 18의 (a)-1에서의 제3 배선이 도 2에서의 제1 신호선(S1)에 상당하고, 도 18의 (a)-1에서의 제4 배선이 도 2에서의 제2 신호선(S2)에 상당하고, 도 18의 (a)-1에서의 제5 배선이 도 2에서의 워드선(WL)에 상당한다. 단, 도 2에서는, 메모

리 셀(190)이 트랜지스터(160)에 있어서 열방향으로 직렬로 접속되므로, 제1행째의 메모리 셀(190)만 다른 메모리 셀(190)을 통하지 않고 비트선(BL)과 접속되고, 제 m 행째의 메모리 셀(190)만 다른 메모리 셀(190)을 통하지 않고 소스선(SL)과 접속된다. 다른 행의 메모리 셀(190)은, 동일한 열의 다른 메모리 셀(190)을 통하여 비트선(BL) 및 소스선(SL)과 전기적으로 접속된다.

[0073] 도 2에 도시하는 반도체 장치는, m 개(m 은 2 이상의 정수)의 워드선(WL)과, n 개(n 은 2 이상의 정수)의 비트선(BL)과, 제1 신호선(S1)과, n 개의 제2 신호선(S2)과, 메모리 셀(190)이 세로 m 개(행) $\times$ 가로 n 개(열)의 매트릭스 형상으로 배치된 메모리 셀 어레이와, 소스선(SL)과, 선택선(G₁) 및 선택선(G₂)과, 선택선(G₁)을 따라 비트선(BL)과 제1행째의 메모리 셀(190) 사이에 배치되고, 선택선(G₁)과 게이트 전극에 있어서 전기적으로 접속된 n 개의 선택 트랜지스터(180)와, 선택선(G₂)을 따라 제 m 행째의 메모리 셀(190)과 소스선(SL) 사이에 배치되고, 선택선(G₂)과 게이트 전극에 있어서 전기적으로 접속된 n 개의 선택 트랜지스터(182)를 갖는다.

[0074] 즉, 비트선(BL)은, 선택 트랜지스터(180)를 통하여 제1행째의 메모리 셀(190)의 트랜지스터(160)의 드레인 전극과 전기적으로 접속된다. 또한, 소스선(SL)은, 선택 트랜지스터(182)를 통하여 제 m 행째의 메모리 셀(190)의 트랜지스터(160)의 소스 전극과 전기적으로 접속된다. 또한, 제1 신호선(S1)은, 모든 트랜지스터(162)의 드레인 전극과 전기적으로 접속되고, 제 k 열째(k 는 1 이상 n 이하의 자연수)의 신호선(S2 _{k})은, 제 k 열째의 메모리 셀(190)의 트랜지스터(162)의 게이트 전극과 전기적으로 접속되고, 제 k 행째의 워드선(WL)은, 제 k 행째의 메모리 셀(190)의 용량 소자(164)의 전극의 한쪽과 전기적으로 접속된다.

[0075] 또한, 제2 신호선(S2)은 비트선과 평행하고, 인접하는 메모리 셀(190)의 트랜지스터(162)와 전기적으로 접속하고 있다.

[0076] 도 2에 도시하는 반도체 장치의 제 k 행째의 메모리 셀(190)의 노드 FG는, 도 18의 (a)-1에 도시된 구성과 동등하다. 여기서, 제 k 행째에 있어서, 산화물 반도체를 사용한 트랜지스터(162)는, 오프 전류가 지극히 작으므로, 도 2에 도시하는 반도체 장치의 메모리 셀(190)에 있어서도, 도 18의 (a)-1에 도시된 반도체 장치와 마찬가지로, 트랜지스터(162)를 오프 상태로 함으로써, 노드 FG의 전위를 지극히 장시간에 걸쳐 유지하는 것이 가능하다.

[0077] 또한, 메모리 셀(190)의 트랜지스터(162)의 게이트 전극을, 비트선과 평행한 제2 신호선(S2)과 전기적으로 접속함으로써, 용량 소자(164)에 부여하는 전압을 이용하여 기입 동작을 행하는 것이 가능하게 된다. 따라서, 메모리 셀(190)에 다치의 정보를 기입하는 경우에도, 기입 데이터에 대응시켜 트랜지스터(162)의 드레인 전극에 인가하는 전압을 바꿀 필요가 없게 되기 때문에, 기입 전압을 제어하는 회로 등, 주변 회로를 생략할 수 있다.

[0078] 또한, 선택선(G₁), 선택선(G₂), 선택 트랜지스터(180) 및 선택 트랜지스터(182)는 반드시 설치하지 않아도 되므로, 선택선(G₁) 및 선택 트랜지스터(180) 또는 선택선(G₂) 및 선택 트랜지스터(182) 중 어느 1조를 생략하는 것이 가능하다. 예를 들어, 도 3에 도시한 바와 같이, 상기 선택선(G₂)에 해당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 할 수도 있다.

[0079] 또한, 도 4에 도시한 바와 같이, 인접하는 메모리 셀(190)의 트랜지스터(162)의 소스 전극과 드레인 전극을 직렬로 접속시켜도 좋다. 이 경우도, 선택선(G₁), 선택선(G₂), 선택 트랜지스터(180) 및 선택 트랜지스터(182)는 반드시 설치하지 않아도 되므로, 선택선(G₁) 및 선택 트랜지스터(180) 또는 선택선(G₂) 및 선택 트랜지스터(182) 중 어느 1조를 생략하는 것이 가능하다. 예를 들어 도 5에 도시한 바와 같이, 상기 선택선(G₂)에 해당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 할 수도 있다.

[0080] 도 5에 도시하는 반도체 장치에 있어서, 데이터의 기입, 유지 및 판독은, 기본적으로 도 18의 경우와 마찬가지로 이다. 단, 데이터의 기입은 열마다 행해진다. 어느 한 메모리 셀(190)의 트랜지스터(162)의 게이트 전극은, 제2 신호선(S2)을 통하여 인접하는 메모리 셀(190)의 트랜지스터(162)의 게이트 전극과 접속되어 있으므로, 메모리 셀(190)마다의 기입 동작이 어렵게 되기 때문이다. 구체적인 기입의 동작의 일례로서, 노드 FG에 전위 V1, V2, V3 또는 기준 전위(GND)(VDD>V3>V2>V1>GND=0V) 중 어느 1개를 부여하는 경우에 대하여 설명하지만, 노드 FG에 부여하는 전위의 관계는 이것에 한정되지 않는다. 또한, 노드 FG에 전위 V1, V2, V3을 부여한 경우에 유지되는 데이터를 각각 데이터 "1", "2", "3", 노드 FG에 기준 전위(GND)를 부여한 경우에 유지되는 데이터를 데이터 "0"으로 한다.

[0081] 우선, 데이터를 기입하고 싶은 열의 각 메모리 셀(190)의 용량 소자(164)에, 기입하는 데이터에 맞추어, 전위를 부여한다. 동일한 열의 제2 신호선(S2)에 V4(충분히 높은 전위, 예를 들어 VDD)를 부여하고, 데이터를 기입하고 싶은 메모리 셀(190)의 OS 트랜지스터인 트랜지스터(162)를 온시켜 기입을 행한다. 또한, 제1 신호선(S1)으로부터, 트랜지스터(162)를 통하여 노드 FG에 전하를 주입하기 위하여 사용하는 기입 전압은 Von으로 한다. 여

기서 Von은, 비트선에 연결되어 있는 판독 선택 트랜지스터(180)의 임계값 전압보다 충분히 높은 전압으로 한다.

- [0082] 메모리 셀(190)에 데이터 "0"을 기입하는 경우에는 용량 소자(164)에 Von을 부여하고, 메모리 셀(190)에 데이터 "1"을 기입하는 경우에는 용량 소자(164)에 $-(V1-Von)$ 을 부여하고, 메모리 셀(190)에 데이터 "2"를 기입하는 경우에는 용량 소자(164)에 $-(V2-Von)$ 을 부여하고, 메모리 셀(190)에 데이터 "3"을 기입하는 경우에는 용량 소자(164)에 $-(V3-Von)$ 을 부여한다. 이때, 용량 소자(164)에 어느 전압이 인가되어 있어도, 기입 시의 노드 FG에는 전압 Von이 부여된다.
- [0083] 이때, 데이터 "1"을 기입하는 경우에 용량 소자(164)에 GND를 부여하여 기입을 행하도록 하면, 주변 회로를 더 간략화할 수 있다. 바꿔 말하면, $V1=Von$ 으로 함으로써, 조정해야 하는 전압을 1개 저감시킬 수 있어, 주변 회로를 간략화할 수 있다.
- [0084] 데이터의 유지는, 유지 대상의 메모리 셀(190)에 접속되는 제2 신호선(S2)의 전위를 GND로 함으로써 행해진다. 제2 신호선(S2)의 전위를 GND로 고정하면, 노드 FG의 전위는 기입 시의 전위로 고정된다. 즉, 기입이 행해진 메모리 셀(190)에서는, 용량 소자(164)에 각 기입 데이터에 대응하는 전위가 부여되고 있는 상태에서, 노드 FG의 전위는 Von으로 되어 있다. 따라서, 노드 FG에 전위 Von을 부여하고, 플로팅으로 한 후에 용량 소자(164)의 전위를 GND로 하면, "1" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V1로 되고, "2" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V2로 되고, "3" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 V3으로 되고, "0" 기입을 행한 메모리 셀(190)의 노드 FG의 전위는 기준 전위(GND)로 된다.
- [0085] 또한, 제2 신호선(S2)에는 GND가 부여되고 있기 때문에, 데이터 "0 내지 3" 중 어느 하나가 기입된 경우에도, 트랜지스터(162)는 오프 상태로 된다. 트랜지스터(162)의 오프 전류는 지극히 작기 때문에, 트랜지스터(160)의 게이트 전극의 전하는 장시간에 걸쳐 유지된다. 이상과 같이, 임의의 열의 기입이 완료된다.
- [0086] 데이터의 판독은, 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 GND, $-(V1-Von)$, $-(V2-Von)$ 로부터 선택하고, 또한 판독 대상이 아닌 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 Von으로 하고, 또한 선택선(G₁) 및 선택선(G₂)의 전위를 V4로 함으로써 행해진다.
- [0087] 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 GND로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에 데이터 "1", "2", "3"이 부여되어 있는 경우, 트랜지스터(160)는 온 상태로 된다. 한편, 노드 FG에 데이터 "0"인 GND가 부여되어 있으면, 트랜지스터(160)는 오프 상태로 된다.
- [0088] 마찬가지로, 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 $-(V1-Von)$ 로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에 데이터 "2" 또는 "3"이 부여되어 있는 경우 트랜지스터(160)는 온 상태로 되고, 데이터 "0" 또는 "1"이 부여되어 있는 경우 트랜지스터(160)는 오프 상태로 된다. 판독 대상의 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 $-(V2-Von)$ 로 하면, 판독 대상의 메모리 셀(190)의 노드 FG에 데이터 "3"이 부여되어 있는 경우만 트랜지스터(160)는 온 상태로 되고, 데이터 "0" 또는 "1" 또는 "2"가 부여되어 있는 경우 트랜지스터(160)는 오프 상태로 된다.
- [0089] 또한, 판독 대상이 아닌 메모리 셀(190)에 접속되는 워드선(WL)의 전위를 Von으로 하면, 판독 대상이 아닌 메모리 셀(190)에 데이터 "0"이 기입되어 있는 경우 및 데이터 "1", "2", "3"이 기입되어 있는 경우, 모두 트랜지스터(160)는 온 상태로 된다.
- [0090] 또한, 도 2에 관한 구성에서는, 임의의 메모리 셀(190)마다 기입을 행할 수는 없어, 열 단위의 재기입이 필요하게 된다. 그 이유는, 기입이 열 단위로 행해지는 이유와 동일하다. 즉, 어떤 메모리 셀(190)의 OS 트랜지스터인 트랜지스터(162)의 게이트 전극이, 제2 신호선(S2)에 의해 인접하는 메모리 셀(190)의 OS 트랜지스터인 트랜지스터(162)의 게이트 전극과 접속되어 있어, 메모리 셀(190)마다의 재기입이 어렵게 되어 있기 때문이다.
- [0091] 도 6 및 도 7에는, 도 2에 관한 반도체 장치의 보다 상세한 동작에 관한 타이밍 차트의 예를 나타낸다. 타이밍 차트 중 S, BL 등의 명칭은, 타이밍 차트에 나타내는 전위가 부여되는 배선을 나타내고 있으며, 마찬가지로의 기능을 갖는 배선이 복수인 경우에는 배선의 명칭의 말미에 _1, _2 등을 붙임으로써 구별하고 있다.
- [0092] 도 6에 도시된 타이밍 차트는, 임의의 메모리 셀 열(k열째)의 1행째에 데이터 "1"을, 2행째에 데이터 "2"를, 3행째에 데이터 "3"을 기입함과 함께, k열의 4행째부터 m행째까지 데이터 "0"을 기입하는 경우의 각 배선의 전위의 관계를 나타내는 것이며, 도 7에 도시된 타이밍 차트는 기입 후, 임의의 i행째(i는 1 이상 m 이하의 자연수)에 기입된 데이터를 판독하는 경우의 각 배선의 전위의 관계를 나타내는 것이다. 또한, 도 7에 있어서, V5

는 판독 시에 BL에 인가하는 전위이다.

- [0093] 기입에 있어서는, 기입하고 싶은 메모리 셀 열의 각 메모리 셀(190)에 기입하는 데이터에 맞추어, 용량 소자(164)에 WL로부터 기입 데이터에 대응하는 전위를 부여하고, S2에 V4를 부여함으로써 기입하고 싶은 메모리 셀 열의 모든 트랜지스터(162)를 온 상태로 함과 함께, S1에 Von을 부여함으로써 기입을 행하는 모든 메모리 셀(190)의 노드 FG의 전위를 Von으로 한다.
- [0094] 그 후, WL로부터 용량 소자(164)에 부여하고 있던 전위를 GND로 함으로써, 각 노드 FG의 전위가 조정된다. 이때의 각 배선의 전위의 관계는, 도 8에 도시하고 있다. 즉, 기입 후에 용량 소자(164)에 GND를 부여하면, 제k열 제1행의 전위는 V1로 변화되어, 데이터 "1"이 기입된 것으로 된다. 마찬가지로, 제k열 제2행의 전위는 V2로 변화되어, 데이터 "2"가 기입된 것으로 되고, 제k열 제3행의 전위는 V3으로 변화되어, 데이터 "3"이 기입된 것으로 되고, 제k열 제4 내지 m행의 노드 FG는 GND로 변화되어, 데이터 "0"이 기입된 것으로 된다.
- [0095] 또한, 본 실시 형태에 도시된 반도체 장치에 있어서, 제k행(k는 1 이상 m 이하의 자연수)째의 메모리 셀(190)에 기입을 행하는 경우, 동일 열의 모든 트랜지스터(162)를 온 상태로 할 필요가 있기 때문에, 메모리 셀 어레이에 대한 기입은 열마다 행해야 한다.
- [0096] 도 7에 도시한 바와 같이, 판독에 있어서는, 기입 시에 용량 소자(164)에 부여한 전압만을 이용하여, 판독을 완료할 수 있다.
- [0097] i행째 판독에 있어서는, S2_1 내지 S2_m을 GND로 하고 모든 트랜지스터(162)를 오프 상태로 함과 함께, 선택선(G_1) 및 선택선(G_2)에 전위 V4를 부여하고 선택 트랜지스터(180) 및 선택 트랜지스터(182)를 온 상태로 한다. 또한, 판독 대상의 제i행째의 메모리 셀(190)에 접속되는 WL_i에는 GND, $-(V1-Von)$, $-(V2-Von)$ 을 순차 부여하고, 각각의 전위에서의 BL의 도통, 비도통으로부터, 노드 FG의 전위, 즉 기입되어 있는 데이터가 무엇인지를 판단한다. 또한, 판독 대상이 아닌 메모리 셀(190)에 접속되는 WL에는 전위 Von을 부여한다.
- [0098] 본 명세서에서 개시하는 반도체 장치의 구동 방법에 있어서는, 메모리 셀에 기입을 행하고 있을 때에 비트선(BL)에 어떤 전위가 부여되어 있어도, 기입 동작에 영향을 미치지 않는다. 그로 인해, 기입을 행하면서 비트선(BL)의 전위를 검지함으로써, 기입이 정상으로 행해지고 있는지를 확인하면서 기입을 행할 수 있다. 따라서, 기입 베리파이 동작을 생략할 수 있다.
- [0099] 본 명세서에서 개시하는 반도체 장치의 구동 방법의 일 형태를 도 1에 도시한 타이밍 차트를 사용하여 설명한다. k열째에 기입을 행하는 경우, 선택선(G_1)의 선택 트랜지스터(180), 선택선(G_2)의 선택 트랜지스터(182)를 온 상태로 하고, 비트선(BL_k)에 V5(판독에 사용하는 전압)를 부여한 상태에서 기입을 행한다. 제1 신호선(S1)에 부여하는 전압 Von을 조금씩 상승시키고, 기입을 행하고 있는 k열의 모든 메모리 셀의 노드 FG의 전위를 상승시킨다. k열의 모든 메모리 셀의 노드 FG의 전위가 일정한 전위까지 상승하고, k열의 모든 메모리 셀의 트랜지스터(160)가 온 상태로 되었을 때, 비트선 BL_k는 소스선(SL)(SL의 전위는 0V로 한다)과 도통하고, 비트선 BL_k의 전위는 0V로 된다. 비트선 BL_k의 전위가 0V로 된 것을 검지하면 다음 열 k+1의 기입으로 이행한다.
- [0100] 따라서, 개시하는 발명에 관한 다차 메모리에 있어서는, 필요한 기입 베리파이 동작을 생략할 수 있기 때문에, 기입을 고속으로 행할 수 있다. 또한, 베리파이 동작을 생략해도 열마다 최적의 기입 전압으로 기입할 수 있기 때문에, 트랜지스터(160)의 임계값 전압의 분포가 좁아진다. 따라서, 기입에 사용하는 전압의 범위를 좁게 할 수 있기 때문에, 저소비 전력화가 가능하게 된다.
- [0101] 또한, 선택선(G_1) 및 선택 트랜지스터(180) 또는 선택선(G_2) 및 선택 트랜지스터(182)의 1조를 생략하고, 도 3, 도 5에 도시한 바와 같이, 상기 선택선(G_2)에 상당하는 선택선(G)과, 선택 트랜지스터(182)만을 설치하는 구성으로 하는 경우도 데이터의 기입, 유지, 판독 및 일괄 소거는 기본적으로 상술한 동작과 마찬가지로 행할 수 있다.
- [0102] 본 실시 형태에 도시된 반도체 장치에서는, 산화물 반도체를 사용한 트랜지스터는 오프 전류가 지극히 작기 때문에, 이것을 사용함으로써 지극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다. 즉, 리프래시 동작이 불필요하게 되거나, 또는 리프래시 동작의 빈도를 지극히 낮게 하는 것이 가능하게 되기 때문에, 소비 전력을 충분히 저감시킬 수 있다. 또한, 전력의 공급이 없는 경우(단, 전위는 고정되어 있는 것이 바람직하다)에도, 장기에 걸쳐 기억 내용을 유지하는 것이 가능하다.
- [0103] 또한, 본 실시 형태에 도시된 반도체 장치에서는, 정보의 기입에 높은 전압을 필요로 하지 않아, 소자의 열화의

문제도 없다. 예를 들어, 종래의 불휘발성 메모리와 같이, 플로팅 게이트에 대한 전자의 주입이나, 플로팅 게이트로부터의 전자의 인발을 행할 필요가 없기 때문에, 게이트 절연층의 열화와 같은 문제가 전혀 발생하지 않는다. 즉, 개시하는 발명에 관한 반도체 장치에서는, 종래의 불휘발성 메모리에서 문제되었던 재기입 가능 횟수에 제한은 없어, 신뢰성이 비약적으로 향상된다. 또한, 트랜지스터의 온 상태, 오프 상태에 따라, 정보의 기입이 행해지기 때문에, 고속의 동작도 용이하게 실현할 수 있다. 또한, 정보를 소거하기 위한 동작이 불필요하다는 장점도 있다.

[0104] 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터는, 충분한 고속 동작이 가능하기 때문에, 이것을, 산화물 반도체를 사용한 트랜지스터와 조합하여 사용함으로써, 반도체 장치의 동작(예를 들어, 정보의 판독 동작)의 고속성을 충분히 확보할 수 있다. 또한, 산화물 반도체 이외의 재료를 사용한 트랜지스터에 의해, 고속 동작이 요구되는 각종 회로(논리 회로, 구동 회로 등)를 적절하게 실현하는 것이 가능하다.

[0105] 이와 같이, 산화물 반도체 이외의 재료를 사용한 트랜지스터(보다 광의로는, 충분한 고속 동작이 가능한 트랜지스터)와, 산화물 반도체를 사용한 트랜지스터(보다 광의로는, 충분히 오프 전류가 작은 트랜지스터)를 일체로 구비함으로써, 지금까지 없는 특징을 갖는 반도체 장치를 실현할 수 있다.

[0106] 또한, 본 실시 형태에 도시된 반도체 장치에서는, 기입 트랜지스터의 온 오프를 제어하는 신호선을 비트선과 평행하게 배치한다. 2단계보다 큰 데이터(다치)를 기억시키는 기입의 경우, 기입 데이터에 따라서 메모리 셀의 용량부의 전위를 바꿈으로써(워드선(WL)의 전위를 바꿈으로써), 기입하는 데이터의 전위는 1개로 노드 FG에 다치를 기입할 수 있다. 종래는 다치를 기입하기 위해서는 각 단계의 전위를 준비할 필요가 있었으나, 본 실시 형태에서는 기입하는 전위는 1개이면 된다. 따라서, 종래와 같은 각 전위를 생성하는 회로는 불필요하게 되어, 주변 회로를 간략화할 수 있어, 메모리 자체를 축소화할 수 있다.

[0107] 이상, 본 실시 형태에 기재하는 구성, 방법 등은, 다른 실시 형태에 기재하는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0108] (실시 형태 2)

[0109] 본 실시 형태에서는, 개시하는 발명의 일 형태에 관한 반도체 장치의 구성 및 그 제작 방법에 대해서, 도 5 및 도 9 내지 도 13을 참조하여 설명한다.

[0110] 도 9의 (a) 및 도 9의 (b)는, 도 5의 회로도도 도시한 반도체 장치의 메모리 셀(190)의 구성의 일례이다. 도 9의 (a)에는 반도체 장치의 단면을, 도 9의 (b)에는 반도체 장치의 평면을 각각 도시한다. 또한, 도 9의 (b)의 평면도에 있어서는, 절연층(154), 절연층(172), 배선(171) 및 배선(158)은 생략하고 있어, 도면을 간략화하고 있다. 여기서 도 9의 (a)는 도 9의 (b)의 A1-A2에 평행한 방향이 도 5의 회로도에서의 열방향이며, A1-A2에 수직 방향이 도 5의 회로도에서의 행방향이다. 도 9의 (a) 및 도 9의 (b)에 도시된 반도체 장치는, 하부에 제1 반도체 재료를 사용한 트랜지스터(160)를 갖고, 상부에 제2 반도체 재료를 사용한 트랜지스터(162)를 갖는 것이다. 또한, 도 9의 (a) 및 도 9의 (b)에서는, 제1행째의 트랜지스터(160) 및 트랜지스터(162)를 표시하고 있지만, 도 5의 회로도도 도시한 바와 같이, 제1행째부터 제 m 행째까지 트랜지스터(160)와 트랜지스터(162)는, 소스 전극(소스 영역)과 드레인 전극(드레인 영역)이 직렬로 접속되어 있다.

[0111] 여기서, 제1 반도체 재료와 제2 반도체 재료는 상이한 재료로 하는 것이 바람직하다. 예를 들어, 제1 반도체 재료를 산화물 반도체 이외의 반도체 재료(실리콘 등)로 하고, 제2 반도체 재료를 산화물 반도체로 할 수 있다. 산화물 반도체 이외의 재료를 사용한 트랜지스터는 고속 동작이 용이하다. 한편, 산화물 반도체를 사용한 트랜지스터는, 그 특성에 의해 장시간의 전하 유지를 가능하게 한다.

[0112] 또한, 상기 트랜지스터는, 모두 n 채널형 트랜지스터인 것으로서 설명하지만, p 채널형 트랜지스터를 사용할 수 있는 것은 말할 필요도 없다. 또한, 개시하는 발명의 기술적인 본질은, 정보를 유지하기 위하여 산화물 반도체와 같은 오프 전류를 충분히 저감시키는 것이 가능한 반도체 재료를 트랜지스터(162)에 사용하는 점에 있기 때문에, 반도체 장치에 사용되는 재료나 반도체 장치의 구조 등, 반도체 장치의 구체적인 구성을 여기에서 기재하는 것에 한정할 필요는 없다.

[0113] 도 9의 (a) 및 도 9의 (b)에 있어서의 트랜지스터(160)는, 반도체 재료(예를 들어, 실리콘 등)를 포함하는 기판(100)에 형성된 채널 형성 영역(116a)과, 채널 형성 영역(116a)을 사이에 두도록 형성된 불순물 영역(120a) 및 불순물 영역(120b)과, 불순물 영역(120a) 및 불순물 영역(120b)에 접하는 금속 화합물 영역(124a) 및 금속 화합물 영역(124b)과, 채널 형성 영역(116a) 위에 형성된 게이트 절연층(108a)과, 게이트 절연층(108a) 위에 형성된 게이트 전극(110)을 갖는다. 또한, 도면에 있어서, 명시적으로는 소스 전극이나 드레인 전극을 갖지 않는 경우

가 있지만, 편의상, 이러한 상태를 포함하여 트랜지스터라고 칭하는 경우가 있다. 또한, 이 경우, 트랜지스터의 접속 관계를 설명하기 위해, 소스 영역이나 드레인 영역을 포함하여 소스 전극이나 드레인 전극으로 표현하는 경우가 있다. 즉, 본 명세서에 있어서, 소스 전극이라는 기재에는 소스 영역이, 드레인 전극이라는 기재에는 드레인 영역이 포함될 수 있다.

[0114] 여기서, 트랜지스터(160)는, 소스 영역 또는 드레인 영역으로서 기능하는 불순물 영역(120) 및 금속 화합물 영역(124)을 공유하고, 제1행째부터 제m행째까지 직렬로 접속된다. 즉, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(160)의 소스 영역으로서 기능하는 불순물 영역(120) 및 금속 화합물 영역(124)은, 제1행째의 트랜지스터(160)의 드레인 영역으로서 기능하게 된다. 이와 같이, 메모리 셀(190)의 트랜지스터(160)를 직렬로 접속함으로써, 각 메모리 셀(190) 사이에서 트랜지스터(160)의 소스 영역 및 드레인 영역을 공유할 수 있다. 이에 의해, 트랜지스터(160)의 평면 레이아웃은, 후술하는 트랜지스터(162)의 평면 레이아웃에 용이하게 겹치게 할 수 있어, 메모리 셀(190)의 점유 면적의 저감을 도모할 수 있다.

[0115] 또한, 기판(100) 위에는 트랜지스터(160)를 둘러싸도록 소자 분리 절연층(106)이 형성되어 있고, 트랜지스터(160)를 덮도록 절연층(128)이 형성되어 있다. 또한, 고집적화를 실현하기 위해서는, 도 9의 (a) 및 도 9의 (b)에 도시한 바와 같이 트랜지스터(160)가 사이드 월 절연층을 갖지 않는 구성으로 하는 것이 바람직하다. 한편, 트랜지스터(160)의 특성을 증시하는 경우에는, 게이트 전극(110)의 측면에 사이드 월 절연층을 형성하고, 불순물 농도가 다른 영역을 포함하는 불순물 영역(120)을 형성해도 좋다.

[0116] 여기서, 절연층(128)은, 평탄성이 양호한 표면을 갖고 있는 것이 바람직하고, 예를 들어 절연층(128)의 표면은, 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다.

[0117] 도 9의 (a) 및 도 9의 (b)에 있어서의 트랜지스터(162)는, 절연층(128) 위에 형성된 절연층(140)에 매립된 소스 전극(142a) 및 드레인 전극(142b)과, 절연층(140), 소스 전극(142a) 및 드레인 전극(142b)의 일부와 접하는 산화물 반도체층(144)과, 산화물 반도체층(144)을 덮는 게이트 절연층(146)과, 게이트 절연층(146) 위에 산화물 반도체층(144)과 중첩하도록 형성된 게이트 전극(148)을 갖는다. 또한, 게이트 전극(148)은, 도 5에 도시하는 회로도에 있어서의, 제2 신호선(S2)으로서 기능한다.

[0118] 여기서, 산화물 반도체층(144)은 수소 등의 불순물이 충분히 제거됨으로써 또는 충분한 산소가 공급됨으로써, 고순도화된 것인 것이 바람직하다. 구체적으로는, 예를 들어 산화물 반도체층(144)의 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하로 한다. 또한, 상술한 산화물 반도체층(144) 중의 수소 농도는, 2차 이온 질량 분석법(SIMS: Secondary Ion Mass Spectroscopy)으로 측정되는 것이다. 이와 같이, 수소 농도가 충분히 저감되어, 충분한 산소의 공급에 의해 산소 결핍에 기인하는 에너지 갭 중의 결합 준위가 저감된 산화물 반도체층(144)에서는, 수소 등의 도너에 기인하는 캐리어 밀도가 1×10^{12} /cm³ 미만, 바람직하게는, 1×10^{11} /cm³ 미만, 보다 바람직하게는 1.45×10^{10} /cm³ 미만으로 된다. 또한, 예를 들어 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm)당의 값)는 100zA(1zA(zepto 암페어)는 1×10^{-21} A) 이하, 바람직하게는 10zA 이하로 된다. 이와 같이, i형화(진성화) 또는 실질적으로 i형화된 산화물 반도체를 사용함으로써, 지극히 우수한 오프 전류 특성의 트랜지스터(162)를 얻을 수 있다.

[0119] 또한, 절연층(140)의 표면이며 산화물 반도체층(144)과 접하는 영역은, 그 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다. 이와 같이, 제곱 평균 평방근(RMS) 거칠기가 1nm 이하로 하는 지극히 평탄한 영역에 트랜지스터(162)의 채널 형성 영역을 형성함으로써, 트랜지스터(162)가 미세화되는 상황에서도 단채널 효과 등의 문제를 방지하여, 양호한 특성을 갖는 트랜지스터(162)를 제공하는 것이 가능하다.

[0120] 또한, 트랜지스터(162)는, 소스 전극(142a) 및 드레인 전극(142b)을 서로 공유하고, 제1행째부터 제m행째까지 직렬로 접속된다. 즉, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(162)의 소스 전극(142a)과, 제1행째의 트랜지스터(162)의 드레인 전극(142b)은, 동일한 도전층으로 형성되게 된다.

[0121] 이와 같이, 메모리 셀(190)의 트랜지스터(162)를 직렬로 접속함으로써, 각 메모리 셀(190) 사이에서 트랜지스터(162)의 소스 전극(142a) 및 드레인 전극(142b)을 공유할 수 있다. 이에 의해, 메모리 셀(190)의 평면 레이아웃에는, 트랜지스터(162)의 소스 전극(142a) 또는 드레인 전극(142b)의 한쪽만 포함되게 된다. 즉, 메모리 셀(190)의 평면 레이아웃의 열방향의 길이를, 게이트 전극(148) 및 소스 전극(142a)의 열방향의 길이 정도로 할 수 있다.

[0122] 그에 대하여, 메모리 셀(190)의 트랜지스터(162)를 병렬로 접속하고, 각 메모리 셀(190)에 있어서 트랜지스터

(162)의 소스 전극(142a) 및 드레인 전극(142b)을 개별로 형성하는 경우는, 메모리 셀(190)의 평면 레이아웃에는 트랜지스터(162)의 소스 전극(142a) 및 드레인 전극(142b) 양쪽이 포함되게 된다.

[0123] 따라서, 메모리 셀(190)의 평면 레이아웃을 도 9의 (a) 및 도 9의 (b)에 도시한 바와 같은 구성으로 함으로써, 메모리 셀(190)의 점유 면적을 저감시킬 수 있다. 예를 들어, 최소 가공 치수를 F로 하고, 메모리 셀(190)의 점유 면적을 $4F^2$ 내지 $12F^2$ 로 하는 것이 가능하다. 이상, 반도체 장치의 고집적화를 도모하여, 단위 면적당의 기억 용량을 증가시킬 수 있다.

[0124] 도 9의 (a) 및 도 9의 (b)에 있어서의 용량 소자(164)는, 소스 전극(142a), 산화물 반도체층(144), 게이트 절연층(146), 게이트 절연층(146) 위의 절연층(150) 및 전극(152)으로 구성된다. 즉, 소스 전극(142a)은, 용량 소자(164)의 한쪽의 전극으로서 기능하고, 전극(152)은, 용량 소자(164)의 다른 쪽의 전극으로서 기능하게 된다. 여기서, 제1-1(1은 2 이상 m 이하의 자연수)행째의 용량 소자(164)의 한쪽의 전극은, 제1-1(1은 2 이상 m 이하의 자연수)행째의 트랜지스터(162)의 소스 전극(142a)이므로, 용량 소자(164)의 평면 레이아웃은, 트랜지스터(162)의 평면 레이아웃에 용이하게 겹치게 할 수 있어, 메모리 셀(190)의 점유 면적의 저감을 도모할 수 있다. 또한, 전극(152)을 절연층(150) 위에 형성함으로써, 전극(152)과 게이트 전극(148)을 동일한 층에 형성하는 것보다, 트랜지스터(162)의 평면 레이아웃과 겹치는 범위 내에서 전극(152)의 면적을 용이하게 크게 할 수 있다. 또한, 전극(152)은, 도 5에 도시하는 회로도에 있어서의, 워드선(WL)으로서 기능한다.

[0125] 트랜지스터(162) 위에는, 절연층(150)이 형성되어 있고, 절연층(150) 및 용량 소자(164)의 전극(152) 위에는 절연층(154)이 형성되어 있다. 절연층(150) 및 절연층(154)에는 게이트 전극(148)에 도달하는 개구가 형성되고, 상기 개구에는 전극(170)이 형성되어 있다. 절연층(154) 위에 절연층(154)에 매립되도록 형성된 전극(170)에 접하여 배선(171)을 형성함으로써, 게이트 전극(148)과 배선(171)이 전기적으로 접속하고 있다. 절연층(154) 및 배선(171) 위에는 절연층(172)이 형성되어 있다.

[0126] 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에 형성된 개구에는 전극(156)이 형성되고, 절연층(172) 위에는 전극(156)과 접속하는 배선(158)이 형성된다. 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에 형성된 개구에 형성된 전극(156)과, 절연층(140)에 매립된 드레인 전극(142b)과, 절연층(128)에 매립된 전극(126)을 통하여 배선(158)과 트랜지스터(160)의 드레인 영역으로서 기능하는 금속 화합물 영역(124b)이 전기적으로 접속된다. 여기서, 배선(158)은, 도 5에 도시하는 회로에 있어서의, 비트선(BL)으로서 기능한다.

[0127] 이상과 같은 구성으로 함으로써, 트랜지스터(160), 트랜지스터(162) 및 용량 소자(164)로 이루어지는 메모리 셀(190)의 평면 레이아웃의 크기를, 행방향의 길이를 배선(158)의 폭 정도, 열방향의 길이를, 게이트 전극(148) 및 소스 전극(142a)의 열방향의 길이 정도로 할 수 있다. 이러한 평면 레이아웃을 채용함으로써, 도 5에 도시하는 회로의 고집적화를 도모할 수 있어, 예를 들어 최소 가공 치수를 F로 하여, 메모리 셀의 점유 면적을 $4F^2$ 내지 $12F^2$ 로 하는 것이 가능하다. 따라서, 반도체 장치의 단위 면적당의 기억 용량을 증가시킬 수 있다.

[0128] 또한, 개시하는 발명에 관한 반도체 장치의 구성은, 도 9의 (a) 및 도 9의 (b)에 도시된 것에 한정되지 않는다. 개시하는 발명의 일 형태의 기술적 사상은, 산화물 반도체와, 산화물 반도체 이외의 재료를 사용한 적층 구조를 형성하는 점에 있기 때문에, 전극의 접속 관계 등의 상세에 대해서는, 적절히 변경할 수 있다.

[0129] 이어서, 상기 반도체 장치의 제작 방법의 일례에 대하여 설명한다. 이하에서는, 처음에 하부의 트랜지스터(160)의 제작 방법에 대하여 도 10 및 도 11을 참조하여 설명하고, 그 후, 상부의 트랜지스터(162) 및 용량 소자(164)의 제작 방법에 대하여 도 12 및 도 13을 참조하여 설명한다.

[0130] 우선, 반도체 재료를 포함하는 기판(100)을 준비한다(도 10의 (a) 참조). 반도체 재료를 포함하는 기판(100)으로서, 실리콘이나 탄화실리콘 등의 단결정 반도체 기판, 다결정 반도체 기판, 실리콘 게르마늄 등의 화합물 반도체 기판, SOI 기판 등을 적용할 수 있다. 여기에서는, 반도체 재료를 포함하는 기판(100)으로서, 단결정 실리콘 기판을 사용하는 경우의 일례에 대하여 나타내는 것으로 한다. 또한, 일반적으로 「SOI 기판」은, 절연 표면 위에 실리콘 반도체층이 형성된 구성의 기판을 말하지만, 본 명세서 등에 있어서는, 절연 표면 위에 실리콘 이외의 재료로 이루어지는 반도체층이 형성된 구성의 기판도 포함하는 개념으로서 사용한다. 즉, 「SOI 기판」이 갖는 반도체층은, 실리콘 반도체층에 한정되지 않는다. 또한, SOI 기판에는 유리 기판 등의 절연 기판 위에 절연층을 개재하여 반도체층이 형성된 구성의 것이 포함되는 것으로 한다.

[0131] 반도체 재료를 포함하는 기판(100)으로서, 특히 실리콘 등의 단결정 반도체 기판을 사용하는 경우에는, 반도체

장치의 판독 동작을 고속화할 수 있기 때문에 적합하다.

- [0132] 또한, 트랜지스터의 임계값 전압을 제어하기 위해서, 후에 트랜지스터(160)의 채널 형성 영역(116a) 및 선택 트랜지스터(182)(도 9 내지 도 13에서는 도시하지 않음, 도 5 참조)의 채널 형성 영역(116b)으로 되는 영역에, 불순물 원소를 첨가하여도 좋다. 여기에서는, 트랜지스터(160) 및 선택 트랜지스터(182)(도 9 내지 도 13에서는 도시하지 않음, 도 5 참조)의 임계값 전압이 정(+)으로 되도록 도전성을 부여하는 불순물 원소를 첨가한다. 반도체 재료가 실리콘인 경우, 상기 도전성을 부여하는 불순물에는, 예를 들어 붕소, 알루미늄, 갈륨 등이 있다. 또한, 불순물 원소의 첨가 후에는, 가열 처리를 행하여, 불순물 원소의 활성화나 불순물 원소의 첨가 시에 발생하는 결함의 개선 등을 도모하는 것이 바람직하다.
- [0133] 기판(100) 위에는, 소자 분리 절연층을 형성하기 위한 마스크가 되는 보호층(102)을 형성한다(도 10의 (a) 참조). 보호층(102)으로서는, 예를 들어 산화실리콘이나 질화실리콘, 산질화실리콘 등을 재료로 하는 절연층을 사용할 수 있다.
- [0134] 이어서, 상기의 보호층(102)을 마스크로 하여 에칭을 행하고, 보호층(102)에 덮여 있지 않은 영역(노출되어 있는 영역)의, 기판(100)의 일부를 제거한다. 이에 의해 다른 반도체 영역과 분리된 반도체 영역(104)이 형성된다(도 10의 (b) 참조). 당해 에칭에는, 건식 에칭을 사용하는 것이 적합하지만, 습식 에칭을 사용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라 적절히 선택할 수 있다.
- [0135] 이어서, 반도체 영역(104)을 덮도록 절연층을 형성하고, 반도체 영역(104)에 중첩하는 영역의 절연층을 선택적으로 제거함으로써, 소자 분리 절연층(106)을 형성한다(도 10의 (c) 참조). 당해 절연층은, 산화실리콘이나 질화실리콘, 산질화실리콘 등을 사용하여 형성된다. 절연층의 제거 방법으로서, CMP(화학적 기계적 연마) 처리 등의 연마 처리나 에칭 처리 등이 있지만, 그 어느 것을 사용해도 좋다. 또한, 반도체 영역(104)의 형성 후 또는 소자 분리 절연층(106)의 형성 후에는, 상기 보호층(102)을 제거한다.
- [0136] 이어서, 반도체 영역(104)의 표면에 절연층을 형성하고, 당해 절연층 위에 도전 재료를 포함하는 층을 형성한다.
- [0137] 절연층은 후의 게이트 절연층으로 되는 것이며, 예를 들어 반도체 영역(104) 표면의 열처리(열산화 처리나 열질화 처리 등)에 의해 형성할 수 있다. 열처리 대신에, 고밀도 플라즈마 처리를 적용해도 좋다. 고밀도 플라즈마 처리는, 예를 들어 He, Ar, Kr, Xe 등의 희가스, 산소, 산화질소, 암모니아, 질소, 수소 등의 혼합 가스를 사용하여 행할 수 있다. 물론, CVD법이나 스퍼터링법 등을 사용하여 절연층을 형성해도 좋다. 당해 절연층은, 산화실리콘, 산질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄, 산화탄탈, 산화이트륨, 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄실리케이트(HfSi_xO_y ($x>0$, $y>0$)), 질소가 첨가된 하프늄알루미늄네이트(HfAl_xO_y ($x>0$, $y>0$))) 등을 포함하는 단층 구조 또는 적층 구조로 하는 것이 바람직하다. 또한, 절연층의 두께는, 예를 들어 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0138] 도전 재료를 포함하는 층은, 알루미늄이나 구리, 티타늄, 탄탈, 텅스텐 등의 금속 재료를 사용하여 형성할 수 있다. 또한, 다결정 실리콘 등의 반도체 재료를 사용하여, 도전 재료를 포함하는 층을 형성해도 좋다. 형성 방법도 특별히 한정되지 않고 증착법, CVD법, 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용할 수 있다. 또한, 본 실시 형태에서는, 도전 재료를 포함하는 층을, 금속 재료를 사용하여 형성하는 경우의 일례에 대하여 나타내는 것으로 한다.
- [0139] 그 후, 절연층 및 도전 재료를 포함하는 층을 선택적으로 에칭하여, 게이트 절연층(108) 및 게이트 전극(110)을 형성한다(도 10의 (c) 참조).
- [0140] 이어서, 반도체 영역(104)에 인(P)이나 비소(As) 등을 첨가하여, 채널 형성 영역(116) 및 불순물 영역(120)(불순물 영역(120a), 불순물 영역(120b))을 형성한다(도 10의 (d) 참조). 또한, 여기에서는 n형 트랜지스터를 형성하기 위하여 인이나 비소를 첨가하고 있지만, p형 트랜지스터를 형성하는 경우에는 붕소(B)나 알루미늄(Al) 등의 불순물 원소를 첨가하면 된다. 여기서, 첨가하는 불순물의 농도는 적절히 설정할 수 있지만, 반도체 소자가 고도로 미세화되는 경우에는 그 농도를 높게 하는 것이 바람직하다.
- [0141] 또한, 게이트 전극(110)의 주위에 사이드 월 절연층을 형성하고, 불순물 원소가 다른 농도로 첨가된 불순물 영역을 형성해도 좋다.
- [0142] 이어서, 게이트 전극(110), 불순물 영역(120) 등을 덮도록 금속층(122)을 형성한다(도 11의 (a) 참조). 당해 금속층(122)은, 진공 증착법이나 스퍼터링법, 스핀 코팅법 등의 각종 성막 방법을 사용하여 형성할 수 있다.

금속층(122)은, 반도체 영역(104)을 구성하는 반도체 재료와 반응함으로써 저저항의 금속 화합물이 되는 금속 재료를 사용하여 형성하는 것이 바람직하다. 이러한 금속 재료로서는, 예를 들어 티타늄, 탄탈, 텅스텐, 니켈, 코발트, 백금 등이 있다.

- [0143] 이어서, 열처리를 실시하여, 상기 금속층(122)과 반도체 재료를 반응시킨다. 이에 의해, 불순물 영역(120)(불순물 영역(120a), 불순물 영역(120b))에 접하는 금속 화합물 영역(124)(금속 화합물 영역(124a), 금속 화합물 영역(124b))이 형성된다(도 11의 (a) 참조). 또한, 게이트 전극(110)으로서 다결정 실리콘 등을 사용하는 경우에는, 게이트 전극(110)의 금속층(122)과 접촉하는 부분에도 금속 화합물 영역이 형성되게 된다.
- [0144] 상기 열처리로서는, 예를 들어 플래시 램프의 조사에 의한 열처리를 사용할 수 있다. 물론, 그 밖의 열처리 방법을 사용해도 좋지만, 금속 화합물의 형성에 관한 화학 반응의 제어성을 향상시키기 위해서는, 지극히 단시간의 열처리를 실현할 수 있는 방법을 사용하는 것이 바람직하다. 또한, 상기의 금속 화합물 영역은, 금속 재료와 반도체 재료의 반응에 의해 형성되는 것이며, 충분히 도전성이 높아진 영역이다. 당해 금속 화합물 영역을 형성함으로써, 전기 저항을 충분히 저감하여, 소자 특성을 향상시킬 수 있다. 또한, 금속 화합물 영역(124)을 형성한 후에는, 금속층(122)은 제거한다.
- [0145] 이어서, 트랜지스터(160)의 금속 화합물 영역(124b) 위에 접하도록 전극(126)을 형성한다(도 11의 (b) 참조). 전극(126)은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 도전층을 형성한 후, 당해 도전층을 원하는 형상으로 에칭 가공함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 1개 또는 이들을 복수 조합한 재료를 사용해도 좋다. 상세한 것은, 후술하는 소스 전극(142a), 드레인 전극(142b) 등과 마찬가지로이다.
- [0146] 이상에 의해, 반도체 재료를 포함하는 기판(100)을 사용한 트랜지스터(160)가 형성된다(도 11의 (c) 참조). 이러한 트랜지스터(160)는, 고속 동작이 가능하다는 특징을 갖는다. 이로 인해, 당해 트랜지스터를 판독용의 트랜지스터로서 사용함으로써, 정보의 판독을 고속으로 행할 수 있다.
- [0147] 이어서, 상술한 공정에 의해 형성된 각 구성을 덧붙여 절연층(128)을 형성한다(도 11의 (c) 참조). 절연층(128)은, 산화실리콘, 질화실리콘, 질화산화실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 특히, 절연층(128)에 유전율이 낮은(low-k) 재료를 사용함으로써, 각종 전극이나 배선의 겹침에 기인하는 용량을 충분히 저감하는 것이 가능하게 되기 때문에 바람직하다. 또한, 절연층(128)에는, 이들 재료를 사용한 다공성의 절연층을 적용해도 좋다. 다공성의 절연층에서는, 밀도가 높은 절연층과 비교하여 유전율이 저하되기 때문에, 전극이나 배선에 기인하는 용량을 더 저감시키는 것이 가능하다. 또한, 절연층(128)은, 폴리이미드, 아크릴 수지 등의 유기 절연 재료를 사용하여 형성하는 것도 가능하다. 또한, 여기에서는, 절연층(128)을 단층 구조로 하고 있지만, 개시하는 발명의 일 형태는 이것에 한정되지 않는다. 절연층(128)을 2층 이상의 적층 구조로 해도 좋다.
- [0148] 그 후, 트랜지스터(162) 및 용량 소자(164)의 형성 전의 처리로서, 절연층(128)에 CMP 처리를 실시하여, 게이트 전극(110) 및 전극(126)의 상면을 노출시킨다(도 11의 (d) 참조). 게이트 전극(110)의 상면을 노출시키는 처리로서는, CMP 처리 이외에 에칭 처리 등을 적용하는 것도 가능하지만, 트랜지스터(162)의 특성을 향상시키기 위해서, 절연층(128)의 표면은 가능한 한 평탄하게 해 두는 것이 바람직하고, 예를 들어 절연층(128)의 표면은, 제곱 평균 평방근(RMS) 거칠기를 1nm 이하로 하는 것이 바람직하다.
- [0149] 또한, 상기의 각 공정 전후에는, 전극이나 배선, 반도체층, 절연층 등을 형성하는 공정을 더 포함하고 있어도 좋다. 예를 들어, 배선의 구조로서, 절연층 및 도전층의 적층 구조로 이루어지는 다층 배선 구조를 채용하고, 고도로 집적화된 반도체 장치를 실현하는 것도 가능하다.
- [0150] 이어서, 게이트 전극(110), 전극(126), 절연층(128) 등 위에 도전층을 형성하고, 상기 도전층을 선택적으로 에칭하여, 소스 전극(142a), 드레인 전극(142b)을 형성한다(도 12의 (a) 참조).
- [0151] 도전층은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 1개 또는 이들을 복수 조합한 재료를 사용해도 좋다.
- [0152] 도전층은, 단층 구조이어도 좋고, 2층 이상의 적층 구조로 해도 좋다. 예를 들어, 티타늄막이나 질화티타늄막의 단층 구조, 실리콘을 포함하는 알루미늄막의 단층 구조, 알루미늄막 위에 티타늄막이 적층된 2층 구조, 질화

티타늄막 위에 티타늄막이 적층된 2층 구조, 티타늄막과 알루미늄막과 티타늄막이 적층된 3층 구조 등을 들 수 있다. 또한, 도전층을, 티타늄막이나 질화티타늄막의 단층 구조로 하는 경우에는, 테이퍼 형상을 갖는 소스 전극(142a) 및 드레인 전극(142b)에 대한 가공이 용이하다는 장점이 있다.

- [0153] 또한, 도전층은, 도전성의 금속 산화물을 사용하여 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기하는 경우가 있다), 산화인듐산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는, 이들의 금속 산화물 재료에 실리콘 혹은 산화실리콘을 함유시킨 것을 사용할 수 있다.
- [0154] 또한, 도전층의 에칭은, 건식 에칭, 습식 에칭 중 무엇을 사용하여 행해도 좋지만, 미세화를 위해서는, 제어성이 좋은 건식 에칭을 사용하는 것이 적합하다. 또한, 형성되는 소스 전극(142a) 및 드레인 전극(142b)이 테이퍼형 형상으로 되도록 행해도 좋다. 테이퍼각은, 예를 들어 30° 이상 60° 이하로 할 수 있다.
- [0155] 상부의 트랜지스터(162)의 채널 길이(L)는, 소스 전극(142a) 및 드레인 전극(142b)의 상단부의 간격에 따라 결정된다. 또한, 채널 길이(L)가 25nm 미만인 트랜지스터를 형성하는 경우에 사용하는 마스크 형성의 노광을 행할 때에는 수nm 내지 수십 nm로 파장이 짧은 초자외선(Extreme Ultraviolet)을 사용하는 것이 바람직하다. 초자외선에 의한 노광은, 해상도가 높아 초점 심도도 크다. 따라서, 후에 형성되는 트랜지스터의 채널 길이(L)를 2 μm 미만, 바람직하게는 10nm 이상 350nm(0.35 μm) 이하로 하는 것도 가능하며, 회로의 동작 속도를 높이는 것이 가능하다. 또한, 미세화에 의해, 반도체 장치의 소비 전력을 저감시키는 것도 가능하다.
- [0156] 또한, 절연층(128) 위에는, 베이스로서 기능하는 절연층을 형성해도 좋다. 당해 절연층은, PVD법이나 CVD법 등을 사용하여 형성할 수 있다.
- [0157] 이어서, 소스 전극(142a) 및 드레인 전극(142b)을 덮도록 절연층(140)을 형성한 후, 소스 전극(142a) 및 드레인 전극(142b)이 노출되도록 CMP(화학적 기계적 연마) 처리에 의해 절연층(140)을 평탄화한다(도 12의 (a) 참조).
- [0158] 절연층(140)은, 산화실리콘, 산질화실리콘, 질화실리콘, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여 형성할 수 있다. 절연층(140)에는, 후에 산화물 반도체층(144)이 접하게 되기 때문에, 특히 산화실리콘을 사용한 것으로 하는 것이 적합하다. 절연층(140)의 형성 방법에 특별히 한정은 없지만, 산화물 반도체층(144)과 접하는 것을 고려하면, 수소가 충분히 저감된 방법에 의해 형성하는 것이 바람직하다. 이러한 방법로서는, 예를 들어 스퍼터법이 있다. 물론, 플라즈마 CVD법을 비롯한 다른 성막법을 사용해도 좋다.
- [0159] 또한 CMP(화학적 기계적 연마) 처리는, 소스 전극(142a) 및 드레인 전극(142b)의 표면 중 적어도 일부가 노출되는 조건에서 행한다. 또한, 당해 CMP 처리는, 절연층(140) 표면의 제곱 평균 평방근(RMS) 거칠기가 1nm 이하(바람직하게는 0.5nm 이하)로 되는 조건에서 행하는 것이 바람직하다. 이러한 조건에서 CMP 처리를 행함으로써, 후에 산화물 반도체층(144)이 형성되는 표면의 평탄성을 향상시켜, 트랜지스터(162)의 특성을 향상시킬 수 있다.
- [0160] 또한, CMP 처리는, 1회만 행해도 좋고, 복수회 행해도 좋다. 복수회로 나누어 CMP 처리를 행하는 경우는, 높은 연마 레이트의 1차 연마를 행한 후, 낮은 연마 레이트의 마무리 연마를 행하는 것이 바람직하다. 이렇게 연마 레이트가 상이한 다른 연마를 조합함으로써, 절연층(140)의 표면의 평탄성을 더욱 향상시킬 수 있다.
- [0161] 이어서, 소스 전극(142a)의 상면, 드레인 전극(142b)의 상면 및 절연층(140)의 상면의 일부에 접하도록 산화물 반도체층을 형성한 후, 당해 산화물 반도체층을 선택적으로 에칭하여 산화물 반도체층(144)을 형성한다.
- [0162] 산화물 반도체층(144)은, 4원계 금속 산화물인 In-Sn-Ga-Zn-O계나, 3원계 금속 산화물인 In-Ga-Zn-O계, In-Sn-Zn-O계, In-Al-Zn-O계, Sn-Ga-Zn-O계, Al-Ga-Zn-O계, Sn-Al-Zn-O계나, 2원계 금속 산화물인 In-Zn-O계, Sn-Zn-O계, Al-Zn-O계, Zn-Mg-O계, Sn-Mg-O계, In-Mg-O계나, In-O계, Sn-O계, Zn-O계 등을 사용하여 형성할 수 있다. 또한, 상기 산화물 반도체에 SiO_2 를 포함하여도 된다.
- [0163] 그 중에서도, In-Ga-Zn-O계의 산화물 반도체 재료는, 무전계 시의 저항이 충분히 높아 오프 전류를 충분히 작게 하는 것이 가능하고, 또한 전계 효과 이동도도 높기 때문에, 반도체 장치에 사용하는 반도체 재료로서는 적합하다.
- [0164] In-Ga-Zn-O계의 산화물 반도체 재료의 대표예로서는, $\text{InGaO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 것이 있다. 또한, Ga 대신에 M의 표기를 사용하고, $\text{InMO}_3(\text{ZnO})_m(m>0)$ 로 표기되는 산화물 반도체 재료가 있다. 여기서, M은, 갈륨(Ga),

알루미늄(Al), 철(Fe), 니켈(Ni), 망간(Mn), 코발트(Co) 등으로부터 선택된 1개의 금속 원소 또는 복수의 금속 원소를 나타낸다. 예를 들어, M으로서는, Ga, Ga 및 Al, Ga 및 Fe, Ga 및 Ni, Ga 및 Mn, Ga 및 Co 등을 적용할 수 있다. 또한, 상술한 조성은 결정 구조로부터 도출되는 것이며, 어디까지나 일례에 지나지 않음을 부기한다.

[0165] 또한, 산화물 반도체로서 In-Zn-O계의 재료를 사용하는 경우, 사용하는 타깃의 조성비는, 원자수비로, In:Zn=50:1 내지 1:2(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=25:1$ 내지 1:4), 바람직하게는 In:Zn=20:1 내지 1:1(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=10:1$ 내지 1:2), 더욱 바람직하게는 In:Zn=15:1 내지 1.5:1(몰수비로 환산하면 $\text{In}_2\text{O}_3:\text{ZnO}=15:2$ 내지 3:4)로 한다. 예를 들어, In-Zn-O계 산화물 반도체의 형성에 사용하는 타깃은, 원자수비가 In:Zn:O=X:Y:Z일 때 $Z>1.5X+Y$ 로 한다.

[0166] 산화물 반도체층(144)을 스퍼터법으로 제작하기 위한 산화물 타깃으로서, In:Ga:Zn=1:x:y(x는 0 이상, y는 0.5 이상 5 이하)의 조성비로 표현되는 것을 사용하는 것이 적합하다. 예를 들어, In:Ga:Zn=1:1:1[atom비](x=1, y=1), (즉, $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비])의 조성비를 갖는 타깃 등을 사용할 수 있다. 또한, In:Ga:Zn=1:1:0.5[atom비](x=1, y=0.5)의 조성비를 갖는 타깃이나, In:Ga:Zn=1:1:2[atom비](x=1, y=2)의 조성비를 갖는 타깃이나, In:Ga:Zn=1:0:1[atom비](x=0, y=1)의 조성비를 갖는 타깃을 사용할 수도 있다.

[0167] 본 실시 형태에서는, 비정질 구조의 산화물 반도체층(144)을, In-Ga-Zn-O계의 금속 산화물 타깃을 사용하는 스퍼터법에 의해 형성하는 것으로 한다. 또한, 그 막 두께는 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 보다 바람직하게는 3nm 이상 15nm 이하로 한다.

[0168] 금속 산화물 타깃 중의 금속 산화물의 상대 밀도는 80% 이상, 바람직하게는 95% 이상, 더욱 바람직하게는 99.9% 이상이다. 상대 밀도가 높은 금속 산화물 타깃을 사용함으로써, 치밀한 구조의 산화물 반도체층을 형성하는 것이 가능하다.

[0169] 산화물 반도체층(144)의 형성 분위기는, 희가스(대표적으로는 아르곤) 분위기, 산소 분위기 또는 희가스(대표적으로는 아르곤)와 산소의 혼합 분위기로 하는 것이 적합하다. 구체적으로는, 예를 들어 수소, 물, 수산기, 수소화물 등의 불순물이, 농도 1ppm 이하(바람직하게는 농도 10ppb 이하)까지 제거된 고순도 가스 분위기를 사용하는 것이 적합하다.

[0170] 산화물 반도체층(144)의 형성 시에는, 예를 들어 감압 상태로 유지된 처리실 내에 피처리물을 유지하고, 피처리물의 온도가 100℃ 이상 550℃ 미만, 바람직하게는 200℃ 이상 400℃ 이하로 되도록 피처리물을 뜨겁게 한다. 또는, 산화물 반도체층(144)의 형성 시의 피처리물의 온도는 실온($25^\circ\text{C} \pm 10^\circ\text{C}$)으로 해도 좋다. 그리고, 처리실 내의 수분을 제거하면서, 수소나 물 등이 제거된 스퍼터 가스를 도입하여, 상기 타깃을 사용하여 산화물 반도체층(144)을 형성한다. 피처리물을 뜨겁게 하면서 산화물 반도체층(144)을 형성함으로써, 산화물 반도체층(144)에 포함되는 불순물을 저감시킬 수 있다. 또한, 스퍼터에 의한 손상을 경감시킬 수 있다. 처리실 내의 수분을 제거하기 위해서는, 흡착형의 진공 펌프를 사용하는 것이 바람직하다. 예를 들어, 크라이오 펌프(cryopump), 이온 펌프, 티타늄 사브리메이션 펌프 등을 사용할 수 있다. 또한, 터보 펌프에 콜드트랩을 구비한 것을 사용해도 좋다. 크라이오 펌프 등을 사용하여 배기함으로써, 처리실로부터 수소나 물 등을 제거할 수 있기 때문에, 산화물 반도체층 중의 불순물 농도를 저감시킬 수 있다.

[0171] 산화물 반도체층(144)의 형성 조건으로서, 예를 들어 피처리물과 타깃 사이의 거리가 170mm, 압력이 0.4Pa, 직류(DC) 전력이 0.5kW, 분위기가 산소(산소 100%) 분위기 또는 아르곤(아르곤 100%) 분위기 또는 산소와 아르곤의 혼합 분위기 등의 조건을 적용할 수 있다. 또한, 펄스 직류(DC) 전원을 사용하면, 먼지(성막 시에 형성되는 가루 상태의 물질 등)를 저감시킬 수 있어, 막 두께 분포도 균일해지기 때문에 바람직하다. 산화물 반도체층(144)의 두께는, 1nm 이상 50nm 이하, 바람직하게는 2nm 이상 20nm 이하, 보다 바람직하게는 3nm 이상 15nm 이하로 한다. 개시하는 발명에 이러한 구성을 채용함으로써, 이러한 두께의 산화물 반도체층(144)을 사용하는 경우에도 미세화에 수반하는 단채널 효과를 억제하는 것이 가능하다. 단, 적용하는 산화물 반도체 재료나, 반도체 장치의 용도 등에 따라 적절한 두께는 상이하기 때문에, 그 두께는, 사용하는 재료나 용도 등에 따라 선택할 수도 있다. 또한, 상기와 같이 절연층(140)을 형성함으로써, 산화물 반도체층(144)의 채널 형성 영역에 해당하는 부분의 형성 표면을 충분히 평탄화할 수 있으므로, 두께가 작은 산화물 반도체층에도 적절하게 형성하는 것이 가능하다. 또한, 도 12의 (b)에 도시한 바와 같이, 산화물 반도체층(144)의 채널 형성 영역에 해당하는 부분의 단면 형상을 평탄한 형상으로 하는 것이 바람직하다. 산화물 반도체층(144)의 채널 형성 영역에 해당하는 부분의 단면 형상을 평탄한 형상으로 함으로써, 산화물 반도체층(144)의 단면 형상이 평탄하지 않은 경우와

비교하여, 누설 전류를 저감시킬 수 있다.

- [0172] 또한, 산화물 반도체층(144)을 스퍼터법에 의해 형성하기 전에는, 아르곤 가스를 도입하여 플라즈마를 발생시키는 역스퍼터를 행하여, 형성 표면(예를 들어 절연층(140)의 표면)의 부착물을 제거해도 좋다. 여기서, 역스퍼터란, 통상의 스퍼터에 있어서는, 스퍼터링 타겟에 이온을 충돌시키는 것을, 반대로 처리 표면에 이온을 충돌시킴으로써 그 표면을 개질하는 방법을 의미한다. 처리 표면에 이온을 충돌시키는 방법으로서, 아르곤 분위기 하에서 처리 표면측에 고주파 전압을 인가하여, 피처리물 부근에 플라즈마를 생성하는 방법 등이 있다. 또한, 아르곤 분위기 대신에 질소, 헬륨, 산소 등에 의한 분위기를 적용해도 좋다.
- [0173] 산화물 반도체층(144)의 형성 후에는, 산화물 반도체층(144)에 대하여 열처리(제1 열처리)를 행하는 것이 바람직하다. 이 제1 열처리에 의해 산화물 반도체층(144) 중의, 과잉 수소(물이나 수산기를 포함한다)를 제거하여, 산화물 반도체층(144)의 구조를 정렬시켜, 에너지 갭 중의 결함 준위를 저감시킬 수 있다. 제1 열처리의 온도는, 예를 들어 300℃ 이상 550℃ 미만, 바람직하게는 400℃ 이상 500℃ 이하로 한다.
- [0174] 열처리는, 예를 들어 저항 발열체 등을 사용한 전기로에 피처리물을 도입하여, 질소 분위기 하에서, 450℃, 1시간의 조건에서 행할 수 있다. 그 동안, 산화물 반도체층은 대기에 접촉시키지 않아, 물이나 수소의 혼입이 발생하지 않도록 한다.
- [0175] 열처리 장치는 전기로에 한정되지 않고, 가열된 가스 등의 매체로부터의 열전도 또는 열복사에 의해, 피처리물을 가열하는 장치를 사용해도 좋다. 예를 들어, GRTA(Gas Rapid Thermal Anneal) 장치, LRTA(Lamp Rapid Thermal Anneal) 장치 등의 RTA(Rapid Thermal Anneal) 장치를 사용할 수 있다. LRTA 장치는, 할로젠 램프, 메탈 할라이드 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 고압 수은 램프 등의 램프로부터 발하는 광(전자파)의 복사에 의해 피처리물을 가열하는 장치이다. GRTA 장치는, 고온의 가스를 사용하여 열처리를 행하는 장치이다. 가스로서는, 아르곤 등의 희가스 또는 질소와 같은, 열처리에 의해 피처리물과 반응하지 않는 불활성 기체가 사용된다.
- [0176] 예를 들어, 제1 열처리로서, 뜨겁게 한 불활성 가스 분위기 중에 피처리물을 투입하여, 수분간 뜨겁게 한 후, 당해 불활성 가스 분위기로부터 피처리물을 꺼내는 GRTA 처리를 행해도 된다. GRTA 처리를 사용하면 단시간에 대한 고온 열처리가 가능하게 된다. 또한, 피처리물의 내열 온도를 초과하는 온도 조건에도 적용이 가능하게 된다. 또한, 처리 중에, 불활성 가스를, 산소를 포함하는 가스로 전환해도 좋다. 산소를 포함하는 분위기에 있어서 제1 열처리를 행함으로써, 산소 결손에 기인하는 에너지 갭 중의 결함 준위를 저감시킬 수 있기 때문이다.
- [0177] 또한, 불활성 가스 분위기로서는, 질소 또는 희가스(헬륨, 네온, 아르곤 등)를 주성분으로 하는 분위기이며, 물, 수소 등이 포함되지 않는 분위기를 적용하는 것이 바람직하다. 예를 들어, 열처리 장치에 도입하는 질소나, 헬륨, 네온, 아르곤 등의 희가스의 순도를, 6N(99.9999%) 이상, 바람직하게는 7N(99.99999%) 이상(즉, 불순물 농도가 1ppm 이하, 바람직하게는 0.1ppm 이하)으로 한다.
- [0178] 어떤 경우든, 제1 열처리에 의해 불순물을 저감시켜, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체층을 형성함으로써, 지극히 우수한 특성의 트랜지스터를 실현할 수 있다.
- [0179] 그런데, 상술한 열처리(제1 열처리)에는 수소나 물 등을 제거하는 효과가 있기 때문에, 당해 열처리를 탈수화 처리나, 탈수소화 처리 등이라고 칭할 수도 있다. 당해 탈수화 처리나, 탈수소화 처리는, 산화물 반도체층(144)의 형성 후나 게이트 절연층(146)의 형성 후, 게이트 전극의 형성 후, 등의 타이밍에 있어서 행하는 것도 가능하다. 또한, 이러한 탈수화 처리, 탈수소화 처리는, 1회에 한하지 않고 복수회 행해도 좋다.
- [0180] 산화물 반도체층(144)의 에칭은, 상기 열처리 전 또는 상기 열처리 후 중 언제 행해도 좋다. 또한, 소자의 미세화라는 관점에서는 건식 에칭을 사용하는 것이 적합하지만, 습식 에칭을 사용해도 좋다. 에칭 가스나 에칭액에 대해서는 피에칭 재료에 따라서 적절히 선택할 수 있다. 또한, 소자에 있어서의 누설 등이 문제가 되지 않는 경우에는 산화물 반도체층을 섬 형상으로 가공하지 않고 사용해도 좋다.
- [0181] 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성해도 좋다.
- [0182] 산화물 도전층의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크 방전 이온 플레이팅 법이나, 스프레이법을 사용한다. 산화물 도전층의 재료로서는, 산화아연, 산화아연알루미늄, 산질화아연알루미늄, 산화아연갈륨 등을 적용할 수 있다. 막 두께는 50nm 이상 300nm 이하의 범위 내에서 적절히 선택한다. 또

한, 상기 재료에 산화 규소를 포함시켜도 좋다.

- [0183] 산화물 도전층은 소스 전극(142a), 드레인 전극(142b)과 동일한 포토리소그래피 공정에 의해 형상을 가공할 수 있다. 또한, 상기 산화물 도전층을, 산화물 반도체층(144)을 형성하기 위한 포토리소그래피 공정에 있어서 동일한 마스크에 의해 형상을 더 가공해도 좋다.
- [0184] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(144)과 소스 전극(142a), 드레인 전극(142b) 사이에 형성함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터(162)의 고속 동작을 할 수 있다.
- [0185] 또한, 산화물 반도체층(144), 산화물 도전층, 드레인 전극(142b)의 구성으로 함으로써, 트랜지스터(162)의 내압을 향상시킬 수 있다.
- [0186] 소스 영역 및 드레인 영역으로서 산화물 도전층을 사용하는 것은, 주변 회로(구동 회로)의 주파수 특성을 향상시키기 위해서도 유효하다. 금속 전극(몰리브덴이나 텅스텐 등)과 산화물 반도체층의 접촉에 비해, 금속 전극(몰리브덴이나 텅스텐 등)과 산화물 도전층의 접촉은, 접촉 저항을 내릴 수 있기 때문이다. 산화물 반도체층과 소스 전극층 및 드레인 전극층 사이에 산화물 도전층을 개재시킴으로써 접촉 저항을 저감할 수 있어, 주변 회로(구동 회로)의 주파수 특성을 향상시킬 수 있다.
- [0187] 이어서, 산화물 반도체층(144)을 덮도록 게이트 절연층(146)을 형성한다(도 12의 (b) 참조).
- [0188] 게이트 절연층(146)은, CVD법이나 스퍼터법 등을 사용하여 형성할 수 있다. 또한, 게이트 절연층(146)은, 산화실리콘, 질화실리콘, 산질화실리콘, 산화알루미늄, 산화탄탈, 산화하프늄, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y(x>0, y>0)$) 등을 포함하도록 형성하는 것이 적합하다. 또한, 게이트 절연층(146)은, 단층 구조로 해도 좋고, 적층 구조로 해도 좋다. 또한, 그 두께는 특별히 한정되지 않지만, 반도체 장치를 미세화하는 경우에는, 트랜지스터의 동작을 확보하기 위하여 얇게 하는 것이 바람직하다. 예를 들어, 산화실리콘을 사용하는 경우에는 1nm 이상 100nm 이하, 바람직하게는 10nm 이상 50nm 이하로 할 수 있다.
- [0189] 상술한 바와 같이, 게이트 절연층을 얇게 하면, 터널 효과 등에 기인하는 게이트 누설이 문제가 된다. 게이트 누설의 문제를 해소하기 위해서는, 게이트 절연층(146)에, 산화하프늄, 산화탄탈, 산화이트륨, 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄실리케이트($\text{HfSi}_x\text{O}_y(x>0, y>0)$), 질소가 첨가된 하프늄알루미늄네이트($\text{HfAl}_x\text{O}_y(x>0, y>0)$), 등의 고유전율(high-k) 재료를 사용하면 된다. high-k 재료를 게이트 절연층(146)으로 사용함으로써, 전기적 특성을 확보하면서, 게이트 누설을 억제하기 위하여 막 두께를 크게 하는 것이 가능해진다. 예를 들어, 산화하프늄은 비유전율이 15 정도이고, 산화실리콘의 비유전율인 3 내지 4와 비교하여 매우 큰 값을 갖고 있다. 이러한 재료를 사용함으로써, 산화실리콘 환산으로 15nm 미만, 바람직하게는 2nm 이상 10nm 이하의 게이트 절연층을 실현하는 것도 용이해진다. 또한, high-k 재료를 포함하는 막과, 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘, 산화알루미늄 등 중 어느 1개를 포함하는 막의 적층 구조로 해도 좋다.
- [0190] 또한, 게이트 절연층(146)과 같이, 산화물 반도체층(144)과 접하는 막에는, 금속 산화물막을 사용하는 것이 바람직하다. 금속 산화물막은, 예를 들어 산화실리콘, 질화실리콘, 산화질화실리콘, 질화산화실리콘 등의 재료를 사용하여 형성한다. 또한, 13족 원소 및 산소를 포함하는 재료를 사용하여 형성할 수도 있다. 13족 원소 및 산소를 포함하는 재료로서는, 예를 들어 산화갈륨, 산화알루미늄, 산화알루미늄갈륨 및 산화갈륨알루미늄 중 어느 1개 또는 복수를 포함하는 재료 등이 있다. 여기서, 산화알루미늄갈륨이란, 갈륨의 함유량(원자%)보다 알루미늄의 함유량(원자%)이 많은 것을 나타내고, 산화갈륨알루미늄이란, 갈륨의 함유량(원자%)이 알루미늄의 함유량(원자%) 이상인 것을 나타낸다. 금속 산화물막은, 상술한 재료를 사용하여, 단층 구조 또는 적층 구조로 형성할 수 있다.
- [0191] 게이트 절연층(146)의 형성 후에는, 불활성 가스 분위기 하에서, 또는 산소 분위기 하에서 제2 열처리를 행하는 것이 바람직하다. 열처리의 온도는, 200℃ 이상 450℃ 이하, 바람직하게는 250℃ 이상 350℃ 이하이다. 예를 들어, 질소 분위기 하에서 250℃, 1시간의 열처리를 행하면 된다. 제2 열처리를 행함으로써, 트랜지스터의 전기적 특성의 편차를 경감시킬 수 있다. 또한, 게이트 절연층(146)이 산소를 포함하는 경우, 산화물 반도체층(144)에 산소를 공급하여, 상기 산화물 반도체층(144)의 산소 결손을 보충하여, i형(진성 반도체) 또는 i형에 한없이 가까운 산화물 반도체층을 형성할 수도 있다.
- [0192] 또한, 본 실시 형태에서는, 게이트 절연층(146)의 형성 후에 제2 열처리를 행하고 있지만, 제2 열처리의 타이밍

은 이것에 한정되지 않는다. 예를 들어, 게이트 전극의 형성 후에 제2 열처리를 행해도 좋다. 또한, 제1 열처리에 이어 제2 열처리를 행해도 좋고, 제1 열처리에 제2 열처리를 겹하게 해도 좋고, 제2 열처리에 제1 열처리를 겹하게 해도 좋다.

- [0193] 상술한 바와 같이, 제1 열처리와 제2 열처리 중 적어도 한쪽을 적용함으로써, 산화물 반도체층(144)을, 그 주성분 이외의 불순물이 최대한 포함되지 않도록 고순도화할 수 있다.
- [0194] 이어서, 게이트 절연층(146) 위에 게이트 전극(148)을 형성한다.
- [0195] 게이트 전극(148)은, 게이트 절연층(146) 위에 도전층을 형성한 후에, 당해 도전층을 선택적으로 에칭함으로써 형성할 수 있다. 게이트 전극(148)이 되는 도전층은, 스퍼터법을 비롯한 PVD법이나, 플라스마 CVD법 등의 CVD법을 사용하여 형성할 수 있다. 상세한 것은, 소스 전극(142a) 또는 드레인 전극(142b) 등의 경우와 마찬가지로이며, 이들 기재를 참조할 수 있다.
- [0196] 이상에 의해, 고순도화된 산화물 반도체층(144)을 사용한 트랜지스터(162)가 완성된다(도 12의 (c) 참조). 이러한 트랜지스터(162)는, 오프 전류가 충분히 저감되어 있다는 특징을 갖는다. 이로 인해, 당해 트랜지스터를 기입용의 트랜지스터로서 사용함으로써, 장시간의 전하 유지를 행할 수 있다.
- [0197] 이어서, 게이트 절연층(146) 및 게이트 전극(148) 위에 절연층(150)을 형성한다(도 12의 (d) 참조). 절연층(150)은, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화실리콘, 산질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.
- [0198] 또한, 절연층(150)에는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 사용하는 것이 바람직하다. 절연층(150)의 유전율을 낮게 함으로써, 배선이나 전극 등 사이에 발생하는 용량을 저감시켜 동작의 고속화를 도모할 수 있기 때문이다.
- [0199] 이어서, 소스 전극(142a)과 중첩하도록, 절연층(150) 위에 전극(152)을 형성한다(도 13의 (a) 참조). 전극(152)은, 게이트 전극(148)과 마찬가지로의 방법 및 재료로 형성할 수 있으므로, 상세한 것은, 상기 게이트 전극(148)의 기재를 참조할 수 있다. 이상에 의해, 용량 소자(164)가 완성된다.
- [0200] 이어서, 절연층(150) 및 전극(152) 위에 절연층(154)을 형성한다. 절연층(150), 절연층(154)에, 게이트 전극(148)까지 도달하는 개구를 형성한 후, 개구에 전극(170)을 형성하고, 절연층(154) 위에 전극(170)에 접하는 배선(171)을 형성한다(도 13의 (b) 참조). 당해 개구의 형성은, 마스크 등을 사용한 선택적인 에칭에 의해 행해진다.
- [0201] 이어서, 전극(152) 및 배선(171) 위에 절연층(172)을 형성한다. 이어서, 게이트 절연층(146), 절연층(150), 절연층(154) 및 절연층(172)에, 드레인 전극(142b)까지 도달하는 개구를 형성한 후, 개구에 전극(156)을 형성하고, 절연층(172) 위에 전극(156)에 접하는 배선(158)을 형성한다(도 13의 (c) 참조). 당해 개구의 형성은, 마스크 등을 사용한 선택적인 에칭에 의해 행해진다.
- [0202] 절연층(154) 및 절연층(172)은, 절연층(150)과 마찬가지로, PVD법이나 CVD법 등을 사용하여 형성할 수 있다. 또한, 산화실리콘, 산질화실리콘, 질화실리콘, 산화하프늄, 산화알루미늄 등의 무기 절연 재료를 포함하는 재료를 사용하여, 단층 또는 적층으로 형성할 수 있다.
- [0203] 또한, 절연층(154) 및 절연층(172)에는, 유전율이 낮은 재료나, 유전율이 낮은 구조(다공성의 구조 등)를 사용하는 것이 바람직하다. 절연층(154) 및 절연층(172)의 유전율을 낮게 함으로써, 배선이나 전극 등의 사이에 발생하는 용량을 저감시켜, 동작의 고속화를 도모할 수 있기 때문이다.
- [0204] 또한, 상기 절연층(154) 및 절연층(172)은, 그 표면이 평탄해지도록 형성하는 것이 바람직하다. 표면이 평탄해지도록 절연층(154) 및 절연층(172)을 형성함으로써, 반도체 장치를 미세화한 경우 등에 있어서도, 절연층(154) 및 절연층(172) 위에 전극이나 배선 등을 적절하게 형성할 수 있기 때문이다. 또한, 절연층(154) 및 절연층(172)의 평탄화는, CMP(화학적 기계적 연마) 등의 방법을 사용하여 행할 수 있다.
- [0205] 전극(170) 및 전극(156)은, 예를 들어 개구를 포함하는 영역에 PVD법이나 CVD법 등을 사용하여 도전층을 형성한 후, 에칭 처리나 CMP와 같은 방법을 사용하여, 상기 도전층의 일부를 제거함으로써 형성할 수 있다.
- [0206] 보다 구체적으로는, 예를 들어 개구를 포함하는 영역에 PVD법에 의해 티타늄막을 얇게 형성하고, CVD법에 의해 질화티타늄막을 얇게 형성한 후에, 개구에 매립하도록 텅스텐막을 형성하는 방법을 적용할 수 있다. 여기서, PVD법에 의해 형성되는 티타늄막은, 피형성면의 산화막(자연 산화막 등)을 환원하여, 하부 전극 등(여기에서는

드레인 전극(142b))과의 접촉 저항을 저감시키는 기능을 갖는다. 또한, 그 후에 형성되는 질화티타늄막은, 도전성 재료의 확산을 억제하는 배리어 기능을 갖는다. 또한, 티타늄이나 질화티타늄 등에 의한 배리어막을 형성한 후에, 도금법에 의해 구리막을 형성해도 좋다.

[0207] 배선(171) 및 배선(158)은, 스퍼터법을 비롯한 PVD법이나, 플라즈마 CVD법 등의 CVD법을 사용하여 도전층을 형성한 후, 당해 도전층을 원하는 형상으로 에칭 가공함으로써 형성된다. 또한, 도전층의 재료로서는, 알루미늄, 크롬, 구리, 탄탈, 티타늄, 몰리브덴, 텅스텐으로부터 선택된 원소나, 상술한 원소를 성분으로 하는 합금 등을 사용할 수 있다. 망간, 마그네슘, 지르코늄, 베릴륨, 네오디뮴, 스칸듐 중 어느 1개 또는 이들을 복수 조합한 재료를 사용해도 좋다. 상세한 것은, 소스 전극(142a) 등과 마찬가지로이다.

[0208] 또한, 상기 공정 후에, 각종 배선이나 전극 등을 형성해도 좋다. 배선이나 전극은, 소위 다마신법이나, 듀얼 다마신법 등의 방법을 사용하여 형성할 수 있다.

[0209] 이상의 공정으로부터, 도 5 및 도 9의 (a) 및 (b)에 도시한 바와 같은 구성의 반도체 장치를 제작할 수 있다.

[0210] 본 실시 형태에 있어서 기재하는 트랜지스터(162)에서는, 산화물 반도체층(144)이 고순도화되어 있기 때문에, 그 수소 농도는 5×10^{19} atoms/cm³ 이하, 바람직하게는 5×10^{18} atoms/cm³ 이하, 보다 바람직하게는 5×10^{17} atoms/cm³ 이하이다. 또한, 산화물 반도체층(144)의 캐리어 밀도는, 일반적인 실리콘 웨이퍼에 있어서의 캐리어 밀도 1×10^{14} /cm³ 정도와 비교하여, 충분히 작은 값(예를 들어, 1×10^{12} /cm³ 미만, 보다 바람직하게는 1.45×10^{10} /cm³ 미만)을 취한다. 그리고, 트랜지스터(162)의 오프 전류도 충분히 작아진다. 예를 들어, 트랜지스터(162)의 실온(25℃)에서의 오프 전류(여기서는, 단위 채널 폭(1μm)당의 값)는 100zA(1zA(zepto 암페어)는 1×10^{-21} A 이하, 바람직하게는 10zA 이하로 된다.

[0211] 이와 같이 고순도화되어, 진성화된 산화물 반도체층(144)을 사용함으로써, 트랜지스터(162)의 오프 전류를 충분히 저감시키는 것이 용이해진다. 그리고, 이러한 트랜지스터(162)를 사용함으로써, 지극히 장기에 걸쳐 기억 내용을 유지하는 것이 가능한 반도체 장치가 얻어진다.

[0212] 또한, 본 실시 형태에 도시된 반도체 장치에서는, 반도체 장치의 각 메모리 셀을 구성하는, 산화물 반도체를 사용한 트랜지스터를 직렬로 접속함으로써, 메모리 셀간에서, 산화물 반도체를 사용한 트랜지스터의 소스 전극 및 드레인 전극을 공유할 수 있다. 이에 의해, 메모리 셀의 점유 면적을 저감시킬 수 있으므로, 반도체 장치의 고집적화를 도모하여, 단위 면적당의 기억 용량을 증가시킬 수 있다.

[0213] 이상, 본 실시 형태에 기재하는 구성, 방법 등은, 다른 실시 형태에 기재하는 구성, 방법 등과 적절히 조합하여 사용할 수 있다.

[0214] (실시 형태 3)

[0215] 본 실시 형태에서는, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 예를 나타낸다. 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터의 구조는 특별히 한정되지 않고 예를 들어 톱 게이트 구조, 또는 보텀 게이트 구조의 스테거형 및 플래너형 등을 사용할 수 있다. 또한, 트랜지스터는 채널 형성 영역이 1개 형성되는 싱글 게이트 구조이어도 좋고, 2개 형성되는 더블 게이트 구조 혹은 3개 형성되는 트리플 게이트 구조이어도 좋다. 또한, 채널 영역의 상하에 게이트 절연층을 개재하여 배치된 2개의 게이트 전극층을 갖는 듀얼 게이트형이어도 좋다.

[0216] 본 명세서에 개시하는 반도체 장치(예를 들어, 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162))에 적용할 수 있는 트랜지스터의 단면 구조의 예를 도 15의 (a) 내지 (d)에 도시한다. 도 15의 (a) 내지 (d)에 도시된 트랜지스터는 절연층(400) 위에 설치하는 예를 나타내지만, 유리 기판 등의 기판 위에 설치되어도 좋다. 또한, 도 15의 (a) 내지 (d)에 도시된 트랜지스터를 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162)에 적용하는 경우, 절연층(400)은, 절연층(128)에 상당한다.

[0217] 도 15의 (a)에 도시된 트랜지스터(410)는, 보텀 게이트 구조의 박막 트랜지스터의 하나이며, 역스테거형 박막 트랜지스터라고도 한다.

[0218] 트랜지스터(410)는, 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 소스 전극층(405a) 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(410)을 덮고, 산화물 반도체층(403)에 적층하는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 절연층(409)이 더 형성되어 있다.

- [0219] 도 15의 (b)에 도시된 트랜지스터(420)는, 채널 보호형(채널 스톱형이라고도 한다)이라고 불리는 보텀 게이트 구조의 하나이며 역스태거형 박막 트랜지스터라고도 한다.
- [0220] 트랜지스터(420)는, 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 산화물 반도체층(403), 산화물 반도체층(403)의 채널 형성 영역을 덮는 채널 보호층으로서 기능하는 절연층(427), 소스 전극층(405a) 및 드레인 전극층(405b)을 포함한다. 또한, 트랜지스터(420)를 덮고, 절연층(409)이 형성되어 있다.
- [0221] 도 15의 (c)에 도시된 트랜지스터(430)는 보텀 게이트형의 박막 트랜지스터이며, 절연 표면을 갖는 기판인 절연층(400) 위에 게이트 전극층(401), 게이트 절연층(402), 소스 전극층(405a), 드레인 전극층(405b) 및 산화물 반도체층(403)을 포함한다. 어떤 경우든, 트랜지스터(430)를 덮어, 산화물 반도체층(403)에 접하는 절연층(407)이 형성되어 있다. 절연층(407) 위에는 절연층(409)이 더 형성되어 있다.
- [0222] 트랜지스터(430)에 있어서는, 게이트 절연층(402)은 절연층(400) 및 게이트 전극층(401) 위에 접하여 형성되고, 게이트 절연층(402) 위에 소스 전극층(405a), 드레인 전극층(405b)이 접하여 형성되어 있다. 그리고, 게이트 절연층(402) 및 소스 전극층(405a), 드레인 전극층(405b) 위에 산화물 반도체층(403)이 형성되어 있다.
- [0223] 도 15의 (d)에 도시된 트랜지스터(440)는, 톱 게이트 구조의 박막 트랜지스터의 하나이다. 트랜지스터(440)는, 절연층(400) 위에 절연층(437), 산화물 반도체층(403), 소스 전극층(405a) 및 드레인 전극층(405b), 게이트 절연층(402), 게이트 전극층(401)을 포함하고, 소스 전극층(405a), 드레인 전극층(405b)에 각각 배선층(436a), 배선층(436b)이 접하여 형성되고 전기적으로 접속하고 있다.
- [0224] 보텀 게이트 구조의 트랜지스터(410, 420, 430)를 기판 위에 설치하는 경우, 기초막이 되는 절연막을 기판과 게이트 전극층 사이에 형성해도 좋다. 기초막은, 기판으로부터의 불순물 원소의 확산을 방지하는 기능이 있고, 질화실리콘막, 산화실리콘막, 질화산화실리콘막, 또는 산화질화실리콘막으로부터 선택된 1개 또는 복수의 막에 의한 적층 구조에 의해 형성할 수 있다.
- [0225] 게이트 전극층(401)의 재료는, 몰리브덴, 티타늄, 크롬, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 스칸듐 등의 금속 재료 또는 이들을 주성분으로 하는 합금 재료를 사용하여, 단층으로 또는 적층하여 형성할 수 있다.
- [0226] 게이트 절연층(402)은, 플라즈마 CVD법 또는 스퍼터링법 등을 사용하여, 산화실리콘층, 질화실리콘층, 산화질화실리콘층, 질화산화실리콘층, 산화알루미늄층, 질화알루미늄층, 산화질화알루미늄층, 질화산화알루미늄층, 또는 산화하프늄층을 단층으로 또는 적층하여 형성할 수 있다. 예를 들어, 제1 게이트 절연층으로서 플라즈마 CVD법에 의해 막 두께 50nm 이상 200nm 이하의 질화실리콘층($\text{SiN}_y(y>0)$)을 형성하고, 제1 게이트 절연층 위에 제2 게이트 절연층으로서 막 두께 5nm 이상 300nm 이하의 산화실리콘층($\text{SiO}_x(x>0)$)을 적층하여, 합계 막 두께 200nm의 게이트 절연층으로 한다.
- [0227] 소스 전극층(405a), 드레인 전극층(405b)으로 사용하는 도전막으로서, 예를 들어 Al, Cr, Cu, Ta, Ti, Mo, W로부터 선택된 원소 또는 상술한 원소를 성분으로 하는 합금이나, 상술한 원소를 조합한 합금막 등을 사용할 수 있다. 또한, Al, Cu 등의 금속층의 하측 또는 상측의 한쪽 또는 양쪽에 Ti, Mo, W 등의 고용점 금속층을 적층시킨 구성으로 해도 좋다. 또한, Al막에 발생하는 힐록이나 위스커의 발생을 방지하는 원소(Si, Nd, Sc 등)가 첨가되어 있는 Al 재료를 사용함으로써 내열성을 향상시키는 것이 가능하게 된다.
- [0228] 소스 전극층(405a), 드레인 전극층(405b)에 접속하는 배선층(436a), 배선층(436b)과 같은 도전막도, 소스 전극층(405a), 드레인 전극층(405b)과 마찬가지로의 재료를 사용할 수 있다.
- [0229] 또한, 소스 전극층(405a), 드레인 전극층(405b)(이와 동일한 층으로 형성되는 배선층을 포함한다)으로 되는 도전막으로서의 도전성의 금속 산화물로 형성해도 좋다. 도전성의 금속 산화물로서는 산화인듐(In_2O_3), 산화주석(SnO_2), 산화아연(ZnO), 산화인듐산화주석 합금($\text{In}_2\text{O}_3\text{-SnO}_2$, ITO라고 약기한다), 산화인듐산화아연 합금($\text{In}_2\text{O}_3\text{-ZnO}$) 또는 이들의 금속 산화물 재료에 산화실리콘을 포함시킨 것을 사용할 수 있다.
- [0230] 절연층(407, 427, 437)은, 대표적으로는 산화실리콘막, 산화질화실리콘막, 산화알루미늄막 또는 산화질화알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0231] 절연층(409)은, 질화실리콘막, 질화알루미늄막, 질화산화실리콘막, 질화산화알루미늄막 등의 무기 절연막을 사용할 수 있다.
- [0232] 또한, 절연층(409) 위에 트랜지스터 기인의 표면 요철을 저감시키기 위하여 평탄화 절연막을 형성해도 좋다.

평탄화 절연막으로서, 폴리이미드, 아크릴 수지, 벤조시클로부텐계 수지, 등의 유기 재료를 사용할 수 있다. 또한 상기 유기 재료 이외에, 저유전율 재료(low-k 재료) 등을 사용할 수 있다. 또한, 이들 재료로 형성되는 절연막을 복수 적층시킴으로써, 평탄화 절연막을 형성해도 좋다.

[0233] 또한, 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층을 버퍼층으로서 형성해도 좋다. 도 15의 (d)의 트랜지스터(440)에 산화물 도전층을 형성한 트랜지스터(441, 442)를 도 16의 (a) 및 (b)에 도시한다.

[0234] 도 16의 (a) 및 (b)의 트랜지스터(441, 442)는, 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에, 소스 영역 및 드레인 영역으로서 기능하는 산화물 도전층(404a, 404b)이 형성되어 있다. 도 16의 (a) 및 (b)의 트랜지스터(441, 442)는 제작 공정에 의해 산화물 도전층(404a, 404b)의 형상이 상이한 예이다.

[0235] 도 16의 (a)의 트랜지스터(441)에서는, 산화물 반도체막과 산화물 도전막의 적층을 형성하고, 산화물 반도체막과 산화물 도전막의 적층을 동일한 포토리소그래피 공정에 의해 형상을 가공하여 섬 형상의 산화물 반도체층(403)과 산화물 도전층을 형성한다. 산화물 반도체층 및 산화물 도전층 위에 소스 전극층(405a), 드레인 전극층(405b)을 형성한 후, 소스 전극층(405a), 드레인 전극층(405b)을 마스크로 하여, 섬 형상의 산화물 도전층을 에칭하여, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b)을 형성한다.

[0236] 도 16의 (b)의 트랜지스터(442)에서는, 산화물 반도체층(403) 위에 산화물 도전막을 형성하고, 그 위에 금속 도전막을 형성하고, 산화물 도전막 및 금속 도전막을 동일한 포토리소그래피 공정에 의해 가공하여, 소스 영역 및 드레인 영역이 되는 산화물 도전층(404a, 404b), 소스 전극층(405a), 드레인 전극층(405b)을 형성한다.

[0237] 또한, 산화물 도전층의 형상을 가공하기 위한 에칭 처리 시, 산화물 반도체층이 과잉으로 에칭되지 않도록, 에칭 조건(에칭제의 종류, 농도, 에칭 시간 등)을 적절히 조정한다.

[0238] 산화물 도전층(404a, 404b)의 성막 방법은, 스퍼터링법이나 진공 증착법(전자 빔 증착법 등)이나, 아크 방전 이온 플레이팅법이나, 스프레이법을 사용한다. 산화물 도전층의 재료로서는, 산화아연, 산화아연알루미늄, 산질화아연알루미늄, 산화아연갈륨, 산화인듐산화주석 합금 등을 적용할 수 있다. 또한, 상기 재료에 산화 규소를 포함시켜도 좋다.

[0239] 소스 영역 및 드레인 영역으로서, 산화물 도전층을 산화물 반도체층(403)과 소스 전극층(405a), 드레인 전극층(405b) 사이에 형성함으로써, 소스 영역 및 드레인 영역의 저저항화를 도모할 수 있어, 트랜지스터(441, 442)가 고속 동작을 할 수 있다.

[0240] 또한, 산화물 반도체층(403), 산화물 도전층(404b), 드레인 전극층(405b)의 구성으로 함으로써, 트랜지스터(441, 442)의 내압을 향상시킬 수 있다.

[0241] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.

[0242] (실시 형태 4)

[0243] 상기 실시 형태 1 내지 3에 있어서, 트랜지스터의 반도체층으로 사용할 수 있는 산화물 반도체층의 일 형태를, 도 17을 사용하여 설명한다.

[0244] 본 실시 형태의 산화물 반도체층은, 제1 결정성 산화물 반도체층 위에 제1 결정성 산화물 반도체층보다 두꺼운 제2 결정성 산화물 반도체층을 갖는 적층 구조이다.

[0245] 절연층(400) 위에 절연층(437)을 형성한다. 본 실시 형태에서는, 절연층(437)으로서, PCVD법 또는 스퍼터링법을 사용하여, 50nm 이상 600nm 이하의 막 두께의 산화물 절연층을 형성한다. 예를 들어, 산화실리콘막, 산화갈륨막, 산화알루미늄막, 산화질화실리콘막, 산화질화알루미늄막 또는 질화산화실리콘막으로부터 선택된 1층 또는 이들의 적층을 사용할 수 있다.

[0246] 이어서, 절연층(437) 위에 막 두께 1nm 이상 10nm 이하의 제1 산화물 반도체막을 형성한다. 제1 산화물 반도체막의 형성은, 스퍼터링법을 사용하고, 그 스퍼터링법에 의한 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다.

[0247] 본 실시 형태에서는, 산화물 반도체용 타겟(In-Ga-Zn-O계 산화물 반도체용 타겟(In₂O₃:Ga₂O₃:ZnO=1:1:2[mol 수비]))을 사용하여, 기판과 타겟 사이의 거리를 170mm, 기판 온도 250℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산

소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 5nm의 제1 산화물 반도체막을 성막한다.

- [0248] 이어서, 기판을 배치하는 챔버 분위기를 질소 또는 건조 공기로 하여 제1 가열처리를 행한다. 제1 가열 처리의 온도는 400℃ 이상 750℃ 이하로 한다. 제1 가열 처리에 의해 제1 결정성 산화물 반도체층(450a)을 형성한다(도 17의 (a) 참조).
- [0249] 제1 가열 처리의 온도에도 의하지만, 제1 가열 처리에 의해, 막 표면으로부터 결정화가 일어나, 막의 표면으로부터 내부를 향하여 결정 성장되어, C축 배향한 결정이 얻어진다. 제1 가열 처리에 의해, 아연과 산소가 막 표면에 많이 모여, 상층 평면이 육각형을 이루는 아연과 산소로 이루어지는 그래펜 타입의 이차원 결정이 최표면에 1층 또는 복수층 형성되고, 이것이 막 두께 방향으로 성장하여 겹침 적층이 된다. 가열 처리의 온도를 올리면 표면으로부터 내부, 그리고 내부로부터 저부로 결정 성장이 진행된다.
- [0250] 제1 가열 처리에 의해, 산화물 절연층인 절연층(437) 중의 산소를 제1 결정성 산화물 반도체층(450a)과의 계면 또는 그 근방(계면으로부터 $\pm 5\text{nm}$)으로 확산시켜, 제1 결정성 산화물 반도체층의 산소 결손을 저감시킨다. 따라서, 기초 절연층으로서 사용되는 절연층(437)은, 막 중(벌크 중), 제1 결정성 산화물 반도체층(450a)과 절연층(437)의 계면, 중 어느 1개에는 적어도 화학양론비를 초과하는 양의 산소가 존재하는 것이 바람직하다.
- [0251] 이어서, 제1 결정성 산화물 반도체층(450a) 위에 10nm보다 두꺼운 제2 산화물 반도체막을 형성한다. 제2 산화물 반도체막의 형성은, 스퍼터링법을 사용하고, 그 성막 시에 있어서의 기판 온도는 200℃ 이상 400℃ 이하로 한다. 성막 시에 있어서의 기판 온도를 200℃ 이상 400℃ 이하로 함으로써, 제1 결정성 산화물 반도체층의 표면 위에 접하여 성막하는 산화물 반도체층에 전구체의 정렬이 일어나, 소위 질서성을 갖게 할 수 있다.
- [0252] 본 실시 형태에서는, 산화물 반도체용 타깃(In-Ga-Zn-O계 산화물 반도체용 타깃($\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$ [mol수비]))을 사용하여, 기판과 타깃 사이의 거리를 170mm, 기판 온도 400℃, 압력 0.4Pa, 직류(DC) 전원 0.5kW, 산소만, 아르곤만, 또는 아르곤 및 산소 분위기 하에서 막 두께 25nm의 제2 산화물 반도체막을 성막한다.
- [0253] 이어서, 기판을 배치하는 챔버 분위기를 질소, 산소 또는 건조 공기로 하여 제2 가열 처리를 행한다. 제2 가열 처리의 온도는, 400℃ 이상 750℃ 이하로 한다. 제2 가열 처리에 의해 제2 결정성 산화물 반도체층(450b)을 형성한다(도 17의 (b) 참조). 제2 가열 처리는, 질소 분위기 하에서, 산소 분위기 하에서, 혹은 질소와 산소의 혼합 분위기 하에서 행함으로써, 제2 결정성 산화물 반도체층의 고밀도화 및 결함수의 감소를 도모한다. 제2 가열 처리에 의해, 제1 결정성 산화물 반도체층(450a)을 핵으로 하여 막 두께 방향, 즉 저부로부터 내부로 결정 성장이 진행되어 제2 결정성 산화물 반도체층(450b)이 형성된다.
- [0254] 또한, 절연층(437)의 형성부터 제2 가열 처리까지의 공정을 대기에 접촉하지 않고 연속적으로 행하는 것이 바람직하다. 절연층(437)의 형성부터 제2 가열 처리까지의 공정은, 수소 및 수분을 거의 포함하지 않는 분위기(불활성 분위기, 감압 분위기, 건조 공기 분위기 등) 하에서 제어하는 것이 바람직하고, 예를 들어 수분에 대해서는 노점 -40℃ 이하, 바람직하게는 노점 -50℃ 이하의 건조 질소 분위기로 한다.
- [0255] 이어서, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)으로 이루어지는 산화물 반도체 적층을 가공하여 섬 형상의 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을 형성한다(도 17의 (c) 참조). 도면에서는, 제1 결정성 산화물 반도체층(450a)과 제2 결정성 산화물 반도체층(450b)의 계면을 점선으로 나타내고, 산화물 반도체 적층으로 설명하고 있지만, 명확한 계면이 존재하고 있는 것이 아니며, 어디까지나 이해하기 쉽게 설명하기 위하여 도시하고 있다.
- [0256] 산화물 반도체 적층의 가공은, 원하는 형상의 마스크를 산화물 반도체 적층 위에 형성한 후, 당해 산화물 반도체 적층을 에칭함으로써 행할 수 있다. 상술한 마스크는, 포토리소그래피 등의 방법을 사용하여 형성할 수 있다. 또는, 잉크젯법 등의 방법을 사용하여 마스크를 형성해도 좋다.
- [0257] 또한, 산화물 반도체 적층의 에칭은, 건식 에칭이어도 좋고 습식 에칭이어도 좋다. 물론, 이들을 조합하여 사용해도 좋다.
- [0258] 또한, 상기 제작 방법에 의해, 얻어지는 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, C축 배향을 갖고 있는 것을 특징의 하나로 하고 있다. 단, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 단결정 구조가 아니고, 비정질 구조가 아닌 구조이며, C축 배향을 갖은 결정(C Axis Aligned Crystal; CAAC라고도 칭한다)을 포함하는 산화물을 갖는다. 또한, 제1 결정성 산화물 반도체층 및 제2 결정성 산화물 반도체층은, 일부에 결정립계를 갖고 있다.

- [0259] CAAC를 얻기 위해서는 산화물 반도체막의 퇴적 초기 단계에 있어서 육방정의 결정이 형성되도록 하는 것과, 당해 결정을 종(種)으로 하여 결정이 성장되도록 하는 것이 중요하다. 그를 위해서는, 기판 가열 온도를 100℃ 내지 500℃, 적합하게는 200℃ 내지 400℃, 또한 적합하게는 250℃ 내지 300℃로 하면 바람직하다. 또한, 그 외에, 성막 시의 기판 가열 온도보다 높은 온도에서, 퇴적된 산화물 반도체막을 열처리함으로써 막 중에 포함되는 미크로적인 결함이나, 적층 계면의 결함을 수복할 수 있다.
- [0260] 또한, 제1 및 제2 결정성 산화물 반도체층은, 적어도 Zn을 갖는 산화물 재료이며, 4원계 금속 산화물인 In-Al-Ga-Zn-O계의 재료나, In-Sn-Ga-Zn-O계의 재료나, 3원계 금속 산화물인 In-Ga-Zn-O계의 재료, In-Al-Zn-O계의 재료, In-Sn-Zn-O계의 재료, Sn-Ga-Zn-O계의 재료, Al-Ga-Zn-O계의 재료, Sn-Al-Zn-O계의 재료나, 2원계 금속 산화물인 In-Zn-O계의 재료, Sn-Zn-O계의 재료, Al-Zn-O계의 재료, Zn-Mg-O계의 재료나, Zn-O계의 재료 등이 있다. 또한, In-Si-Ga-Zn-O계의 재료나, In-Ga-B-Zn-O계의 재료나, In-B-Zn-O계의 재료를 사용해도 좋다. 또한, 상기의 재료에 SiO₂를 포함시켜도 좋다. 여기서, 예를 들어 In-Ga-Zn-O계의 재료란, 인듐(In), 갈륨(Ga), 아연(Zn)을 갖는 산화물막이라는 의미이며, 그 조성비는 특별히 상관없다. 또한, In과 Ga와 Zn 이외의 원소를 포함하고 있어도 좋다.
- [0261] 또한, 알칼리 금속은 산화물 반도체를 구성하는 원소가 아니기 때문에, 불순물이다. 알칼리 토금속도, 산화물 반도체를 구성하는 원소가 아닌 경우에 불순물이 된다. 특히, 알칼리 금속 중 Na는, 산화물 반도체막에 접하는 절연막이 산화물인 경우, 당해 절연막 층으로 확산되어 Na⁺로 된다. 또한, Na는 산화물 반도체막 내에서, 산화물 반도체를 구성하는 금속과 산소의 결합을 분단하거나, 혹은 그 결합 중에 인터럽트된다. 그 결과, 예를 들어 임계값 전압이 마이너스 방향으로 시프트하는 것에 의한 노멀리 온화, 이동도의 저하 등의, 트랜지스터의 특성의 열화가 일어나고, 그 외에 특성의 편차도 발생한다. 이 불순물에 의해 초래되는 트랜지스터의 특성의 열화와, 특성의 편차는, 산화물 반도체막 중의 수소의 농도가 충분히 낮은 경우에 현저하게 나타난다. 따라서, 산화물 반도체막 중의 수소의 농도가 5×10¹⁹/cm³ 이하, 특히 5×10¹⁸/cm³ 이하인 경우에는 상기 불순물의 농도를 저감시키는 것이 바람직하다. 구체적으로, 2차 이온 질량 분석법에 의한 Na 농도의 측정값은, 5×10¹⁶/cm³ 이하, 바람직하게는 1×10¹⁶/cm³ 이하, 더욱 바람직하게는 1×10¹⁵/cm³ 이하로 하면 된다. 마찬가지로, Li 농도의 측정값은 5×10¹⁵/cm³ 이하, 바람직하게는 1×10¹⁵/cm³ 이하로 하면 된다. 마찬가지로, K 농도의 측정값은 5×10¹⁵/cm³ 이하, 바람직하게는 1×10¹⁵/cm³ 이하로 하면 된다.
- [0262] 또한, 제1 결정성 산화물 반도체층 위에 제2 결정성 산화물 반도체층을 형성하는 2층 구조에 한정되지 않고, 제2 결정성 산화물 반도체층의 형성 후에 제3 결정성 산화물 반도체층을 형성하기 위한 성막과 가열 처리의 프로세스를 반복하여 행하여, 3층 이상의 적층 구조로 해도 좋다.
- [0263] 상기 제작 방법으로 형성된 산화물 반도체 적층으로 이루어지는 산화물 반도체층(453)을, 본 명세서에 개시하는 반도체 장치에 적용할 수 있는 트랜지스터(예를 들어, 실시 형태 1 및 실시 형태 2에 있어서의 트랜지스터(162), 실시 형태 3에 있어서의 트랜지스터(410, 420, 430, 440, 441, 442))에 적절히 사용할 수 있다.
- [0264] 또한, 산화물 반도체층(403)으로서 본 실시 형태의 산화물 반도체 적층을 사용한 실시 형태 3에 있어서의 트랜지스터(440)에 있어서는, 산화물 반도체층의 한쪽 면으로부터 다른 쪽의 면에 전계가 인가되지 않고, 또한 전류가 산화물 반도체 적층의 두께 방향(한쪽 면으로부터 다른 쪽의 면에 흐르는 방향, 구체적으로 도 15의 (d)에서는 상하 방향)으로 흐르는 구조가 아니다. 전류는, 주로 산화물 반도체 적층의 계면을 흐르는 트랜지스터 구조이기 때문에, 트랜지스터에 광 조사가 행해지고 또는 BT 스트레스가 부여되어도 트랜지스터 특성의 열화는 억제되거나, 또는 저감된다.
- [0265] 산화물 반도체층(453)과 같은 제1 결정성 산화물 반도체층과 제2 결정성 산화물 반도체층의 적층을 트랜지스터에 사용함으로써, 안정된 전기적 특성을 갖고, 또한 신뢰성이 높은 트랜지스터를 실현할 수 있다.
- [0266] 본 실시 형태는, 다른 실시 형태에 기재한 구성과 적절히 조합하여 실시하는 것이 가능하다.
- [0267] (실시 형태 5)
- [0268] 본 실시 형태에서는, 상술한 실시 형태에서 설명한 반도체 장치를 전자 기기에 적용하는 경우에 대해서, 도 14를 사용하여 설명한다. 본 실시 형태에서는, 컴퓨터, 휴대 전화기(휴대 전화, 휴대 전화 장치라고도 한다), 휴대 정보 단말기(휴대형 게임기, 음향 재생 장치 등도 포함한다), 디지털 카메라, 디지털 비디오 카메라 등의 카

메라, 전자 페이퍼, 텔레비전 장치(텔레비전 또는 텔레비전 수신기라고도 한다) 등의 전자 기기에, 상술한 반도체 장치를 적용하는 경우에 대하여 설명한다.

- [0269] 도 14의 (a)는, 노트북형의 퍼스널 컴퓨터이며, 하우징(701), 하우징(702), 표시부(703), 키보드(704) 등에 의해 구성되어 있다. 하우징(701)과 하우징(702) 중 적어도 1개에는, 실시 형태에서 상술된 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 노트북형의 퍼스널 컴퓨터가 실현된다.
- [0270] 도 14의 (b)는, 휴대 정보 단말기(PDA)이며, 본체(711)에는, 표시부(713)와, 외부 인터페이스(715)와, 조작 버튼(714) 등이 설치되어 있다. 또한, 휴대 정보 단말기를 조작하는 스타일러스(712) 등을 구비하고 있다. 본체(711) 내에는, 실시 형태에서 상술된 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 정보 단말기가 실현된다.
- [0271] 도 14의 (c)는, 전자 페이퍼를 실장한 전자 서적(720)이며, 하우징(721)과 하우징(723)의 2개의 하우징으로 구성되어 있다. 하우징(721) 및 하우징(723)에는, 각각 표시부(725) 및 표시부(727)가 설치되어 있다. 하우징(721)과 하우징(723)은, 축부(737)에 의해 접속되어 있고, 상기 축부(737)를 축으로 하여 개폐 동작을 행할 수 있다. 또한, 하우징(721)은, 전원(731), 조작 키(733), 스피커(735) 등을 구비하고 있다. 하우징(721), 하우징(723) 중 적어도 1개에는, 실시 형태에서 상술된 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 전자 서적이 실현된다.
- [0272] 도 14의 (d)는, 휴대 전화기이며, 하우징(740)과 하우징(741)의 2개의 하우징으로 구성되어 있다. 또한, 하우징(740)과 하우징(741)은 슬라이드하여, 도 14의 (d)와 같이 전개되어 있는 상태에서부터 중첩된 상태로 할 수 있어, 휴대에 적합한 소형화가 가능하다. 또한, 하우징(741)은, 표시 패널(742), 스피커(743), 마이크로폰(744), 조작 키(745), 포인팅 디바이스(746), 카메라용 렌즈(747), 외부 접속 단자(748) 등을 구비하고 있다. 또한, 하우징(740)은, 휴대 전화기의 충전을 행하는 태양 전지 셀(749), 외부 메모리 슬롯(750) 등을 구비하고 있다. 또한, 안테나는, 하우징(741)에 내장되어 있다. 하우징(740)과 하우징(741) 중 적어도 1개에는, 실시 형태에서 상술된 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 휴대 전화기가 실현된다.
- [0273] 도 14의 (e)는, 디지털 카메라이며, 본체(761), 표시부(767), 집안부(763), 조작 스위치(764), 표시부(765), 배터리(766) 등에 의해 구성되어 있다. 본체(761) 내에는, 실시 형태에서 상술된 반도체 장치가 설치되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 디지털 카메라가 실현된다.
- [0274] 도 14의 (f)는, 텔레비전 장치(770)이며, 하우징(771), 표시부(773), 스탠드(775) 등으로 구성되어 있다. 텔레비전 장치(770)의 조작은, 하우징(771)이 구비하는 스위치나, 리모콘 조작기(780)에 의해 행할 수 있다. 하우징(771) 및 리모콘 조작기(780)에는, 실시 형태에서 상술된 반도체 장치가 탑재되어 있다. 그로 인해, 정보의 기입 및 판독이 고속이고, 장기간의 기억 유지가 가능하고, 또한 소비 전력이 충분히 저감된 텔레비전 장치가 실현된다.
- [0275] 이상과 같이, 본 실시 형태에 기재하는 전자 기기에는, 실시 형태에서 상술된 반도체 장치가 탑재되어 있다. 이로 인해, 소비 전력을 저감시킨 전자 기기가 실현된다.

부호의 설명

- [0276] 100: 기관
102: 보호층
104: 반도체 영역
106: 소자 분리 절연층
108, 108a: 게이트 절연층
110: 게이트 전극
116, 116a, 116b: 채널 형성 영역

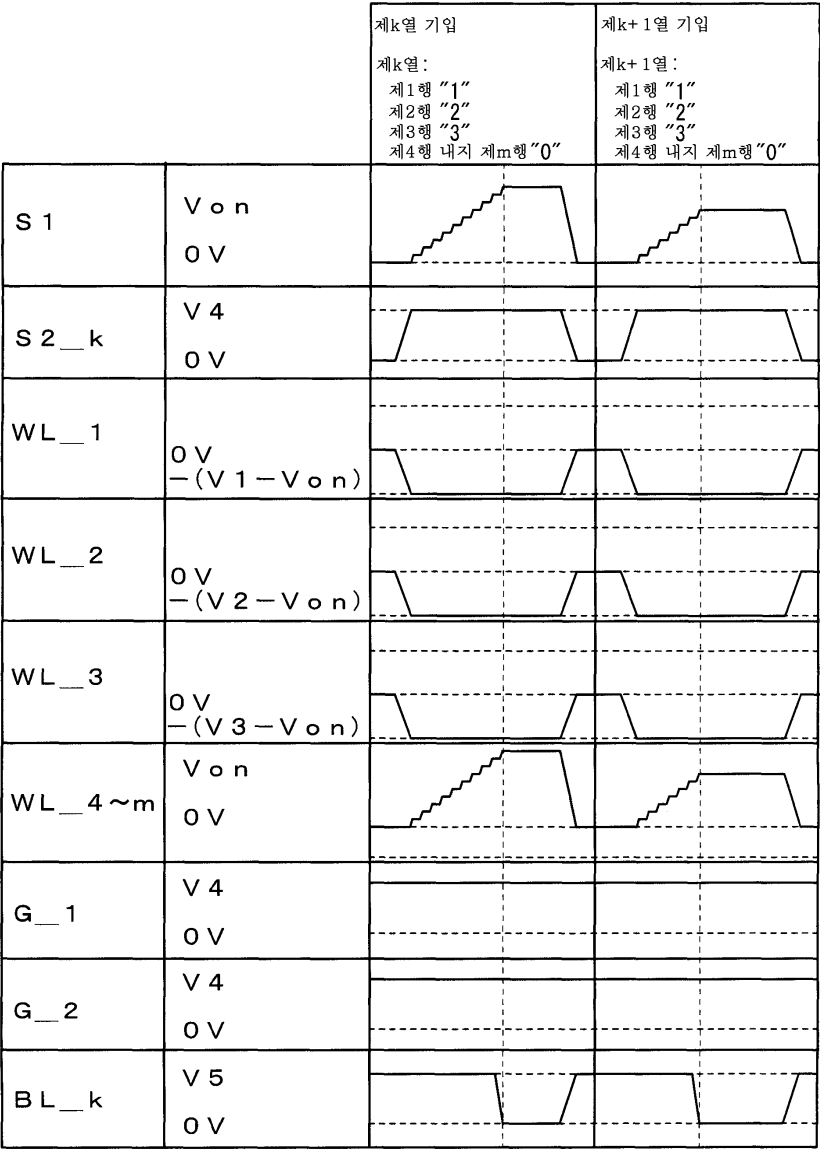
120, 120a, 120b: 불순물 영역
 122: 금속층
 124, 124a, 124b: 금속 화합물 영역
 126: 전극
 128, 140: 절연층
 142a: 소스 전극
 142b: 드레인 전극
 144: 산화물 반도체층
 146: 게이트 절연층
 148: 게이트 전극
 150: 절연층
 152: 전극
 154: 절연층
 156: 전극
 158: 배선
 160, 162: 트랜지스터
 164: 용량 소자
 170: 전극
 171: 배선
 172: 절연층
 180, 182: 선택 트랜지스터
 190: 메모리 셀
 400: 절연층
 401: 게이트 전극층
 402: 게이트 절연층
 403: 산화물 반도체층
 404a, 404b: 산화물 도전층
 405a: 소스 전극층
 405b: 드레인 전극층
 407, 409: 절연층
 410, 420: 트랜지스터
 427: 절연층
 430: 트랜지스터
 436a, 436b: 배선층
 437: 절연층
 440, 441, 442: 트랜지스터

450a, 450b: 결정성 산화물 반도체층
 453: 산화물 반도체층
 701, 702: 하우징
 703: 표시부
 704: 키보드
 711: 본체
 712: 스타일러스
 713: 표시부
 714: 조작 버튼
 715: 외부 인터페이스
 720: 전자 서적
 721, 723: 하우징
 725, 727: 표시부
 731: 전원
 733: 조작 키
 735: 스피커
 737: 축부
 740, 741: 하우징
 742: 표시 패널
 743: 스피커
 744: 마이크로폰
 745: 조작 키
 746: 포인팅 디바이스
 747: 카메라용 렌즈
 748: 외부 접속 단자
 749: 태양 전지 셀
 750: 외부 메모리 슬롯
 761: 본체
 763: 접안부
 764: 조작 스위치
 765: 표시부
 766: 배터리
 767: 표시부
 770: 텔레비전 장치
 771: 하우징
 773: 표시부

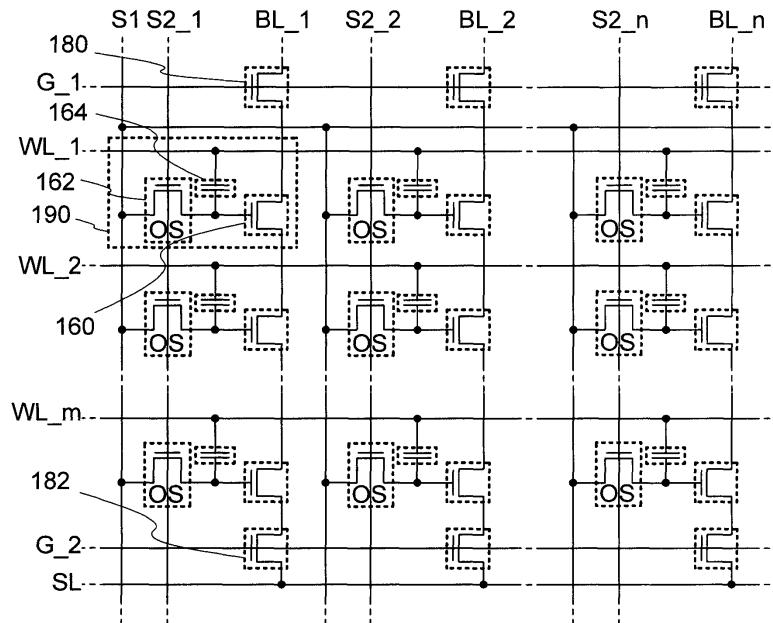
775: 스탠드
780: 리모콘 조작기

도면

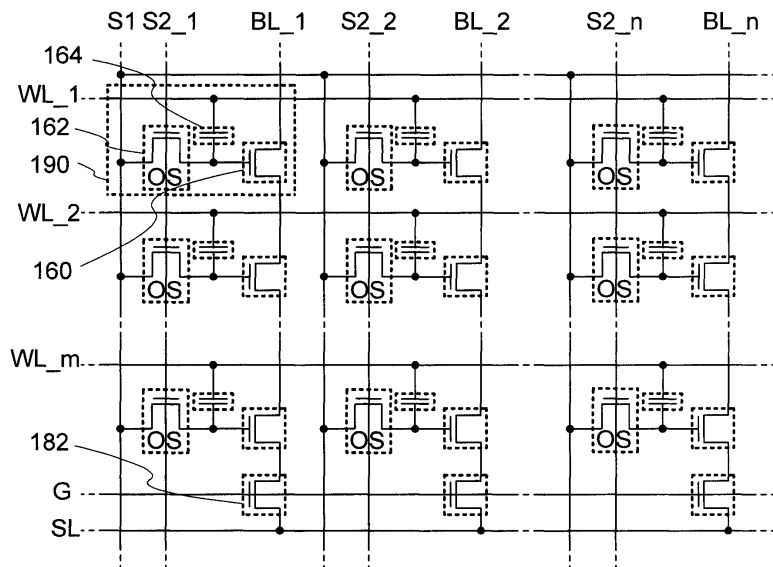
도면1



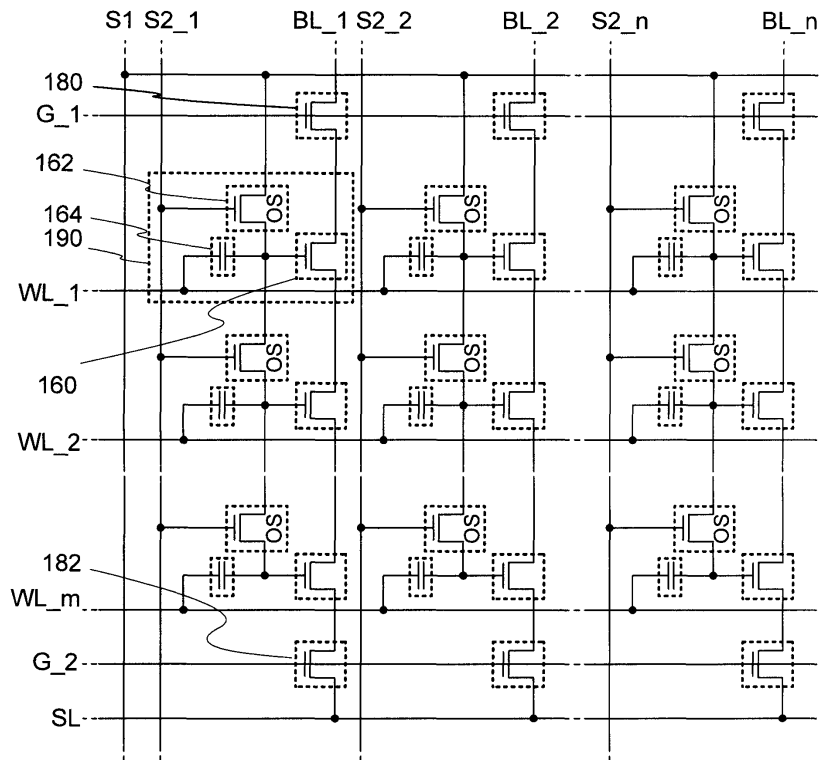
도면2



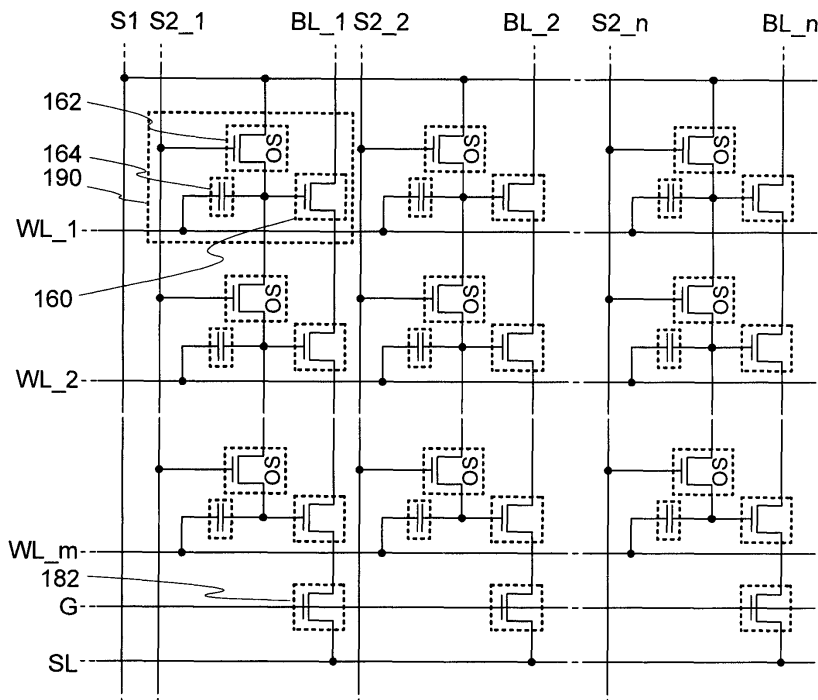
도면3



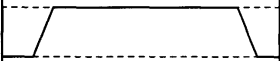
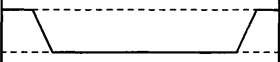
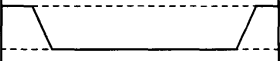
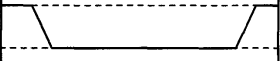
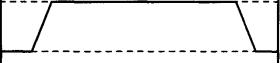
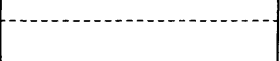
도면4



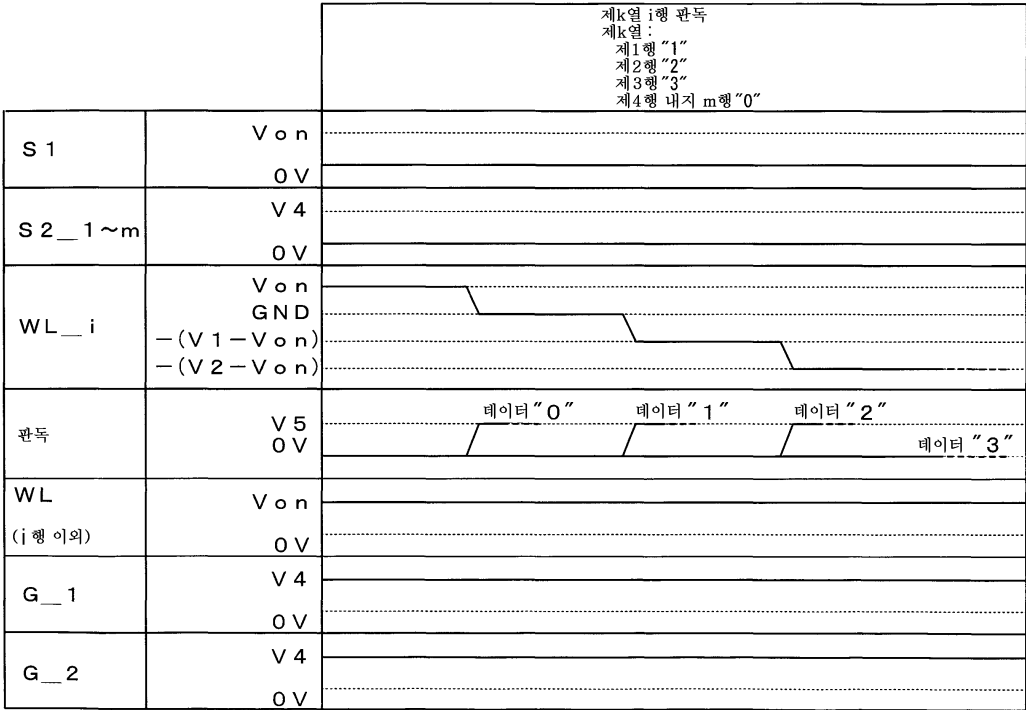
도면5



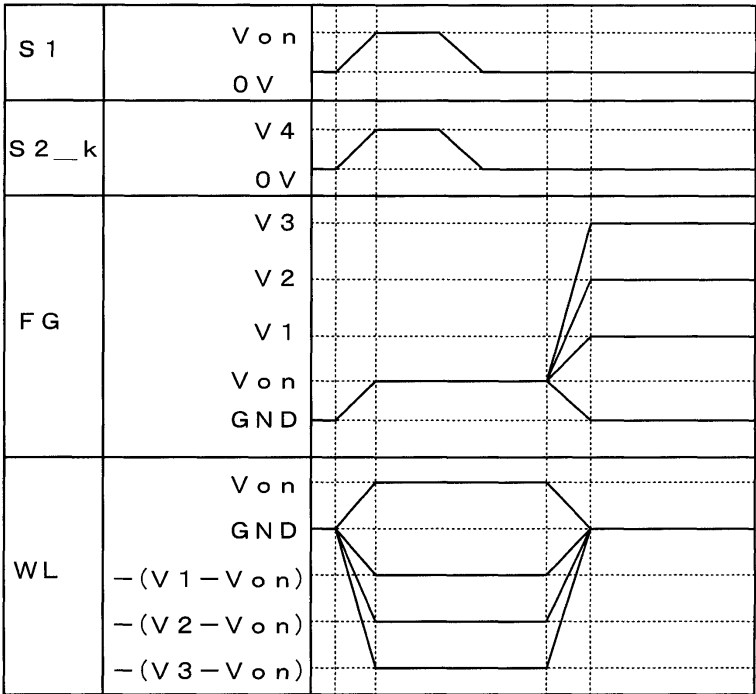
도면6

		제k열 기입 제k열 : 제1행 "1" 제2행 "2" 제3행 "3" 제4행 내지 제m행 "0"
S 1	V o n 0 V	
S 2__k	V 4 0 V	
WL__1	0 V -(V 1-V o n)	
WL__2	0 V -(V 2-V o n)	
WL__3	0 V -(V 3-V o n)	
WL__4~m	V o n 0 V	
G__1	V 4 0 V	
G__2	V 4 0 V	

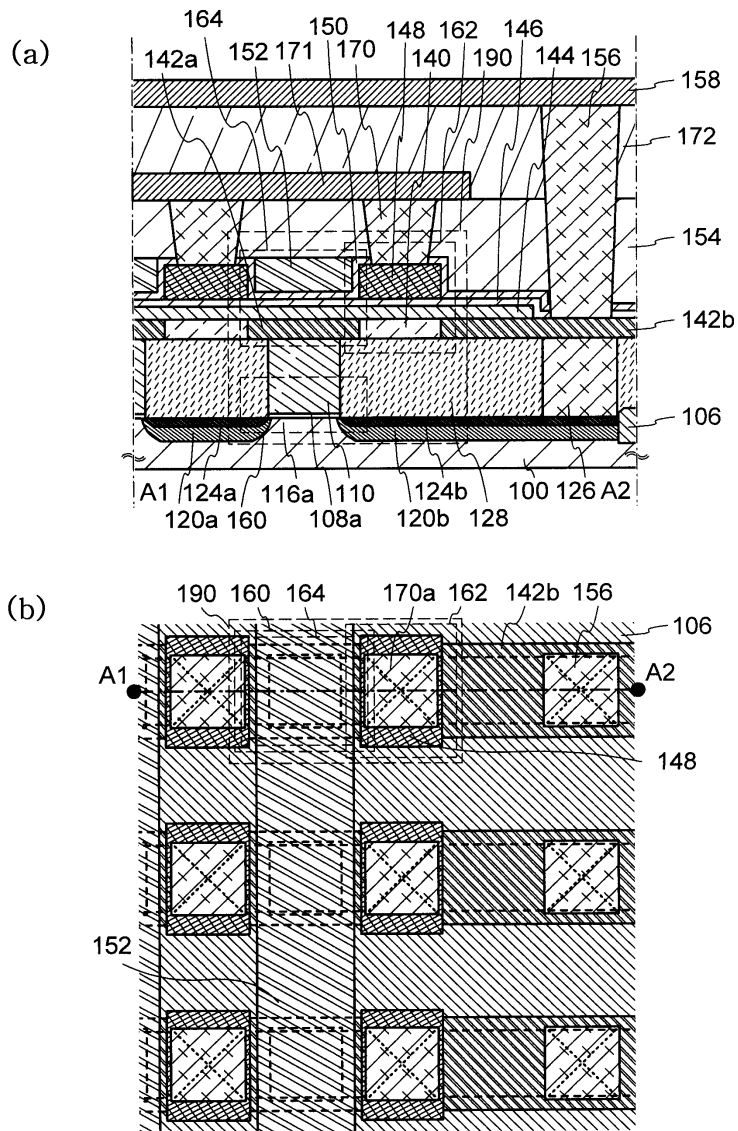
도면7



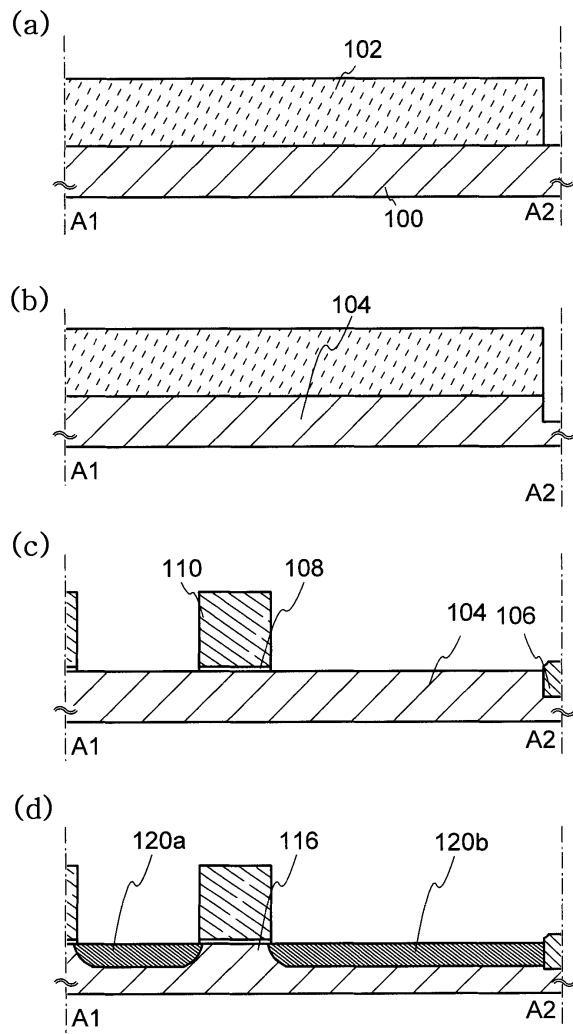
도면8



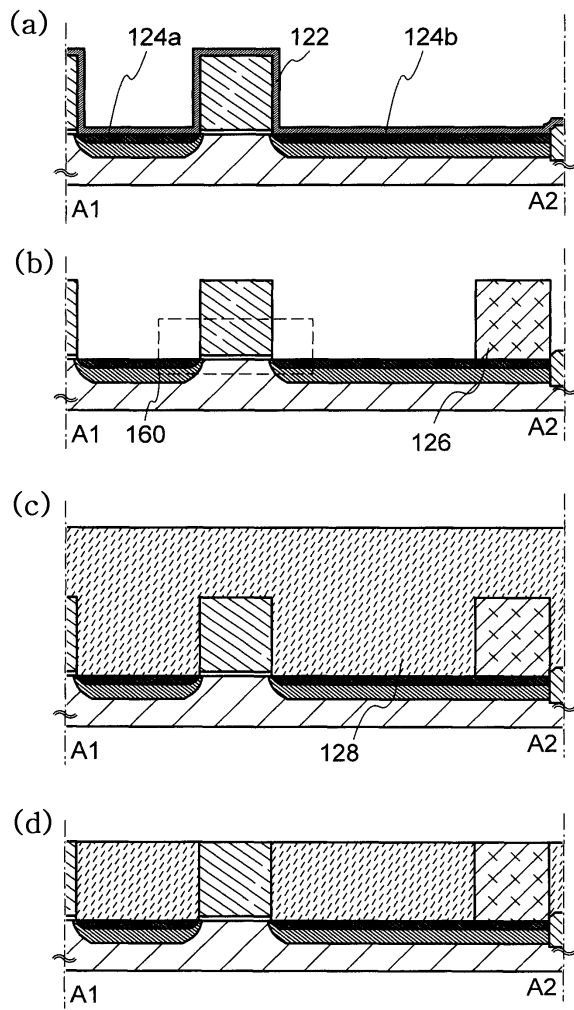
도면9



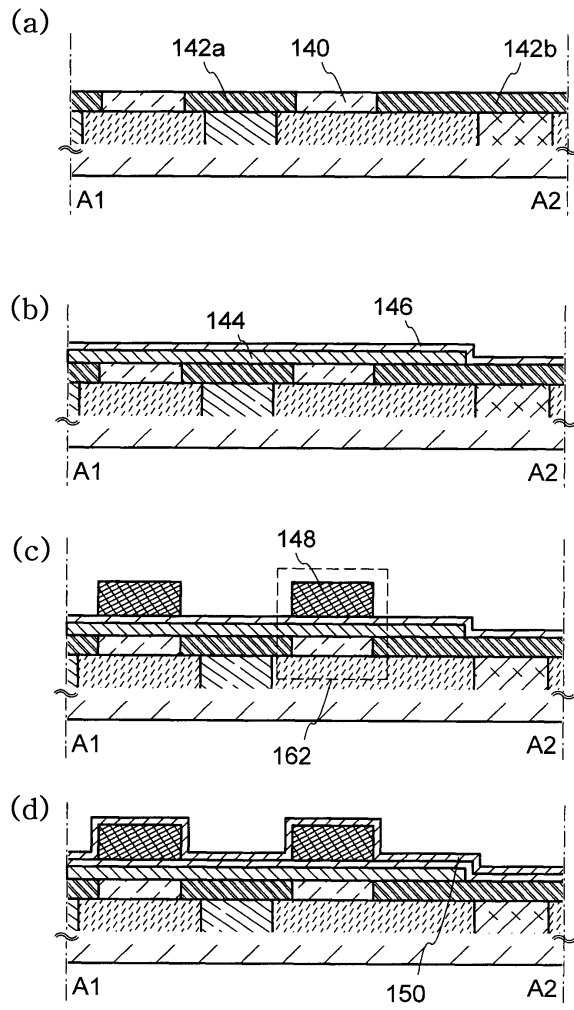
도면10



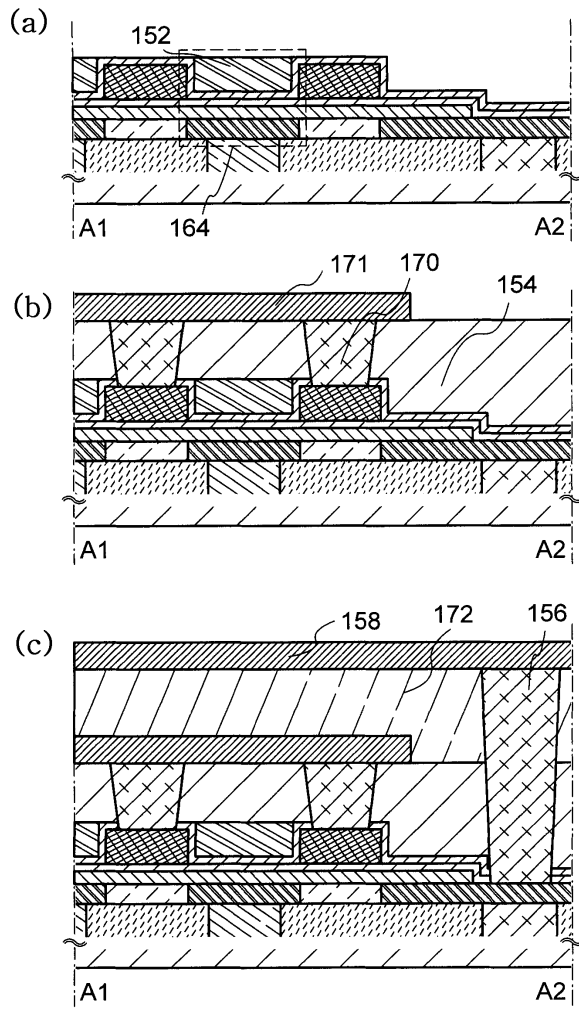
도면11



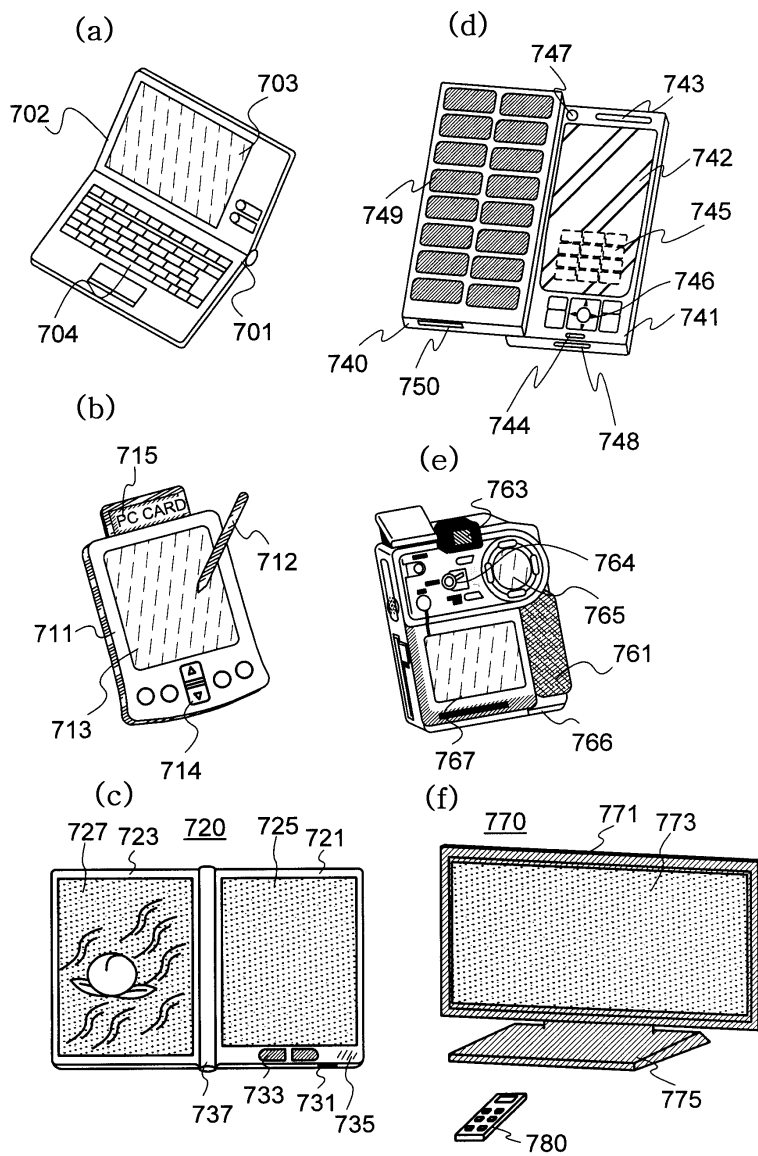
도면12



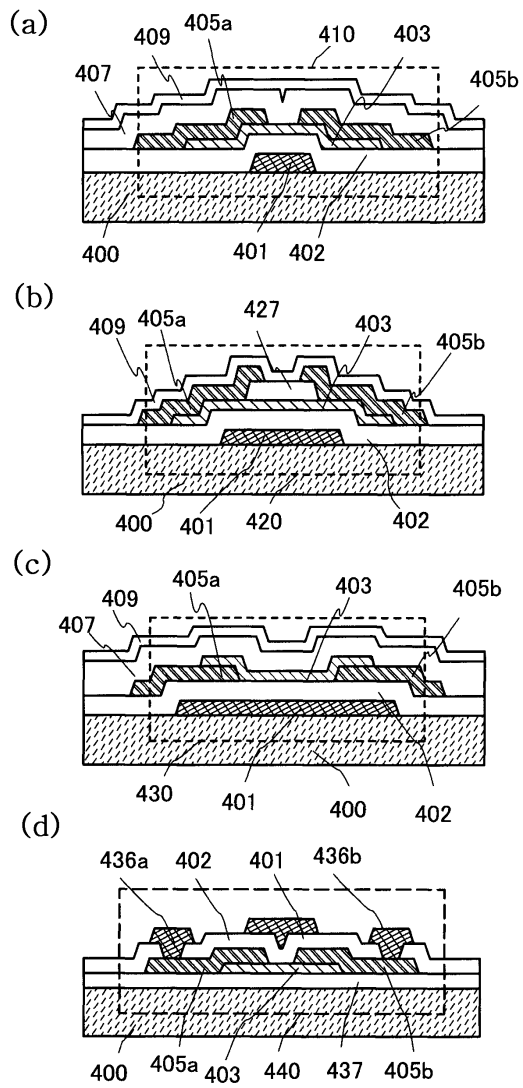
도면13



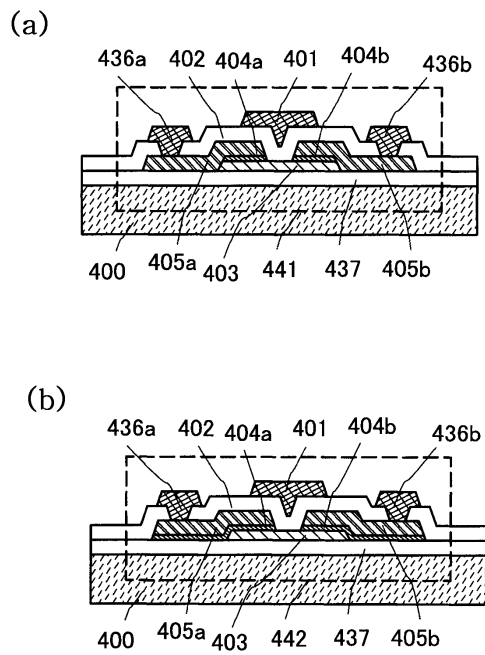
도면14



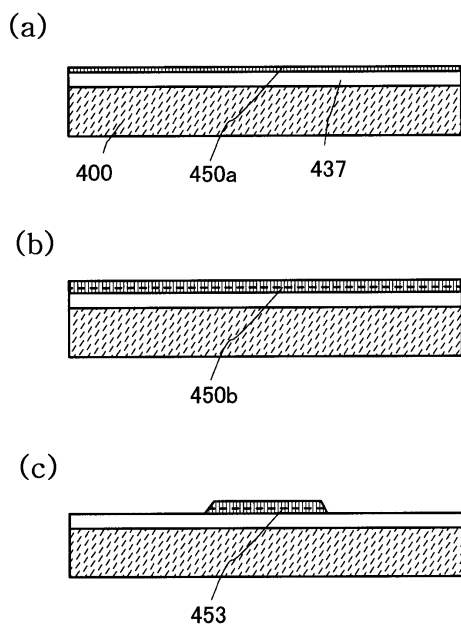
도면15



도면16



도면17



도면18

