



## (12) 发明专利

(10) 授权公告号 CN 102293068 B

(45) 授权公告日 2014. 03. 05

(21) 申请号 201080005398. 8

(51) Int. Cl.

(22) 申请日 2010. 01. 28

H05K 1/02 (2006. 01)

H05K 9/00 (2006. 01)

(30) 优先权数据

2009-019297 2009. 01. 30 JP

2009-279911 2009. 12. 09 JP

审查员 朱永全

(85) PCT国际申请进入国家阶段日

2011. 07. 26

(86) PCT国际申请的申请数据

PCT/JP2010/051547 2010. 01. 28

(87) PCT国际申请的公布数据

W02010/087506 EN 2010. 08. 05

(73) 专利权人 佳能株式会社

地址 日本东京

(72) 发明人 小山兼司

(74) 专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 欧阳帆

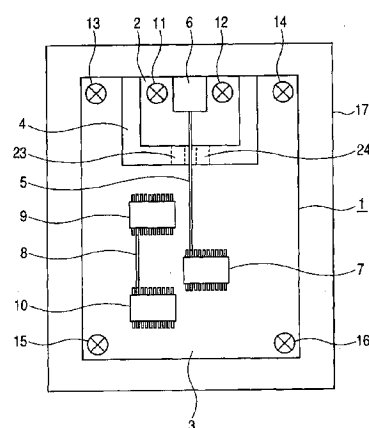
权利要求书1页 说明书7页 附图9页

(54) 发明名称

多层印刷电路板

(57) 摘要

提供了多层印刷电路板,其包括:信号接地图案;通过缝隙部分形成的框架接地图案;外部接口组件,通过延伸越过缝隙部分的信号布线与半导体装置连接;以及两个具有导电性的连接部件,被对称地布置以使得连接部件夹着信号布线并且延伸越过缝隙部分。利用该配置,在框架接地图案和信号接地图案之间形成返回电流路径,由此提高对诸如静电放电噪声之类的外来噪声的耐性,并且抑制辐射噪声。



1. 一种多层印刷电路板, 包含:

第一导电层, 所述第一导电层包括:

第一信号接地图案;

第一框架接地图案, 外部接口组件被安装在第一框架接地图案上;

第一缝隙部分, 所述第一缝隙部分使第一信号接地图案和第一框架接地图案彼此分离; 以及

信号布线, 所述信号布线布置为延伸越过第一缝隙部分;

第二导电层, 所述第二导电层通过电介质层层叠在第一导电层上, 所述第二导电层包括:

第二信号接地图案;

第二框架接地图案;

第二缝隙部分, 所述第二缝隙部分使第二信号接地图案和第二框架接地图案彼此分离; 以及

第一连接部件和第二连接部件, 用于使第二信号接地图案和第二框架接地图案彼此连接,

其中沿信号布线在不同侧布置第一连接部件和第二连接部件, 使得第一连接部件和第二连接部件夹着信号布线并且延伸越过第二缝隙部分,

其中, 在与信号布线的布线方向垂直的截面中, 在信号布线的与电介质层接触一侧的中点与第一连接部件的位置最接近第二连接部件的端部之间的距离以及在所述中点与第二连接部件的位置最接近第一连接部件的端部之间的距离均大于所述电介质层的厚度并且小于或等于所述厚度的 7.5 倍。

2. 根据权利要求 1 所述的多层印刷电路板, 其中第一连接部件和第二连接部件具有相同的布线宽度, 并且关于信号布线对称地放置。

3. 根据权利要求 1 所述的多层印刷电路板, 其中, 在与信号布线的布线方向垂直的截面中, 在信号布线的与电介质层接触一侧的中点与第一连接部件的位置最接近第二连接部件的端部之间的距离以及在所述中点与第二连接部件的位置最接近第一连接部件的端部之间的距离均大于或等于所述电介质层的厚度的 1.1 倍并且小于或等于所述电介质层的厚度的 5.0 倍。

4. 根据权利要求 1 所述的多层印刷电路板,

其中第一信号接地图案和第一框架接地图案由第三连接部件和第四连接部件连接, 并且

其中第三连接部件和第四连接部件沿着信号布线在不同侧对称地布置, 使得第三连接部件和第四连接部件夹着信号布线并且延伸越过第一缝隙部分。

5. 根据权利要求 4 所述的多层印刷电路板, 其中第三连接部件和第四连接部件具有相同的布线宽度。

## 多层印刷电路板

### 技术领域

[0001] 本发明涉及安装在电子装置中的多层印刷电路板。

### 背景技术

[0002] 近年来,随着诸如打印机之类的电子装置的尺寸进一步减少以及较高的成模率(mold rate),电磁屏蔽该装置的金属外壳的面积已经被减少。此外在印刷电路板中,在较高密度封装的情况下,诸如 LSI 之类的安装部件进一步小型化,并且其需要的电压进一步降低。金属外壳的面积减少、LSI 的小型化以及电压的降低使得装置电路的由诸如静电放电噪声(在下文中称为“ESD 噪声”)之类的外来噪声引起的误动作概率更高。

[0003] 图 9A 和图 9B 示出了在传统的多层印刷电路板 101 中的用于防止由 ESD 噪声所引起的误动作的配置。图 9A 是平面图,而图 9B 是透视图。多层印刷电路板 101 被布置在金属外壳 117 上,并且包括第一导电层 121 和第二导电层 122。电介质层(未示出)被形成在第一导电层 121 和第二导电层 122 之间。

[0004] 在第一导电层 121 中,形成了第一框架(frame)接地图案(ground pattern)(在下文中称为“第一 FG 图案”)102 和第一信号接地图案(在下文中称为“第一 SG 图案”)103。第一 FG 图案 102 和第一 SG 图案 103 通过第一缝隙部分 104 而彼此分离。在第一 FG 图案 102 上,安装有诸如连接器或开关之类的外部接口组件 106。在第一 SG 图案 103 上,安装有第一半导体装置 107、第二半导体装置 109 和第三半导体装置 110。外部接口组件 106 和第一半导体装置 107 通过信号布线 105 越过第一缝隙部分 104 而彼此连接。此外,第二半导体装置 109 和第三半导体装置 110 通过信号布线 108 彼此连接。在图 9A 和图 9B 中,省略了在信号布线 105 和 108 与第一 FG 图案 102 和第一 SG 图案 103 之间限定的各个间隙。

[0005] 此外,在第二导电层 122 中,第二框架接地图案(在下文中称为“第二 FG 图案”)118 和第二信号接地图案(在下文中称为“第二 SG 图案”)119 被形成为使得分别与第一 FG 图案 102 和第一 SG 图案 103 交迭。第二 FG 图案 118 和第二 SG 图案 119 通过第二缝隙部分 134 而彼此分离。

[0006] 第一 FG 图案 102 和第二 FG 图案 118 通过导电部件 111 和 112 而短路。此外,第一 SG 图案 103 和第二 SG 图案 119 通过导电部件 113、114、115 和 116 而短路。导电部件 111、112、113、114、115 和 116 可以通过贯通孔或非贯通的过孔(via hole)来形成。

[0007] 在图 9A 和图 9B 中示出的多层印刷电路板中,假设 ESD 噪声被施加到外部接口组件 106 附近。ESD 噪声流到第一 FG 图案 102 中,并且还从第一 FG 图案 102 流到第二 FG 图案 118 中。然而,由于第一 FG 图案 102 和第二 FG 图案 118 分别通过第一缝隙部分 104 和第二缝隙部分 134 而与第一 SG 图案 103 和第二 SG 图案 119 分离,因此 ESD 噪声几乎不流到第一 SG 图案 103 和第二 SG 图案 119 中。因此,在多层印刷电路板 101 中,通过没有延伸越过缝隙的信号布线 108 传送信号的半导体装置 109 和 110 几乎不受 ESD 噪声的影响。因此,半导体装置 109 和 110 的对 ESD 噪声的耐性(resistance)非常高。

[0008] 然而,在与外部接口组件 106 连接的越过缝隙部分 104 的信号布线 105 中流动高

速信号时,高速信号的返回电流路径被第一缝隙部分 104 和第二缝隙部分 134 阻断,导致辐射噪声增大的问题。

[0009] 为了解决上述问题,已经知道在 Mark I. Montrose 著的“EMC design of a printed circuit”(Ohmsha 出版,1997 年 11 月,第 134 到 136 页)中公开的一种配置。图 10A 和图 10B 示出了具有在 Mark I. Montrose 著的“EMC design of a printed circuit”(Ohmsha 出版,1997 年 11 月,第 134 到 136 页)中公开的配置的多层印刷电路板,其中图 10A 是平面图,而图 10B 是透视图。与图 9A 和图 9B 中相同的部件由相同的符号表示,并且省略了对它们的描述。

[0010] 在 Mark I. Montrose 著的“EMC design of a printed circuit”(Ohmsha 出版,1997 年 11 月,第 134 到 136 页)中,第二导电层 122 的第二 FG 图案 118 和第二 SG 图案 119 通过具有导电性的连接部件 120 而彼此连接,该连接部件 120 在延伸越过第一缝隙部分 104 的信号布线 105 的正下方。连接部件 120 使得能够确保返回电流路径,其在延伸越过第一缝隙部分 104 的信号布线 105 中流动电流时形成,由此抑制辐射噪声。

[0011] 然而,在 Mark I. Montrose 著的“EMC design of a printed circuit”(Ohmsha 出版,1997 年 11 月,第 134 到 136 页)公开的配置中,在施加的 ESD 噪声从第二 FG 图案 118 流到第二 SG 图案 119 中时,ESD 噪声被集中于连接部件 120。然后,在连接部件 120 中产生的磁场被强烈地结合到延伸越过第一缝隙部分 104 的信号布线 105,由此增大 ESD 噪声向信号布线 105 的传播量。结果,出现对 ESD 噪声的耐性恶化的问题。

## 发明内容

[0012] 本发明的一个目的是,提供对诸如 ESD 噪声之类的外来噪声的耐性高并且能够抑制辐射噪声的多层印刷电路板。

[0013] 根据本发明,提供了一种多层印刷电路板,其包括:第一导电层和通过电介质层形成的第二导电层;在第一导电层和第二导电层中的每一个中形成的信号接地图案和框架接地图案;在第一导电层和第二导电层中的每一个中形成的缝隙部分,用于使信号接地图案和框架接地图案彼此分离;信号布线,布置在第一导电层上以使得延伸越过缝隙部分;以及第二导电层中的沿信号布线的第二连接部件,用于使信号接地图案和框架接地图案连接,其中关于信号布线对称地布置第一连接部件和第二连接部件,使得第一连接部件和第二连接部件夹着信号布线并且延伸越过缝隙部分。

[0014] 从以下参考附图的示例性实施例的描述中本发明更多的特征将变得清晰。

## 附图说明

[0015] 图 1 是示出根据第一实施例的多层印刷电路板的平面图。

[0016] 图 2A 和图 2B 分别是示出根据第一实施例的多层印刷电路板的透视图和截面图。

[0017] 图 3 是用于示出根据第一实施例的 ESD 噪声电流的传播原理的截面图。

[0018] 图 4 是示出实验 1 中的仿真模型的透视图。

[0019] 图 5A、图 5B 和图 5C 是各示出 ESD 噪声电流的值和减少效果的曲线图。

[0020] 图 6 是示出根据第二实施例的多层印刷电路板的平面图。

[0021] 图 7A 和图 7B 分别是示出根据第二实施例的多层印刷电路板的透视图和截面图。

- [0022] 图 8 是示出实验 2 中的 ESD 噪声电流的值的曲线图。
- [0023] 图 9A 和图 9B 分别是示出传统技术中的多层印刷电路板的平面图和透视图。
- [0024] 图 10A 和图 10B 分别是示出传统技术中的多层印刷电路板的平面图和透视图。
- [0025] 图 11 是用于示出传统技术中的 ESD 噪声电流的传播原理的截面图。

### 具体实施方式

[0026] 首先,参考图 11 描述图 10A 和图 10B 中示出的传统多层印刷电路板中的 ESD 噪声向信号布线 105 传播的原理。参考图 11,电介质层 130 被形成在第一导电层 121 和第二导电层 122 之间。导电部件 120 的中心部分由 132 表示,并且从第二 FG 图案 118 流到第二 SG 图案 119 中的 ESD 噪声电流的方向是垂直纸面向后的方向。箭头 131 表示通过流过中心部分 132 的 ESD 噪声电流而在信号布线 105 的与电介质层 130 接触的一侧的中点处产生的磁通 B 的方向。与图 9A 和图 9B 中相同的部件由相同的符号表示,并且省略了对它们的描述。

[0027] 由于由导电部件 120 和信号布线 105 的接近导致的结果,在导电部件 120 中流动的 ESD 噪声电流聚集在导电部件 120 的中心部分 132 处。因此,在连接部件 120 中流动的电流被计算作为流过中心部分 132 的电流时,在信号布线 105 的位置处在由箭头 131 表示的方向上产生具有由下面的公式 (1) 表示的幅度的磁通。

$$[0028] \quad |\vec{B}| = \frac{\mu_0}{4\pi} \frac{I}{h^2} \dots \text{公式 (1)}$$

[0029] 其中  $\mu_0$  是真空中磁导率, I 是连接部件中流动的 ESD 噪声电流,而 h 是电介质层 130 的厚度。磁通的交链 (linkage) 产生了信号布线 105 中的感应电动势,并且允许 ESD 噪声电流传播通过它。

[0030] (实施例 1)

[0031] 现在,参考附图详细描述本发明的实施例。图 1、2A 和 2B 示出了根据本发明第一实施例的印刷电路板,其中图 1 是平面图,图 2A 是示出了分离的两个导电层的透视图,并且图 2B 是仅示出信号布线附近的部分截面图。如图 2A 所示出的,多层印刷电路板 1 包括第一导电层 21 和第二导电层 22。此外,电介质层 20 被形成在第一导电层 21 和第二导电层 22 之间。

[0032] 第一框架接地图案 (在下文称为“第一 FG 图案”)2 和第一信号接地图案 (在下文称为“第一 SG 图案”)3 被形成在第一导电层 21 中。第一 FG 图案 2 和第一 SG 图案 3 通过第一缝隙部分 4 而彼此分离。诸如连接器或开关之类的外部接口组件 6 被安装在第一 FG 图案 2 上。第一半导体装置 7、第二半导体装置 9 和第三半导体装置 10 被安装在第一 SG 图案 3 上。外部接口组件 6 和第一半导体装置 7 通过越过第一缝隙部分 4 的信号布线 5 而彼此连接。此外,第二半导体装置 9 和第三半导体装置 10 通过信号布线 8 而彼此连接。

[0033] 此外,第二框架接地图案 (在下文称为“第二 FG 图案”)18 和第二信号接地图案 (在下文称为“第二 SG 图案”)19 被形成在第二导电层 22 中,以使得分别与第一 FG 图案 2 和第一 SG 图案 3 交迭。第二 FG 图案 18 和第二 SG 图案 19 通过第二缝隙部分 34 而彼此分离。连接第二 FG 图案 18 和第二 SG 图案 19 的连接部件 23 和 24 被布置在第二缝隙部分 34 的在延伸越过第一缝隙部分 4 的信号布线 5 下方的部分处。连接部件 23 和 24 沿着信号布线 5 在不同侧被布置,以使得延伸越过第二缝隙部分 34。

[0034] 第一 FG 图案 2 和第二 FG 图案 18 通过导电部件 11 和 12 被短路。此外,第一 SG 图案 3 和第二 SG 图案 19 通过导电部件 13、14、15 和 16 被短路。导电部件 11、12、13、14、15 和 16 可以通过贯通孔或非贯通的过孔来形成。此外,将多层印刷电路板 1 固定到金属外壳 17 的螺钉可以被用于导电部件 13、14、15 和 16。

[0035] 在金属外壳 17 中,假设 ESD 噪声被施加到外部接口组件 6 附近。如上所述,ESD 噪声流到第一 FG 图案 2 和第二 FG 图案 18 中,并且大部分的 ESD 噪声通过导体部件 11 和 12 流到金属外壳 17 中。然而,一部分 ESD 噪声通过连接部件 23 和 24 流到第二 SG 图案 19 中。在该情形下,在设置两个具有导电性的连接部件的情况下,ESD 噪声被分成两个部分,并且由每个连接部件产生的磁通减少。

[0036] 此外,由第一连接部件 23 和第二连接部件 24 产生的各自的磁通在其中磁通与信号布线 5 交链(link)的位置处具有相反的分量,因此磁通彼此抵消,并且减少了与信号布线 5 交链的磁通。总体上,由于减少了与信号布线 5 交链的磁通,因此减少了由信号布线 5 诱导的流到半导体装置 7 中的 ESD 噪声,并且提高了对静电的耐性。

[0037] 现在,参考图 3 详细描述在图 1 中示出的多层印刷电路板中 ESD 噪声向信号布线 5 传播的原理。在图 3 中,连接部件 23 和 24 具有相同的宽度,并且关于信号布线 5 对称地布置。在图 3 中,连接部件 23 具有位置最接近连接部件 24 的端部 32,并且在端部 32 中流动的 ESD 噪声电流的方向是垂直纸面向后的方向。箭头 34 表示通过在端部 32 中流动的 ESD 噪声电流而在信号布线 5 的与电介质层 20 接触的一侧的中点处产生的磁通 B1 的方向。连接部件 24 具有位置最接近连接部件 23 的端部 33,在端部 33 中流动的 ESD 噪声电流的方向是垂直纸面向后的方向。箭头 35 表示通过在端部 33 中流动的 ESD 噪声电流而在信号布线 5 的与电介质层 20 接触的一侧的中点处产生的磁通 B2 的方向。箭头 31 表示磁通 B1 和磁通 B2 的合成磁通 B' 的方向。

[0038] 在此时,由于连接部件 23 和 24 的接近导致的结果,在连接部件 23 和 24 中流动的 ESD 电流噪声聚集在连接部件 23 的最接近连接部件 24 的端部 32 以及连接部件 24 的最接近连接部件 23 的端部 33 处。因此,将说明关于在连接部件 23 的端部 32 和连接部件 24 的端部 33 流动的电流的原理。

[0039] 施加到第一 FG 图案 18 的电磁噪声电流(I)被第一连接部件 23 和第二连接部件 24 分成两个电流,并且如果连接部件 23 和 24 的配置彼此相同,则在各连接部件 23 和 24 中流动的 ESD 噪声电流的幅度变为 I/2。在该情况下,与信号布线 5 交链的磁通 B1 和 B2 的幅度彼此相等,并且该幅度由下面的公式(2)表示。

$$[0040] \quad |\vec{B}| = \frac{\mu_0}{4\pi} \frac{I/2}{\left\{ h^2 + \left( \frac{g}{2} \right)^2 \right\}} \cdots \text{公式 (2)}$$

[0041] 其中 h 是电介质层 130 的厚度,而 g 是在连接部件 23 和 24 之间的间隙的宽度。 $\theta$  是由将连接部件 23 的端部 32 和信号布线 5 的中心点连接的线与将连接部件 23 的端部 32 和连接部件 24 的端部 33 连接的线形成的角度。由于连接部件 23 和 24 关于信号布线 5 对称地布置,因此由将连接部件 24 的端部 33 和信号布线 5 的中心点连接的线与将连接部件

24 的端部 33 和连接部件 23 的端部 32 连接的线形成的角度也是  $\theta$ 。

[0042] 磁通 B1 和磁通 B2 的合成磁通 B' 由下面的公式 (3) 表示。

[0043]

$$\vec{B}' = \vec{B}_1 + \vec{B}_2 = |\vec{B}_1| \sin(90^\circ - \theta) + |\vec{B}_1| \cos(90^\circ - \theta) - |\vec{B}_2| \sin(90^\circ - \theta) + |\vec{B}_2| \cos(90^\circ - \theta)$$

[0044] ...公式 (3)

[0045] 在修改公式 (3) 时,如由下面的公式 (4) 表示的那样消除  $\cos \theta$  的成分。

$$\vec{B}' = |\vec{B}_1| \sin \theta + |\vec{B}_1| \cos \theta + |\vec{B}_2| \sin \theta - |\vec{B}_2| \cos \theta = 2|\vec{B}_1| \sin \theta$$

[0047] ...公式 (4)

[0048] 合成磁通 B' 的幅度根据公式 (1) ~ (4) 由下面的公式 (5) 表示。

$$|\vec{B}'| = 2|\vec{B}_1| \sin \theta = \frac{\sin \theta}{\left\{1 + \frac{g^2}{4h^2}\right\}} \times |\vec{B}| \dots \text{公式 (5)}$$

[0050] 在  $0 < \theta < 90^\circ$  的范围中公式 (5) 中的右侧的系数成分由下面的公式 (6) 表示。

$$0 < \frac{\sin \theta}{\left\{1 + \frac{g^2}{4h^2}\right\}} < 1 \dots \text{公式 (6)}$$

[0052] 满足下面的公式 (7)。

$$|\vec{B}'| < |\vec{B}| \dots \text{公式 (7)}$$

[0054] 即,发现图 3 中示出的配置中的合成磁通 B' 的幅度比图 11 中示出的配置中的磁通 B 的幅度小。即,由于可以减小传播到信号布线的 ESD 噪声,因此可以提高对印刷电路板中的 ESD 噪声的耐性。

[0055] (实验 1)

[0056] 出于描述本实施例的优点的目的,执行在图 1 中示出的印刷电路板的电磁场仿真。图 4 示出了在电磁场仿真中使用的模型。在图 4 中,与图 1 中相同的部件由相同的符号表示。印刷电路板 1 具有长边为 100mm 且短边为 80mm 的矩形形状,并且具有如下的结构,该结构具有厚度为 50  $\mu\text{m}$  的第一导电层和第二导电层以及置于第一导电层和第二导电层之间的厚度为 200  $\mu\text{m}$  且介电常数为 4.3 的电介质层。两个连接部件为 2mm 宽,并且在它们之间的间隙为 0.5mm 的情况下关于信号布线 5 对称地布置。第一 FG 图案 2 和第一 SG 图案 3 被 2mm 宽的第一缝隙部分 4 分离。此外,第二 FG 图案和第二 SG 图案也被 2mm 宽的第二缝隙部分分离。作为波源,模拟 ESD 噪声的在 0 ~ 3GHz 的频率下具有 1W 的强度的高斯脉冲被施加到第一 FG 图案 2。信号布线 5 和 8 中的每一个具有 0.3mm 宽且 30mm 长的微带线 (micro strip line) 结构,并且终止于第一导电层 21 且具有 50  $\Omega$  的电阻。

[0057] 在上述条件下,执行仿真,并且在图 5A 中示出结果得到的传播到信号布线 5 的 ESD 噪声电流。在图 5A 中,横坐标轴表示时间,并且纵坐标轴表示 ESD 噪声电流的值。

[0058] (比较实验 1)

[0059] 为了比较,在图 10A 和图 10B 中示出的传统的印刷电路板中,如实验 1 中的那样仿真传播到信号布线 105 的 ESD 噪声电流。比较实验 1 与实验 1 的不同之处在于,布置在第二导电层 122 上的连接部件的数量是一,并且该连接部件位于信号布线 105 的正下方。连接部件 120 的宽度是 2mm。在上述配置的情况下,如实验 1 中那样执行电磁场仿真,并且在图 5B 中示出结果得到的传播到信号布线 105 的 ESD 噪声电流。当将图 5A 与图 5B 进行比较时,发现在图 5A 中的传播到信号布线 5 的 ESD 噪声电流的量比在图 5B 中的小。即,如与比较实验 1 比较的那样,在实验 1 中对 ESD 噪声的耐性高。

[0060] 此外,仿真在改变第一连接部件 23 和第二连接部件 24 的布置时出现的信号布线中流动的 ESD 噪声电流的变化,并且研究在连接部件的布置与减小 ESD 噪声电流的效果之间的关系。使用与实验 1 中使用的仿真模型相同的仿真模型。改变在信号布线 5 和第一连接部件 23 的端部 32 之间的间隙 ( $r_1$ ) 以及在信号布线 5 和第二连接部件 24 的端部 33 之间的间隙 ( $r_2$ ),以便计算延伸越过缝隙部分 4 的信号布线 5 中流动的 ESD 噪声电流。在该比较实验 1 中,连接部件 23 和 24 具有相同的布线宽度,并且关于信号布线 5 对称地布置。因此,间隙由共同的值  $r$  表示。

[0061] 结果被示出在图 5C 中。在图 5C 中,横坐标轴是作为上述共同值的距离  $r$  与从与信号布线 5 的布线方向垂直的截面观看时的电介质层的厚度  $h$  的比。纵坐标轴是在假设传统技术中的 ESD 噪声电流为 100 时的根据本发明的 ESD 噪声电流的减少率。从图 5C 中可以理解,在距离  $r$  比电介质层的厚度  $h$  大并且小于或等于 7.5 倍时获得 ESD 噪声减少效果。此外,优选地,发现在距离  $r$  大于或等于电介质层的厚度  $h$  的 1.1 倍并且小于或等于 5.0 倍时获得 10% 或更高的 ESD 噪声减少效果。

[0062] 此外,在该比较实验 1 中,已经描述了其中同一导电层 22 的两个连接部件 23 和 24 具有相同的布线宽度并且关于信号布线 5 对称布置的情况。在该情况下,由于在信号布线 5 与第一连接部件 23 之间的间隙 ( $r_1$ ) 和在信号布线 5 与第二连接部件 24 之间的间隙 ( $r_2$ ) 变得彼此相等,因此可以完全消除上述公式 (3) 中的  $\cos \theta$  的成分。即,可以完全消除图 3 的磁通的垂直成分,并且可以最有效地抑制 ESD 噪声电流。

[0063] 然而,本发明不限于其中两个连接部件 23 和 24 具有相同的布线宽度并且关于信号布线 5 对称布置的配置,而是可应用于其它配置,只要上述距离  $r_1$  和  $r_2$  比电介质层的厚度  $h$  大并且小于或等于 7.5 倍即可。

[0064] 此外,通过将连接部件 23 和 24 布置在第二导电层 22 上来确保延伸越过缝隙部分 4 的信号布线 5 中流动的信号的返回电流路径,因此可以维持对辐射噪声的抑制效果。

[0065] (实施例 2)

[0066] 图 6、7A 和 7B 示出了根据本发明第二实施例的印刷电路板,其中图 6 是平面图,图 7A 是示出分离的两个导电层的透视图,而图 7B 是仅示出信号布线的附近的部分截面图。

[0067] 本实施例与在图 1 中示出的第一实施例的不同之处仅在于,第一 FG 图案 2 和第一 SG 图案 3 通过第一导电层 21 中的具有导电性的第三连接部件 25 和第四连接部件 26 而彼此连接。第三连接部件 25 和第四连接部件 26 在信号布线 5 的布线方向上延伸,并且关于信号布线 5 对称地布置。

[0068] 利用四个具有导电性的连接部件 23、24、25 和 26 的配置,与实施例 1 相比,进一步



分散了 ESD 噪声,并且进一步减少了由每个连接部件产生的磁通。此外,由布置在导电层 21 上的第三连接部件 25 和第四连接部件 26 产生的磁通在其中那些磁通与信号布线 5 交链的位置处具有相反的分量。因此,消除了磁场,并且减少了与信号布线 5 交链的磁通。总体上,由于可以进一步减少与信号布线 5 交链的磁通的量,因此减少由信号布线 5 诱导的流到半导体装置 7 中的 ESD 噪声,并且进一步提高对静电的耐性。

[0069] (实验 2)

[0070] 出于描述实施例 2 的优点的目的,如实验 1 中那样执行多层印刷电路板的电磁场仿真。

[0071] 在实验 2 中,除了实验 1 的配置之外,还将第三连接部件 25 和第四连接部件 26 布置在第一导电层 21 上。第三连接部件 25 和第四连接部件 26 为 2mm 宽,并且从第一导电层 21 中在间隙为 0.9mm 的情况下关于信号布线 5 对称地布置。利用上述配置如实验 1 中那样地执行电磁场仿真,并且在图 8 中示出结果得到的传播到信号布线 5 的 ESD 噪声电流。

[0072] 当将图 8 与图 5A 进行比较时,发现与实验 1 相比,在实验 2 的配置中传播到信号布线 5 的 ESD 噪声电流的量被进一步减小。即,实验 2 的配置进一步提高对 ESD 噪声的耐性。

[0073] 在该情况下,期望的是,布置在同一导电层 21 上的两个连接部件 25 和 26 尽可能地接近信号布线 5。此外,在第三连接部件 25 和第四连接部件 26 具有相同的布线宽度时,提高产生的磁通的对称性。因此,进一步提高消除磁场的效果。

[0074] 虽然已经参考示例性实施例描述了本发明,但是应当理解,本发明不限于所公开的示例性实施例。以下权利要求的范围将被给予最宽的解释从而包括所有这样的修改、等同的结构与功能。

[0075] 本申请要求 2009 年 1 月 30 日提交的日本专利申请 No. 2009-019297 和 2009 年 12 月 9 日提交的日本专利申请 No. 2009-279911 的权益,上述两个申请的全部内容通过引用被并入于此。

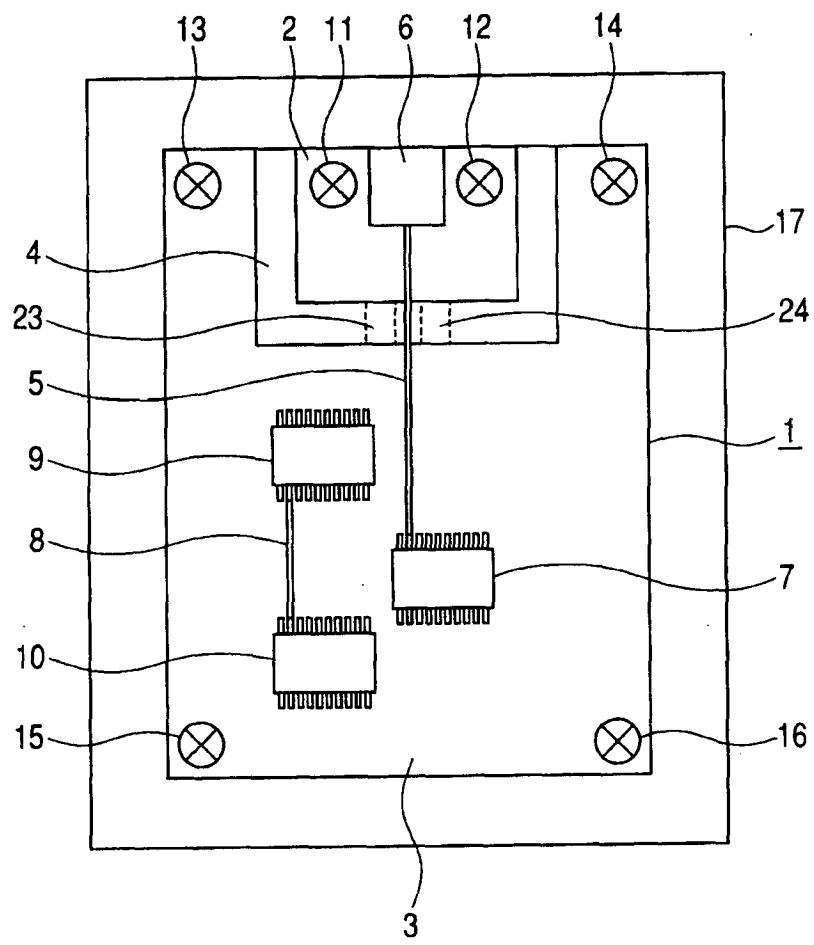


图 1

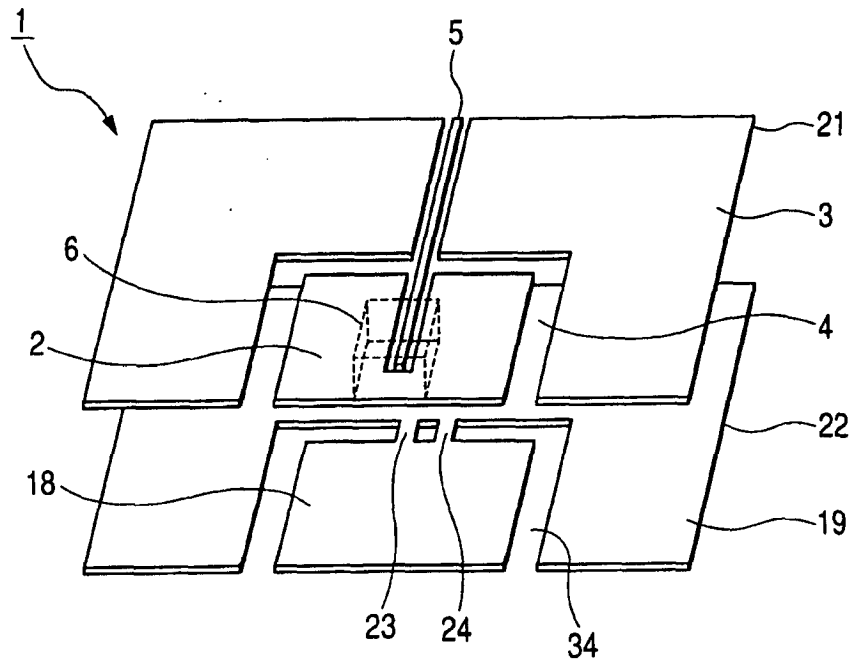


图 2A

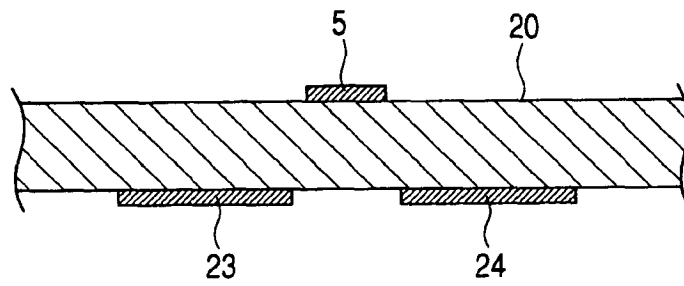


图 2B

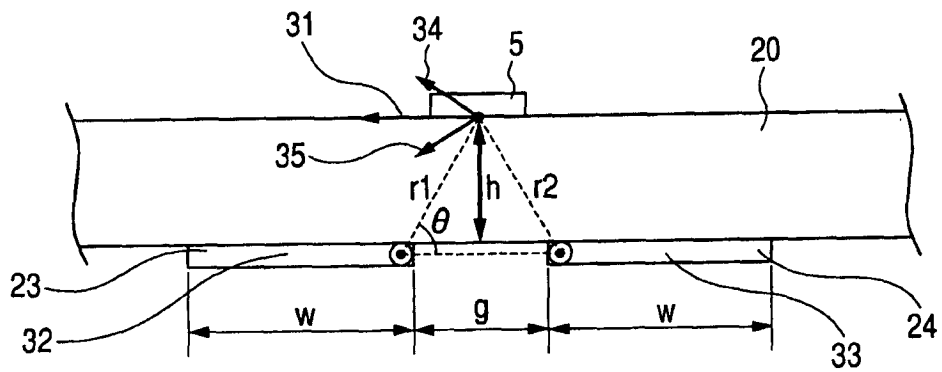


图 3

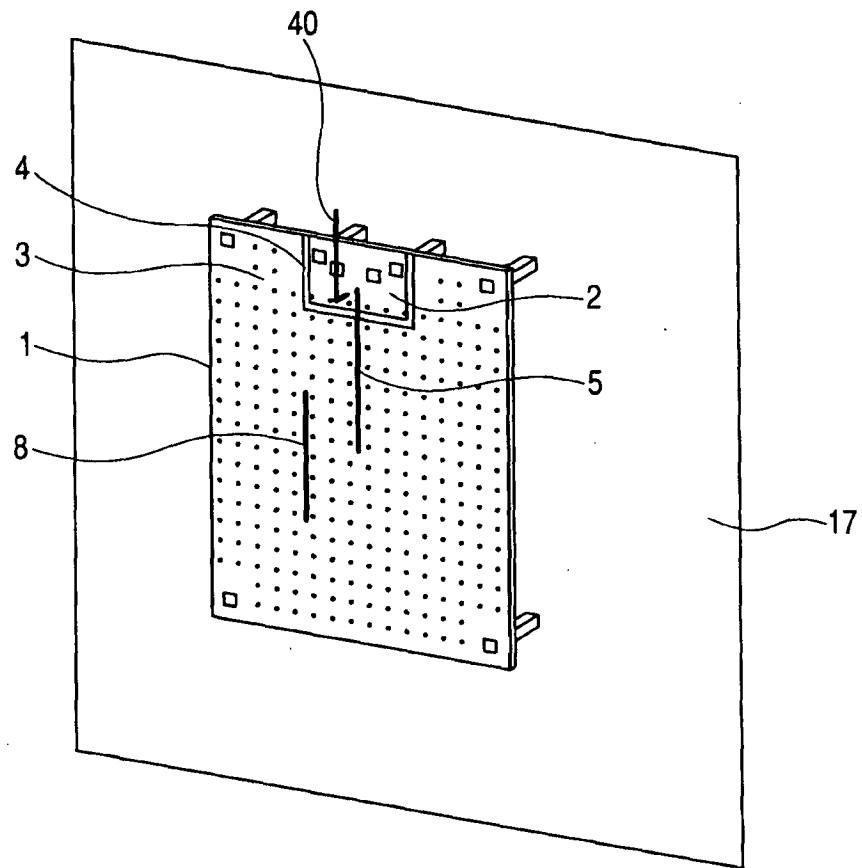


图 4

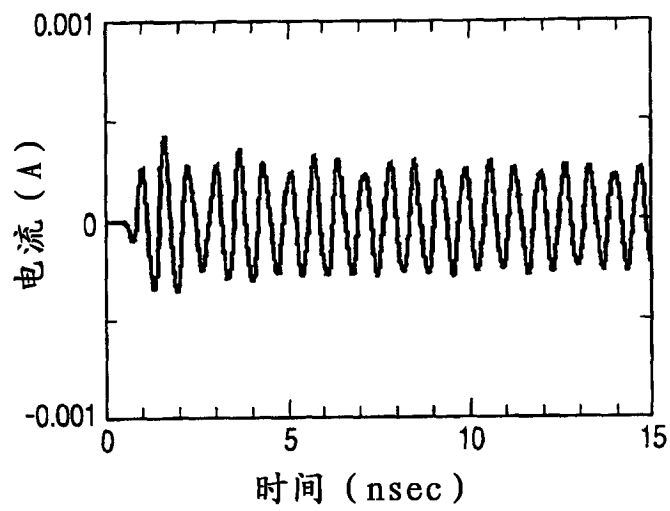


图 5A

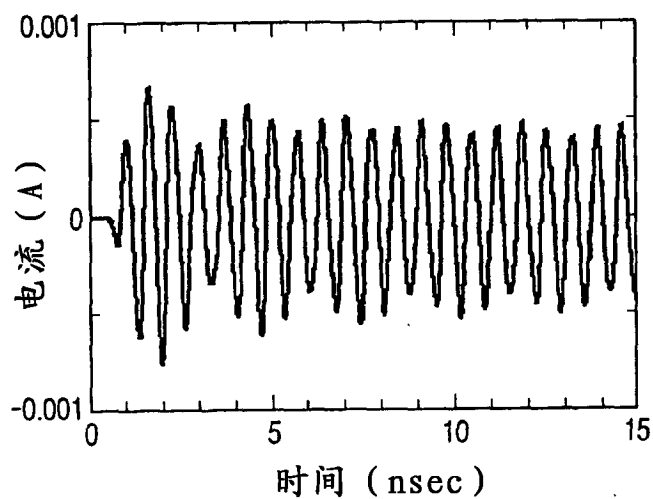


图 5B

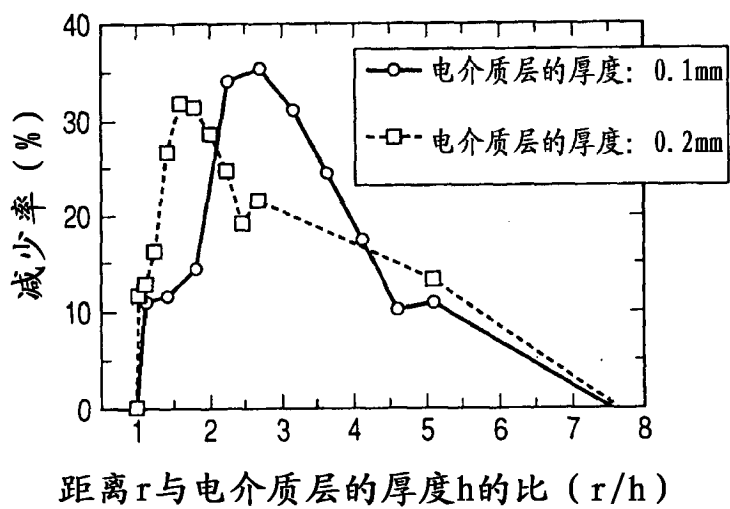


图 5C

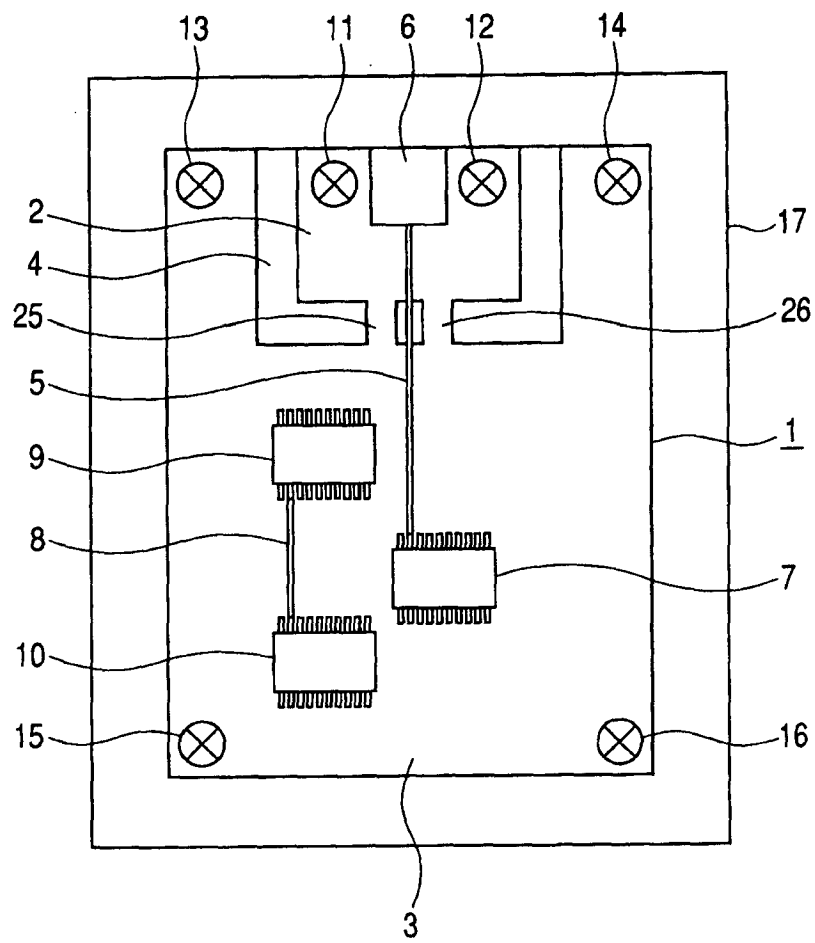


图 6

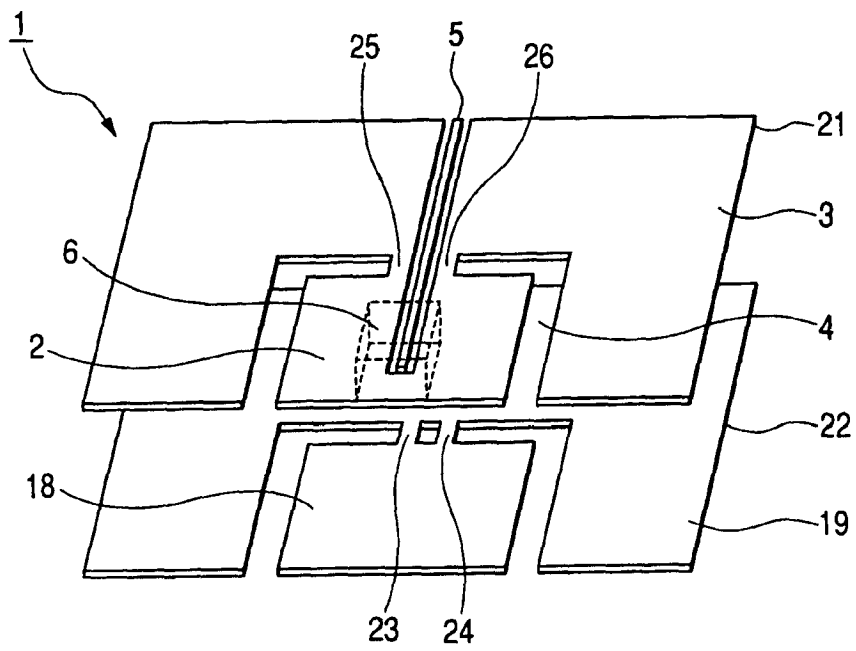


图 7A

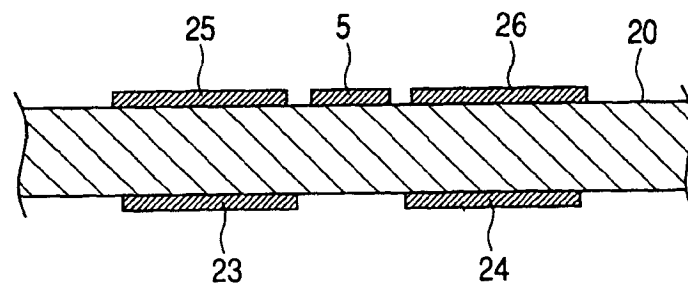


图 7B

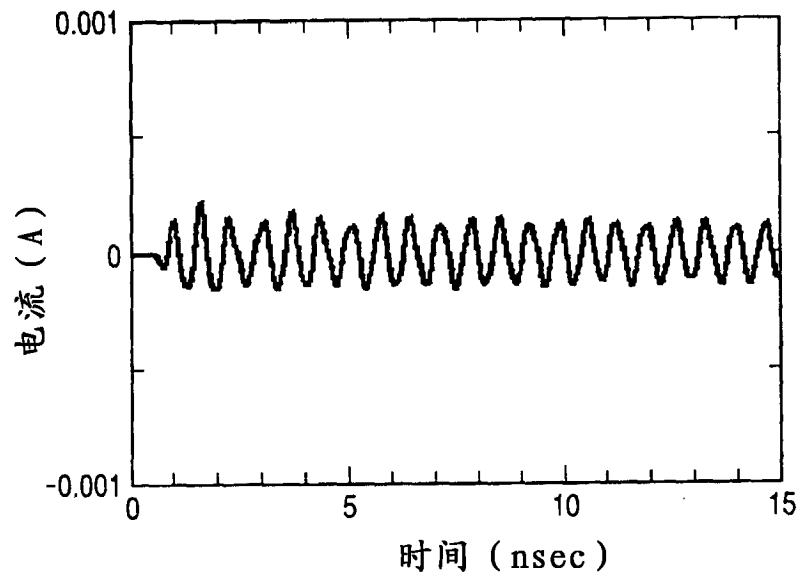


图 8

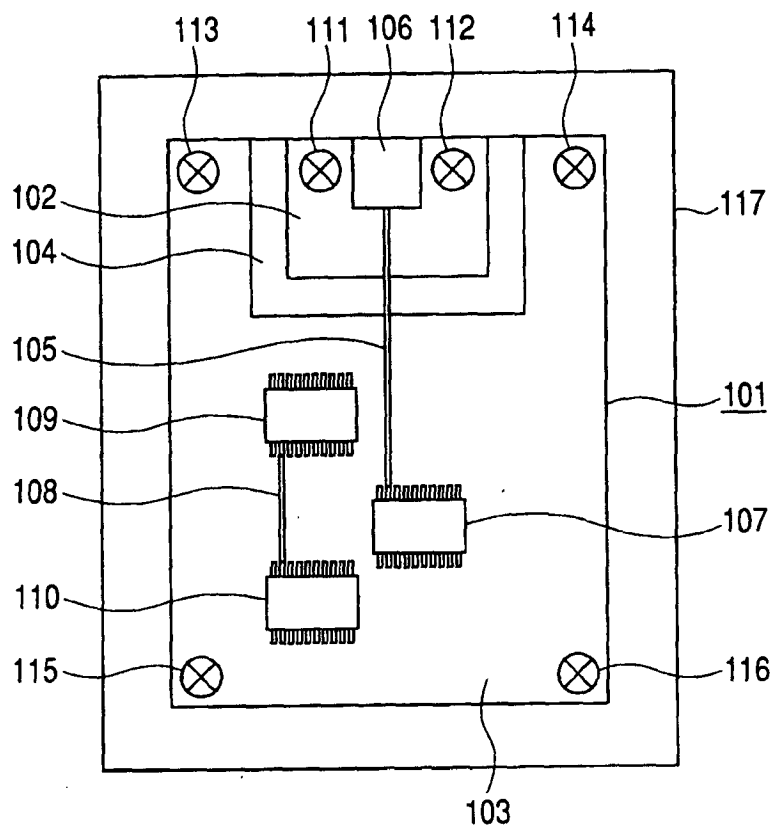


图 9A





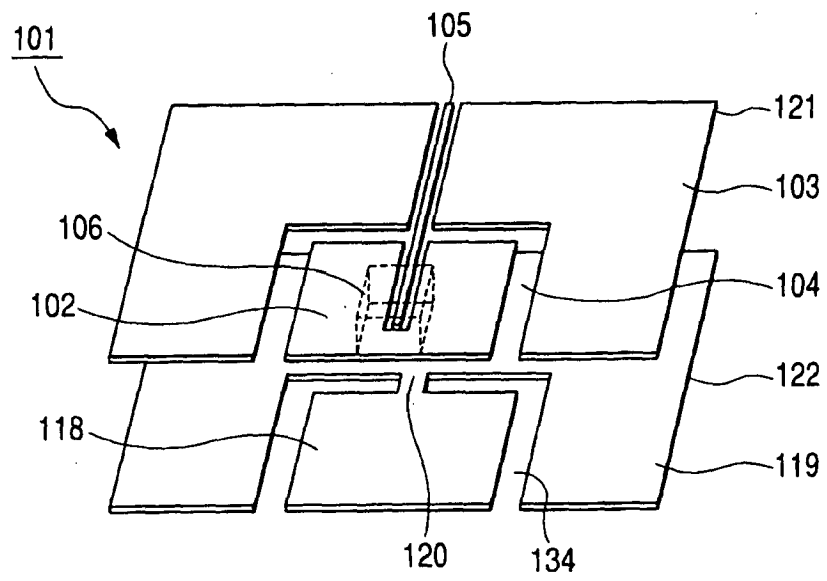


图 10B

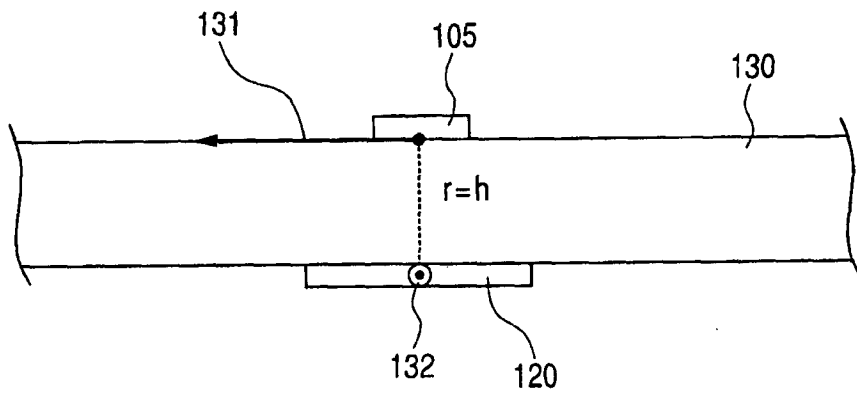


图 11