



(12) 发明专利申请

(10) 申请公布号 CN 119856589 A

(43) 申请公布日 2025. 04. 18

(21) 申请号 202380064863.2

(22) 申请日 2023.09.11

(30) 优先权数据

2022-147544 2022.09.16 JP

(85) PCT国际申请进入国家阶段日

2025.03.10

(86) PCT国际申请的申请数据

PCT/IB2023/058972 2023.09.11

(87) PCT国际申请的公布数据

W02024/057168 JA 2024.03.21

(71) 申请人 株式会社半导体能源研究所

地址 日本

(72) 发明人 井口贵弘 佐藤来 神长正美

山崎舜平

(74) 专利代理机构 中国贸促会专利商标事务所
有限公司 11038

专利代理师 肖靖

(51) Int.Cl.

H10D 30/67 (2025.01)

H10D 86/60 (2025.01)

H05B 45/60 (2022.01)

H10K 59/12 (2023.01)

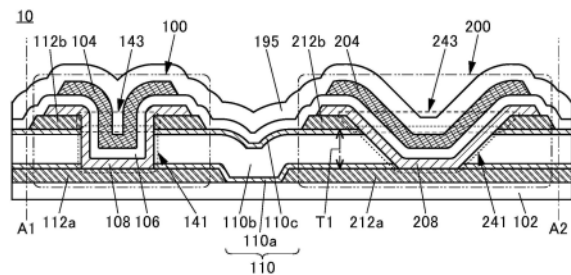
权利要求书3页 说明书65页 附图42页

(54) 发明名称

半导体装置

(57) 摘要

提供一种兼具低功耗及高性能的半导体装置。该半导体装置包括第一导电层、第二导电层、第一半导体层、第一半导体层上的第二绝缘层、第二绝缘层上的第三导电层以及夹在第一导电层与第二导电层间的第一绝缘层。第一绝缘层具有到达第一导电层的第一开口。第二导电层具有第二开口。第一开口与第二开口从平面看时彼此重叠。第一半导体层在第一开口中与第一导电层的顶面及第一绝缘层的侧面接触。第一半导体层在第二开口中与第二导电层的侧面接触。第一半导体层具有隔着第二绝缘层与第三导电层重叠的区域。第一开口中的第一绝缘层的侧面具有与第一导电层的顶面所成的角为10度以上且小于55度的区域。



1. 一种半导体装置,包括:

第一导电层、第二导电层、第一半导体层、所述第一半导体层上的第二绝缘层、所述第二绝缘层上的第三导电层以及夹在所述第一导电层与所述第二导电层间的第一绝缘层,

其中,所述第一绝缘层具有到达所述第一导电层的第一开口,

所述第二导电层具有第二开口,

所述第一开口与所述第二开口从平面看时彼此重叠,

所述第一半导体层在所述第一开口中与所述第一导电层的顶面及所述第一绝缘层的侧面接触,

所述第一半导体层在所述第二开口中与所述第二导电层的侧面接触,

所述第一半导体层具有隔着所述第二绝缘层与所述第三导电层重叠的区域,

并且,所述第一开口中的所述第一绝缘层的侧面具有与所述第一导电层的顶面所成的角为10度以上且小于55度的区域。

2. 根据权利要求1所述的半导体装置,其中所述第一绝缘层的厚度为10nm以上且小于3 μm 。

3. 根据权利要求1所述的半导体装置,其中所述第一半导体层包含金属氧化物。

4. 一种半导体装置,包括:

第一晶体管、第二晶体管及第一绝缘层,

其中,所述第一晶体管包括第一导电层、第二导电层、第一半导体层、所述第一半导体层上的第二绝缘层以及所述第二绝缘层上的第三导电层,

所述第二晶体管包括第四导电层、第五导电层、第二半导体层、所述第二半导体层上的所述第二绝缘层以及所述第二绝缘层上的第六导电层,

所述第一绝缘层具有夹在所述第一导电层与所述第二导电层间的区域以及夹在所述第四导电层与所述第五导电层间的区域,

所述第一绝缘层包括到达所述第一导电层的第一开口以及到达所述第四导电层的第二开口,

所述第一开口中的所述第一绝缘层的侧面具有与所述第一导电层的顶面所成的角为10度以上且小于55度的区域,

所述第二开口中的所述第一绝缘层的侧面具有与所述第四导电层的顶面所成的角为55度以上且90度以下的区域,

所述第二导电层具有第三开口,

所述第一开口与所述第三开口从平面看时彼此重叠,

所述第五导电层具有第四开口,

所述第二开口与所述第四开口从平面看时彼此重叠,

所述第一半导体层在所述第一开口中与所述第一导电层的顶面及所述第一绝缘层的侧面接触,

所述第一半导体层在所述第三开口中与所述第二导电层的侧面接触,

所述第一半导体层隔着所述第二绝缘层与所述第三导电层重叠,

所述第二半导体层在所述第二开口中与所述第四导电层的顶面及所述第一绝缘层的侧面接触,

所述第二半导体层在所述第四开口中与所述第五导电层的侧面接触，并且，所述第二半导体层隔着所述第二绝缘层与所述第六导电层重叠。

5. 根据权利要求4所述的半导体装置，

其中所述第二绝缘层具有隔着所述第一半导体层覆盖所述第一开口中的所述第一绝缘层的侧面的第一区域、隔着所述第一半导体层覆盖所述第二导电层的顶面的第二区域、隔着所述第二半导体层覆盖所述第二开口中的所述第一绝缘层的侧面的第三区域以及隔着所述第二半导体层覆盖所述第五导电层的顶面的第四区域，

所述第一区域的厚度大于所述第二区域的厚度的0.85倍且小于1.2倍，

并且，所述第三区域的厚度为所述第四区域的厚度的0.4倍以上且0.85倍以下。

6. 根据权利要求5所述的半导体装置，

其中所述第二区域的厚度为10nm以上且200nm以下，

并且所述第四区域的厚度为10nm以上且200nm以下。

7. 根据权利要求4所述的半导体装置，

其中所述第二绝缘层具有隔着所述第一半导体层覆盖所述第一开口中的所述第一绝缘层的侧面的第一区域、隔着所述第一半导体层覆盖所述第一导电层的顶面的第二区域、隔着所述第二半导体层覆盖所述第二开口中的所述第一绝缘层的侧面的第三区域以及隔着所述第二半导体层覆盖所述第四导电层的顶面的第四区域，

所述第一区域的厚度大于所述第二区域的厚度的0.85倍且小于1.2倍，

并且所述第三区域的厚度是所述第四区域的厚度的0.4倍以上且0.85倍以下。

8. 根据权利要求7所述的半导体装置，

其中所述第二区域的厚度为10nm以上且200nm以下，

并且所述第四区域的厚度为10nm以上且200nm以下。

9. 根据权利要求4所述的半导体装置，

其中在所述第一半导体层中，所述第一开口中与所述第一绝缘层的侧面接触的区域厚度大于与所述第二导电层的顶面接触的区域厚度的0.85倍且小于1.2倍，

并且在所述第二半导体层中，所述第二开口中与所述第一绝缘层的侧面接触的区域厚度为与所述第五导电层的顶面接触的区域厚度的0.4倍以上且0.85倍以下。

10. 根据权利要求9所述的半导体装置，

其中所述第一半导体层中与所述第二导电层的顶面接触的区域厚度为1nm以上且200nm以下，

并且所述第二半导体层中与所述第五导电层的顶面接触的区域厚度为1nm以上且200nm以下。

11. 根据权利要求4所述的半导体装置，

其中在所述第一半导体层中，所述第一开口中与所述第一绝缘层的侧面接触的区域厚度大于与所述第一导电层的顶面接触的区域厚度的0.85倍且小于1.2倍，

在所述第二半导体层中，所述第二开口中与所述第一绝缘层的侧面接触的区域厚度为与所述第四导电层的顶面接触的区域厚度的0.4倍以上且0.85倍以下。

12. 根据权利要求11所述的半导体装置，

其中所述第一半导体层中与所述第一导电层的顶面接触的区域厚度为1nm以上且

200nm以下，

并且所述第二半导体层中与所述第四导电层的顶面接触的区域厚度为1nm以上且200nm以下。

半导体装置

技术领域

[0001] 本发明的一个方式涉及一种半导体装置及其制造方法。本发明的一个方式涉及一种晶体管及其制造方法。本发明的一个方式涉及一种包括半导体装置的显示装置。

[0002] 注意,本发明的一个方式不局限于上述技术领域。作为本发明的一个方式的技术领域的一个例子,可以举出半导体装置、显示装置、发光装置、蓄电装置、存储装置、电子设备、照明装置、输入装置(例如,触摸传感器)、输入输出装置(例如,触摸面板)以及上述装置的驱动方法或制造方法。

[0003] 注意,在本说明书等中,半导体装置是指利用半导体特性的装置以及包括半导体元件(晶体管、二极管、光电二极管等)的电路及包括该电路的装置等。此外,半导体装置是指能够利用半导体特性而发挥作用的所有装置。例如,作为半导体装置的例子,有集成电路、具备集成电路的芯片、封装中容纳有芯片的电子构件。此外,存储装置、显示装置、发光装置、照明装置以及电子设备本身是半导体装置,并且有时都包括半导体装置。

背景技术

[0004] 包括晶体管的半导体装置被广泛地应用于电子设备。例如,在显示装置中,通过缩小晶体管的占有面积,可以缩小像素尺寸,因此可以提高清晰度。因此,微型晶体管被要求。

[0005] 作为需要高清晰显示装置的设备,例如面向虚拟现实(VR:Virtual Reality)、增强现实(AR:Augmented Reality)、替代现实(SR:Substitutional Reality)以及混合现实(MR:Mixed Reality)的设备的开发很活跃。

[0006] 作为显示装置,例如已开发了包括有机EL(Electro Luminescence)元件或发光二极管(LED:Light Emitting Diode)的发光装置。

[0007] 在专利文献1中公开了一种使用有机EL元件的高清晰显示装置。

[0008] [先行技术文献]

[0009] [专利文献]

[0010] [专利文献1]国际专利申请公开第2016/038508号

发明内容

[0011] 发明所要解决的技术问题

[0012] 本发明的一个方式的目的之一是提供一种包括微型尺寸的晶体管的半导体装置。另外,本发明的一个方式的目的之一是提供一种包括沟道长度短的晶体管的半导体装置。另外,本发明的一个方式的目的之一是提供一种包括通态电流大的晶体管的半导体装置。另外,本发明的一个方式的目的之一是提供一种包括可靠性高的晶体管的半导体装置。另外,本发明的一个方式的目的之一是提供一种包括电特性良好的晶体管的半导体装置。另外,本发明的一个方式的目的之一是提供一种占有面积小的半导体装置。另外,本发明的一个方式的目的之一是提供一种性能高的半导体装置。另外,本发明的一个方式的目的之一是提供一种功耗低的半导体装置。另外,本发明的一个方式的目的之一是提供一种可靠性

高的半导体装置。另外,本发明的一个方式的目的之一是提供一种生产率高的半导体装置。另外,本发明的一个方式的目的之一是提供一种新颖的半导体装置。

[0013] 注意,这些目的的记载并不妨碍其他目的的存在。本发明的一个方式并不需要实现所有上述目的。可以从说明书、附图、权利要求书的记载中抽取上述目的以外的目的。

[0014] 解决技术问题的手段

[0015] 本发明的一个方式是一种半导体装置,其包括第一导电层、第二导电层、第一半导体层、第一半导体层上的第二绝缘层、第二绝缘层上的第三导电层以及夹在第一导电层与第二导电层间的第一绝缘层。第一绝缘层具有到达第一导电层的第一开口。第二导电层具有第二开口。第一开口与第二开口从平面看时彼此重叠。第一半导体层在第一开口中与第一导电层的顶面及第一绝缘层的侧面接触。第一半导体层在第二开口中与第二导电层的侧面接触。第一半导体层具有隔着第二绝缘层与第三导电层重叠的区域。第一开口中的第一绝缘层的侧面具有与第一导电层的顶面所成的角为10度以上且小于55度的区域。

[0016] 在上述结构中,优选第一绝缘层的厚度为10nm以上且小于3 μ m。

[0017] 在上述结构中,优选第一半导体层包含金属氧化物。

[0018] 本发明的一个方式是一种半导体装置,其包括第一晶体管、第二晶体管及第一绝缘层。第一晶体管包括第一导电层、第二导电层、第一半导体层、第一半导体层上的第二绝缘层以及第二绝缘层上的第三导电层。第二晶体管包括第四导电层、第五导电层、第二半导体层、第二半导体层上的第二绝缘层以及第二绝缘层上的第六导电层。第一绝缘层具有夹在第一导电层与第二导电层间的区域以及夹在第四导电层与第五导电层间的区域。第一绝缘层包括到达第一导电层的第一开口以及到达第四导电层的第二开口。第一开口中的第一绝缘层的侧面具有与第一导电层的顶面所成的角为10度以上且小于55度的区域。第二开口中的第一绝缘层的侧面具有与第四导电层的顶面所成的角为55度以上且90度以下的区域。第二导电层具有第三开口。第一开口与第三开口从平面看时彼此重叠。第五导电层具有第四开口。第二开口与第四开口从平面看时彼此重叠。第一半导体层在第一开口中与第一导电层的顶面及第一绝缘层的侧面接触。第一半导体层在第三开口中与第二导电层的侧面接触。第一半导体层隔着第二绝缘层与第三导电层重叠。第二半导体层在第二开口中与第四导电层的顶面及第一绝缘层的侧面接触。第二半导体层在第四开口中与第五导电层的侧面接触。第二半导体层隔着第二绝缘层与第六导电层重叠。

[0019] 在上述结构中,优选的是,第二绝缘层具有隔着第一半导体层覆盖第一开口中的第一绝缘层的侧面的第一区域、隔着第一半导体层覆盖第二导电层的顶面的第二区域、隔着第二半导体层覆盖第二开口中的第一绝缘层的侧面的第三区域以及隔着第二半导体层覆盖第五导电层的顶面的第四区域,第一区域的厚度大于第二区域的厚度的0.85倍且小于1.2倍,第三区域的厚度为第四区域的厚度的0.4倍以上且0.85倍以下。

[0020] 在上述结构中,优选的是,第二区域的厚度为10nm以上且200nm以下,第四区域的厚度为10nm以上且200nm以下。

[0021] 在上述结构中,优选的是,第二绝缘层具有隔着第一半导体层覆盖第一开口中的第一绝缘层的侧面的第一区域、隔着第一半导体层覆盖第一导电层的顶面的第二区域、隔着第二半导体层覆盖第二开口中的第一绝缘层的侧面的第三区域以及隔着第二半导体层覆盖第四导电层的顶面的第四区域,第一区域的厚度大于第二区域的厚度的0.85倍且小于

1.2倍,第三区域的厚度是第四区域的厚度的0.4倍以上且0.85倍以下。

[0022] 在上述结构中,优选的是,第二区域的厚度为10nm以上且200nm以下,第四区域的厚度为10nm以上且200nm以下。

[0023] 在上述结构中,优选的是,在第一半导体层中,第一开口中与第一绝缘层的侧面接触的区域厚度大于与第二导电层的顶面接触的区域厚度的0.85倍且小于1.2倍,在第二半导体层中,第二开口中与第一绝缘层的侧面接触的区域厚度为与第五导电层的顶面接触的区域厚度的0.4倍以上且0.85倍以下。

[0024] 在上述结构中,优选的是,第一半导体层中与第二导电层的顶面接触的区域厚度为1nm以上且200nm以下,第二半导体层中与第五导电层的顶面接触的区域厚度为1nm以上且200nm以下。

[0025] 在上述结构中,优选的是,在第一半导体层中,第一开口中与第一绝缘层的侧面接触的区域厚度大于与第一导电层的顶面接触的区域厚度的0.85倍且小于1.2倍,在第二半导体层中,第二开口中与第一绝缘层的侧面接触的区域厚度为与第四导电层的顶面接触的区域厚度的0.4倍以上且0.85倍以下。

[0026] 在上述结构中,优选的是,第一半导体层中与第一导电层的顶面接触的区域厚度为1nm以上且200nm以下,第二半导体层中与第四导电层的顶面接触的区域厚度为1nm以上且200nm以下。

[0027] 发明效果

[0028] 根据本发明的一个方式可以提供一种包括微型尺寸的晶体管的半导体装置。另外,根据本发明的一个方式可以提供一种包括沟道长度短的晶体管的半导体装置。另外,根据本发明的一个方式可以提供一种包括通态电流大的晶体管的半导体装置。另外,根据本发明的一个方式可以提供一种包括可靠性高的晶体管的半导体装置。另外,根据本发明的一个方式可以提供一种包括电特性良好的晶体管的半导体装置。另外,根据本发明的一个方式可以提供一种占有面积小的半导体装置。另外,根据本发明的一个方式可以提供一种性能高的半导体装置。另外,根据本发明的一个方式可以提供一种功耗低的半导体装置。另外,根据本发明的一个方式可以提供一种可靠性高的半导体装置。另外,根据本发明的一个方式可以提供一种生产率高的半导体装置。另外,根据本发明的一个方式可以提供一种新颖的半导体装置。

[0029] 注意,这些效果的记载并不妨碍其他效果的存在。本发明的一个方式并不需要具有所有上述效果。可以从说明书、附图、权利要求书的记载中抽取上述效果以外的效果。

附图说明

[0030] 图1A是示出半导体装置的一个例子的俯视图。图1B是示出半导体装置的一个例子的截面图。

[0031] 图2A及图2B是示出半导体装置的一个例子的截面图。图2C及图2D是示出半导体装置的一个例子的立体图。

[0032] 图3A是示出半导体装置的一个例子的俯视图。图3B是示出半导体装置的结构截面图。

[0033] 图4A是示出半导体装置的一个例子的俯视图。图4B是示出半导体装置的结构截面图。

面图。

[0034] 图5A是示出半导体装置的一个例子的俯视图。图5B及图5C是示出半导体装置的一个例子的截面图。

[0035] 图6A是示出半导体装置的一个例子的俯视图。图6B是示出半导体装置的一个例子的截面图。

[0036] 图7是示出半导体装置的一个例子的截面图。

[0037] 图8A及图8B是示出半导体装置的一个例子的截面图。

[0038] 图9A至图9D是示出半导体装置的一个例子的截面图。

[0039] 图10A至图10D是示出半导体装置的一个例子的截面图。

[0040] 图11A及图11B是示出半导体装置的一个例子的截面图。

[0041] 图12A及图12B是示出半导体装置的一个例子的截面图。

[0042] 图13A及图13B是示出半导体装置的一个例子的截面图。

[0043] 图14A及图14B是示出半导体装置的一个例子的截面图。图14C及图14D是示出电路的一个例子的图。

[0044] 图15A至图15D是示出半导体装置的制造方法的一个例子的截面图。

[0045] 图16A至图16D是示出半导体装置的制造方法的一个例子的截面图。

[0046] 图17A至图17C是示出半导体装置的制造方法的一个例子的截面图。

[0047] 图18A是示出显示装置的一个例子的立体图。图18B是显示装置的方框图。

[0048] 图19是示出显示装置的一个例子的立体图。

[0049] 图20A是锁存电路的电路图。图20B是反相器电路的电路图。

[0050] 图21是时序电路的电路图。

[0051] 图22A及图22B是像素电路的电路图。

[0052] 图23A至图23C是示出显示装置的一个例子的截面图。

[0053] 图24A及图24B是示出显示装置的一个例子的截面图。

[0054] 图25是示出显示装置的一个例子的截面图。

[0055] 图26A至图26C是示出显示装置的一个例子的截面图。

[0056] 图27A及图27B是示出显示装置的一个例子的截面图。

[0057] 图28A至图28F是示出显示装置的制造方法的一个例子的截面图。

[0058] 图29A至图29D是示出电子设备的一个例子的图。

[0059] 图30A至图30F是示出电子设备的一个例子的图。

[0060] 图31A至图31G是示出电子设备的一个例子的图。

具体实施方式

[0061] 参照附图对实施方式进行详细说明。注意,本发明不局限于以下说明,而所属技术领域的普通技术人员可以很容易地理解一个事实就是其方式及详细内容在不脱离本发明的宗旨及其范围的情况下可以被变换为各种各样的形式。因此,本发明不应该被解释为仅限定在以下所示的实施方式所记载的内容中。

[0062] 注意,在下面说明的发明结构中,在不同的附图中共用相同的符号来显示相同的部分或具有相同功能的部分,而省略反复说明。此外,当表示具有相同功能的部分时有时使

用相同的阴影线,而不特别附加符号。

[0063] 此外,为了便于理解,有时附图中示出的各构成的位置、大小及范围等并不表示其实际的位置、大小及范围等。因此,所公开的发明并不必然限于附图中公开的位置、大小及范围等。

[0064] 在本说明书等中,为了方便起见,附加了“第一”、“第二”等序数词,而其并不限制构成要素的个数或构成要素的顺序(例如,工序顺序或叠层顺序)。此外,在本说明书中的某一部分对构成要素附加的序数词与在本说明书中的其他部分或权利要求书对该构成要素附加的序数词有时不一致。

[0065] 另外,根据情况或状态,可以互相调换“膜”和“层”。例如,可以将“导电层”变换为“导电膜”。此外,可以将“绝缘膜”变换为“绝缘层”。

[0066] 晶体管是半导体元件的一种,并且可以实现放大电流或电压的功能、控制导通或非导通的开关工作等。本说明书等中的晶体管包括IGFET(Insulated Gate Field Effect Transistor:绝缘栅场效应晶体管)和薄膜晶体管(TFT:Thin Film Transistor)。

[0067] 在本说明书等中,在说明晶体管的连接关系时,使用“源极和漏极中的一个”(或者第一电极或第一端子)、“源极和漏极中的另一个”(或者第二电极或第二端子)的表述。这是因为晶体管的源极和漏极根据晶体管的结构或工作条件等而互换的缘故。注意,根据情况可以将晶体管的源极和漏极适当地换称为源极(漏极)端子或源极(漏极)电极等。

[0068] 在本说明书等中,“电极”、“布线”不在功能上限定其构成要素。例如,有时将“电极”用作“布线”的一部分,反之亦然。再者,“电极”、“布线”还包括多个“电极”及“布线”被形成为一体的情况等。

[0069] 在本说明书等中,“电连接”包括通过“具有某种电作用的元件”连接的情况。在此,“具有某种电作用的元件”只要可以进行连接对象间的电信号的授收,就对其没有特别的限制。例如,“具有某种电作用的元件”除了电极或布线以外还包括晶体管等开关元件、电阻元件、线圈、电容器、其他具有各种功能的元件等。

[0070] 另外,在本说明书等中,在没有特别的说明的情况下,关态电流(off-state current)是指晶体管处于关闭状态(也称为非导通状态、遮断状态)时的源极和漏极之间的泄漏电流。在没有特别的说明的情况下,在n沟道型晶体管中,关闭状态是指栅极与源极间的电压 V_{gs} 低于阈值电压 V_{th} (在p沟道型晶体管中,关闭状态是指栅极与源极间的电压高于 V_{th})的状态。

[0071] 在本说明书等中,“顶面形状大致一致”是指叠层中的每一个层的边缘的至少一部分重叠。例如,包括上层及下层通过同一的掩模图案或其一部分同一的掩模图案被加工的情况。但是,实际上有边缘不重叠的情况,有时上层位于下层的内侧或者上层位于下层的外侧,该情况也可以说“顶面形状大致一致”。当顶面形状一致或大致一致时,也可以说端部对齐或大致对齐。

[0072] 在本说明书等中,锥形形状是指构成要素的侧面的至少一部分相对于衬底面或被形成面倾斜地设置的形状。例如,优选具有倾斜的侧面和衬底面或被形成面所形成的角度(也被称为锥角)小于90度的区域。在此,构成要素的侧面、衬底面及被形成面不一定必须完全平坦,也可以是具有微小曲率的近似平面状或具有微细凹凸的近似平面状。

[0073] 在本说明书等中,有时将使用金属掩模或FMM(Fine Metal Mask,高精细金属掩

模)制造的器件称为具有MM(Metal Mask)结构的器件。此外,在本说明书等中,有时将不使用金属掩模或FMM制造的器件称为具有MML(Metal Mask Less)结构的器件。

[0074] 在本说明书等中,有时将在发光波长不同的发光元件(也称为发光器件)中分别制造发光层的结构称为SBS(Side By Side)结构。SBS结构由于可以对各发光元件使材料及结构最优化,材料及结构的选择自由度得到提高,可以容易实现亮度及可靠性的提高。

[0075] 在本说明书等中,有时将空穴或电子表示为“载流子”。具体而言,有时将空穴注入层或电子注入层称为“载流子注入层”,将空穴传输层或电子传输层称为“载流子传输层”,将空穴阻挡层或电子阻挡层称为“载流子阻挡层”。注意,上述载流子注入层、载流子传输层及载流子阻挡层有时无法根据其截面形状或特性等明确地进行区分。另外,有时一个层兼具载流子注入层、载流子传输层和载流子阻挡层中的两者或三者的功能。

[0076] 在本说明书等中,发光元件在一对电极间包括EL层。EL层至少包括发光层。在此,作为EL层所包括的层(也被称为功能层),可以举出发光层、载流子注入层(空穴注入层及电子注入层)、载流子传输层(空穴传输层及电子传输层)及载流子阻挡层(空穴阻挡层及电子阻挡层)等。在本说明书等中,受光元件(也被称为受光器件)在一对电极之间至少包括用作光电转换层的活性层。在本说明书等中,有时将一对电极中的一方记为像素电极,另一方记为公共电极。

[0077] 在本说明书等中,牺牲层(也可以称为掩模层)至少位于发光层(更具体而言是构成EL层的层中被加工为岛状的层)的上方,并且在制造工序中具有保护该发光层的功能。

[0078] 在本说明书等中,断开是指层、膜或电极因被形成面的形状(例如,台阶等)而断开的现象。

[0079] (实施方式1)

[0080] 在本实施方式中,参照图1至图26说明本发明的一个方式的半导体装置。

[0081] <结构例子1>

[0082] 对本发明的一个方式的半导体装置进行说明。图1A示出半导体装置10的俯视图(也称为平面图)。图1B示出沿着图1A所示的点划线A1-A2的截断面的截面图,图2A示出沿着点划线B1-B2的截断面的截面图,图2B示出沿着点划线B3-B4的截断面的截面图。注意,在图1A中,省略半导体装置10的构成要素的一部分(绝缘层等)。关于半导体装置的俯视图,与图1A同样地,后面的附图中也省略构成要素的一部分。

[0083] 半导体装置10包括晶体管100和晶体管200。图2C示出半导体装置10所包括的晶体管100的立体图,图2D示出晶体管200的立体图。在图2C及图2D中,省略衬底、绝缘层等部分构成要素的记载。

[0084] 晶体管100与晶体管200在嵌入有半导体层的开口部的形状等上不同。通过使其开口部的形状彼此不同,可以使晶体管100与晶体管200的沟道长度不同。另外,可以使晶体管100与晶体管200的栅极绝缘层的厚度不同。再者,可以使晶体管100与晶体管200的半导体层的厚度不同。晶体管100包括导电层112a、半导体层108、导电层112b、绝缘层106及导电层104。构成晶体管100的各层可以为单层结构也可以为叠层结构。

[0085] 导电层112a设置在衬底102上。导电层112a被用作晶体管100的源电极和漏电极中的一个。

[0086] 绝缘层110位于导电层112a上。绝缘层110以覆盖导电层112a的顶面及侧面的方式

设置。

[0087] 绝缘层110优选具有叠层结构。图1B等示出绝缘层110具有绝缘层110a、绝缘层110a上的绝缘层110b、绝缘层110b上的绝缘层110c的叠层结构的例子。

[0088] 绝缘层110a位于导电层112a上。绝缘层110a以覆盖导电层112a的顶面及侧面的方式设置。

[0089] 绝缘层110a上设置有绝缘层110b,绝缘层110b上设置有绝缘层110c。绝缘层110中设置有到达导电层112a的开口141。

[0090] 导电层112b位于绝缘层110上。导电层112b中设置有与开口141重叠的开口143。导电层112b被用作晶体管100的源电极和漏电极中的另一个。导电层112b具有隔着绝缘层110与导电层112a重叠的区域。绝缘层110包括夹在导电层112a与导电层112b之间的区域。如后面所述,绝缘层110具有被晶体管200所包括的两个导电层(导电层212a和导电层212b)挟持的区域。

[0091] 半导体层108与导电层112a的顶面、绝缘层110的侧面及导电层112b的顶面及侧面接触。半导体层108以覆盖开口141及开口143的方式设置。半导体层108以与绝缘层110中的开口141一侧的侧面及导电层112b中的开口143一侧的端部(也可以说是顶面的一部分和开口143一侧的侧面)接触的方式设置。半导体层108通过开口141及开口143与导电层112a接触。

[0092] 绝缘层106位于半导体层108及导电层112b上。绝缘层106以隔着半导体层108覆盖开口141及开口143的方式设置。绝缘层106的一部分用作晶体管100的栅极绝缘层。绝缘层106的另一部分用作晶体管200的栅极绝缘层。

[0093] 导电层104位于绝缘层106上。导电层104隔着绝缘层106与半导体层108重叠。导电层104用作晶体管的栅电极。

[0094] 图5A是图1A所示的晶体管100的放大图,图5B是图1B所示的晶体管100的放大图,是沿着图5A所示的点划线A1-A3的截面图。另外,图5C是图5B所示的区域41的放大图。注意,在图1B等所示的截面图中,为了便于观察,有时将各构成要素的厚度表示得厚。因此,在图5B、图5C等所示的放大图中,与放大前的图相比,有时将各构成要素的厚度表示得薄。

[0095] 角度 $th1$ 是绝缘层110的开口141一侧的侧面与被形成面(在此,导电层112a的顶面)所成的角。角度 $th1$ 优选大于后面所述的角度 $th2$ (晶体管200中,绝缘层110的开口241一侧的侧面与被形成面所成的角)。

[0096] 晶体管200包括导电层212a、半导体层208、导电层212b、绝缘层106及导电层204。构成晶体管200的各层可以为单层结构也可以为叠层结构。导电层212a、半导体层208、导电层212b及导电层204可以使用与可用于导电层112a、半导体层108、导电层112b及导电层104的材料相同的材料。

[0097] 导电层212a设置在衬底102上。导电层212a用作晶体管200的源电极和漏电极中的一方。

[0098] 导电层212a和导电层112a可以通过对同一导电膜进行加工来形成。

[0099] 绝缘层110位于导电层212a上。绝缘层110以覆盖导电层112a的顶面及侧面的方式设置。

[0100] 绝缘层110a位于导电层212a上。绝缘层110a以覆盖导电层212a的顶面及侧面的方

式设置。

[0101] 绝缘层110a上设置有绝缘层110b,绝缘层110b上设置有绝缘层110c。绝缘层110中设置有到达导电层212a的开口241。

[0102] 图6A是图1A所示的晶体管200的放大图。图6B是图1B所示的晶体管200的放大图,是沿着图6A所示的点划线A4-A2的截断面的截面图。另外,图7是图6B所示的区域42的放大图。

[0103] 角度 θ_2 是绝缘层110的开口241一侧的侧面与被形成面(在此,导电层212a的顶面)所成的角。

[0104] 角度 θ_2 优选小于角度 θ_1 。从截面看时,晶体管100的沟道长度 L_1 相当于绝缘层110的开口141的侧面的长度。另外,从截面看时,晶体管200的沟道长度 L_2 相当于绝缘层110的开口241的侧面的长度。通过使角度 θ_2 小于角度 θ_1 ,可以使绝缘层110的开口241的侧面的长度比开口141的侧面的长度长。由此,可以使晶体管200的沟道长度 L_2 比晶体管100的沟道长度 L_1 长。

[0105] 导电层212b位于绝缘层110上。导电层212b中设置有与开口241重叠的开口243。导电层212b用作晶体管200的源电极和漏电极中的另一方。导电层212b具有隔着绝缘层110与导电层212a重叠的区域。

[0106] 绝缘层110包括由导电层112a和导电层112b挟持的区域以及由导电层212a和导电层212b挟持的区域。

[0107] 导电层212b与导电层112b可以通过对同一导电膜进行加工而形成。

[0108] 半导体层208与导电层212a的顶面、绝缘层110的侧面以及导电层212b的顶面及侧面接触。半导体层208以覆盖开口241及开口243的方式设置。半导体层208以与绝缘层110中的开口241一侧的侧面及导电层212b中的开口143一侧的端部(也可以说是顶面的一部分和开口243一侧的侧面)接触的方式设置。半导体层208通过开口241及开口243与导电层212a接触。

[0109] 半导体层208和半导体层108可以通过对同一半导体膜进行加工而形成。

[0110] 当以覆盖开口部的侧壁的方式形成膜时,通过将侧壁形成锥形形状减小侧壁与被形成面之间的角度,可以提高膜的覆盖性。但是,当侧壁较陡时,覆盖性下降厚度可能变薄。因此,当角度 θ_1 大于角度 θ_2 与开口241相比开口141的侧壁较陡时,半导体层108可能变得比半导体层208薄。

[0111] 绝缘层106位于半导体层208及导电层212b上。绝缘层106以隔着半导体层208覆盖开口241及开口243的方式设置。如上所述,绝缘层106的一部分用作晶体管100的栅极绝缘层,另外一部分用作晶体管200的栅极绝缘层。

[0112] 注意,有时覆盖开口141的侧壁的区域中的绝缘层106的厚度与覆盖开口241的侧壁的区域中的绝缘层106的厚度不同。具体而言,例如,在开口141中,与开口241相比侧壁较陡,覆盖开口的侧壁的绝缘层106可能变薄。

[0113] 导电层204位于绝缘层106上。导电层204隔着绝缘层106与半导体层208重叠。导电层204用作晶体管的栅电极。

[0114] 导电层204和导电层104可以通过对同一导电膜进行加工来形成。

[0115] 导电层112a、导电层112b及导电层104可以都被用作布线,晶体管100可以设置在

这些布线重叠的区域。另外,导电层212a、导电层212b及导电层204都可以用作布线,晶体管200可以设置在这些布线重叠的区域中。也就是说,在包括晶体管100、晶体管200及布线的电路中,可以缩小晶体管100、晶体管200及布线的占有面积。因此,可以缩小电路的占有面积来实现小型半导体装置。

[0116] 例如,在将本发明的一个方式的半导体装置用于显示装置的像素电路时,可以缩小像素电路的占有面积而可以实现高清晰显示装置。此外,例如在将本发明的一个方式的半导体装置用于显示装置的驱动电路(例如,栅极线驱动电路和源极线驱动电路中的一方或双方)时,可以缩小驱动电路的占有面积而可以实现窄边框的显示装置。

[0117] 对开口141、开口143、开口241及开口243的顶面形状没有特别的限定。开口141、开口143、开口241及开口243例如可以呈圆形、椭圆形、三角形、四边形(包括长方形、菱形、正方形)、五边形等多边形或者这些多边形的带圆角的形状。另外,多边形也可以是凹多边形(至少一个内角超过180度的多边形)或凸多边形(内角都是180度以下的多边形)。如图1A等所示,开口141、开口143、开口241及开口243的顶面形状优选都呈圆形。通过使开口的顶面形状为圆形,可以提高形成开口时的加工精度,由此可以形成微细的开口。注意,在本说明书等中,圆形不局限于正圆。

[0118] 在本说明书等中,顶面形状是指从平面看时的形状。例如,在图1B等所示的结构中,可以由导电层112a和导电层112b挟持的绝缘层(这里,绝缘层110)的开口141一侧的顶面端部的形状为开口141的顶面形状。或者,例如,可以由导电层112a和导电层112b挟持的绝缘层的开口141一侧的底面端部的形状为开口141的顶面形状。

[0119] 图1A以形状141t表示绝缘层110的开口141一侧的顶面端部的形状。另外,以形状143b表示导电层112b的开口143一侧的底面端部的形状。另外,以形状241t表示绝缘层110的开口241一侧的顶面端部的形状。另外,以形状243b表示导电层212b的开口243一侧的底面端部的形状。

[0120] 如图1A所示,可以使形状141t与形状143b一致或大致一致。此时,如图1B等所示,优选导电层112b的开口143一侧的底面端部与绝缘层110的开口141一侧的顶面端部一致或大致一致。导电层112b的底面是指绝缘层110一侧的面。绝缘层110的顶面是指导电层112b一侧的面。

[0121] 另外,形状141t与形状143b也可以不一致。另外,当开口141和开口143的顶面形状呈圆形时,开口141与开口143可以呈同心圆状也可以不呈同心圆状。

[0122] 如图1A所示,可以使形状241t与形状243b一致或大致一致。此时,如图1B等所示,优选导电层212b的开口243一侧的底面端部与绝缘层110的开口241一侧的顶面端部一致或大致一致。导电层212b的底面是指绝缘层110一侧的面。绝缘层110的顶面是指导电层212b一侧的面。

[0123] 形状241t与形状243b也可以不一致。另外,当开口241与开口243的顶面形状为圆形时,开口241与开口243可以呈同心圆状也可以不呈同心圆状。

[0124] 另外,在开口241中,绝缘层110的开口241一侧的顶面端部的形状与底面端部的形状的开口大小大不同。图1A中,以形状241b示出开口241中的绝缘层110的开口241一侧的底面端部的形状。

[0125] 晶体管100及晶体管200是在半导体层的上方具有栅电极的所谓顶栅型晶体管。再

者,由于半导体层的底面与源电极及漏电极接触,所以可以说是TGBC (Top Gate Bottom Contact:顶栅底接触)型晶体管。此外,在晶体管100及晶体管200中源电极与漏电极的对于被形成面的衬底102的表面的高度彼此不同,在垂直于或大致垂直于衬底102的表面的方向上漏极电流流过。也可以说,在晶体管100及晶体管200中,在纵向方向或大致纵向方向上漏极电流流过。因此,晶体管100可以说是纵向沟道型晶体管或VFET (Vertical Field Effect Transistor:纵向场效应晶体管)。

[0126] 晶体管100可以利用绝缘层110的厚度及设置在绝缘层110中的开口141的侧壁与被形成面的角度控制沟道长度。另外,晶体管200可以利用绝缘层110的厚度及设置在绝缘层110中的开口241的侧壁与被形成面的角度控制沟道长度。因此,在晶体管100及晶体管200中,可以高精度地制造具有比晶体管的制造所使用的曝光装置的极限分辨率短的沟道长度的晶体管。具体而言,可以实现现有的平板显示器的量产中使用的曝光装置(例如,最小线宽为 $2\mu\text{m}$ 或 $1.5\mu\text{m}$ 左右)无法实现的沟道长度极短的晶体管。此外,在不使用最尖端的LSI技术中使用的非常昂贵的曝光装置的状态下,也可以实现沟道长度小于10nm的晶体管。另外,可以减少多个晶体管100间及多个晶体管200间的特性不均匀。由此,包括晶体管100及晶体管200的半导体装置的工作稳定,可靠性得到提高。此外,当特性不均匀减小时,电路设计自由度提升,还可以降低半导体装置的工作电压。由此,可以降低半导体装置的功耗。

[0127] 通过缩短沟道长度,可以增大晶体管的通态电流。通过使用晶体管,可以制造能够进行高速工作的电路。再者,可以缩小电路的占有面积。因此,可以实现小型半导体装置。例如,在本发明的一个方式的半导体装置用于大型显示装置或高清晰的显示装置的情况下,在布线数增加时也可以降低各布线的信号延迟,由此可以抑制显示不均匀。此外,由于可以缩小电路的占有面积,所以可以减小显示装置的边框。

[0128] 在晶体管100及晶体管200中,可以重叠设置源电极、半导体层和漏电极,所以与将半导体层配置为平面状的所谓平面晶体管相比,可以大幅度缩小占有面积。

[0129] 虽然图1B等中示出半导体层108的端部位于导电层112b上、半导体层108具有与导电层112b的顶面接触的区域,但是本发明不局限于此。半导体层108也可以覆盖导电层112b的端部,半导体层108的端部可以位于导电层112b的端部的外侧,半导体层108可以具有与绝缘层110的顶面接触的区域。同样地,虽然图1B等中示出半导体层208的端部位于导电层212b上且半导体层208具有与导电层212b的顶面接触的区域,但是半导体层208也可以覆盖导电层212b的端部,半导体层208的端部可以位于导电层212b的端部的外侧,半导体层208可以与绝缘层110的顶面接触。

[0130] 图1B等示出半导体层108、绝缘层106及导电层104覆盖开口141及开口143的例子,但是本发明的一个方式不局限于此。也可以采用由绝缘层110及导电层112b以及导电层112a形成台阶并沿着该台阶设置半导体层108、绝缘层106及导电层104的结构。同样地,也可以采用由绝缘层110及导电层212b以及导电层212a形成台阶并沿着该台阶设置半导体层208、绝缘层106及导电层204的结构。

[0131] 在本发明的一个方式的半导体装置中,可以分开形成沟道长度短的晶体管100和沟道长度长的晶体管200。例如,通过将晶体管100用于被要求大通态电流的晶体管且将晶体管200用于被要求高饱和特性的晶体管,可以实现高性能的半导体装置。

[0132] 另外,在本发明的一个方式的半导体装置中,可以使晶体管100的栅极绝缘层的厚

度薄于晶体管200的栅极绝缘层的厚度。通过将栅极绝缘层的厚度形成得薄,可以增大晶体管的通态电流并可以提高工作速度。另外,晶体管100中不仅可以使栅极绝缘层形成得薄还可以进一步缩短沟道长度,所以可以进一步增大通态电流并使工作速度更快。另外,由于可以使晶体管200的栅极绝缘层的厚度厚于晶体管100的栅极绝缘层的厚度,所以可以提高晶体管的栅极耐压。例如,通过作为被施加高电压的晶体管使用晶体管200,作为需要进行高速工作的晶体管使用晶体管100,可以实现进行高速工作的同时兼具高可靠性的半导体装置。

[0133] 另外,在本发明的一个方式的半导体装置中,可以使半导体层108的厚度比半导体层208的厚度薄。通过使半导体层的厚度薄,例如,可以缩小开口141的直径,由此可以缩小晶体管100的占有面积。

[0134] 以覆盖晶体管100及晶体管200的方式设置绝缘层195。绝缘层195用作晶体管100及晶体管200的保护层。

[0135] 对晶体管100及晶体管200的详细结构进行说明。

[0136] 首先,参照图5A及图5B说明晶体管100的详细结构。

[0137] 在半导体层108中,与导电层112a接触的区域被用作源极区域和漏极区域中的一个,与导电层112b接触的区域被用作源极区域和漏极区域中的另一个,源极区域与漏极区域之间的区域被用作沟道形成区域。

[0138] 晶体管100的沟道长度为源极区域与漏极区域之间的距离。图5B中以虚线的双箭头示出晶体管100的沟道长度L1。沟道长度L1可以说在截面中半导体层108的接触于导电层112a的区域与接触于导电层112b间的区域的最短距离。

[0139] 晶体管100的沟道长度L1相当于从截面看时的夹在导电层112a与导电层112b之间的绝缘层的开口141一侧的侧面的长度。也就是说,沟道长度L1由夹在导电层112a与导电层112b之间的绝缘层的厚度T1(在此,绝缘层110的厚度)及该绝缘层的开口141一侧的侧面与被形成面(在此,导电层112a的顶面)所成的角的角度 θ_1 决定。

[0140] 图5A及图5B中作为开口143的宽度以双点划线的双箭头示出形状143b的宽度D143b。图5A示出开口141及开口143的顶面形状呈圆形的例子,宽度D143b相当于该圆的直径。另外,晶体管100的沟道宽度W1为该圆的圆周长度。也就是说,沟道宽度W1为 $\pi \times D143b$ 。如此,当开口141及开口143的顶面形状呈圆形时,与采用其他形状如多边形等的形状相比,可以实现沟道宽度短的晶体管。如此,通过将开口的形状形成为圆形、多边形等所希望形状,可以在不大改变晶体管的直径的情况下改变沟道宽度。

[0141] 注意,有时开口141的直径与开口143的直径不同。

[0142] 接着,参照图6A、图6B及图7说明晶体管200的详细结构。

[0143] 在半导体层208中,与导电层212a接触的区域用作源区域和漏区域中的一方,与导电层212b接触的区域用作源区域和漏区域中的另一方,源区域与漏区域间的区域用作沟道形成区域。

[0144] 晶体管200的沟道长度为源区域与漏区域间的距离。图6B中以虚线的双箭头示出晶体管200的沟道长度L2。沟道长度L2可以说是从截面看时半导体层208的与导电层212a接触的区域与与导电层212b接触的区域间的最短距离。

[0145] 晶体管200的沟道长度L2相当于从截面看时夹在导电层212a与导电层212b间的绝

缘层的开口241一侧的侧面的长度。也就是说,沟道长度L2由夹在导电层212a与导电层212b间的绝缘层的厚度T1(在此,绝缘层110的厚度)及该绝缘层的开口241一侧的侧面与被形成面(在此,导电层212a的顶面)所成的角的角度 θ_2 决定。

[0146] 图6A及图6B中,作为开口243的宽度,以双点划线的双箭头示出形状243b的宽度D243b。图6A示出开口241及开口243的顶面形状为圆形的例子。

[0147] 注意,有时开口241的直径与开口243的直径不同。

[0148] 另外,开口141的直径、开口143的直径、开口241的直径及开口243的直径有时在深度方向上发生变化。在晶体管200中,由于角度 θ_2 小,有时开口241的直径及开口243的直径的深度方向上变化尤其明显。作为开口的直径,例如可以采用从截面看时的绝缘层110的最高位置的直径、最低位置的直径及其中间点位置的直径这三个的平均值。或者,作为开口的直径,例如可以采用从截面看时的绝缘层110的最高位置的直径、最低位置的直径、或其中间点的位置的直径中的任意直径。图6A中,作为开口241的宽度,示出从截面看时的绝缘层110的最高位置的宽度D241t及最低位置的宽度D241b。宽度D241t大于宽度D241b。

[0149] 图6A中,开口243的下端的顶面形状为圆形,宽度D243b相当于该圆的直径。该圆的圆周的长度例如可以为晶体管200的沟道宽度(以下,记作沟道宽度W2)。沟道宽度W2为 $\pi \times D243b$ 。

[0150] 或者,可以利用开口241的下端的圆周的长度算出晶体管200的沟道宽度。开口241的下端的顶面形状为圆形,宽度D241b相当于该圆的直径。该圆的圆周的长度例如可以为晶体管200的沟道宽度(以下,记作沟道宽度W2b)。沟道宽度W2b为 $\pi \times D241b$ 。

[0151] 或者,也可以将沟道宽度W2与沟道宽度W2b的平均值看作晶体管200的沟道宽度。

[0152] 与其他形状相比,开口241及开口243的顶面形状为圆形时可以实现沟道宽度短的晶体管。

[0153] 在图6A及图6B所示的结构中,宽度D243b与宽度D241t一致。

[0154] 另外,图8A示出绝缘层110的半导体层208一侧的端部位于导电层212b的半导体层208一侧的端部的内侧的例子。在图8A所示的结构中,宽度D241t比宽度D243b窄。在图8A所示的结构中,绝缘层110的开口241一侧的顶面端部的直径比导电层212b的开口243一侧的底面端部的直径窄。

[0155] 另外,图8B示出导电层212b的半导体层208一侧的端部位于绝缘层110的半导体层208一侧的端部的内侧的例子。在图8B所示的结构中,宽度D241t比宽度D243b宽。在图8B所示的结构中,绝缘层110的开口241一侧的顶面端部的直径比导电层212b的开口243一侧的底面端部的直径宽。

[0156] 注意,在图5B等中示出在截面中绝缘层110的开口141一侧的侧面的形状为直线的结构,但本发明的一个方式不局限于此。从截面看时,绝缘层110的开口141一侧的侧面的形状也可以为曲线,也可以具有侧面的形状为直线的区域和曲线的区域的双方。同样地,虽然图6B等中示出从截面看时绝缘层110的开口241一侧的侧面形状为直线的结构,但是本发明的一个方式不局限于此。从截面看时绝缘层110的开口241一侧的侧面的形状也可以为曲线,或者侧面的形状也可以包括直线区域和曲线区域的双方。另外,曲线区域可以具有凸状曲线、凹状曲线等各种曲线。另外,侧面的形状可以具有两个以上的直线区域。另外,侧面的形状也可以具有两个以上的曲线区域。

[0157] 图9A及图10A分别示出从截面看晶体管200时绝缘层110的开口241一侧的侧面的形状具有曲线区域的例子。图9B是图9A所示的区域43的放大图,图10B是图10A所示的区域44的放大图。

[0158] 图9A示出从截面看晶体管200时绝缘层110的开口241一侧的侧面的形状具有向绝缘层110的外侧凸出的曲线的区域的例子。例如,角度 th_2 可以通过对沿着侧面的形状的线划切线并计算切线与被形成面(这里,导电层212a的顶面)间的角度而求出。图9C是在侧面与导电层212a的顶面接触的区域中划切线求出角度 th_2 的例子。图9D是在绝缘层110的深度的中间点附近的区域中划切线求出角度 th_2 的例子,其小于图9C中求出的角度 th_2 。

[0159] 图10A示出从截面看晶体管200时绝缘层110的开口241一侧的侧面的形状具有向绝缘层110的内侧凸出(向绝缘层的外侧凹陷)的曲线的区域的例子。图10C是在侧面与导电层212a的顶面接触的区域中划切线求出角度 th_2 的例子。图10D是在绝缘层110的深度的中间点附近的区域中划切线求出角度 th_2 的例子,其大于图10C中求出的角度 th_2 。

[0160] 另外,也可以将从截面看晶体管200时绝缘层110的开口241中的顶面端部与底面端部以直线连接,将该直线与导电层212a的顶面间的角度作为角度 th_2 。

[0161] 沟道长度 L_1 例如可以为5nm以上、7nm以上或10nm以上且小于 $3\mu\text{m}$ 、 $2.5\mu\text{m}$ 以下、 $2\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1\mu\text{m}$ 以下、500nm以下、300nm以下、200nm以下、100nm以下、50nm以下、30nm以下或20nm以下。例如,沟道长度 L_1 也可以为100nm以上且 $1\mu\text{m}$ 以下。

[0162] 可以通过调整厚度 T_1 及角度 th_1 来控制沟道长度 L_1 。另外,可以通过调整角度 th_1 与角度 th_2 的关系来控制沟道长度 L_2 与沟道长度 L_1 之比。图5B及图6B中以点划线的双箭头表示厚度 T_1 。

[0163] 厚度 T_1 例如可以为10nm以上、50nm以上、100nm以上、150nm以上、200nm以上、300nm以上、400nm以上或500nm以上且小于 $3.0\mu\text{m}$ 、 $2.5\mu\text{m}$ 以下、 $2.0\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下、 $1.2\mu\text{m}$ 以下、 $1.0\mu\text{m}$ 以下。

[0164] 角度 th_1 优选为90度或其附近的值。或者,角度 th_1 优选为55度以上,更优选为60度以上,更优选为65度以上,更优选为70度以上,更优选为90度以下。或者,角度 th_1 也可以小于90度、85度以下、80度以下或75度以下。

[0165] 角度 th_2 优选为大于0度且比角度 th_1 小的值。角度 th_2 优选小于55度,更优选为50度以下,更优选为45度以下,更优选为40度以下。另外,角度 th_2 例如也可以为10度以上、15度以上或20度以上。

[0166] 沟道长度 L_2 例如大于沟道长度 L_1 的1.2倍、1.3倍、1.4倍或1.5倍。

[0167] 另外,沟道长度 L_2 例如为沟道长度 L_1 的6倍以下、4倍以下或3倍以下。

[0168] 在利用光刻法形成开口143及开口243时,开口143的宽度 D_{143b} 和开口243的宽度 D_{243b} 为曝光装置的极限分辨率以上。宽度 D_{143b} 例如可以为20nm以上、30nm以上、50nm以上、100nm以上、200nm以上、300nm以上、400nm以上或500nm以上且小于 $5.0\mu\text{m}$ 、 $4.5\mu\text{m}$ 以下、 $4.0\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以下、 $3.0\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以下、 $2.0\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下或 $1.0\mu\text{m}$ 以下。另外,宽度 D_{243b} 例如可以为30nm以上、50nm以上、100nm以上、200nm以上、300nm以上、400nm以上或500nm以上并小于 $5.0\mu\text{m}$ 、 $4.5\mu\text{m}$ 以下、 $4.0\mu\text{m}$ 以下、 $3.5\mu\text{m}$ 以下、 $3.0\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以下、 $2.0\mu\text{m}$ 以下、 $1.5\mu\text{m}$ 以下或 $1.0\mu\text{m}$ 以下。

[0169] 注意,虽然图1A、图1B等中示出宽度 D_{243b} 比宽度 D_{143b} 宽的例子,但是也可以如图

3所示地使宽度D243b与宽度D143b大致一致。另外,宽度D243b也可以比宽度D143b窄。

[0170] 接着,参照图5B说明晶体管100的栅极绝缘层的厚度。夹在用作栅电极的导电层104与半导体层108之间的绝缘层106用作栅极绝缘层。该栅极绝缘层的厚度为从截面看时导电层104与半导体层108间的最短距离。

[0171] 根据角度 θ_1 、角度 θ_2 及绝缘层106的形成方法,有时栅极绝缘层的厚度不同。

[0172] 图11A是说明晶体管100的半导体层的厚度及栅极绝缘层的厚度的图。

[0173] 导电层112b的顶面、绝缘层110的开口141的侧面、导电层112a的顶面上的半导体层108的厚度为厚度B1、厚度B2、厚度B3。厚度B2有时比厚度B1薄。厚度B2例如为厚度B1的0.4倍以上且0.85倍以下。另外,厚度B2有时比厚度B3薄。厚度B2例如为厚度B3的0.4倍以上且0.85倍以下。

[0174] 导电层112b的顶面、绝缘层110的开口141的侧面、导电层112a的顶面上的绝缘层106的厚度为厚度A1、厚度A2、厚度A3。厚度A2有时比厚度A1薄。厚度A2例如为厚度A1的0.4倍以上且0.85倍以下。另外,厚度A2有时比厚度A3薄。厚度A2例如为厚度A3的0.4倍以上且0.85倍以下。

[0175] 图11B是说明晶体管200的半导体层的厚度及栅极绝缘层的厚度的图。

[0176] 导电层212b的顶面、绝缘层110的开口241的侧面、导电层212a的顶面上的半导体层208的厚度为厚度B11、厚度B12、厚度B13。厚度B12例如大于厚度B11的0.85倍且小于1.2倍。厚度B12例如大于厚度B13的0.85倍且小于1.2倍。

[0177] 导电层212b的顶面、绝缘层110的开口241的侧面、导电层212a的顶面上的绝缘层106的厚度为厚度A11、厚度A12、厚度A13。厚度A12例如大于厚度A11的0.85倍且小于1.2倍。厚度A12例如大于厚度A3的0.85倍且小于1.2倍。

[0178] 以下说明包括在本实施方式的半导体装置中的构成要素。

[0179] [半导体层108及半导体层208]

[0180] 对用于半导体层108及半导体层208的半导体材料没有特别的限制。例如,可以使用由单个元素构成的半导体或者化合物半导体。作为由单个元素构成的半导体例如可以举出硅及锗。作为化合物半导体例如可以举出砷化镓及硅锗。除此之外,作为化合物半导体例如可以举出有机半导体、氮化物半导体及氧化物半导体。注意,这些半导体材料也可以包含杂质作为掺杂剂。

[0181] 对用于半导体层108及半导体层208的半导体材料的结晶性没有特别的限制,可以使用非晶半导体、单晶半导体或具有单晶以外的结晶性的半导体(微晶半导体、多晶半导体或其一部分具有结晶区域的半导体)。当使用单晶半导体或具有结晶性的半导体时可以抑制晶体管的特性劣化,所以是优选的。

[0182] 半导体层108及半导体层208优选都包含呈现半导体特性的金属氧化物(也称为氧化物半导体)。

[0183] 用于半导体层108及半导体层208的金属氧化物的带隙优选都为2.0eV以上,更优选为2.5eV以上。

[0184] 作为可用于半导体层108及半导体层208的金属氧化物例如可以举出铟氧化物、镓氧化物及锌氧化物。金属氧化物优选至少包含铟或锌。此外,金属氧化物优选包含选自铟、元素M和锌中的两个或三个。元素M是与氧的键能高的金属元素或半金属元素,例如是与氧

的键能比铟高的金属元素或半金属元素。作为元素M,具体而言,可以举出铝、镓、锡、铋、铊、钒、铬、锰、铁、钴、镍、锆、钼、钨、钽、钨、镧、铈、钕、钆、镁、钙、锶、钡、硼、硅、锗及铟等。金属氧化物所包含的元素M优选为上述元素中的任一种或多种,更优选为选自铝、镓、锡和铋中的一种或多种,进一步优选为镓。注意,在本说明书等中,有时将金属元素和半金属元素总称为“金属元素”,本说明书等中记载的“金属元素”有时包括半金属元素。

[0185] 半导体层108及半导体层208例如可以使用铟锌氧化物(In-Zn氧化物)、铟锡氧化物(In-Sn氧化物)、铟钛氧化物(In-Ti氧化物)、铟镓氧化物(In-Ga氧化物)、铟镓铝氧化物(In-Ga-Al氧化物)、铟镓锡氧化物(In-Ga-Sn氧化物)、镓锌氧化物(Ga-Zn氧化物,也记为GZO)、铝锌氧化物(Al-Zn氧化物,也记为AZO)、铟铝锌氧化物(In-Al-Zn氧化物,也记为IAZO)、铟锡锌氧化物(In-Sn-Zn氧化物,也记为ITZO(注册商标))、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锌氧化物(In-Ga-Zn氧化物,也记为IGZO)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物,也记为IGZTO)、铟镓铝锌氧化物(In-Ga-Al-Zn氧化物,也记为IGAZO、IGZAO或IAGZO)等。或者,可以使用包含硅的铟锡氧化物、镓锡氧化物(Ga-Sn氧化物)、铝锡氧化物(Al-Sn氧化物)等。

[0186] 当提高金属氧化物中的相对于所有金属元素的原子数之和的铟的原子数之比例时,可以提高晶体管的场效应迁移率。另外,可以实现通态电流大的晶体管。

[0187] 注意,金属氧化物也可以代替铟或除了铟以外还包含一种或多种元素周期表中的周期数大的金属元素。有如下倾向:金属元素的轨道重叠越大,金属氧化物中的载流子传导越大。因此,通过包含周期数大的金属元素,有时可以提高晶体管的场效应迁移率。作为周期数大的金属元素,可以举出属于第5周期的金属元素以及属于第6周期的金属元素等。作为该金属元素,具体而言,可以举出铋、锆、银、镉、锡、铟、钡、铅、铋、镧、铈、镨、镧、铈、钕、钆、钇、铈及铈等。注意,镧、铈、镨、钕、钆、钇、铈及铈被称为轻稀土元素。

[0188] 金属氧化物也可以包含一种或多种非金属元素。当金属氧化物包含非金属元素时,有时载流子浓度增加或者带隙变窄等而可以提高晶体管的场效应迁移率。作为非金属元素,例如可以举出碳、氮、磷、硫、硒、氟、氯、溴及氢等。

[0189] 当提高金属氧化物中的相对于所有的金属元素的原子数之和的铟的原子数之比例时,金属氧化物具有高结晶性,可以抑制金属氧化物中的杂质扩散。因此,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0190] 当提高金属氧化物中的相对于所有的金属元素的原子数之和的元素M的原子数之比例时,可以抑制在金属氧化物中形成氧空位。因此,起因于氧空位的载流子生成得到抑制,可以形成关态电流小的晶体管。另外,晶体管的电特性的变动得到抑制而可以提高可靠性。

[0191] 根据用于半导体层108及半导体层208的金属氧化物的组成而晶体管的电特性及可靠性不同。因此,通过根据晶体管所需的电特性及可靠性使金属氧化物的组成不同,可以实现兼具优异的电特性及高可靠性的半导体装置。

[0192] 在金属氧化物的组成分析中例如可以使用能量色散X射线分析法(EDX:Energy Dispersive X-ray Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectrometry)、电感耦合等离子体质谱分析法(ICP-MS:Inductively Coupled Plasma-Mass Spectrometry)或电感耦合等离子体原子发射光谱法(ICP-AES:Inductively

Coupled Plasma-Atomic Emission Spectrometry)。或者,也可以组合多个上述方法而分析。注意,含有率低的元素有时受分析精度的影响实际上的含有率与分析所得的含有率不同。例如,当元素M的含有率低时,有时分析所得的元素M的含有率低于实际上的含有率、是难以定量的或者检测不出。

[0193] 在金属氧化物为In-M-Zn氧化物时,该In-M-Zn氧化物中的In的原子数比优选为元素M的原子数比以上。作为这种In-M-Zn氧化物的金属元素的原子数比,例如可以举出In:M:Zn=1:1:1、In:M:Zn=1:1:1.2、In:M:Zn=2:1:3、In:M:Zn=3:1:1、In:M:Zn=3:1:2、In:M:Zn=4:2:3、In:M:Zn=4:2:4.1、In:M:Zn=5:1:3、In:M:Zn=5:1:6、In:M:Zn=5:1:7、In:M:Zn=5:1:8、In:M:Zn=6:1:6、In:M:Zn=5:2:5以及它们附近的组成。此外,附近的组成包括所希望的原子数比的±30%的范围。通过增大金属氧化物中的In的原子数比,可以提高晶体管的通态电流或场效应迁移率等。

[0194] In-M-Zn氧化物中的In的原子数比也可以小于元素M的原子数比。作为这种In-M-Zn氧化物的金属元素的原子数比,例如可以举出In:M:Zn=1:3:2、In:M:Zn=1:3:3、In:M:Zn=1:3:4以及它们附近的组成。通过增高金属氧化物中的M的原子数的比例,可以抑制氧空位的生成。

[0195] 注意,在作为元素M包含多个金属元素时,该金属元素的原子数的比例的总和可以为元素M的原子数的比例。

[0196] 在本说明书等中,相对于含有的所有金属元素的原子数之和的In的原子数之比例有时记载为In的含有率。其他金属元素也是同样的。

[0197] 金属氧化物适合利用溅射法或原子层沉积(ALD:Atomic Layer Deposition)法形成。注意,在利用溅射法形成金属氧化物的情况下,沉积后的金属氧化物的组成与溅射靶材的组成有时不同。尤其是,沉积后的金属氧化物中的In的含有率有时减少到溅射靶材的50%左右。

[0198] 半导体层108及半导体层208也可以具有包括两个以上的金属氧化物层的叠层结构。半导体层108及半导体层208所包括的两个以上的金属氧化物层的组成也可以彼此相同或大致相同。通过采用组成相同的金属氧化物层的叠层结构,例如可以使用相同的溅射靶材形成,因此可以降低制造成本。

[0199] 半导体层108及半导体层208所包括的两个以上的金属氧化物层的组成也可以彼此不同。例如,优选使用In:M:Zn=1:3:4[原子数比]或其附近的组成的第一金属氧化物层以及设置于该第一金属氧化物层上的In:M:Zn=1:1:1[原子数比]或其附近的组成的第二金属氧化物层的叠层结构。此外,作为元素M特别优选使用镓、铝或锡。例如,可以使用选自InGa氧化物、InGaZn氧化物和IGZO中的任一个及IAZO、IAGZO和ITZO(注册商标)中的任一个的叠层结构。

[0200] 另外,半导体层108及半导体层208也可以都具有两层以上的叠层结构。作为该叠层结构,例如可以举出三层叠层结构,其中将金属元素的原子数比为In:Ga:Zn=1:1:1的半导体层用作第一层,将金属元素的原子数比为In:Zn=4:1的半导体层用作第二层,将金属元素的原子数比为In:Ga:Zn=1:1:1的半导体层用作第三层。另外,第一层及第三层的半导体层的带隙优选比第二层的半导体层的带隙大。通过采用该结构,第二层可以被用作主要电流路径,所以可以实现所谓的埋入沟道结构。

[0201] 半导体层108及半导体层208优选包括具有结晶性的金属氧化物层。作为具有结晶性的金属氧化物的结构,例如可以举出CAAC(c-axis aligned crystal)结构、多晶结构、微晶(nc:nano-crystal)结构。通过将具有结晶性的金属氧化物层用于半导体层108,可以降低半导体层108中的缺陷态密度,由此可以实现可靠性高的半导体装置。

[0202] 用于半导体层108及半导体层208的金属氧化物层的结晶性越高,越可以降低半导体层108中的缺陷态密度。另一方面,通过使用结晶性低的金属氧化物层,可以实现能够流过大电流的晶体管。

[0203] 在利用溅射法形成金属氧化物层时,形成该金属氧化物层时的衬底温度(载物台的温度)越高,越可以形成结晶性高的金属氧化物层。此外,相对于在形成该金属氧化物层时使用的沉积气体整体的氧气体的流量比率(以下,也称为氧流量比)或处理室内的氧分压越高,越可以形成结晶性高的金属氧化物层。

[0204] 半导体层108及半导体层208也可以具有结晶性不同的两个以上的金属氧化物层的叠层结构。例如,可以具有第一金属氧化物层及设置在该第一金属氧化物层上的第二金属氧化物层的叠层结构,第二金属氧化物层可以包括其结晶性比第一金属氧化物层高的区域。或者,第二金属氧化物层可以包括其结晶性比第一金属氧化物层低的区域。此时,第一金属氧化物层和第二金属氧化物层的组成也可以不同、相同或大致相同。

[0205] 半导体层108及半导体层208的厚度优选为1nm以上且200nm以下,更优选为3nm以上且100nm以下,更优选为5nm以上且100nm以下,更优选为10nm以上且100nm以下,更优选为10nm以上且70nm以下,更优选为15nm以上且70nm以下,更优选为15nm以上且50nm以下,更优选为20nm以上且50nm以下。注意,半导体层108与半导体层208的厚度可以相同或不同。

[0206] 注意,半导体层108及半导体层208的不同区域的厚度可能不同。例如,有的区域的厚度是上述厚度范围的0.4倍以上且小于1.2倍。

[0207] 在半导体层108及半导体层208使用氧化物半导体的情况下,有时氧化物半导体中的氢与键合于金属原子的氧起反应而成为水,在氧化物半导体中形成氧空位(V_O)。再者,有时氢进入氧空位中的缺陷(以下记作 V_OH)被用作供体而产生作为载流子的电子。此外,有时由于氢的一部分与键合于金属原子的氧键合,产生作为载流子的电子。因此,使用包含多量的氢的氧化物半导体的晶体管容易具有常开启特性。此外,因为氧化物半导体中的氢因受热、电场等作用而容易移动,所以当氧化物半导体包含多量的氢时可能会导致晶体管的可靠性降低。

[0208] 当作为半导体层108及半导体层208使用氧化物半导体时,优选尽量减少半导体层108及半导体层208中的 V_OH 以使其成为高纯度本征或实质上高纯度本征。如此,为了得到 V_OH 被充分减少的氧化物半导体,重要的是:去除氧化物半导体中的水、氢等杂质(有时记载为脱水、脱氢化处理);以及对氧化物半导体供氧来修复氧空位。通过将 V_OH 等杂质充分降低的氧化物半导体用于晶体管的沟道形成区域,可以赋予稳定电特性。注意,有时将氧供应到氧化物半导体来修复氧空位的处理记为加氧化处理。

[0209] 当作为半导体层108及半导体层208使用氧化物半导体时,优选用作沟道形成区域的区域中的氧化物半导体的载流子浓度为 $1 \times 10^{18} \text{cm}^{-3}$ 以下,更优选低于 $1 \times 10^{17} \text{cm}^{-3}$,进一步优选低于 $1 \times 10^{16} \text{cm}^{-3}$,更优选的是低于 $1 \times 10^{13} \text{cm}^{-3}$,进一步优选的是低于 $1 \times 10^{12} \text{cm}^{-3}$ 。对用作沟道形成区域的区域中的氧化物半导体的载流子浓度的下限值没有限定,例如,可以将

是指在其组成中含氮量多于含氧量的材料。例如,氧氮化硅是指在其组成中含氧量多于含氮量的材料,而氮氧化硅是指在其组成中含氮量多于含氧量的材料。

[0221] 组成的分析例如可以利用二次离子质谱分析法(SIMS:Secondary Ion Mass Spectrometry)、X射线光电子能谱法(XPS:X-ray Photoelectron Spectroscopy)、俄歇电子能谱法(AES:Auger Electron Spectroscopy)、或能量分散型X射线能谱法(EDX:Energy Dispersive X-ray Spectroscopy)。例如,在目的元素的含有率高(例如为0.5atomic%以上或1atomic%以上)时,优选使用XPS。另一方面,在目的元素的含有率低(例如0.5atomic%以下或1atomic%以下)时,优选使用SIMS。组成的分析优选使用多个分析方法。例如,更优选进行利用SIMS和XPS的双方的复合分析。

[0222] 绝缘层110具有与半导体层108接触的部分。在作为半导体层108使用氧化物半导体时,为了提高半导体层108与绝缘层110的界面特性,绝缘层110的与半导体层108接触的部分的至少一部分中使用氧化物或氧氮化物。具体而言,优选在绝缘层110中的与半导体层108的沟道形成区域接触的部分中使用氧化物或氧氮化物。沟道形成区域是载流子浓度低的高电阻区域。可以说沟道形成区域是i型(本征)或实质上i型。

[0223] 作为绝缘层110b优选使用包含氧的层。与绝缘层110a和绝缘层110c中的至少一个相比绝缘层110b优选具有含氧量多的区域。尤其是,与绝缘层110a及绝缘层110c相比绝缘层110b优选具有含氧量多的区域。

[0224] 绝缘层110b优选使用上述氧化绝缘膜和氧氮化绝缘膜中的任一个或多个。具体而言,绝缘层110b优选使用氧化硅膜和氧氮化硅膜中的一方或双方。通过使绝缘层110b的含氧量多,在半导体层108中的与绝缘层110b接触的区域及其附近容易形成i型区域。

[0225] 绝缘层110b更优选使用通过加热释放氧的膜。由于在晶体管100的制造工序中施加的热而绝缘层110b释放氧,因此可以将氧供应到半导体层108。通过将氧从绝缘层110b供应到半导体层108,尤其是供应到半导体层108的沟道形成区域,可以减少半导体层108中的氧空位(V_O)及 V_OH ,由此可以实现呈现良好的电特性且可靠性高的晶体管。

[0226] 例如,通过在含氧气氛下进行加热处理或者在含氧气氛下进行等离子体处理,可以将氧供应到绝缘层110b。另外,也可以在氧气氛下利用溅射法在绝缘层110b的顶面沉积氧化物膜来供应氧。然后,也可以去除该氧化物膜。

[0227] 绝缘层110b优选利用溅射法或等离子体增强化学气相沉积(PECVD:Plasma Enhanced Chemical Vapor Deposition)法等沉积方法形成。尤其是,通过利用溅射法且作为沉积气体不使用含氢气体的沉积方法而沉积,由此可以实现含氢量极少的膜。因此,可以抑制半导体层108被供应氢而实现晶体管100的电特性的稳定化。

[0228] 如上所述,可以使晶体管100的沟道长度 L_1 极小。在沟道长度 L_1 小时,沟道形成区域的氧空位(V_O)及 V_OH 对电特性及可靠性的影响特别大。通过将氧从绝缘层110b供应到半导体层108,可以至少抑制氧空位(V_O)及 V_OH 在半导体层108的与绝缘层110b接触的区域增加。因此,可以实现具有良好的电特性及高可靠性的沟道长度短的晶体管。

[0229] 绝缘层110a及绝缘层110c优选使用不容易扩散氧的膜。由此,可以防止使绝缘层110b中的氧因加热经过绝缘层110a而透过衬底102一侧以及经过绝缘层110c而透过绝缘层106一侧。换言之,通过氧不容易扩散的绝缘层110a和绝缘层110c夹持绝缘层110b的上下,绝缘层110b中的氧可以被封闭。由此,可以将氧有效地供应到半导体层108。

[0230] 绝缘层110a及绝缘层110c优选使用不容易扩散氢的膜。由此,可以抑制氢从晶体管的外部经过绝缘层110a、绝缘层110c扩散到半导体层108。

[0231] 绝缘层110a及绝缘层110c优选使用上述的氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜和氮氧化绝缘膜中的任一个或多个,优选使用上述的氮化硅膜、氮氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜、氮化铝膜、氧化铪膜和铝酸铪膜中的任一个或多个。尤其是,由于氮化硅膜及氮氧化硅膜分别具有从本身释放的杂质(例如,水及氢)的量少且氧及氢不容易透过的特征,所以适用于绝缘层110a及绝缘层110c。注意,绝缘层110a及绝缘层110c可以使用相同的材料,也可以使用不同的材料。

[0232] 在此,由于包含在绝缘层110b中的氧而导电层112a及导电层112b被氧化,有时电阻变高。通过在绝缘层110b与导电层112a之间设置绝缘层110a,可以抑制导电层112a被氧化而电阻变高。此外,通过在绝缘层110b与导电层112b之间设置绝缘层110c,可以抑制导电层112b被氧化而电阻变高。同时,从绝缘层110b供应到半导体层108的氧的量得到增加,可以减少半导体层108中的氧空位。

[0233] 绝缘层110a及绝缘层110c的厚度优选为5nm以上且150nm以下,更优选为5nm以上且100nm以下,更优选为5nm以上且70nm以下,更优选为10nm以上且70nm以下,更优选为10nm以上且50nm以下,更优选为20nm以上且50nm以下。通过使绝缘层110a及绝缘层110c的厚度在上述范围内,可以减少半导体层108中,尤其是沟道形成区域的氧空位。

[0234] 例如,绝缘层110a及绝缘层110c优选使用氮化硅膜,绝缘层110a优选使用氧氮化硅膜。

[0235] 注意,在本实施方式中示出绝缘层110具有三层的叠层结构,但是本发明的一个方式不局限于此。绝缘层110可以具有单层结构,也可以具有两层、四层或五层以上的叠层结构。绝缘层110优选至少包括绝缘层110b。

[0236] 绝缘层110c也可以使用加热时释放氢的膜。通过因晶体管100的制造工序中施加的热而绝缘层110c释放氢,可以对半导体层108及半导体层208供应氢。由此,可以在晶体管100中的半导体层108的与导电层112b接触的区域附近以及晶体管200中的半导体层208的与导电层212b接触的区域附近形成低电阻区域。

[0237] 同样地,通过作为绝缘层110a使用加热时释放氢的膜,可以在晶体管100中的半导体层108的与导电层112a接触的区域附近以及晶体管200中的半导体层208的与导电层212a接触的区域附近形成低电阻区域。

[0238] 绝缘层110b优选使用氢含量少的膜。通过作为绝缘层110b使用氢含量少的膜,可以防止氢扩散到半导体层108中被充分施加栅极电场的区域(希望形成为i型的区域),由此可以使沟道形成区域成为i型。

[0239] 图12A是图5B所示的区域41的放大图,图12B是图6B所示的区域42的放大图,其示出作为绝缘层110a及绝缘层110c使用加热时释放氢的膜时的一个例子。

[0240] 如图12A所示,在晶体管100的半导体层108中,与绝缘层110a及绝缘层110c接触的区域被低电阻化而不变成沟道形成区域,由此其沟道形成区域比图5C中的短。另外,如图12B所示,在晶体管200的半导体层208中,与绝缘层110a及绝缘层110c接触的区域被低电阻化而不变成沟道形成区域,由此其沟道形成区域比图7中的短。

[0241] 另外,在图12A所示的晶体管100的结构例子中,在导电层112a用作漏电极的情况

下,可以认为半导体层108在与漏电极接触的区域与沟道形成区域间具有低电阻区域。由此,漏区域附近不易产生高电场,热载流子的产生得到抑制,由此可以抑制晶体管的劣化。另外,在导电层112b用作漏电极的情况下,可以认为半导体层108在与漏电极接触的区域与沟道形成区域间具有低电阻区域。由此,漏区域附近不易产生高电场,热载流子的产生得到抑制,由此可以抑制晶体管的劣化。无论导电层112a和导电层112b哪个是漏电极,晶体管100都可以实现高可靠性。由此,可以提高半导体装置的设计自由度。

[0242] 另外,在图12B所示的晶体管200的结构例子中,在导电层212a用作漏电极的情况下,可以认为半导体层208在与漏电极接触的区域与沟道形成区域之间具有低电阻区域。由此,在漏区域附近不容易产生高电场而可以抑制热载流子的产生,由此可以抑制晶体管劣化。另外,当导电层212b用作漏电极时,也可以说半导体层208在与漏电极接触的区域与沟道形成区域之间具有低电阻区域。由此,在漏区域附近不容易产生高电场而可以抑制热载流子的产生,由此可以抑制晶体管劣化。无论是导电层212a为漏电极还是导电层212b为漏电极,晶体管200都可以具有高可靠性。因此,可以提高半导体装置的设计自由度。

[0243] 另外,绝缘层110c也可以采用两层以上的叠层结构。例如,绝缘层110c可以采用绝缘层110c1及绝缘层110c1上的绝缘层110c2这两个层的叠层结构。

[0244] 另外,绝缘层110a也可以采用两层以上的叠层结构。例如,绝缘层110a可以采用绝缘层110a1和绝缘层110a1上的绝缘层110a2这两层的叠层结构。

[0245] 图13A是图5B所示的区域41的放大图,图13B是图6B所示的区域42的放大图,其示出绝缘层110a采用绝缘层110a1和绝缘层110a1上的绝缘层110a2这两个层的叠层结构且绝缘层110c采用绝缘层110c1和绝缘层110c1上的绝缘层110c2这两个层的叠层结构时的一个例子。

[0246] 绝缘层110c2优选使用加热时释放氢的膜。由此,可以在晶体管100中的半导体层108的与导电层112b接触的区域附近以及晶体管200中的半导体层208的与导电层212b接触的区域附近形成低电阻区域,在导电层112b用作晶体管100的漏电极、导电层212b用作晶体管200的漏电极的情况下,可以抑制热载流子的产生。

[0247] 另外,绝缘层110c1优选具有氢含量比绝缘层110c2少的区域。由此,可以抑制氢从绝缘层110c2扩散到绝缘层110b及晶体管的半导体层(晶体管100的半导体层108或晶体管200的半导体层208)中被充分施加栅极电场的区域(希望形成为i型的区域)。

[0248] 绝缘层110a1优选使用加热时释放氢的膜。由此,可以在晶体管100中的半导体层108的与导电层112a接触的区域附近以及晶体管200中的半导体层208的与导电层212a接触的区域附近形成低电阻区域,在导电层112a用作晶体管100的漏电极、导电层212a用作晶体管200的漏电极的情况下,可以抑制热载流子的产生。

[0249] 绝缘层110a2优选具有氢含量比绝缘层110a1少的区域。由此,可以抑制氢从绝缘层110a1扩散到绝缘层110b及晶体管的半导体层(晶体管100的半导体层108或晶体管200的半导体层208)中被充分施加栅极电场的区域(希望成为i型的区域)。

[0250] 作为加热时释放氢的膜,可以使用上述氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜中的一个或多个,也可以使用上述氮化硅膜、氮氧化硅膜、氧氮化硅膜、氧化铝膜、氧氮化铝膜、氮化铝膜、氧化镓膜及铝酸镓膜中的一个或多个。

[0251] 作为加热时释放氢的膜,优选使用氮化绝缘膜及氮氧化绝缘膜中的一个或多个。

具体而言,优选使用氮化硅膜及氮氧化硅膜的一方或双方。

[0252] 另外,氮化硅膜及氮氧化硅膜可以通过改变沉积条件(例如,沉积气体或沉积时的功率)等实现氢释放量更多的膜。另外,可以通过改变沉积条件等实现自身杂质(例如,水及氢)释放量少且氧及氢不易穿过的膜。

[0253] 由此,当将氮化硅膜和氮氧化硅膜用于绝缘层110a1和绝缘层110c2时,可以使用氢释放量多的膜。当将氮化硅膜和氮氧化硅膜用于绝缘层110a2及绝缘层110c1时,可以使用自身杂质(例如,水及氢)释放量少且氧及氢不易穿过的膜。

[0254] 氢含量比构成绝缘层的主要成分(例如,氮化硅层的氮和硅)少,因此优选利用SIMS分析比较构成绝缘层110的各层中的氢含量。

[0255] 另外,在构成绝缘层110的各层中,即便是主要成分相同的层(例如,氮化硅层),也有可能通过利用扫描透射电子显微镜(STEM:Scanning Transmission Electron Microscopy)等进行截面观察来根据明亮度的不同等对两个层进行区分。例如,在透射电子(TE:Transmitted Electron)图像中,有时观察到氢释放量多的氮化硅膜(或氮氧化硅膜)比自身杂质(例如,水及氢)释放量少且氧及氢不易穿过的氮化硅膜(或氮氧化硅膜)具有更高的明亮度。

[0256] [导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b]

[0257] 导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b可以具有单层结构也可以具有两层以上的叠层结构。作为可用于导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b的材料,例如可以举出铬、铜、铝、金、银、锌、钽、钛、钨、锰、镍、铁、钴、钼、钨和铌中的一个或多个以及以上述金属中的一个或多个为成分的合金。可以将包含铜、银、金和铝中的一个或多个的低电阻的导电材料适当地用于导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b。尤其是,铜或铝在量产性上具有优势,因此是优选的。

[0258] 导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b可以使用具有导电性的金属氧化物(也称为氧化物导体)。作为氧化物导体(OC:Oxide Conductor),例如可以举出氧化铟、氧化锌、In-Sn氧化物(ITO)、In-Zn氧化物、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、In-Sn-Si氧化物(也称为包含硅的ITO或ITSO)、添加有镓的氧化锌及In-Ga-Zn氧化物。尤其是,优选使用包含铟的导电氧化物,因为其导电性高。

[0259] 例如,在具有半导体特性的金属氧化物中形成氧空位,对该氧空位添加氢而在导带附近形成施主能级。其结果,金属氧化物的导电性增高,而成为导体。可以将成为导体的金属氧化物称为氧化物导体。

[0260] 作为导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b,也可以采用含有上述氧化物导体(金属氧化物)的导电膜和含有金属或合金的导电膜的叠层结构。通过使用含有金属或合金的导电膜,可以降低布线电阻。

[0261] 作为导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层212b,也可以应用Cu-X合金膜(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。通过使用Cu-X合金膜,可以使用湿蚀刻法进行加工,从而可以抑制制造成本。

[0262] 注意,用于导电层112a、导电层112b、导电层104、导电层204、导电层212a及导电层

212b的材料可以都相同或者其至少一部分不同。

[0263] 注意,在本说明书等中,不同材料是指构成元素不同的材料或者构成元素相同而组成不同的材料。

[0264] 导电层112a及导电层112b具有与半导体层108接触的区域。另外,导电层212a及导电层212b具有与半导体层208接触的区域。在作为半导体层108使用氧化物半导体的情况下有如下担忧:在作为导电层112a或导电层112b使用容易氧化的金属(例如,铝)时,在导电层112a与半导体层108之间或导电层112b与半导体层108之间形成绝缘氧化物(例如,氧化铝),阻碍它们的导通。因此,导电层112a及导电层112b优选使用不容易被氧化的导电材料或即使被氧化也保持低电阻的导电材料。另外,当半导体层208使用氧化物半导体时,导电层212a及导电层212b也是同样的,优选导电层212a及导电层212b使用不易被氧化的导电材料或即便被氧化也保持低电阻的导电材料。

[0265] 作为导电层112a、导电层112b、导电层212a及导电层212b,例如优选使用钛、氮化钽、氮化钛、包含钛和铝的氮化物、包含钽和铝的氮化物、钪、氧化钪、氮化钪、包含锆和钪的氧化物、包含镧和镍的氧化物中的一个或多个。由于这些材料为不容易被氧化的导电材料或即使被氧化也保持低电阻的导电材料,所以是优选的。

[0266] 导电层112a、导电层112b、导电层212a及导电层212b可以使用上述氧化物导电体。具体而言,可以使用氧化铟、氧化锌、ITO、In-Zn氧化物、In-W氧化物、In-W-Zn氧化物、In-Ti氧化物、In-Ti-Sn氧化物、包含硅的In-Sn氧化物和添加有镓的氧化锌中的一个或多个。

[0267] 导电层112a、导电层112b、导电层212a及导电层212b也可以使用氮化物导电体。例如,可以使用氮化钽和氮化钛中的一个或多个。

[0268] 导电层112a及导电层112b也可以都具有叠层结构。当采用叠层结构时,至少与半导体层108接触的一侧优选使用不容易被氧化的导电材料或者即使被氧化也保持低电阻的导电材料。例如,导电层112a可以具有铝膜与该铝膜上的钛膜的叠层结构。该钛膜具有与半导体层108接触的区域。另外,导电层112a可以具有第一钛膜、第一钛膜上的铝膜和该铝膜上的第二钛膜的叠层结构。第二钛膜具有与半导体层108接触的区域。

[0269] 导电层212a及导电层212b也可以都具有叠层结构。当采用叠层结构时,至少与半导体层208接触的一侧优选使用不容易被氧化的导电材料或者即使被氧化也保持低电阻的导电材料。例如,导电层212a可以具有铝膜与该铝膜上的钛膜的叠层结构。该钛膜具有与半导体层208接触的区域。另外,导电层212a可以具有第一钛膜、第一钛膜上的铝膜和该铝膜上的第二钛膜的叠层结构。第二钛膜具有与半导体层208接触的区域。

[0270] [绝缘层106]

[0271] 绝缘层106可以为单层结构也可以为两层以上的叠层结构。绝缘层106优选包括一层以上的无机绝缘膜。作为无机绝缘膜,例如可以举出氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜。绝缘层106可以使用可用于绝缘层110的材料。

[0272] 绝缘层106具有与半导体层108及半导体层208接触的区域。当半导体层108及半导体层208采用氧化物半导体时,优选构成绝缘层106的膜中的至少与半导体层108或半导体层208接触的膜使用上述氧化绝缘膜和氧氮化绝缘膜中的任意个。另外,绝缘层106更优选使用通过加热释放氧的膜。

[0273] 具体而言,在绝缘层106具有单层结构时,绝缘层106优选使用氧化硅膜或氧氮化

硅膜。

[0274] 绝缘层106可以具有接触于半导体层108一侧的氧化绝缘膜或氧氮化绝缘膜与接触于导电层104及导电层204一侧的氮化绝缘膜或氮氧化绝缘膜的叠层结构。作为该氧化绝缘膜或氧氮化绝缘膜,例如优选使用氧化硅膜或氧氮化硅膜。作为该氮化绝缘膜或氮氧化绝缘膜,优选使用氮化硅膜或氮氧化硅膜。

[0275] 氮化硅膜及氮氧化硅膜具有自身的杂质(例如,水及氢)的释放量很少且不容易使氧及氢透过的特征,因此可以适当地用作绝缘层106。由于从绝缘层106向半导体层108及半导体层208的杂质扩散得到抑制,可以实现良好的晶体管的电特性且提高可靠性。

[0276] 注意,在微型晶体管中,在栅极绝缘层的厚度小时,有时泄漏电流增大。通过栅极绝缘层使用相对介电常数高的材料(也称为high-k材料),可以在保持物理厚度的同时实现晶体管工作时的低电压化。作为可用于绝缘层106的high-k材料,例如可以举出氧化镓、氧化铪、氧化锆、含有铝及铪的氧化物、含有铝及铪的氧氮化物、含有硅及铪的氧化物、含有硅及铪的氧氮化物以及含有硅及铪的氮化物。

[0277] [绝缘层195]

[0278] 用作晶体管100及晶体管200的保护层的绝缘层195优选使用杂质不容易扩散的材料。通过设置绝缘层195,可以有效地抑制杂质从外部扩散到晶体管中,从而可以提高显示装置的可靠性。作为杂质例如可以举出水及氢。

[0279] 绝缘层195可以为包含无机材料的绝缘层或包含有机材料的绝缘层。绝缘层195例如可以适当地使用氧化物、氧氮化物、氮氧化物或氮化物的无机材料。更具体而言,可以使用氮化硅、氮氧化硅、氧氮化硅、氧化铝、氧氮化铝、氮化铝、氧化铪和铝酸铪中的一个或多个。作为有机材料例如可以使用丙烯酸树脂和聚酰亚胺树脂中的一个或多个。作为有机材料也可以使用感光性材料。此外,也可以层叠上述绝缘膜中的两个以上。绝缘层195也可以具有包含无机材料的绝缘层及包含有机材料的绝缘层的叠层结构。

[0280] [衬底102]

[0281] 虽然对衬底102的材料没有特别的限制,但是至少需要具有能够承受后续的加热处理的耐热性。例如,可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、硅锗等化合物半导体衬底、SOI衬底、玻璃衬底、石英衬底、蓝宝石衬底、陶瓷衬底或有机树脂衬底作为衬底102。另外,衬底102上也可以设置有半导体元件。注意,半导体衬底及绝缘性衬底的形状可以呈圆形或方形。

[0282] 作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成晶体管100及晶体管200等。或者,也可以在衬底102与晶体管100及晶体管200等之间设置剥离层。通过设置剥离层,可以在剥离层上制造半导体装置的一部分或全部之后将其从衬底102分离并转置到其他衬底上。此时,也可以将晶体管100及晶体管200等转置到耐热性低的衬底或柔性衬底上。

[0283] <结构例子2>

[0284] 图4A示出本发明的一个方式的半导体装置10的俯视图。图4B示出沿图4A所示的点划线A1-A2的截断面的截面图。

[0285] 图4A及图4B所示的半导体装置10包括晶体管100和晶体管200。半导体装置10主要在包括导电层103、导电层203及绝缘层107这一点上与图1A及图1B等所示的半导体装置10

不同。

[0286] 图4A及图4B所示的晶体管100在导电层112a与绝缘层110之间具有导电层103及绝缘层107。另外,图4A及图4B所示的晶体管200在导电层212a与绝缘层110之间具有导电层203及绝缘层107。

[0287] 绝缘层107包括位于导电层112a上的区域和位于导电层212a上的区域。绝缘层107包括以覆盖导电层112a的顶面及侧面的方式设置的区域和以覆盖导电层212a的顶面及侧面的方式设置的区域。

[0288] 导电层103位于绝缘层107上。导电层112a与导电层103被绝缘层107彼此电绝缘。导电层103中的与导电层112a重叠的区域设置有到达绝缘层107的开口148。

[0289] 导电层203位于绝缘层107上。导电层212a与导电层203被绝缘层107彼此电绝缘。导电层203中的与导电层212a重叠的区域设置有到达绝缘层107的开口248。

[0290] 绝缘层110设置在绝缘层107、导电层103及导电层203上。绝缘层110以覆盖导电层103的顶面及侧面、导电层203的顶面及侧面以及绝缘层107的顶面的方式设置。绝缘层110及绝缘层107在与导电层112a重叠的区域中形成有到达导电层112a的开口141。另外,绝缘层110及绝缘层107在与导电层212a重叠的区域中形成有到达导电层212a的开口241。

[0291] 绝缘层110a位于绝缘层107、导电层103及导电层203上。绝缘层110a包括以覆盖导电层103的顶面及侧面的方式设置的区域和以覆盖导电层203的顶面及侧面的方式设置的区域。绝缘层110a以覆盖开口148的一部分的方式设置。绝缘层110a通过开口148与绝缘层107接触。另外,绝缘层110a以覆盖开口248的一部分的方式设置。绝缘层110a通过开口248与绝缘层107接触。

[0292] 开口148及开口248的顶面形状没有特别的限制。开口148的顶面形状可以呈可用于开口141及开口143的形状。如图4A所示,开口141、开口143及开口148的顶面形状优选都为圆形。通过使开口的顶面形状为圆形,可以使开口248的顶面形状呈可用于开口241及开口243的形状。如图4A所示,优选开口241、开口243及开口248的顶面形状都呈圆形。通过开口的顶面形状呈圆形,可以提高形成开口时的加工精度,可以形成微细的开口。

[0293] 在本说明书等中,开口148的顶面形状是指导电层103的开口148一侧的顶面端部的形状或底面端部的形状。图4A示出导电层103的开口148一侧的顶面端部的形状148t。另外,在本说明书等中,开口248的顶面形状是指导电层103的开口248一侧的顶面端部的形状或底面端部的形状。图4A示出导电层203的开口248一侧的顶面端部的形状248t。

[0294] 当开口141和开口148的顶面形状呈圆形时,开口141和开口148优选呈同心圆状。由此,在剖视时可以使开口141的左右两边的半导体层108和导电层103之间的最短距离相等。另外,开口141和开口148有时不呈同心圆状。另外,当开口241和开口248的顶面形状呈圆形时,优选开口241和开口248呈同心圆状。由此,可以使开口241左右两边的从截面看时的半导体层208与导电层203间的最短距离相等。另外,开口241和开口248有时不呈同心圆状。

[0295] 在晶体管100中,半导体层108具有隔着绝缘层106与导电层104重叠且隔着绝缘层110的一部分(尤其是,绝缘层110a及绝缘层110b)与导电层103重叠的区域。换言之,半导体层108包括被夹在导电层104与导电层103间的区域,该区域与导电层104间夹有绝缘层106,并且该区域与导电层103间夹有绝缘层110的一部分(尤其是,绝缘层110a及绝缘层110b)。

[0296] 导电层103被用作晶体管100的背栅电极。此外,绝缘层110的一部分被用作晶体管100的背栅极绝缘层。

[0297] 在晶体管200中,半导体层208具有隔着绝缘层106与导电层204重叠且隔着绝缘层110的一部分(尤其是,绝缘层110a及绝缘层110b)与导电层203重叠的区域。换言之,半导体层208包括被夹在导电层204与导电层203间的区域,该区域与导电层204间夹有绝缘层106,并且该区域与导电层203间夹有绝缘层110的一部分(尤其是,绝缘层110a及绝缘层110b)。

[0298] 导电层203用作晶体管200的背栅电极。另外,绝缘层110的一部分用作晶体管200的背栅极绝缘层。

[0299] 导电层103及导电层203可以使用可用于导电层112a、导电层112b、导电层212a、导电层212b、导电层104、导电层204的材料。

[0300] 通过对晶体管100设置背栅电极,可以使半导体层的背沟道一侧的电位固定,由此可以提高晶体管100的 I_d - V_d 特性的饱和特性。通过使半导体层108的背沟道一侧的电位固定,可以抑制阈值电压漂移。通过抑制晶体管100的阈值电压的漂移,可以实现截止电流小的晶体管。

[0301] 注意,在本说明书等中,有时将晶体管的 I_d - V_d 特性的饱和区域的电流变化小的情况表述为“饱和特性高”、“具有高饱和特性”等。

[0302] 绝缘层107可以使用可用于绝缘层110的材料。绝缘层107优选使用包含氮的绝缘层。绝缘层107优选使用可用于绝缘层110a及绝缘层110c的材料。绝缘层107例如优选使用氮化硅。注意,在本实施方式中示出单层结构的绝缘层107,但是本发明的一个方式不局限于此。绝缘层107也可以具有两层以上的叠层结构。

[0303] 在晶体管100及晶体管200中,可以采用背栅电极与源电极或漏电极电连接的结构。通过使背栅电极与源电极电连接,可以抑制晶体管的阈值电压漂移。此外,可以提高晶体管的可靠性。

[0304] 另外,在晶体管100及晶体管200中,可以采用背栅电极与栅电极电连接的结构。通过使背栅电极与栅电极电连接,可以增大晶体管的通态电流。

[0305] 通过在绝缘层107的与导电层112a重叠的区域设置开口并以覆盖该开口的方式设置导电层103,可以使导电层103与导电层112a接触。

[0306] 通过在绝缘层110的与导电层103重叠的区域设置开口并以覆盖该开口的方式设置导电层112b,可以使导电层103与导电层112b接触。

[0307] 通过在绝缘层106及绝缘层110的与导电层103重叠的区域设置开口并以覆盖该开口的方式设置导电层104,可以使导电层103与导电层104接触。

[0308] 通过在绝缘层107的与导电层212a重叠的区域设置开口并以覆盖该开口的方式设置导电层203,可以使导电层203与导电层212a接触。

[0309] 通过在绝缘层110的与导电层203重叠的区域设置开口并以覆盖该开口的方式设置导电层212b,可以使导电层203与导电层212b接触。

[0310] 通过在绝缘层106及绝缘层110的与导电层203重叠的区域设置开口并以覆盖该开口的方式设置导电层204,可以使导电层203与导电层204接触。

[0311] 导电层103的厚度优选为沟道长度 L_1 的0.5倍以上,更优选为1.0倍以上,进一步优选超过1.0倍,且优选为2.0倍以下,更优选为1.5倍以下,进一步优选为1.2倍以下。由此,可

以充分扩大半导体层108中的隔着绝缘层106与导电层104重叠并隔着绝缘层110与导电层103重叠的区域。由此,可以更确实地控制半导体层108的背沟道一侧的电位。

[0312] 导电层103的厚度也可以大于绝缘层110的厚度。由此,可以在半导体层108中的源区域与漏区域之间的较宽范围内固定半导体层108的背沟道侧的电位。

[0313] 图4A及图4B中的晶体管100具有如下区域:在一个方向上依次重叠有导电层103、绝缘层110、半导体层108、绝缘层106及导电层104间,其间不包括其他层。作为该方向,可以举出垂直于沟道长度L1的方向。通过扩大该区域可以更确实地控制半导体层108的背沟道侧的电位。

[0314] 导电层103的厚度可以大于半导体层108中的开口141内侧的与导电层112a接触的部分的厚度和与该部分接触的绝缘层106的厚度之和。

[0315] 导电层203的厚度优选为沟道长度L2的0.5倍以上,更优选为1.0倍以上,进一步优选超过1.0倍,且优选为2.0倍以下,更优选为1.5倍以下,进一步优选为1.2倍以下。由此,可以充分扩大半导体层208中的隔着绝缘层106与导电层204重叠并隔着绝缘层110与导电层203重叠的区域。因此,可以更确实地控制半导体层208的背沟道一侧的电位。

[0316] 导电层203的厚度也可以大于绝缘层110的厚度。由此,可以在半导体层208中的源区域与漏区域之间的大范围固定半导体层208的背沟道一侧的电位。

[0317] 图4A及图4B中的晶体管200具有如下区域:在一个方向上依次重叠有导电层203、绝缘层110、半导体层208、绝缘层106及导电层204,其间不包括其他层。作为该方向,可以举出垂直于沟道长度L2的方向。通过扩大该区域可以更确实地控制半导体层208的背沟道一侧的电位。

[0318] 导电层203的厚度可以大于半导体层208中的开口241内侧的与导电层212a接触的部分的厚度和与该部分接触的绝缘层106的厚度之和。

[0319] 在此,由于包含在绝缘层110b中的氧而导电层103被氧化,有时电阻变高。通过在绝缘层110b与导电层103之间设置绝缘层110a,可以抑制导电层103被氧化而电阻变高。此外,通过在绝缘层110b与导电层112b之间设置绝缘层110c,可以抑制导电层112b被氧化而电阻变高。同时,从绝缘层110b供应到半导体层108的氧的量得到增加,可以减少半导体层108中的氧空位。

[0320] <结构例子3>

[0321] 图14A示出包括晶体管200(1)及晶体管200(2)的结构的截面图。

[0322] 晶体管200(1)和晶体管200(2)可以参照之前说明的晶体管200,其与之前说明的晶体管200的不同之处在于:不是分别包括导电层212b而是设置有在两个晶体管中共用的导电层212b_A;不是分别包括导电层204而是设置有在两个晶体管中共用的导电层204_A。

[0323] 在图14A中,导电层212b_A的一部分用作晶体管200(1)的源电极和漏电极中的一方,另一部分用作晶体管200(2)的源电极和漏电极中的一方。

[0324] 另外,在图14A中,导电层204_A的一部分用作晶体管200(1)的栅电极,另一部分用作晶体管200(2)的栅电极。

[0325] 由于晶体管200(1)与晶体管200(2)共用栅电极且源电极和漏电极中的一方彼此电连接,所以也可以说它们串联连接。图14C示出对应于串联连接的晶体管200(1)和晶体管200(2)的电路图的一个例子。P是对应于晶体管200(1)中的导电层212a的布线,Q是对应于

晶体管200(2)中的导电层212a的布线,G是对应于导电层204_A的布线。

[0326] 可以将图14C所示的串联连接的两个晶体管看作图14D所示的一个晶体管200A。当两个晶体管的沟道长度为L且沟道宽度为W时,可以认为晶体管200A的沟道长度为 $2 \times L$,沟道宽度为W。

[0327] 图14B所示的结构包括晶体管200(1)及晶体管200(2)。晶体管200(1)和晶体管200(2)可以参照之前说明的晶体管200,其与之前说明的晶体管200的不同之处在于:不是分别包括导电层212a,而是设置有在两个晶体管中共用的导电层212a_A;不是分别包括导电层204,而是设置有在两个晶体管中共用的导电层204_A。

[0328] 在图14C中,当P为对应于晶体管200(1)中的导电层212b的布线、Q为对应于晶体管200(2)中的导电层212b的布线,G为对应于导电层204_A的布线,可以将图14C所示的结构同于图14B所示的结构。

[0329] 本实施方式可以与其他实施方式适当地组合。此外,在本说明书中,在一个实施方式中示出多个结构例子的情况下,可以适当地组合该结构例子。

[0330] (实施方式2)

[0331] 在本实施方式中,参照图15至图17对本发明的一个方式的显示装置的制造方法进行说明。注意,关于各构成要素的材料及形成方法,有时省略与上述实施方式1所说明的部分同样的部分。

[0332] 构成半导体装置的薄膜(绝缘膜、半导体膜及导电膜等)可以利用溅射法、化学气相沉积(CVD:Chemical Vapor Deposition)法、真空蒸镀法、脉冲激光沉积(PLD:Pulsed Laser Deposition)法、ALD法等形成。作为CVD法有PECVD法及热CVD法等。此外,作为热CVD法之一,有有机金属化学气相沉积(MOCVD:Metal Organic CVD)法。

[0333] 构成半导体装置的薄膜(绝缘膜、半导体膜及导电膜等)可以利用旋涂法、浸渍法、喷涂法、喷墨法、分配器法、丝网印刷法、胶版印刷法、刮刀(doctor knife)法、狭缝式涂布法、辊涂法、帘式涂布法或刮刀式涂布法等湿法沉积方法形成。

[0334] 当对构成半导体装置的薄膜进行加工时,可以利用光刻法等。或者,可以利用纳米压印法、喷砂法、剥离法等对薄膜进行加工。此外,可以通过利用金属掩模等遮蔽掩模的沉积方法直接形成岛状的薄膜。

[0335] 光刻法典型地有如下两种方法。一个是在要进行加工的薄膜上形成抗蚀剂掩模,通过蚀刻等对该薄膜进行加工,并去除抗蚀剂掩模的方法。另一个是沉积具有感光性的薄膜之后进行曝光而显影,将该薄膜加工为所希望的形状的方法。

[0336] 在光刻法中,作为用于曝光的光,例如可以使用i线(波长365nm)、g线(波长436nm)、h线(波长405nm)或将这些光混合了的光。另外,还可以使用紫外光、KrF激光或ArF激光等。此外,也可以利用液浸曝光技术进行曝光。此外,作为用于曝光的光,也可以使用极紫外(EUV:Extreme Ultra-violet)光或X射线。此外,代替用于曝光的光,也可以使用电子束。当使用极紫外光、X射线或电子束时,可以进行极其微细的加工,所以是优选的。注意,在通过利用电子束等光束进行扫描而进行曝光时,不需要光掩模。

[0337] 作为薄膜的蚀刻方法,可以利用干蚀刻法、湿蚀刻法、喷砂法等。

[0338] <制造方法例子1>

[0339] 以下,以图1BA等所示的半导体装置10为例说明制造方法。

[0340] 图15A至图17C所示的各附图是说明半导体装置10的制造方法的图。各附图示出沿着点划线A1-A2的截断面的截面图。

[0341] 首先,在衬底102上形成导电层112a及导电层212a,在导电层112a及导电层212a上形成将成为绝缘层110a的绝缘膜110af及将成为绝缘层110b的绝缘膜110bf。

[0342] 将成为导电层112a及导电层212a的导电膜的形成例如优选利用溅射法。在导电膜上利用光刻工序形成抗蚀剂掩模,然后对该导电膜进行加工,由此可以形成导电层112a及导电层212a。

[0343] 当形成绝缘膜110af及绝缘膜110bf时,例如优选利用溅射法或PECVD法。优选在形成绝缘膜110af之后以不使绝缘膜110af的表面暴露于大气的方式在真空中连续形成绝缘膜110bf。通过连续形成绝缘膜110af及绝缘膜110bf,可以抑制来源于大气的杂质附着于绝缘膜110af的表面。作为该杂质,例如可以举出水及有机物。

[0344] 形成绝缘膜110af及绝缘膜110bf时的衬底温度都优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下,更优选为350℃以上且400℃以下。通过使形成绝缘膜110af及绝缘膜110bf时的衬底温度在上述范围内,可以减少从绝缘膜110af及绝缘膜110bf本身的杂质(例如,水及氢)的释放,由此可以抑制杂质扩散到半导体层108。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0345] 在形成绝缘膜110bf之后,也可以对绝缘膜110bf供应氧。作为氧的供应方法,例如可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理。作为等离子体处理,优选使用以高频功率使氧气体等离子体化的装置。作为以高频功率使气体等离子体化的装置,例如可以举出PECVD装置、等离子体蚀刻装置及等离子体灰化装置。等离子体处理优选在含氧气氛下进行。例如,优选在含氧、一氧化二氮(N₂O)、二氧化氮(NO₂)、一氧化碳和二氧化碳中的一个以上的气氛下进行等离子体处理。

[0346] 注意,也可以以不使绝缘膜110bf的表面暴露于大气的方式在真空中连续进行该等离子体处理。例如,在形成绝缘膜110bf时使用PECVD装置的情况下,优选利用该PECVD装置进行该等离子体处理。由此可以提高生产率。

[0347] 另外,也可以在形成绝缘膜110bf之后形成金属氧化物层。通过形成金属氧化物层,可以将氧供应到绝缘膜110bf。

[0348] 对金属氧化物层的导电性没有限制。金属氧化物层可以使用绝缘膜、半导体膜和导电膜中的至少一种。金属氧化物层例如可以使用氧化铝、氧化钪、铝酸钪、铟氧化物、铟锡氧化物(ITO)或含硅的铟锡氧化物(ITSO)。

[0349] 作为金属氧化物层,优选使用包含一个以上的与半导体层108及半导体层208相同的元素的氧化物材料。尤其是,优选使用可应用于半导体层108及半导体层208的氧化物半导体材料。

[0350] 当形成金属氧化物层时,相对于引入到沉积装置的处理室内的沉积气体的总流量的氧流量的比例(氧流量比)或处理室内的氧分压越高,越可以增大供应到绝缘膜110af中的氧量。氧流量比或氧分压例如为50%以上且100%以下,优选为65%以上且100%以下,更优选为80%以上且100%以下,进一步优选为90%以上且100%以下。尤其是,优选将氧流量比设定为100%,来使氧分压尽可能地接近100%。

[0351] 如此,通过在含氧气氛下利用溅射法形成金属氧化物层,在形成金属氧化物层时可以在对绝缘膜110bf供氧的同时防止氧从绝缘膜110bf脱离。其结果是,可以将较多的氧封闭在绝缘膜110bf中。并且,可以通过后面的加热处理对半导体层108供应较多的氧。其结果是,可以减少半导体层108中的氧空位及 V_0H ,而可以实现呈现良好的电特性且可靠性高的晶体管。

[0352] 优选在形成金属氧化物层之后进行加热处理。通过在形成金属氧化物层之后进行加热处理,可以有效地从金属氧化物层对绝缘膜110bf供氧。

[0353] 加热处理的温度优选为150°C以上且低于衬底的应变点,更优选为200°C以上且450°C以下,更优选为250°C以上且450°C以下,更优选为300°C以上且450°C以下,更优选为300°C以上且400°C以下,更优选为350°C以上且400°C以下。可以在包含贵气体、氮和氧中的一个以上的气氛下进行加热处理。作为含氮气氛或含氧气氛,也可以使用干燥空气(CDA: Clean Dry Air)。注意,该气氛中氢或氧等的含量优选为尽可能少。作为该气氛,优选使用露点为-60°C以下,优选为-100°C以下的高纯度气体。通过使用氢、水等的含量尽可能少的气氛,可以尽可能地防止氢、水等被绝缘膜110bf等吸收。该加热处理可以使用烘箱、快速热退火(RTA:Rapid Thermal Annealing)装置等。通过使用RTA装置,可以缩短加热处理时间。

[0354] 在形成金属氧化物层之后或在上述加热处理之后也可以还将氧通过金属氧化物层供应到绝缘膜110bf。作为氧的供应方法,例如可以使用离子注入法、离子掺杂法、等离子体浸没离子注入法或等离子体处理。关于等离子体处理,可以参照上述记载,所以省略其详细说明。

[0355] 接着,在形成后或上述加热处理后或上述氧的供应后去除金属氧化物层。对金属氧化物层的去除方法没有特别的限制,优选采用湿蚀刻法。通过利用湿蚀刻法,可以抑制去除金属氧化物层时绝缘膜110bf被蚀刻。因此,可以抑制绝缘膜110bf的厚度变小,并且可以使绝缘层110b的厚度均匀。

[0356] 对绝缘膜110bf供氧处理不局限于上述方法。例如,利用离子掺杂法、离子注入法、等离子体处理等对绝缘膜110bf供应氧自由基、氧原子、氧原子离子、氧分子离子等。另外,也可以在绝缘膜110bf上形成抑制氧脱离的膜之后,经过该膜对绝缘膜110bf供应氧。优选在供应氧之后去除该膜。作为上述抑制氧脱离的膜,可以使用含有铟、锌、镓、锡、铝、铬、钽、钛、钼、镍、铁、钴或钨的一种以上的导电膜或半导体膜。

[0357] 接着,在绝缘膜110bf上形成成为绝缘层110c的绝缘膜110cf。

[0358] 绝缘膜110cf的形成例如可以使用溅射法或PECVD法。

[0359] 接着,在绝缘膜110cf上形成成为导电层112b及导电层212b的导电膜。该导电膜的形成例如可以使用溅射法。

[0360] 接着,对该导电膜进行加工形成导电层112b_e及导电层212b_e(图15A)。导电层112b_e成为后面的导电层112b,导电层212b_e成为后面的导电层212b。导电层112b_e及导电层212b_e的形成例如可以使用湿蚀刻法。另外,也可以使用干蚀刻法。

[0361] 接着,在导电层112b_e上、导电层212b_e上及绝缘膜110cf上形成抗蚀剂掩模190A(图15A)。

[0362] 接着,利用抗蚀剂掩模190A去除导电层112b_e的一部分,由此形成具有开口143的导电层112b。导电层112b的形成可以使用湿蚀刻法。此外,也可以使用干蚀刻法。

[0363] 接着,去除绝缘膜110cf、绝缘膜110bf及绝缘膜110af的一部分形成开口141(图15B)。分别以绝缘层110cg、绝缘层110bg及绝缘层110ag表示形成开口141之后的绝缘膜110cf、绝缘膜110bf及绝缘膜110af。开口141设置在与开口143重叠的区域。开口141的形成使导电层112a露出。干蚀刻法适用于绝缘层110cg、绝缘层110bg及绝缘层110ag的形成。

[0364] 开口141例如可以利用抗蚀剂掩模190A形成。此外,开口141也可以利用与抗蚀剂掩模190A不同的抗蚀剂掩模形成。

[0365] 例如,可以在形成开口141之后去除抗蚀剂掩模190A。或者,也可以在形成开口143之后、形成绝缘层110cg之前、或形成绝缘层110bg之前、或形成绝缘层110ag之前去除抗蚀剂掩模190A。

[0366] 此外,也可以在形成开口141时或形成开口141之后去除与开口141重叠的区域的导电层112a的一部分。通过使导电层112a的与半导体层108的底面接触的区域厚度比不与半导体层108接触的区域厚度薄,可以增强施加到导电层112a附近的沟道形成区域的栅电极的电场,由此可以增大晶体管的通态电流。

[0367] 接着,在导电层112b上、导电层212b_e上及绝缘层110cg上形成抗蚀剂掩模190B(图15C)。

[0368] 接着,利用抗蚀剂掩模190B去除导电层212b_e的一部分,由此在导电层212b_e中形成开口。该开口的形成适合使用湿蚀刻法。或者,该开口的形成也可以利用干蚀刻法。在此,导电层212b_e中设置的开口例如可以是比开口243小的开口,在后述的绝缘层110的形成过程中,可以使该开口的端部后退,由此形成开口243。

[0369] 接着,去除绝缘层110cg、绝缘层110bg及绝缘层110ag的一部分形成具有开口241的绝缘层110(图15D)。开口241设置在与导电层212b_e中的开口重叠的区域中。开口241的形成使导电层212a露出。绝缘层110的形成适合使用干蚀刻法。

[0370] 开口241例如可以利用抗蚀剂掩模190B形成。另外,开口241也可以利用与抗蚀剂掩模190B不同的抗蚀剂掩模形成。

[0371] 例如,可以在形成开口241之后去除抗蚀剂掩模190B。或者,也可以在形成开口243之后、形成绝缘层110c之前、或形成绝缘层110b之前、或形成绝缘层110a之前去除抗蚀剂掩模190B。

[0372] 在形成绝缘层110时,优选以开口241的绝缘层110的侧面具有锥形形状的方式进行加工。另外,优选以开口241的绝缘层110的侧面与被形成面所成的角较小的方式进行加工。当利用抗蚀剂掩模形成开口241时,通过利用抗蚀剂掩模易于后退(缩小)的条件对绝缘层110进行加工,可以使绝缘层110的侧面与被形成面所成的角较小。

[0373] 在绝缘层110的形成中,当使抗蚀剂掩模后退时,可以以设置在导电层212b_e中的开口也后退的方式进行蚀刻。在此,在导电层212b_e不发生后退或后退量少时,例如,如图8B所示,有时会形成开口243中的导电层212b的端部位于开口241中的绝缘层110的端部外侧的结构。另一方面,当导电层212b_e的后退量多时,例如,如图8A所示,有时会形成开口243中的导电层212b的端部位于开口241中的绝缘层110的端部内侧的结构。

[0374] 注意,导电层212b的制造方法不局限于使导电层212b_e中的开口的端部在形成绝缘层110时后退的方法。例如,也可以在形成绝缘层110之前事先设置有具有开口243的导电层212b。或者,也可以在形成绝缘层110之后使导电层212b_e中的开口后退。

[0375] 例如,也可以代替图15C至图15D的工序进行以下所示的图16A至图16D的工序来形成导电层212b及绝缘层110。图15C至图15D的工序中示出在形成绝缘层110时利用抗蚀剂掩模190B的后退形成导电层212b的开口243的例子,图16A至图16D的工序中示出在导电层212b中预先形成所需尺寸的开口之后形成绝缘层110的例子。

[0376] 首先,在导电层112b上、导电层212b_e上及绝缘层110cg上形成抗蚀剂掩模190C(图16A)。

[0377] 接着,利用抗蚀剂掩模190C去除导电层212b_e的一部分,由此形成具有开口243的导电层212b(图16B)。

[0378] 接着,在导电层112b上、导电层212b上及绝缘层110cg上形成抗蚀剂掩模190D(图16C)。在此,抗蚀剂掩模190D的开口的端部设置在导电层212b的开口243的端部的内侧。

[0379] 接着,利用抗蚀剂掩模190D去除绝缘层110cg、绝缘层110bg及绝缘层110ag的一部分,由此形成具有开口241的绝缘层110(图16D)。在绝缘层110的形成中,优选以使抗蚀剂掩模190D后退的方式进行加工。另外,由于抗蚀剂掩模190D的开口的端部设置在导电层212b的开口243的端部的内侧,所以抗蚀剂掩模190D的后退量只要在不使导电层212b的顶面及侧面露出的范围内,就可以保持导电层212b的顶面及侧面被抗蚀剂掩模190D覆盖的状态。

[0380] 另外,在形成绝缘层110时,在使抗蚀剂掩模190D后退的过程中,有时导电层212b的侧面等可能露出。在该情况下,导电层212b的开口243的端部有可能后退而使开口变大。也就是说,图16D中的导电层212b的开口的大小有可能比图16B中的导电层212b的开口243的尺寸大。

[0381] 当形成绝缘层110时的蚀刻条件为导电层212b不易后退的条件时,通过使用图16A至图16D所示的制造方法,可以很好地制造本发明的一个方式的显示装置。

[0382] 另外,图16D中,作为一个例子,开口243中的导电层212b的底面的端部位于开口241中的绝缘层110的顶面的端部内侧的结构,但是也可以通过对抗蚀剂掩模190C的图案、抗蚀剂掩模190D的图案、导电层212b_e的蚀刻条件、绝缘层110cg、绝缘层110bg、绝缘层110ag的蚀刻条件进行调整形成开口243中的导电层212b的底面的端部位于开口241中的绝缘层110的顶面的端部的外侧或者开口243中的导电层212b的底面的端部与开口241中的绝缘层110的顶面的端部大致一致的结构等。

[0383] 如上所述,通过图15C至图15D或图16A至图16D所示的方法可以形成具有开口243的导电层212b及具有开口241的绝缘层110。

[0384] 接着,以覆盖开口141、开口143、开口241及开口243的方式形成成为半导体层108及半导体层208的金属氧化物膜108f(图17A)。金属氧化物膜108f以与导电层112b的顶面及侧面、导电层212b的顶面及侧面、绝缘层110的顶面及侧面、导电层112a的顶面及导电层212a的顶面接触的方式设置。

[0385] 接着,利用抗蚀剂掩模等去除金属氧化物膜108f的一部分,由此形成半导体层108及半导体层208。半导体层108及半导体层208的形成适合使用湿蚀刻法。

[0386] 金属氧化物膜108f优选利用使用金属氧化物靶材的溅射法形成。或者,金属氧化物膜108f优选利用ALD法形成。

[0387] 金属氧化物膜108f优选为缺陷尽可能少的致密的膜。此外,金属氧化物膜108f优选为高纯度的膜,其中尽可能降低含氢元素的杂质。尤其是,作为金属氧化物膜108f优选使

用具有结晶性的金属氧化物膜。

[0388] 在形成金属氧化物膜108f时,优选使用氧气体。通过在形成金属氧化物膜108f时使用氧气体,可以很好地对绝缘层110中供应氧。例如,在绝缘层110b使用氧化物时,可以很好地对绝缘层110b中供应氧。

[0389] 通过对绝缘层110b供应氧,在后面的工序中对半导体层108及半导体层208供应氧,由此可以降低半导体层108及半导体层208中的氧空位及 V_0H 。

[0390] 在形成金属氧化物膜108f时,也可以混合氧气体和惰性气体(例如,氮气体、氩气体、氙气体等)。注意,在形成金属氧化物膜时氧气体占沉积气体整体比例(氧流量比)越高,金属氧化物膜的结晶性可以越高,可以实现可靠性高的晶体管。另一方面,氧流量比越低,金属氧化物膜的结晶性越低,因此可以实现通态电流大的晶体管。例如,可以通过改变氧流量比形成结晶性不同的两个以上的金属氧化物层的叠层结构。

[0391] 在形成金属氧化物膜时的衬底温度较高时,可以形成结晶性更高且更致密的金属氧化物膜。另一方面,随着衬底温度变低,可以形成结晶性更低且导电性更高的金属氧化物膜。

[0392] 形成金属氧化物膜108f时的衬底温度优选为室温以上且250℃以下,更优选为室温以上且200℃以下,进一步优选为室温以上且140℃以下。例如,衬底温度优选为室温以上且140℃以下,由此可以提高生产率。此外,通过将衬底温度设定为室温或不加热衬底的状态下形成金属氧化物膜,可以降低结晶性。

[0393] 当利用ALD法形成金属氧化物膜108f时,优选利用热ALD法或PEALD(Plasma Enhanced ALD:等离子体增强ALD)等沉积方法。热ALD法具有极高的台阶覆盖性,所以是优选的。此外,PEALD法不仅具有极高的台阶覆盖性而且可以进行低温沉积,所以是优选的。

[0394] 金属氧化物膜例如可以利用包含构成金属元素的前驱体及氧化剂并利用ALD法形成。

[0395] 例如,当形成In-Ga-Zn氧化物时,可以使用包含铟的前驱体、包含镓的前驱体及包含锌的前驱体的三种前驱体。或者,也可以使用包含铟的前驱体、包含镓及锌的前驱体的两种前驱体。

[0396] 作为包含铟的前驱体,例如可以举出三乙基铟、三(2,2,6,6-四甲基-3,5-庚二酮酸)铟、环戊二烯基铟、氯化铟(III)以及(3-(二甲基氨基)丙基)二甲基铟。

[0397] 作为包含镓的前驱体,例如可以举出三甲基镓、三乙基镓、三氯化镓、三(二甲基酰胺)镓、乙酰丙酮镓(III)、三(2,2,6,6-四甲基-3,5-庚二酮酸)镓、二甲基氯镓、二乙基氯以及氯化镓(III)。

[0398] 作为包含锌的前驱体,例如可以举出二甲基锌、二乙基锌、双(2,2,6,6-四甲基-3,5-庚二酮酸)锌以及氯化锌。

[0399] 作为氧化剂,例如可以举出臭氧、氧以及水。

[0400] 作为控制所得到的膜的组成的方法,可以举出源气体的种类、源气体的流量比、流过源气体的时间和流过源气体的顺序中的一个或多个的调整。通过调整它们,可以形成组成连续变化的膜。另外,也可以连续地沉积组成不同的膜。

[0401] 注意,在金属氧化物膜108f具有叠层结构的情况下,优选的是,在沉积下层的金属氧化物膜之后,以不使其表面暴露于大气的方式连续地沉积上层的金属氧化物膜。

[0402] 在沉积金属氧化物膜108f之前,优选进行用来使在绝缘层110的表面吸附的水、氢及有机物等脱离的处理和对绝缘层110供应氧的处理中的至少一个。例如,可以在减压气氛下以70℃以上且200℃以下的温度进行加热处理。或者,也可以进行含氧气氛下的等离子体处理。或者,通过进行包含一氧化二氮(N₂O)等含氧化性气体的气氛下的等离子体处理,也可以将氧供应到绝缘层110。当进行包含一氧化二氮气体的等离子体处理时,可以适当地去除绝缘层110的表面上的有机物且可以将氧供应到绝缘层110。优选的是,在这种处理之后,以不使绝缘层110的表面暴露于大气的方式连续地沉积金属氧化物膜108f。

[0403] 优选在沉积金属氧化物膜108f之后或将金属氧化物膜108f加工为半导体层108及半导体层208之后进行加热处理。通过加热处理,可以去除包含在金属氧化物膜108f或半导体层108及半导体层208中或者吸附在金属氧化物膜108f或半导体层108的表面的氢或水。此外,通过加热处理,有时金属氧化物膜108f或半导体层108及半导体层208的膜质得到提高(例如,缺陷的降低或结晶性的提高)。

[0404] 通过加热处理,也可以将氧从绝缘层110b供应到金属氧化物膜108f或半导体层108及半导体层208。此时,更优选的是,在形成金属氧化物膜108f之后将其加工为半导体层108及半导体层208之前进行加热处理。关于加热处理可以参照上述记载。

[0405] 注意,也可以不进行该加热处理。此外,也可以在该工序中不进行加热处理而将在后面的工序中进行的加热处理用作在该工序中的加热处理。有时,可以将后面的工序中的高温下的处理(例如,沉积工序)等用作该工序中的加热处理。

[0406] 接着,以覆盖半导体层108、半导体层208、导电层112b、导电层212b及绝缘层110的方式形成绝缘层106(图17B)。在形成绝缘层106时,例如优选利用PECVD法或ALD法。

[0407] 在半导体层108及半导体层208使用氧化物半导体时,优选将绝缘层106用作抑制氧扩散的阻挡膜。通过使绝缘层106具有抑制氧扩散的功能,可以抑制氧从绝缘层106的上侧扩散到导电层104及导电层204而导电层104及导电层204被氧化。其结果是,可以实现呈现良好的电特性且可靠性高的晶体管。

[0408] 注意,在本说明书等中阻挡膜是指具有阻挡性的膜。例如,可以将具有阻挡性的绝缘层称为阻挡绝缘层。在本说明书等中,阻挡性是指抑制所对应的物质的扩散的功能(也可以说透过性低)和俘获或固定(也被称为吸杂)所对应的物质的功能中的一方或双方。

[0409] 通过提高形成用作栅极绝缘层的绝缘层106时的温度,可以形成缺陷少的绝缘层。但是,在形成绝缘层106时的温度较高的情况下氧从半导体层108及半导体层208脱离,有时半导体层108及半导体层208中的氧空位及V₀H增加。形成绝缘层106时的衬底温度优选为180℃以上且450℃以下,更优选为200℃以上且450℃以下,更优选为250℃以上且450℃以下,更优选为300℃以上且450℃以下,更优选为300℃以上且400℃以下。通过使形成绝缘层106时的衬底温度在上述范围内,可以在减少绝缘层106的缺陷的同时抑制氧从半导体层108及半导体层208脱离。因此,可以实现呈现良好的电特性且可靠性高的晶体管。

[0410] 在形成绝缘层106之前也可以对半导体层108、半导体层208的侧面及表面进行等离子体处理。通过该等离子体处理,可以降低吸附在半导体层108、半导体层208的侧面及表面的水等杂质。因此,可以减少半导体层108与绝缘层106的界面、半导体层208与绝缘层106的界面中的杂质,所以可以实现可靠性高的晶体管。等离子体处理可以例如在氧、臭氧、氮、一氧化二氮、氩等气氛下进行。等离子体处理与绝缘层106的沉积优选以不暴露于大气的方

式连续地进行。

[0411] 接着,通过在绝缘层106上形成成为导电层104及导电层204的导电膜并对该导电膜进行加工,形成导电层104及导电层204。

[0412] 接着,覆盖导电层104、导电层204及绝缘层106形成绝缘层195(图17C)。绝缘层195的形成可以使用PECVD法。

[0413] 通过上述工序可以制造出半导体装置10。

[0414] 本实施方式可以与其他实施方式适当地组合。

[0415] (实施方式3)

[0416] 在本实施方式中,参照图18至图28说明本发明的一个方式的可以使用半导体装置的显示装置。

[0417] 本实施方式的显示装置可以为高分辨率显示装置或大型显示装置。因此,例如可以将本实施方式的显示装置用作如下装置的显示部:具有较大的屏幕的电子设备诸如电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌、弹珠机等大型游戏机等;数码相机;数码摄像机;数码相框;移动电话机;便携式游戏机;便携式信息终端;声音再现装置。

[0418] 本实施方式的显示装置可以为高清晰显示装置。因此,例如可以将本实施方式的显示装置用作手表型及手镯型等信息终端设备(可穿戴设备)的显示部以及头戴显示器(HMD)等VR用设备及眼镜型AR用设备等可戴在头上的可穿戴设备的显示部。

[0419] 本发明的一个方式的半导体装置可以用于显示装置或包括该显示装置的模块。作为包括该显示装置的模块,可以举出该显示装置安装有柔性印刷电路板(Flexible printed circuit,下面记为FPC)或TCP(Tape Carrier Package:带载封装)等连接器的模块、通过COG(Chip On Glass:玻璃覆晶封装)方式或COF(Chip On Film:薄膜覆晶封装)方式等安装有集成电路(IC)的模块等。

[0420] 图18A是显示装置50A的立体图。

[0421] 显示装置50A具有贴合衬底152与衬底151的结构。在图18A中,以虚线表示衬底152。

[0422] 显示装置50A包括显示部162、连接部140、外围电路部164、布线165等。图18A示出显示装置50A安装有FPC172的例子。

[0423] 连接部140设置在显示部162的外侧。连接部140可以沿着显示部162的一个边或多个边设置。连接部140也可以为一个或多个。图18A示出以围绕显示部的四个边的方式设置连接部140的例子。在连接部140中,显示元件的公共电极与导电层电连接,可以对公共电极供应电位。

[0424] 外围电路部164例如包括扫描线驱动电路(也称为栅极驱动器)。另外,外围电路部164也可以包括扫描线驱动电路和信号线驱动电路(也称为源极驱动器)的双方。

[0425] 布线165具有对显示部162及外围电路部164供应信号及电力的功能。该信号及电力从外部经由FPC172输入到布线165。

[0426] 另外,如图19所示,除了FPC172之外,还可以对显示装置50A安装IC173。

[0427] 在图19所示的结构中,提供至显示部162及外围电路部164的信号及电力经IC173输入到布线165。因此,也可以将图18A及图18B所示的结构视为包括显示装置和FPC等的显

示模块。

[0428] 图18A示出通过COG方式或COF方式等在衬底151上设置IC173的例子。作为IC173,例如可以使用包括扫描线驱动电路和信号线驱动电路中的一方或双方的IC。注意,也可以将IC利用COF方式等安装于FPC。

[0429] 本发明的一个方式的半导体装置例如可以用于显示装置50A的显示部162和外围电路部164中的一方或双方。

[0430] 显示部162是显示装置50A中的图像显示区域,包括周期性地排列的多个像素210。图18A中示出一个像素210的放大图。

[0431] 对本实施方式的显示装置中的像素的排列没有特别的限制,可以采用各种方法。作为像素的排列,例如可以举出条纹排列、S条纹排列、矩阵状排列、Delta排列、拜耳排列(Bayer arrangement)及Pentile排列。

[0432] 图18A所示的像素210包括呈现红色光的子像素230R、呈现绿色光的子像素230G及呈现蓝色光的子像素230B。像素230R、像素230G及像素230B都被用作子像素。

[0433] 像素230R、像素230G及像素230B都包括显示元件以及控制该显示元件的驱动电路。

[0434] 作为显示元件可以使用各种元件,例如可以举出液晶元件及发光元件。除此之外,还可以使用快门方式或光干涉方式的MEMS(Micro Electro Mechanical Systems:微电子机械系统)元件、采用微囊方式、电泳方式、电润湿方式或电子粉流体(注册商标)方式等的显示元件等。另外,也可以使用利用光源以及采用量子点材料的颜色转换技术的QLED(量子点LED,Quantum-dot LED)。

[0435] 作为使用液晶元件的显示装置,例如可以举出透射型液晶显示装置、反射型液晶显示装置及半透射型液晶显示装置。

[0436] 作为发光元件,例如可以举出LED(Light Emitting Diode)、OLED(Organic LED)、半导体激光器等自发光性发光元件。作为LED,例如可以使用小型LED、微型LED等。

[0437] 作为发光元件含有的发光物质,例如可以举出发射荧光的物质(荧光材料)、发射磷光的物质(磷光材料)、呈现热活化延迟荧光的物质(热活化延迟荧光(Thermally activated delayed fluorescence:TADF)材料)及无机化合物(量子点材料等)。

[0438] 发光元件的发光颜色可以为红外、红色、绿色、蓝色、青色、品红色、黄色或白色等。此外,当发光元件具有微腔结构时,可以进一步提高颜色纯度。

[0439] 在发光元件所包括的一对电极中,一方的电极被用作阳极且另一方的电极被用作阴极。

[0440] 在本实施方式中,主要以作为显示元件使用发光元件的情况为例进行说明。

[0441] 本发明的一个方式的显示装置中的电路可以使用各种逻辑电路。作为逻辑电路,例如可以举出:如OR电路、AND电路、NAND电路及NOR电路等组合电路;如触发器电路、锁存电路、计数电路、寄存器电路及移位寄存器电路等时序电路;以及缓冲电路等。

[0442] 图18B是说明显示装置50A的方框图。显示装置50A包括显示部162及外围电路部164。显示部162包括周期性地排列的多个像素230(像素230[1,1]至像素230[m,n]、m及n分别独立为2以上的整数)。在图18B中,将第1行第n列的像素230记载为像素230[1,n],将第m行第1列的像素230记载为像素230[m,1],将第m行第n列的像素230记载为像素230[m,n]。外

围电路部164包括第一驱动电路部231及第二驱动电路部232。

[0443] 第一驱动电路部231所包括的电路例如被用作扫描线驱动电路。第二驱动电路部232所包括的电路例如被用作信号线驱动电路。注意,在隔着显示部162与第一驱动电路部231相对的位置也可以设置某个电路。在隔着显示部162与第二驱动电路部232相对的位置也可以设置某个电路。

[0444] 作为外围电路部164,可以使用移位寄存器电路、电平转换器电路、反相器电路、锁存电路、模拟开关电路及解复用电路等各种电路。在外围电路部164中可以使用晶体管及电容器等。本发明的一个方式的晶体管可以用于外围电路部164及像素230。

[0445] 扫描线驱动电路例如可以采用至少具有移位寄存器的结构。另外,信号线驱动电路可以使用移位寄存器、数字模拟转换电路、锁存电路等构成。

[0446] 显示装置50A包括大致平行地配置的布线236及布线238,该布线236的电位被第一驱动电路部231所包括的电路控制,该布线238的电位被第二驱动电路部232所包括的电路控制。在图18B中,示出布线236和布线238连接到像素230的例子。但是,布线236和布线238只是一个例子而已,连接到像素230的布线不局限于布线236和布线238。

[0447] <外围驱动电路的结构例子>

[0448] 以下对可用于外围驱动电路的结构例子进行说明。

[0449] 图20A是示出锁存电路LAT的结构例子的电路图。图20A所示的锁存电路LAT包括晶体管Tr31、晶体管Tr33、晶体管Tr35、晶体管Tr36、电容器C31及反相电路INV。在图20A中,将电连接晶体管Tr33的源极和漏极中的一个、晶体管Tr35的栅极及电容器C31的一个电极的节点称为节点N。

[0450] 在图20A所示的锁存电路LAT中,当向端子SMP输入高电位信号时,晶体管Tr33变为开启状态。因此,节点N的电位变为与端子ROUT的电位对应的电位,与从端子ROUT输入到锁存电路LAT的信号对应的数据被写入到锁存电路LAT。在向锁存电路LAT写入数据之后,通过使端子SMP的电位变为低电位,晶体管Tr33变为关闭状态。因此,节点N的电位被保持,写入到锁存电路LAT的数据被保持。具体而言,例如在节点N的电位为低电位的情况下,锁存电路LAT可以保持“0”的数据,在节点N的电位为高电位的情况下,锁存电路LAT可以保持“1”的数据。

[0451] 晶体管Tr33优选使用关态电流低的晶体管。晶体管Tr33可以适当地使用0S晶体管。因此,锁存电路LAT可以长期间保持数据。因此,可以减少将数据再次写入到锁存电路LAT的频率。

[0452] 在本说明书等中,有时将“向锁存电路LAT写入使从端子SP2输入的信号输出到端子LLIN的数据”简称为“向锁存电路LAT写入数据”。就是说,例如有时将“向锁存电路LAT写入“1”的数据”简称为“向锁存电路LAT写入数据”。

[0453] 在锁存电路LAT中,可以适当地使用根据本发明的一个方式的半导体装置。例如,作为晶体管Tr31、晶体管Tr33、晶体管Tr35和晶体管Tr36可以使用图1B等所示的晶体管100或晶体管200。

[0454] 图20B示出反相器电路INV的结构例子。反相器电路INV包括晶体管Tr41、晶体管Tr43、晶体管Tr45、晶体管Tr47及电容器C41。

[0455] 当锁存电路LAT具有图20A所示的结构且反相器电路INV具有图20B所示的结构时,

作为锁存电路LAT中的晶体管都采用极性同一的晶体管,例如为n沟道型晶体管。由此,例如,除了晶体管Tr33以外,晶体管Tr31、晶体管Tr35、晶体管Tr36、晶体管Tr41、晶体管Tr43、晶体管Tr45及晶体管Tr47也可以为0S晶体管。因此,可以通过同一工序制造锁存电路LAT中的所有晶体管。

[0456] 在反相器电路INV中,可以适当地使用根据本发明的一个方式的半导体装置。例如,作为晶体管Tr41、晶体管Tr43、晶体管Tr45和晶体管Tr47中的一个或多个可以使用图1B等所示的晶体管100或晶体管200。

[0457] 图21示出时序电路20的结构例子。时序电路20包括电路11和电路12。电路11和电路12通过布线15a及布线15b电连接。通过连接多个图21所示的结构,有时可以构成移位寄存器等的电路。

[0458] 电路12具有根据信号LIN的电位及信号RIN的电位向布线15a及布线15b分别输出第一信号及第二信号的功能。在此,第二信号为使第一信号反转的信号。就是说,当第一信号及第二信号各自具有高电位和低电位的两种电位的情况下,在从电路12向布线15a输出高电位时向布线15b输出低电位,在从电路12向布线15a输出低电位时向布线15b输出高电位。

[0459] 电路11包括晶体管21、晶体管22及电容器C1。晶体管21及晶体管22各自为n沟道型晶体管。作为形成有沟道的半导体,晶体管21及晶体管22可以适当地使用表示半导体特性的金属氧化物(以下也称为氧化物半导体)。此外,不局限于氧化物半导体,可以使用硅(单晶硅、多晶硅或者非晶硅)、锗等的半导体,也可以使用化合物半导体。

[0460] 本发明的一个方式的晶体管适用于晶体管21及晶体管22。例如,图1B等所示的晶体管100或晶体管200适用于晶体管21。此外,晶体管21优选具有背栅极。因此,例如,图4B等所示的晶体管100或晶体管200适用于晶体管21。

[0461] 晶体管21包括一对栅极(以下,称为第一栅极、第二栅极)。在晶体管21中,第一栅极与布线15b电连接,第二栅极与晶体管21的源极和漏极中的一个及被供应电位VSS(也称为第一电位)的布线电连接,源极和漏极中的另一个与晶体管22的源极和漏极中的一个电连接。在晶体管22中,栅极与布线15a电连接,源极和漏极中的另一个与被供应信号CLK的布线电连接。电容C1包括一对电极,一个电极与晶体管22的源极和漏极中的一个及晶体管21的源极和漏极中的另一个电连接,另一个电极与晶体管22的栅极及布线15a电连接。此外,晶体管21的源极和漏极中的另一个、晶体管22的源极和漏极中的一个及电容C1的一个电极与输出端子OUT电连接。注意,输出端子OUT为被供应来自电路11的输出电位的部分,也可以为布线的一部分或电极的一部分。

[0462] 晶体管22的源极和漏极中的另一个作为信号CLK交替被供应第二电位及第三电位。第二电位可以为比电位VSS高的电位(例如电位VDD)。第三电位可以为比第二电位低的电位。作为第三电位,可以适当地使用电位VSS。注意,也可以采用向晶体管22的源极和漏极中的另一个供应电位VDD代替信号CLK的结构。

[0463] 在布线15a被供应高电位且布线15b被供应低电位时,晶体管22成为导通状态,晶体管21成为非导通状态。此时,输出端子OUT及被供应信号CLK的布线成为导通状态。

[0464] 在电路11中,输出端子OUT与晶体管22的栅极通过电容C1电连接,因此随着通过自举效应上升输出端子OUT的电位,而上升晶体管22的栅极电位。在此,在不包括电容C1的情

况下,在信号CLK的第二电位及供应到布线15a的高电位使用相同的电位(电位VDD)时,输出端子OUT的电位会成为从电位VDD减去晶体管22的阈值电压的电位。但是,通过包括电容C1,晶体管22的栅极的电位上升到接近电位VDD的两倍的电位(具体而言,接近电位VDD与电位VSS之差的二倍的电位或接近电位VDD与第三电位之差的二倍的电位),因此可以向输出端子OUT输出电位VDD而不受到晶体管22的阈值电压的影响。由此,可以在不增加电源电位的种类的同时实现输出性能高的时序电路20。

[0465] 另一方面,在向布线15a和布线15b分别供应低电位和高电位时,晶体管22成为非导通状态,晶体管21成为导通状态。此时,输出端子OUT及被供应电位VSS的布线成为导通状态,向输出端子OUT输出电位VSS。

[0466] 在此,时序电路20可以被用作显示装置的驱动电路。尤其是,可以适当地被用作扫描线驱动电路。此时,在使输出端子OUT与连接于显示装置的多个像素的扫描线连接的情况下,从时序电路20输出到输出端子OUT中的输出信号的占空比要明显小于信号CLK等的占空比。此时,晶体管21处于导通状态的期间明显长于处于非导通状态的期间。就是说,晶体管21的第一栅极被供应高电位的期间明显长于被供应低电位的期间。通过将本发明的一个方式的晶体管用作晶体管21,可以抑制第一栅极被供应高电位的状态下的晶体管特性的劣化。

[0467] 另外,通过将本发明的一个方式的晶体管用作晶体管21,可以适当地防止阈值电压成为负值,从而容易使晶体管21具有常关闭特性。当晶体管21具有常开启特性的情况下,在晶体管21的另一个栅极和源极的电压为0V时产生源极与漏极间的泄漏电流而无法保持输出端子OUT的电位。因此,为了使晶体管21变为关闭状态,需要向晶体管21的另一个栅极供应低于电位VSS的电位,并且需要多个电源。通过将本发明的一个方式的晶体管用作晶体管21,可以在不增加电源电位的种类的情况下实现输出性能高的时序电路20。

[0468] 另外,通过将本发明的一个方式的晶体管用作晶体管21,可以提高晶体管21的饱和特性。由此易于设计电路11,可以使电路11稳定地工作。

[0469] 通过使用晶体管100,可以缩小占有面积,从而可以实现窄边框的显示装置。此外,作为被要求大通态电流的晶体管,可以适当地使用晶体管100。再者,作为被要求高饱和特性的晶体管,可以适当地使用晶体管200。由此,可以实现高性能的显示装置。

[0470] <像素电路的结构例子>

[0471] 图22A示出像素230的结构例子。像素230包括像素电路51及发光器件61。

[0472] 图22A所示的像素电路51是包括包括晶体管52A、晶体管52B及电容器53的2Tr1C型像素电路。

[0473] 晶体管52A的源极和漏极中的一个与晶体管52B的栅极及电容器53的一个端子电连接。晶体管52A的源电极和漏电极中的另一个与布线SL电连接。晶体管52A的栅极与布线GL电连接。晶体管52B的源电极和漏电极中的一个及电容器53的另一个端子与发光器件61的阳极电连接。晶体管52B的源电极和漏电极中的另一个与布线ANO电连接。发光器件61的阴极与布线VCOM电连接。

[0474] 布线GL相当于布线236,布线SL相当于布线238。布线VCOM是供应用来对发光器件61供应电流的电位的布线。晶体管52A具有根据布线GL的电位控制布线SL和晶体管52B的栅极之间的导通状态或非导通状态的功能。例如,将VDD供应到布线ANO,将VSS供应到布线

VCOM。

[0475] 晶体管52B具有控制流过发光器件61的电流的功能。电容器53具有保持晶体管52B的栅极电位的功能。发光器件61所发射的光的强度根据供应到晶体管52B的栅极的图像信号而被控制。

[0476] 像素电路51所包括的晶体管的一部分或全部也可以设置有背栅电极。图22A所示的像素电路51示出晶体管52B包括背栅电极且该背栅电极与晶体管52B的源极和漏极中的一个电连接的结构。另外,晶体管52B的背栅电极也可以与晶体管52B的栅电极电连接。

[0477] 可以将上述半导体装置适用于像素电路51。例如,作为晶体管52A可以使用图1B等所示的晶体管100,作为晶体管52B可以使用晶体管200。

[0478] 图22B示出与图22A所示的像素230不同的结构例子。像素230包括像素电路51A及发光器件61。

[0479] 图22B所示的像素电路51A与图22A所示的像素电路51的主要不同之处在于包括晶体管52C。像素电路51A是包括晶体管52A、晶体管52B、晶体管52C及电容器53的3Tr1C型像素电路。

[0480] 晶体管52C的源电极和漏电极中的一个与晶体管52B的源电极和漏电极中的另一个电连接。晶体管52C的源电极和漏电极中的另一个与布线V0电连接。例如,布线V0被供应基准电位。

[0481] 晶体管52C具有根据布线GL的电位控制晶体管52B的源电极和漏电极中的一个和布线V0之间的导通状态或非导通状态的功能。根据通过晶体管52C供应的布线V0的基准电位可以抑制晶体管52B的栅极-源极间电位的不均匀。

[0482] 此外,可以使用布线V0取得可用于像素参数的设定的电流值。具体而言,布线V0可以被用作用来将流过晶体管52B的电流或流过发光器件61的电流输出到外部的监视线。输出到布线V0的电流可以由源极跟随电路等转换为电压并输出到外部。或者,可以由AD转换器等转换为数字信号并输出到外部。

[0483] 优选的是,与用作控制像素230的选择状态的选择晶体管的晶体管52A相比,用作控制流过发光器件61的电流的驱动晶体管的晶体管52B的饱和特性更高。通过作为晶体管52B使用沟道长度长的晶体管200,可以提供可靠性高的显示装置。此外,通过作为晶体管52A及晶体管52C使用晶体管100,可以缩小像素电路51A的占有面积,由此可以实现高清晰显示装置。

[0484] 注意,晶体管52B也可以使用晶体管100。通过作为晶体管52B使用沟道长度短的晶体管100,可以实现亮度高的显示装置。另外,可以缩小像素电路51A的占有面积,由此可以实现高清晰显示装置。

[0485] 可以将上述半导体装置适用于像素电路51A。例如,作为晶体管52A及晶体管52C可以使用图1B等所示的晶体管100,作为晶体管52B可以使用图4B等所示的晶体管200。

[0486] 注意,对可用于本发明的一个方式的像素电路没有特别的限制。

[0487] 图23A示出本发明的一个方式的显示装置的结构例子。图23A是外围电路部164及显示部162的截面图。

[0488] 在显示部162中,衬底102上设置有晶体管100及晶体管200。显示部中的晶体管100及晶体管200都可以用于像素电路中的晶体管。另外,显示部也可以采用仅包括晶体管100

的结构或者仅包括晶体管200的结构。显示部通过包括饱和特性高的晶体管200,例如,可以实现多灰度的显示质量高且可靠性高的显示装置。

[0489] 图23A示出外围电路部164中的一个晶体管100。另外,外围电路部164优选包括一个以上的晶体管100。另外,虽然图23A等中没有示出,外围电路部164也可以包括晶体管200。

[0490] 另外,图23A示出显示部162的像素电路中的一个晶体管100及一个晶体管200,其中晶体管100用于像素电路51的晶体管52A,晶体管200用于像素电路51的晶体管52B。注意,图23A中省略了晶体管100与晶体管200的电连接。例如,在绝缘层195中设置到达导电层112b的第一开口及到达导电层204的第二开口。通过在绝缘层195上以覆盖第一开口及第二开口的方式设置第一布线,可以通过第一布线使导电层112b与导电层204电连接。

[0491] 图23A省略了像素电路中的电容器。

[0492] 以覆盖晶体管100及晶体管200的方式设置有绝缘层195,以覆盖绝缘层195的方式设置有绝缘层235。在绝缘层235上可以设置发光器件61。图23A示出用作发光器件61的一个电极的像素电极111。像素电极111通过设置在绝缘层110、绝缘层106、绝缘层195及绝缘层235中的开口135与导电层212a电连接。绝缘层235具有减小起因于晶体管的凹凸来使发光器件61的被形成面更平坦的功能。另外,在本说明书等中,有时将绝缘层235记作平坦化层。

[0493] 绝缘层235适合使用有机绝缘膜。作为能够用于有机绝缘膜的材料,可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及这些树脂的前体等。此外,绝缘层235也可以采用有机绝缘膜及无机绝缘膜的叠层结构。绝缘层235的最表面层优选被用作蚀刻保护层。由此,在形成像素电极111时,可以抑制在绝缘层235中形成凹部。或者,也可以在形成像素电极111时在绝缘层235中设置凹部。

[0494] 绝缘层235也可以具有有机绝缘层及无机绝缘层的叠层结构。例如,绝缘层235可以具有有机绝缘层及该有机绝缘层上的无机绝缘层的叠层结构。通过在绝缘层235的最表面上设置无机绝缘层,可以被用作蚀刻保护层。由此,可以抑制在形成像素电极111时绝缘层235的一部分被蚀刻而绝缘层235的平坦性下降。

[0495] 另外,如图23B所示,晶体管52A及晶体管52B都可以使用晶体管200。

[0496] 另外,作为用于晶体管52B的晶体管200中,也可以代替导电层212a如图23C所示地采用导电层212b与像素电极111连接的结构。图23C所示的像素电极111通过设置在绝缘层106、绝缘层195及绝缘层235中的开口136与导电层212b电连接。

[0497] 本发明的一个方式的显示装置也可以采用如下结构中的任意个:向与形成有发光器件的衬底相反的方向发射光的顶部发射(top emission)型、向形成有发光器件的衬底一侧发射光的底部发射(bottom emission)型、向双面发射光的双面发射(dual emission)型。

[0498] <显示装置的结构例子1>

[0499] 图24A示出显示装置50A的包括FPC172的区域的一部分、外围电路部164的一部分、显示部162的一部分、连接部140的一部分及包括端部的区域的一部分的截面的一个例子。

[0500] 图24A所示的显示装置50A在衬底151与衬底152之间包括晶体管205D、205R、205G、205B、发光元件130R、发光元件130G、发光元件130B等。发光元件130R是呈现红色光的像素

230R所包括的显示元件,发光元件130G是呈现绿色光的像素230G所包括的显示元件,发光元件130B是呈现蓝色光的像素230B所包括的显示元件。

[0501] 显示装置50A采用SBS结构。在SBS结构中,可以分别进行各发光元件的材料及结构的最优化,材料及结构的选择自由度增大,亮度的提高以及可靠性的提高变得容易。

[0502] 显示装置50A采用顶部发射型。在顶部发射型中,可以以与发光元件的发光区域重叠的方式配置晶体管等,所以与底部发射型相比可以进一步提高像素的开口率。

[0503] 晶体管205D、晶体管205R、晶体管205G、及晶体管205B都形成在衬底151上。这些晶体管可以使用同一材料及同一工序来制造。

[0504] 作为晶体管205D、晶体管205R、晶体管205G和晶体管205B中的任一个以上可以采用上述的晶体管100及晶体管200中的一种或多种。例如,在显示部162中,作为用作发光元件130R、发光元件130G及发光元件130B的驱动电路的晶体管205R、晶体管205G及晶体管205B,可以适当地使用饱和特性高的晶体管200。由此,可以实现高可靠性显示装置。通过将上述晶体管100至晶体管100用于外围电路部164,可以实现高速工作的显示装置。再者,可以缩小外围电路部164的占有面积,而可以缩小边框。

[0505] 有时设置在外围电路部164中的晶体管需要具有比设置在显示部162中的晶体管大的通态电流。外围电路部164中优选使用沟道长度短的晶体管。例如,外围电路部164可以适当地使用上述晶体管100。通过在外围电路部164中使用晶体管100,可以缩小占有面积,由此可以实现窄边框的显示装置。另外,作为设置在显示部162中的晶体管,可以适当地使用上述晶体管200。图24A示出作为晶体管205D采用上述晶体管100,作为晶体管205R、晶体管205G及晶体管205B采用上述晶体管200的结构。另外,显示部162也可以使用晶体管100,外围电路部164也可以使用晶体管200。

[0506] 注意,本实施方式中的显示装置所包括的晶体管不局限于本发明的一个方式的半导体装置所包括的晶体管。例如,也可以组合本发明的一个方式的半导体装置所包括的晶体管和其他结构的晶体管。本实施方式的显示装置例如可以包括平面晶体管、交错型晶体管和反交错型晶体管中的任一个以上。本实施方式的显示装置所包括的晶体管可以具有顶栅型和底栅型中的任何一个结构。或者,也可以在形成沟道的半导体层上下设置有栅极。

[0507] 作为晶体管205D、晶体管205R、晶体管205G及晶体管205B可以适当地使用OS晶体管。

[0508] 本实施方式的显示装置也可以包括将硅用于沟道形成区域的晶体管(Si晶体管)。作为硅可以举出单晶硅、多晶硅及非晶硅。尤其是,可以使用在半导体层中包含LTPS的晶体管(以下,也称为LTPS晶体管)。LTPS晶体管具有高场效应迁移率以及良好的频率特性。

[0509] 在提高像素电路所包括的发光元件的发光亮度时,需要增大流过发光元件的电流。为此,需要提高像素电路所包括的驱动晶体管的源极-漏极间电压。因为OS晶体管的源极-漏极间的耐压比Si晶体管高,所以可以对OS晶体管的源极-漏极间施加高电压。由此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以增大流过发光元件的电流而提高发光元件的发光亮度。

[0510] 当晶体管在饱和区域中工作时,与Si晶体管相比,OS晶体管可以使对于栅极-源极间电压的变化的源极-漏极间电流的变化细小。因此,通过作为像素电路所包括的驱动晶体管使用OS晶体管,可以根据栅极-源极间电压的变化详细决定流过源极-漏极间的电流,所

以可以控制流过发光元件的电流。由此,可以增大像素电路的灰度数。

[0511] 关于晶体管在饱和区域中工作时流过的电流的饱和特性,与Si晶体管相比,OS晶体管即使逐渐地提高源极-漏极间电压也可以使稳定的电流(饱和电流)流过。因此,通过将OS晶体管用作驱动晶体管,即使例如EL元件的电流-电压特性发生不均匀,也可以使稳定的电流流过发光元件。也就是说,OS晶体管当在饱和区域中工作时即使改变源极-漏极间电压,源极-漏极间电流也几乎不变,因此可以使发光元件的发光亮度稳定。

[0512] 外围电路部164所包括的晶体管和显示部162所包括的晶体管既可以具有相同的结构,又可以具有不同的结构。外围电路部164所包括的多个晶体管既可以具有相同的结构,又可以具有两种以上的不同结构。与此同时,显示部162所包括的多个晶体管既可以具有相同的结构,又可以具有两种以上的不同结构。

[0513] 显示部162所包括的所有晶体管都可以为OS晶体管,显示部162所包括的所有晶体管都可以为Si晶体管,显示部162所包括的部分晶体管也可以为OS晶体管且剩下的晶体管也可以为Si晶体管。

[0514] 例如,通过在显示部162中使用LTPS晶体管和OS晶体管的双方,可以实现具有低功耗及高驱动能力的显示装置。另外,有时将组合LTPS晶体管和OS晶体管的结构称为LTPO。外围电路部164也是同样地,所有晶体管都可以为OS晶体管,外围电路部164所包括的所有晶体管都可以为Si晶体管,外围电路部164所包括的部分晶体管也可以为OS晶体管且剩下的晶体管也可以为Si晶体管。

[0515] 以覆盖晶体管205D、晶体管205R、晶体管205G及晶体管205B的方式设置有绝缘层195,绝缘层195上设置有绝缘层235。

[0516] 绝缘层235上设置有发光元件130R、发光元件130G、发光元件130B。

[0517] 发光元件130R包括绝缘层235上的像素电极111R、像素电极111R上的EL层113R以及EL层113R上的公共电极115。图24A所示的发光元件130R发射红色光(R)。EL层113R包括发射红色光的发光层。

[0518] 发光元件130G包括绝缘层235上的像素电极111G、像素电极111G上的EL层113G及EL层113G上的公共电极115。图24A所示的发光元件130G发射绿色光(G)。EL层113G包括发射绿色光的发光层。

[0519] 发光元件130B包括绝缘层235上的像素电极111B、像素电极111B上的EL层113B及EL层113B上的公共电极115。图24A所示的发光元件130B发射蓝色光(B)。EL层113B包括发射蓝色光的发光层。

[0520] 注意,在图24A中以相同厚度示出EL层113R、113G、113B,但不局限于此。EL层113R、113G、113B的各膜厚度也可以不同。例如,优选对应加强EL层113R、113G、113B所发射的光的光程来设定膜厚度。由此,可以实现微腔结构来提高从各发光元件发射的光的色纯度。

[0521] 像素电极111R通过设置在绝缘层195及绝缘层235中的开口与晶体管205R所具有的导电层112b电连接。同样地,像素电极111G与晶体管205G所具有的导电层112b电连接,像素电极111B与晶体管205B所具有的导电层112b电连接。

[0522] 像素电极111R、111G、111B的各端部被绝缘层237覆盖。绝缘层237被用作分隔壁(也称为堤、堤坝、间隔物)。绝缘层237可以使用无机绝缘材料和有机绝缘材料中的一方或双方设置为单层结构或叠层结构。绝缘层237例如可以使用可用于绝缘层235的材料。绝缘

料、辅助材料等)。作为一种或多种有机化合物,可以使用空穴传输性高的物质(空穴传输材料)和电子传输性高的物质(电子传输材料)中的一或双方。此外,作为一种或多种有机化合物,也可以使用双极性物质(电子传输性及空穴传输性高的物质)或TADF材料。

[0533] 例如,发光层优选包含磷光材料、容易形成激基复合物的空穴传输材料及电子传输材料的组合。通过采用这样的结构,可以高效地得到利用从激基复合物到发光物质(磷光材料)的能量转移的ExTET(Exciplex-Triplet Energy Transfer:激基复合物-三重态能量转移)的发光。另外,通过作为该激基复合物选择形成发射与发光物质的最低能量一侧的吸收带的波长重叠的光的组合,可以使能量转移变得顺利,从而高效地得到发光。通过采用上述结构,可以同时实现发光元件的高效率、低电压驱动以及长寿命。

[0534] EL层除了发光层之外还可以包括包含空穴注入性高的物质的层(空穴注入层)、包含空穴传输材料的层(空穴传输层)、包含电子阻挡性高的物质的层(电子阻挡层)、包含电子注入性高的物质的层(电子注入层)、包含电子传输材料的层(电子传输层)和包含空穴阻挡性高的物质的层(空穴阻挡层)中的一个或多个。除此之外,EL层也可以包含双极性材料和TADF材料中的一方或双方。

[0535] 发光元件可以使用低分子化合物或高分子化合物,还可以包含无机化合物。构成发光元件的层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等方法形成。

[0536] 发光元件可以采用单结构(只有一个发光单元的结构),也可以采用串联结构(包括多个发光单元的结构)。发光单元至少包括一个发光层。串联结构具有多个发光单元通过电荷产生层串联连接的结构。电荷产生层具有在对一对的电极间施加电压时向两个发光单元中的一方注入电子且向另一方注入空穴的功能。通过采用串联结构,可以实现能够以高亮度发光的发光元件。此外,串联结构由于与单结构相比可以降低为了得到相同的亮度的电流,所以可以提高可靠性。另外,也可以将串联结构称为叠层结构。

[0537] 在图24A中使用串联结构的发光元件时,优选的是,EL层113R包括发射红色光的多个发光单元,EL层113G包括发射绿色光的多个发光单元,并且EL层113B包括发射蓝色光的多个发光单元。

[0538] 发光元件130R、130G、130B上设置有保护层131。保护层131和衬底152由粘合层142粘合。衬底152设置有遮光层117。作为发光元件的密封,例如可以采用固体密封结构或中空密封结构。在图24A中,衬底152和衬底151之间的空间被粘合层142填充,即采用固体密封结构。或者,也可以采用使用惰性气体(氮或氩等)填充该空间的中空密封结构。此时,粘合层142也可以以不与发光元件重叠的方式设置。另外,也可以使用与设置为框状的粘合层142不同的树脂填充该空间。

[0539] 保护层131至少设置在显示部162中,优选以覆盖显示部162整体的方式设置。保护层131优选以除了显示部162以外还覆盖连接部140及外围电路部164的方式设置。另外,保护层131优选以延伸至显示装置50A的端部的方式设置。另一方面,为了使FPC172与导电层166电连接,连接部168中不设置有保护层131的部分。

[0540] 通过在发光元件130R、发光元件130G、发光元件130B上设置保护层131,可以提高发光元件的可靠性。

[0541] 保护层131既可以为单层结构,又可以为两层以上的叠层结构。另外,对保护层131

的导电性没有限制。作为保护层131,可以使用绝缘膜、半导体膜和导电膜中的至少一种。

[0542] 当保护层131包括无机膜时,可以抑制发光元件的劣化,诸如防止公共电极115的氧化、抑制杂质(水分、氧等)进入发光元件中等,由此可以提高显示装置的可靠性。

[0543] 保护层131例如可以使用氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜等无机绝缘膜。这些无机绝缘膜的具体例子是如上所述的。尤其是,保护层131优选包括氮化绝缘膜或氮氧化绝缘膜,更优选包括氮化绝缘膜。

[0544] 作为保护层131也可以使用包含ITO、In-Zn氧化物、Ga-Zn氧化物、Al-Zn氧化物或IGZO等的无机膜。该无机膜优选具有高电阻,具体而言,该无机膜优选具有比公共电极115高的电阻。该无机膜还可以包含氮。

[0545] 在经过保护层131提取发光元件的发光的情况下,保护层131的可见光透射性优选高。例如,ITO、IGZO以及氧化铝都是可见光透射性高的无机材料,所以是优选的。

[0546] 作为保护层131,例如可以采用氧化铝膜和氧化铝膜上的氮化硅膜的叠层结构或者氧化铝膜和氧化铝膜上的IGZO膜的叠层结构。通过使用该叠层结构,可以抑制杂质(水及氧等)进入EL层一侧。

[0547] 并且,保护层131也可以包括有机膜。例如,保护层131也可以包括有机膜和无机膜的双方。作为可用于保护层131的有机膜,例如可以举出可用于绝缘层235的有机绝缘膜等。

[0548] 在衬底151的不与衬底152重叠的区域中设置连接部168。在连接部168中,布线165通过导电层166及连接层242与FPC172电连接。导电层166示出其具有加工与像素电极111R、像素电极111G及像素电极111B相同的导电膜而得的导电层的单层结构的例子。在连接部168的顶面上露出导电层166。因此,通过连接层242可以使连接部168与FPC172电连接。

[0549] 布线165与外围电路部164所包括的晶体管电连接。图24A示出晶体管205D所包括的导电层112b延伸而用作布线165的结构。注意,布线165的结构不局限于此。

[0550] 显示装置50A采用顶部发射型。发光元件所发射的光射出到衬底152一侧。衬底152优选使用可见光透射性高的材料。像素电极111R、像素电极111G及像素电极111B包含反射可见光的材料,对置电极(公共电极115)包含使可见光透射的材料。

[0551] 优选在衬底152的衬底151一侧的面设置遮光层117。遮光层117可以设置在相邻的发光元件之间、与连接部140、外围电路部164等重叠的位置。

[0552] 另外,也可以在衬底152的衬底151一侧的面或保护层131上设置滤色片等着色层。在与发光元件重叠地设置滤色片时,可以提高从像素发射的光的色纯度。

[0553] 此外,可以在衬底152的外侧(与衬底151一侧相反一侧的面)配置各种光学构件。作为光学构件,例如可以举出偏振片、相位差板、光扩散层(扩散薄膜等)、防反射层及聚光薄膜(condensing film)。此外,在衬底152的外侧也可以配置抑制尘埃的附着的抗静电膜、不容易被弄脏的具有拒水性的膜、抑制使用时的损伤的硬涂膜、冲击吸收层等表面保护层。例如,通过作为表面保护层设置玻璃层或二氧化硅层(SiO_x 层),可以抑制表面被弄脏或受到损伤,所以是优选的。另外,作为表面保护层也可以使用DLC(类金刚石碳)、氧化铝(AlO_x)、聚酯类材料或聚碳酸酯类材料等。另外,作为表面保护层优选使用对可见光的透射率高的材料。另外,表面保护层优选使用硬度高的材料。

[0554] 衬底151及衬底152分别可以使用玻璃、石英、陶瓷、蓝宝石、树脂、金属、合金、半导体等。从发光元件取出光一侧的衬底使用使该光透射的材料。通过将具有柔性的材料用于

衬底151及衬底152,可以提高显示装置的柔性,由此可以实现柔性显示器。作为衬底151和衬底152中的至少一方,也可以使用偏振片。

[0555] 作为衬底151及衬底152,分别可以使用如下材料:聚对苯二甲酸乙二醇酯(PET)或聚萘二甲酸乙二醇酯(PEN)等聚酯树脂、聚丙烯腈树脂、丙烯酸树脂、聚酰亚胺树脂、聚甲基丙烯酸甲酯树脂、聚碳酸酯(PC)树脂、聚醚砜(PES)树脂、聚酰胺树脂(尼龙、芳族聚酰胺等)、聚硅氧烷树脂、环烯烃树脂、聚苯乙烯树脂、聚酰胺-酰亚胺树脂、聚氨酯树脂、聚氯乙烯树脂、聚偏氯乙烯树脂、聚丙烯树脂、聚四氟乙烯(PTFE)树脂、ABS树脂以及纤维素纳米纤维等。此外,也可以作为衬底151和衬底152中的至少一方使用其厚度为具有柔性程度的玻璃。

[0556] 在将圆偏振片重叠于显示装置的情况下,优选将光学各向同性高的衬底用作显示装置所包括的衬底。光学各向同性高的衬底的双折射较低(也可以说双折射量较少)。作为光学各向同性高的薄膜,可以举出三醋酸纤维素(TAC,也称为三醋酸纤维素)薄膜、环烯烃聚合物(COP)薄膜、环烯烃共聚物(COC)薄膜及丙烯酸树脂薄膜等。

[0557] 作为粘合层142,可以使用紫外线固化粘合剂等光固化粘合剂、反应固化粘合剂、热固化粘合剂、厌氧粘合剂等各种固化粘合剂。作为这些粘合剂,可以举出环氧树脂、丙烯酸树脂、硅酮树脂、酚醛树脂、聚酰亚胺树脂、酰亚胺树脂、PVC(聚氯乙烯)树脂、PVB(聚乙烯醇缩丁醛)树脂、EVA(乙烯-醋酸乙烯酯)树脂等。尤其是,优选使用环氧树脂等透湿性低的材料。此外,也可以使用两液混合型树脂。此外,也可以使用粘合薄片等。

[0558] 作为连接层242,可以使用各向异性导电膜(ACF:Anisotropic Conductive Film)、各向异性导电膏(ACP:Anisotropic Conductive Paste)等。

[0559] <显示装置的结构例子2>

[0560] 图24B所示的显示装置50B的与显示装置50A主要不同之处在于各颜色的子像素中使用包括被发光元件共用的EL层113的发光元件、以及着色层(滤色片等)。注意,在后述的显示装置的说明中,有时省略说明与先前说明的显示装置同样的部分。

[0561] 图24B所示的显示装置50B与图24A中的显示装置50A的不同之处在于显示装置50B在衬底151与衬底152间包括晶体管205D、205R、205G、205B、发光元件130R、130G、130B、使红色光透过的着色层132R、使绿色光透过的着色层132G及使蓝色光透过的着色层132B等。注意,图24B摘出与图24A不同的点进行图示。图24B所示的结构可以组合于图24A所示的包括FPC172的区域、外围电路部164、显示部162的衬底151至绝缘层235的叠层结构、连接部140及端部的结构。

[0562] 发光元件130R包括像素电极111R、像素电极111R上的EL层113以及EL层113上的公共电极115。发光元件130R的发光通过着色层132R作为红色光提取到显示装置50B的外部。

[0563] 发光元件130G包括像素电极111G、像素电极111G上的EL层113以及EL层113上的公共电极115。发光元件130G的发光通过着色层132G作为绿色光提取到显示装置50B的外部。

[0564] 发光元件130B包括像素电极111B、像素电极111B上的EL层113以及EL层113上的公共电极115。发光元件130B的发光通过着色层132B作为蓝色光提取到显示装置50B的外部。

[0565] 发光元件130R、130G、130B共用EL层113及公共电极115。与各颜色的子像素分别设置有不同EL层的结构相比,各颜色的子像素共用EL层113的结构可以减少制造工序数。

[0566] 例如,图24B所示的发光元件130R、130G、130B发射白色光。发光元件130R、130G、

130B所发射的白色光透射着色层132R、132G、132B,由此可以得到所希望的颜色光。

[0567] 白色发光元件优选包括两个以上的发光层。在使用两个发光层得到白色发光的情况下,以两个发光层的各发光颜色处于补色关系的方式选择发光层即可。例如,通过使第一发光层的发光颜色与第二发光层的发光颜色处于补色关系,可以得到在发光元件整体上以白色发光的结构。此外,在使用三个以上的发光层得到白色发光的情况下,三个以上的发光层的各发光颜色组合而得到在发光元件整体上以白色发光的结构即可。

[0568] EL层113优选例如包括含有发射蓝色光的发光物质的发光层以及含有发射比蓝色波长长的可见光的发光物质的发光层。EL层113优选例如包括发射黄色光的发光层及发射蓝色光的发光层。或者,EL层113优选例如包括发射红色光的发光层、发射绿色光的发光层及发射蓝色光的发光层。

[0569] 发射白色光的发光元件优选采用串联结构。具体而言,可以采用:包括发射黄色光的发光单元及发射蓝色光的发光单元的两级串联结构;包括发射红色光及绿色光的发光单元以及发射蓝色光的发光单元的两级串联结构;依次包括发射蓝色光的发光单元、发射黄色光、黄绿色光或绿色光的发光单元以及发射蓝色光的发光单元的三级串联结构;或者依次包括发射蓝色光的发光单元、发射黄色光、黄绿色光或绿色光及红色光的发光单元以及发射蓝色光的发光单元的三级串联结构等。例如,作为发光单元的叠层数及颜色顺序,可以举出从阳极一侧层叠B和Y的两级结构、层叠B和发光单元X的两级结构、层叠B、Y和B的三级结构、层叠B、X和B的三级结构,作为发光单元X中的发光层的叠层数及颜色顺序,可以采用从阳极一侧层叠R和Y的两层结构、层叠R和G的两层结构、层叠G和R的两层结构、层叠G、R和G的三层结构或层叠R、G和R的三层结构等。另外,也可以在两个发光层之间设置其他层。

[0570] 或者,例如如图24B所示的发光元件130R、130G、130B发射蓝色光。此时,EL层113包括一层以上的发射蓝色光的发光层。关于呈现蓝色光的像素230B,可以提取发光元件130B所发射的蓝色光。另外,关于呈现红色光的像素230R及呈现绿色光的像素230G,通过在发光元件130R或发光元件130G与衬底152之间设置颜色转换层,可以使发光元件130R或130G所发射的蓝色光转换为更长波长的光而提取为红色光或绿色光。并且,优选的是,在发光元件130R上的颜色转换层与衬底152之间设置着色层132R并在发光元件130G上的颜色转换层与衬底152之间设置着色层132G。发光元件所发射的光的一部分有时不经颜色转换层的转换而透射。通过经由着色层提取透射颜色转换层的光,可以由着色层吸收所希望的颜色光之外的光而提高子像素所呈现的光的色纯度。

[0571] <显示装置的结构例子3>

[0572] 图25所示的显示装置50C与显示装置50B的主要不同之处在于前者为底部发射型显示装置。

[0573] 发光元件所发射的光射出到衬底151一侧。衬底151优选使用可见光透射性高的材料。另一方面,对于衬底152的材料透光性没有限制。

[0574] 在衬底151与晶体管之间优选形成遮光层117。图25示出如下例子:衬底151上设置有遮光层117,遮光层117上设置有绝缘层153,并且绝缘层153上设置有晶体管205D、晶体管205R(未图示)、晶体管205G及晶体管205B等。另外,绝缘层195上设置有着色层132R、着色层132G及着色层132B,着色层132R、着色层132G及着色层132B上设置有绝缘层235。

[0575] 与着色层132G重叠的发光元件130G包括像素电极111G、EL层113及公共电极115。

[0576] 与着色层132B重叠的发光元件130B包括像素电极111B、EL层113及公共电极115。

[0577] 像素电极111G、111B各自使用可见光透射性高的材料。公共电极115优选使用反射可见光的材料。因为在底部发射型显示装置中可以将电阻率低的金属等用于公共电极115，所以可以抑制发生因公共电极115的电阻导致的电压下降，而可以实现高显示品质。

[0578] <显示装置的结构例子4>

[0579] 图26A所示的显示装置50D与显示装置50A的主要不同之处在于前者包括受光元件130S。

[0580] 显示装置50D在像素中包括发光元件及受光元件。在显示装置50D中，优选的是，作为发光元件使用有机EL元件并作为受光元件使用有机光电二极管。有机EL元件及有机光电二极管可以形成在同一衬底上。因此，可以将有机光电二极管安装在使用有机EL元件的显示装置中。

[0581] 在像素包括发光元件及受光元件的显示装置50D中，像素具有受光功能，所以该显示装置可以在显示图像的同时检测出对象物的接触或接近。因此，显示部162除了图像显示功能之外还具有摄像功能和感测功能中的一方或双方。例如，不仅是在显示装置50D所包括的所有的子像素中显示图像，而是可以用一部分的子像素作为光源发射光，用其他一部分的子像素进行光检测且用剩下子像素显示图像。

[0582] 因此，不需要与显示装置50D另行设置受光部及光源，而可以减少电子设备的构件数量。例如，不需要另行设置安装在电子设备中的生物识别装置或者用于滚动等的静电电容式的触摸面板等。因此，通过使用显示装置50D，可以提供一种制造成本降低的电子设备。

[0583] 当将受光元件用于图像传感器时，显示装置50D能够使用受光元件拍摄图像。例如，可以使用图像传感器进行用来利用指纹、掌纹、虹膜、脉形状（包括静脉形状、动脉形状）或脸等的个人识别的摄像。

[0584] 受光元件可以用于触摸传感器（也称为直接接触传感器）或非接触传感器（也称为悬浮传感器、悬浮触摸传感器、非触摸传感器）等。触摸传感器在对象物（手指、手或笔等）直接接触显示装置时可以检测出对象物。另外，非接触传感器即使对象物没有接触显示装置也可以检测出该对象物。

[0585] 发光元件130S包括绝缘层235上的像素电极111S、像素电极111S上的功能层113S、功能层113S上的公共电极115。光Ln从显示装置50D的外部入射到功能层113S。

[0586] 像素电极111S通过设置在绝缘层195及绝缘层235中的开口与晶体管205S所具有的导电层112b电连接。

[0587] 像素电极111S的端部被绝缘层237覆盖。

[0588] 公共电极115是受光元件130S、发光元件130R（未图示）、发光元件130G和发光元件130B共用的连续的膜。发光元件和受光元件共用的公共电极115与设置在连接部140中的导电层123电连接。

[0589] 功能层113S至少包括活性层（也称为光电转换层）。活性层包含半导体。作为该半导体，可以举出硅等无机半导体及包含有机化合物的有机半导体。在本实施方式中，示出使用有机半导体作为活性层含有的半导体的例子。通过使用有机半导体，可以以同一方法（例如真空蒸镀法）形成发光层和活性层，并可以共同使用制造设备，所以是优选的。

[0590] 功能层113S也可以还包括包含空穴传输性高的物质、电子传输性高的物质或双极

性物质(电子传输性及空穴传输性都高的物质)等的层作为活性层以外的层。另外,不局限于此,也可以还包括包含空穴注入性高的物质、空穴阻挡材料、电子注入性高的物质或电子阻挡材料等的层。作为受光元件所包括的活性层以外的层例如可以使用上述可用于发光元件的材料。

[0591] 受光元件可以使用低分子化合物或高分子化合物,还可以包含无机化合物。构成受光元件的层可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂敷法等方法形成。

[0592] 当受光元件的功能层113S的周边区域的一部分被遮光层117覆盖时,可以控制受光元件检测光的范围。遮光层117在与发光元件的EL层重叠的区域及与功能层113S重叠的区域具有开口。图26A示出与功能层113S重叠的开口的宽度 W_s 比与EL层重叠的开口的宽度 W_e 窄的例子。例如,当宽度 W_s 较窄时,在某些情况下受光元件的分辨率会提高。

[0593] 图26B及图26C所示的显示装置50D在衬底151与衬底152之间包括具有受光元件的层353、电路层355及具有发光元件的层357。

[0594] 层353例如包括受光元件130S。层357例如包括发光元件130R、130G、130B。

[0595] 电路层355包括驱动受光元件的电路及驱动发光元件的电路。电路层355例如包括晶体管205R、205G、205B。除此之外,还可以在电路层355中设置开关、晶体管、电容、电阻、布线、端子等中的一个或多个。

[0596] 图26B是将受光元件130S用作触摸传感器的例子。如图26B所示,在接触显示装置50D的手指352反射在层357中发光元件发射的光时,层353中的受光元件检测出该反射光。由此,可以检测出手指352接触显示装置50D。

[0597] 图26C是将受光元件130S用作非接触传感器的例子。如图26C所示,在接近(即不接触)显示装置50D的手指352反射在层357中发光元件发射的光时,层353中的受光元件检测出该反射光。

[0598] <显示装置的结构例子5>

[0599] 图27A所示的显示装置50E是采用MML(Metal Mask Less)结构的器件的一个例子。也就是说,显示装置50E包括不用高精细金属掩模制造的发光元件。注意,衬底151至绝缘层235的叠层结构以及保护层131至衬底152的叠层结构是与显示装置50A同样的,所以省略说明。

[0600] 在图27A中,绝缘层235上设置有发光元件130R、130G、130B。

[0601] 发光元件130R包括绝缘层235上的导电层124R、导电层124R上的导电层126R、导电层126R上的层133R、层133R上的公共层114以及公共层114上的公共电极115。图27A所示的发光元件130R发射红色光(R)。层133R包括发射红色光的发光层。在发光元件130R中,可以将层133R及公共层114统称为EL层。可以将导电层124R和导电层126R中的一方或双方称为像素电极。

[0602] 发光元件130G包括绝缘层235上的导电层124G、导电层124G上的导电层126G、导电层126G上的层133G、层133G上的公共层114以及公共层114上的公共电极115。图27A所示的发光元件130G发射绿色光(G)。层133G包括发射绿色光的发光层。在发光元件130G中,可以将层133G及公共层114统称为EL层。可以将导电层124G和导电层126G中的一方或双方称为像素电极。

[0603] 发光元件130B包括绝缘层235上的导电层124B、导电层124B上的导电层126B、导电层126B上的层133B、层133B上的公共层114以及公共层114上的公共电极115。图27A所示的发光元件130B发射蓝色光(B)。层133B包括发射蓝色光的发光层。在发光元件130B中,可以将层133B及公共层114统称为EL层。可以将导电层124B和导电层126B中的一方或双方称为像素电极。

[0604] 在本说明书等中,将发光元件所包括的EL层中的对各发光元件设置的岛状层记为层133R、层133G或层133B且将多个发光元件共用的层记为公共层114。另外,在本说明书等中,有时将不包括公共层114的层133R、层133G及层133B称为岛状的EL层、形成为岛状的EL层等。

[0605] 层133R、层133G及层133B彼此分离。通过在各发光元件中设置岛状的EL层,可以抑制相邻的发光元件间的泄漏电流。因此,可以抑制串扰所导致的非意图的发光,从而可以实现对比度非常高的显示装置。

[0606] 另外,在图27A中,以相同厚度示出层133R、133G、133B的膜厚度,但是不局限于此。层133R、133G、133B的各膜厚度也可以不同。

[0607] 导电层124R通过设置在绝缘层195及绝缘层235中的开口与晶体管205R所具有的导电层112b电连接。同样地,导电层124G与晶体管205G所具有的导电层112b电连接,导电层124B与晶体管205B所具有的导电层112b电连接。

[0608] 导电层124R、124G、124B以覆盖设置在绝缘层235中的开口的方式形成。导电层124R、124G、124B的凹部分别填充有层128。

[0609] 层128具有使导电层124R、124G、124B的凹部平坦化的功能。导电层124R、124G、124B及层128上设置有与导电层124R、124G、124B电连接的导电层126R、126G、126B。因此,与导电层124R、124G、124B的凹部重叠的区域也可以被用作发光区域,由此可以提高像素的开口率。导电层124R及导电层126R优选使用用作反射电极的导电层。

[0610] 层128可以为绝缘层或导电层。层128可以适当地使用各种无机绝缘材料、有机绝缘材料及导电材料。尤其是,层128优选使用绝缘材料形成,尤其优选使用有机绝缘材料形成。作为层128例如可以使用可用于上述绝缘层237的有机绝缘材料。

[0611] 虽然图27A示出层128的顶面具有平坦部的例子,但是对层128的形状没有特别的限制。层128的顶面可以具有凸曲面、凹曲面和平面中的至少一个形状。

[0612] 层128的顶面的高度与导电层124R的顶面的高度既可以一致或大致一致,也可以互不相同。例如,层128的顶面的高度可以低于或高于导电层124R的顶面的高度。

[0613] 导电层126R的端部也可以与导电层124R的端部对齐,并也可以覆盖导电层124R的端部的侧面。导电层124R及导电层126R的各端部优选具有锥形形状。具体而言,导电层124R及导电层126R的各端部优选具有锥角小于90度的锥形形状。在像素电极的端部具有锥形形状时,沿着像素电极的侧面设置的层133R具有倾斜部。通过使像素电极的侧面具有锥形形状,可以使沿着像素电极的侧面设置的EL层的覆盖性良好。

[0614] 关于导电层124G、126G以及导电层124B、126B是与导电层124R、126R同样的,所以省略详细说明。

[0615] 导电层126R的顶面及侧面被层133R覆盖。同样地,导电层126G的顶面及侧面被层133G覆盖,导电层126B的顶面及侧面被层133B覆盖。因此,可以将设置有导电层126R、126G、

126B的整个区域用作发光元件130R、130G、130B的发光区域,由此可以提高像素的开口率。

[0616] 层133R、层133G及层133B的各顶面的一部分及侧面被绝缘层125、127覆盖。层133R、层133G、层133B及绝缘层125、127上设置有公共层114,公共层114上设置有公共电极115。公共层114及公共电极115都是多个发光元件共用的连续的膜。

[0617] 在图27A中,导电层126R与层133R之间没有设置图24A等所示的绝缘层237。也就是说,显示装置50E没有设置接触像素电极并覆盖像素电极的顶面端部的绝缘层(也称为分隔壁、堤坝、间隔物等)。因此,可以使相邻的发光元件间的间隔非常小。由此,可以实现高清晰或高分辨率的显示装置。另外,也不需要用来形成该绝缘层的掩模,由此可以减少显示装置的制造成本。

[0618] 如上所述,层133R、层133G及层133B都包括发光层。层133R、层133G及层133B优选包括发光层以及发光层上的载流子传输层(电子传输层或空穴传输层)。另外,层133R、层133G及层133B优选包括发光层以及发光层上的载流子阻挡层(空穴阻挡层或电子阻挡层)。另外,层133R、层133G及层133B也可以包括发光层、发光层上的载流子阻挡层以及载流子阻挡层上的载流子传输层。层133R、层133G及层133B的表面在显示装置的制造工序中露出,所以通过在发光层上设置载流子传输层和载流子阻挡层中的一方或双方,可以抑制发光层露出到最外表面而可以减少发光层所受到的损伤。由此,可以提高发光元件的可靠性。

[0619] 公共层114例如包括电子注入层或空穴注入层。或者,公共层114既可以具有电子传输层与电子注入层的叠层,又可以具有空穴传输层与空穴注入层的叠层。发光元件130R、130G、130B共用公共层114。

[0620] 层133R、层133G及层133B的各侧面被绝缘层125覆盖。绝缘层127隔着绝缘层125覆盖层133R、层133G及层133B的各侧面。

[0621] 通过由绝缘层125和绝缘层127中的至少一个覆盖层133R、层133G及层133B的侧面(甚至覆盖其顶面的一部分),可以抑制公共层114(或公共电极115)与像素电极以及层133R、133G及133B的侧面接触,由此可以抑制发光元件的短路。由此,可以提高发光元件的可靠性。

[0622] 绝缘层125优选与层133R、层133G及层133B的各侧面接触。通过采用绝缘层125与层133R、层133G及层133B接触的结构,可以防止层133R、层133G及层133B的膜剥离,而可以提高发光元件的可靠性。

[0623] 绝缘层127以填充绝缘层125的凹部的方式设置在绝缘层125上。绝缘层127优选覆盖绝缘层125的侧面的至少一部分。

[0624] 通过设置绝缘层125及绝缘层127可以填埋相邻的岛状的层之间,所以可以减少设置在岛状的层上的层(例如,载流子注入层、公共电极等)的被形成面的高低差很大的凹凸而进一步实现平坦化。因此,可以提高载流子注入层或公共电极等的覆盖性。

[0625] 公共层114及公共电极115设置在层133R、层133G、层133B、绝缘层125及绝缘层127上。在设置绝缘层125及绝缘层127之前,产生起因于设置有像素电极及岛状EL层的区域及不设置像素电极及岛状EL层的区域(发光元件间的区域)的台阶。本发明的一个方式的显示装置通过包括绝缘层125及绝缘层127而可以使该台阶平坦化,由此可以提高公共层114及公共电极115的覆盖性。因此,可以抑制断开导致的连接不良。或者,可以抑制因台阶导致公共电极115局部薄膜化而使电阻上升。

[0626] 绝缘层127的顶面优选具有平坦性更高的形状。绝缘层127的顶面也可以具有平面、凸曲面和凹曲面中的至少一个形状。例如,绝缘层127的顶面优选具有平坦性高的凸曲面形状。

[0627] 绝缘层125可以为包含无机材料的绝缘层。作为绝缘层125例如可以使用氧化绝缘膜、氮化绝缘膜、氧氮化绝缘膜及氮氧化绝缘膜等无机绝缘膜。这些无机绝缘膜的具体例子是如上所述的。绝缘层125可以为单层结构,也可以为叠层结构。尤其是在蚀刻中氧化铝与EL层的选择比高,在后面说明的绝缘层127的形成中,具有保护EL层的功能,因此是优选的。尤其是,通过将利用ALD法形成的氧化铝膜、氧化铅膜或氧化硅膜等无机绝缘膜用于绝缘层125,可以形成针孔较少且保护EL层的功能良好的绝缘层125。另外,绝缘层125也可以采用利用ALD法形成的膜与利用溅射法形成的膜的叠层结构。绝缘层125例如可以采用利用ALD法形成的氧化铝膜与利用溅射法形成的氮化硅膜的叠层结构。

[0628] 绝缘层125优选具有相对于水和氧中的至少一方的阻挡绝缘层的功能。绝缘层125优选具有抑制水和氧中的至少一方的扩散的功能。另外,绝缘层125优选具有俘获或固定(也被称为吸杂)水和氧中的至少一方的功能。

[0629] 在绝缘层125被用作阻挡绝缘层或者具有吸杂功能时,可以具有抑制可能会从外部扩散到各发光元件的杂质(典型的是,水和氧中的至少一方)的进入的结构。通过采用该结构,可以提供一种可靠性高的发光元件,并且可以提供一种可靠性高的显示装置。

[0630] 绝缘层125的杂质浓度优选低。由此,可以抑制杂质从绝缘层125混入到EL层而EL层劣化。另外,通过降低绝缘层125中的杂质浓度,可以提高对水和氧中的至少一方的阻挡性。例如,优选的是,绝缘层125中的氢浓度和碳浓度中的一方充分低,优选为氢浓度和碳浓度中的双方优选充分低。

[0631] 设置在绝缘层125上的绝缘层127具有使形成在相邻的发光元件间的绝缘层125的高低差很大的凹凸平坦化的功能。换言之,通过包括绝缘层127,发挥提高形成公共电极115的面的平坦性的效果。

[0632] 作为绝缘层127,可以适当地使用包含有机材料的绝缘层。作为有机材料,优选使用感光性有机树脂,例如优选使用包括丙烯酸树脂的感光性树脂组成物。注意,在本说明书等中,丙烯酸树脂不是仅指聚甲基丙烯酸酯或甲基丙烯酸树脂,有时也指广义上的丙烯酸类聚合物整体。

[0633] 作为绝缘层127也可以使用丙烯酸树脂、聚酰亚胺树脂、环氧树脂、酰亚胺树脂、聚酰胺树脂、聚酰亚胺酰胺树脂、硅酮树脂、硅氧烷树脂、苯并环丁烯类树脂、酚醛树脂及上述树脂的前体等。另外,作为绝缘层127,也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰、水溶性纤维素或者醇可溶性聚酰胺树脂等有机材料。另外,作为感光性树脂也可以使用光致抗蚀剂。作为感光性有机树脂,可以使用正型材料或负型材料。

[0634] 作为绝缘层127也可以使用吸收可见光的材料。通过绝缘层127吸收来自发光元件的发光,可以抑制光从发光元件经过绝缘层127泄漏到相邻的发光元件(杂散光)。因此,能够提高显示装置的显示品质。另外,即使在显示装置中不使用偏振片也可以提高显示品质,所以可以实现轻量及薄型的显示装置。

[0635] 作为吸收可见光的材料,可以举出包括黑色等的颜料的材料、包括染料的材料、包

括光吸收性的树脂材料(例如,聚酰亚胺等)以及可用于滤色片的树脂材料(滤色片材料)。尤其是,在使用层叠或混合两种颜色或三种以上的颜色的滤色片材料而成的树脂材料时可以提高遮蔽可见光的效果,所以是优选的。尤其是,通过混合三种以上的颜色的滤色片材料,可以实现黑色或近似于黑色的树脂层。

[0636] <显示装置的结构例子6>

[0637] 图27B所示的显示装置50F的与显示装置50E主要不同之处在于各颜色的子像素中设置有包括层133的发光元件及着色层(滤色片等)。

[0638] 图27B所示的结构可以组合于图27A所示的包括FPC172的区域、外围电路部164、显示部162的衬底151至绝缘层235的叠层结构、连接部140及端部的结构。

[0639] 图27B所示的显示装置50F包括发光元件130R、130G、130B、透射红色光的着色层132R、透射绿色光的着色层132G及透射蓝色光的着色层132B等。

[0640] 发光元件130R的发光通过着色层132R作为红色光提取到显示装置50F的外部。同样地,发光元件130G的发光通过着色层132G作为绿色光提取到显示装置50F的外部。发光元件130B的发光通过着色层132B作为蓝色光提取到显示装置50F的外部。

[0641] 发光元件130R、130G、130B分别包括层133。这三个层133由相同的工序和相同的材料形成。另外,这三个层133彼此分离。通过在各发光元件中设置岛状的EL层,可以抑制相邻的发光元件间的泄漏电流。因此,可以抑制串扰所导致的非意图的发光,从而可以实现对比度非常高的显示装置。

[0642] 例如,图27B所示的发光元件130R、130G、130B发射白色光。发光元件130R、130G、130B所发射的白色光透射着色层132R、132G、132B,由此可以得到所希望的颜色光。

[0643] 或者,例如图27B所示的发光元件130R、130G、130B发射蓝色光。此时,层133包括一层以上的发射蓝色光的发光层。关于呈现蓝色光的子像素,可以提取发光元件130B所发射的蓝色光。另外,关于呈现红色光的子像素及呈现绿色光的子像素,通过在发光元件130R或发光元件130G与衬底152之间设置颜色转换层,可以使发光元件130R或130G所发射的蓝色光转换为更长波长的光而提取为红色光或绿色光。并且,优选的是,在发光元件130R上的颜色转换层与衬底152之间设置着色层132R并在发光元件130G上的颜色转换层与衬底152之间设置着色层132G。通过经由着色层提取透射颜色转换层的光,可以由着色层吸收所希望的颜色光之外的光而提高子像素所呈现的光的色纯度。

[0644] 另外,显示装置50C所示的底部发射型显示装置也可以使用显示装置50E及显示装置50F所示的发光元件130的结构。在该情况下,发光元件130的像素电极111可以使用对可见光的透过性高的材料,公共电极115可以使用反射可见光的材料。

[0645] <显示装置的制造方法例子>

[0646] 以下参照图28说明采用MML(Metal Mask Less)结构的器件的制造方法。在此,详细说明不用高精度金属掩模制造发光元件的工序。图28是各工序中的显示部162所包括的三个发光元件和连接部140的截面图。

[0647] 当制造发光元件时,可以利用蒸镀法等真空工艺以及旋涂法、喷墨法等溶液工艺。作为蒸镀法,可以举出溅射法、离子镀法、离子束蒸镀法、分子束蒸镀法、真空蒸镀法等物理蒸镀法(PVD法)以及化学气相沉积法(CVD法)等。尤其是,可以利用蒸镀法(真空蒸镀法)、涂敷法(浸涂法、染料涂布法、棒式涂布法、旋涂法、喷涂法)、印刷法(喷墨法、丝网印刷(孔版

印刷)法、胶版印刷(平版印刷)法、柔版印刷(凸版印刷)法、照相凹版印刷法或微接触印刷法等)等方法形成包括在EL层中的功能层(空穴注入层、空穴传输层、空穴阻挡层、发光层、电子阻挡层、电子传输层、电子注入层、电荷产生层等)。

[0648] 以下说明的显示装置的制造方法中制造的岛状的层(包括发光层的层)不是使用高精细金属掩模形成,而是在整个面上沉积发光层之后通过光刻法进行加工来形成。因此,可以实现至今难以实现的高清晰的显示装置或高开口率的显示装置。再者,由于可以按每种颜色分别形成发光层,所以可以实现极为鲜明、对比度高且显示品质高的显示装置。另外,通过在发光层上设置牺牲层,可以降低在显示装置的制造工序中发光层受到的损伤,而可以提高发光元件的可靠性。

[0649] 例如,在使用发射蓝色光的发光元件、发射绿色光的发光元件及发射红色光的发光元件这三种构成显示装置时,可以通过重复三次发光层的形成及光刻的加工来形成三种岛状的发光层。

[0650] 首先,在设置有晶体管205R、205G、205B等(未图示)的衬底151上形成像素电极111R、111G、111B及导电层123(图28A)。

[0651] 在形成将成为像素电极的导电膜时,例如可以使用溅射法或真空蒸镀法。通过在该导电膜上利用光刻工序形成抗蚀剂掩模之后加工该导电膜,可以形成像素电极111R、111G、111B及导电层123。该导电膜的加工可以利用湿蚀刻法和干蚀刻法中的一方或双方。

[0652] 接着,在像素电极111R、111G、111B上形成将在后面成为层133B的膜133Bf(图28A)。膜133Bf(后面的层133B)包括发射蓝色光的发光层。

[0653] 在本实施方式中示出首先形成发射蓝色光的发光元件中的岛状EL层然后形成发射其他颜色的光的发光元件中的岛状EL层的例子。

[0654] 在形成岛状EL层的工序中,在以第二个以后的顺序形成的颜色的发光元件中的像素电极有时会在之前的工序受到损伤。因此,有时在以第二个以后的顺序形成的颜色的发光元件的驱动电压变高。

[0655] 于是,优选的是,在制造本发明的一个方式的显示装置时,从所发射的光的波长最短的发光元件(例如蓝色发光元件)的岛状EL层开始制造。例如,优选按蓝色、绿色、红色或蓝色、红色、绿色的顺序制造岛状EL层。

[0656] 由此,可以良好地保持蓝色发光元件中像素电极与EL层的界面的状态,从而可以抑制蓝色发光元件的驱动电压变高。另外,可以延长蓝色发光元件的寿命并提高可靠性。注意,与蓝色发光元件相比,红色及绿色发光元件的驱动电压上升等影响较小,因此作为显示装置整体可以降低驱动电压并提高可靠性。

[0657] 注意,岛状EL层的制造顺序不局限于上述顺序,例如也可以按红色、绿色、蓝色的顺序制造岛状EL层。

[0658] 如图28A所示,导电层123上不形成有膜133Bf。例如,可以使用范围掩模将膜133Bf只沉积在所希望的区域。通过采用使用范围掩模的沉积工序及使用抗蚀剂掩模的加工工序,可以以较简单的工艺制造发光元件。

[0659] 包含在膜133Bf中的化合物的耐热温度优选为100℃以上且180℃以下,更优选为120℃以上且180℃以下,进一步优选为140℃以上且180℃以下。由此,可以提高发光元件的可靠性。另外,可以提高在显示装置的制造工序中可施加的温度的上限。因此,可以扩大用

于显示装置的材料及形成方法的选择范围,由此可以实现成品率的提高及可靠性的提高。

[0660] 作为耐热温度例如可以采用玻璃化转变温度、软化点、熔点、热分解温度和5%失重温度中的任意温度,优选采用上述温度中最低的温度。

[0661] 膜133Bf例如可以利用蒸镀法形成,具体而言可以利用真空蒸镀法形成。另外,膜133Bf也可以利用转印法、印刷法、喷墨法、涂敷法的方法形成。

[0662] 接着,在膜133Bf及导电层123上形成牺牲层118B(图28A)。通过在将在后面成为牺牲层118B的膜上利用光刻工序形成抗蚀剂掩模之后加工该膜,可以形成牺牲层118B。

[0663] 通过在膜133Bf上设置牺牲层118B,可以降低在显示装置的制造工序中膜133Bf受到的损伤,而可以提高发光元件的可靠性。

[0664] 牺牲层118B优选以覆盖像素电极111R、111G、111B的各端部的方式设置。由此,将在后面的工序中形成的层133B的端部位于像素电极111B的端部的外侧。由于可以将像素电极111B的顶面整体用作发光区域,因此可以提高像素的开口率。另外,层133B的端部有可能在形成层133B后的工序中受到损伤,因此优选使其位于像素电极111B的端部的外侧,即优选不将其用作发光区域。由此,可以抑制发光元件的特性不均匀,而可以提高可靠性。

[0665] 通过由层133B覆盖像素电极111B的顶面及侧面,可以在像素电极111B不露出的状态下进行形成层133B后的各工序。在像素电极111B的端部露出时,在蚀刻工序等中有时会发生腐蚀。通过抑制像素电极111B的腐蚀,可以提高发光元件的成品率及特性。

[0666] 优选还在重叠于导电层123的位置上设置牺牲层118B。由此,可以抑制导电层123在显示装置的制造工序中受到损伤。

[0667] 作为牺牲层118B使用对膜133Bf的加工条件的耐性高的膜,具体而言,使用与膜133Bf的蚀刻选择比大的膜。

[0668] 牺牲层118B以低于膜133Bf所包含的各化合物的耐热温度的温度形成。形成牺牲层118B时的衬底温度典型地为200℃以下,优选为150℃以下,更优选为120℃以下,进一步优选为100℃以下,更进一步优选为80℃以下。

[0669] 在膜133Bf所包含的化合物的耐热温度高时可以提高牺牲层118B的沉积温度,所以是优选的。例如,也可以将形成牺牲层118B时的衬底温度设为100℃以上、120℃以上或140℃以上。沉积温度越高越可以形成致密且阻挡性高的无机绝缘膜。因此,通过上述温度沉积牺牲层,可以进一步减少膜133Bf受到的损伤,由此可以提高发光元件的可靠性。

[0670] 关于形成在膜133Bf上的其他各层(例如绝缘膜125f)的沉积温度也是与上述同样的。

[0671] 牺牲层118B例如可以利用溅射法、ALD法(包括热ALD法、PEALD法)、CVD法或真空蒸镀法形成。另外,也可以使用上述湿法的沉积方法形成。

[0672] 牺牲层118B(在牺牲层118B具有叠层结构时,以接触于膜133Bf的方式设置的层)优选利用对膜133Bf带来的损伤较低的形成方法形成。例如,与溅射法相比,更优选利用ALD法或真空蒸镀法。

[0673] 牺牲层118B可以利用湿蚀刻法或干蚀刻法加工。牺牲层118B的加工优选通过各向异性蚀刻进行。

[0674] 通过利用湿蚀刻法,与干蚀刻法相比,可以降低在加工牺牲层118B时膜133Bf受到的损伤。在使用湿蚀刻法时,例如优选使用显影液、四甲基氢氧化铵(TMAH)水溶液、稀氢氟

酸、草酸、磷酸、乙酸、硝酸或包含上述两个以上的混合溶液等。此外,在利用湿蚀刻法时,也可以使用包含水、磷酸、稀氢氟酸及硝酸的混酸类药液。注意,用于湿蚀刻处理的药液可以为碱性或酸性。

[0675] 作为牺牲层118B,例如可以使用金属膜、合金膜、金属氧化物膜、半导体膜、无机绝缘膜和有机绝缘膜中的一种或多种。

[0676] 作为牺牲层118B例如各自可以使用金、银、铂、镁、镍、钨、铬、钼、铁、钴、铜、钡、钛、铝、钇、锆及钽等金属材料或者包含该金属材料的合金材料。

[0677] 牺牲层118B可以使用In-Ga-Zn氧化物、氧化铟、In-Zn氧化物、In-Sn氧化物、铟钛氧化物(In-Ti氧化物)、铟锡锌氧化物(In-Sn-Zn氧化物)、铟钛锌氧化物(In-Ti-Zn氧化物)、铟镓锡锌氧化物(In-Ga-Sn-Zn氧化物)、包含硅的铟锡氧化物等的金属氧化物。

[0678] 注意,也可以使用元素M(M为铝、硅、硼、钇、铜、钒、铍、钛、铁、镍、锗、钼、镧、铈、钕、钐、钷、钆、铽、钨和镁中的一种或多种)代替上述镓。

[0679] 例如,作为非常适合半导体的制造工艺的材料,优选使用硅或锗等的半导体材料。另外,可以使用上述半导体材料的氧化物或氮化物。另外,可以使用碳等的非金属材料或其化合物。另外,可以使用钛、钼、钨、铬、铝等的金属或包含它们中的一个以上的合金。另外,可以使用包含氧化钛或氧化铬等上述金属的氧化物或者氮化钛、氮化铬或氮化钼等氮化物。

[0680] 作为牺牲层118B,可以使用能够用于保护层131的各种无机绝缘膜。尤其是,氧化绝缘膜与膜133Bf的密接性比氮化绝缘膜与膜133Bf的密接性高,所以是优选的。例如,可以将氧化铝、氧化钪及氧化硅等无机绝缘材料用于牺牲层118B。作为牺牲层118B,例如可以利用ALD法形成氧化铝膜。通过利用ALD法,可以减轻对基底(尤其是膜133Bf)的损伤,所以是优选的。

[0681] 例如,作为牺牲层118B可以采用利用ALD法形成的无机绝缘膜(例如,氧化铝膜)和利用溅射法形成的无机膜(例如,In-Ga-Zn氧化物膜、硅膜或钨膜)的叠层结构。

[0682] 另外,作为牺牲层118B和后面形成的绝缘层125的双方可以使用相同无机绝缘膜。例如,作为牺牲层118B和绝缘层125的双方可以使用利用ALD法形成的氧化铝膜。在此,牺牲层118B和绝缘层125既可以采用相同沉积条件,也可以采用不同沉积条件。例如,通过与绝缘层125同样的条件沉积牺牲层118B,可以形成牺牲层118B作为对水和氧中的至少一方的阻挡性高的绝缘层。另一方面,牺牲层118B是其大部分或全部在后面的工序中被去除的层,所以优选容易被加工。因此,牺牲层118B优选以与绝缘层125相比沉积时的衬底温度低的条件沉积。

[0683] 作为牺牲层118B也可以使用有机材料。例如,作为有机材料也可以使用可溶解于至少对位于膜133Bf的最上部的膜在化学上稳定的溶剂的材料。尤其是,可以适当地使用溶解于水或醇的材料。当沉积上述材料时,优选的是,在将材料溶解于水或醇等溶剂的状态下通过上述湿法的沉积方法涂布该材料,然后进行用来使溶剂蒸发的加热处理。此时,通过在减压气氛下进行加热处理,可以以低温且短时间去除溶剂,所以可以减少膜133Bf的热损伤,所以是优选的。

[0684] 此外,牺牲层118B也可以使用聚乙烯醇(PVA)、聚乙烯醇缩丁醛、聚乙烯吡咯烷酮、聚乙二醇、聚甘油、普鲁兰多糖、水溶性纤维素、可溶解于醇的聚酰胺树脂或全氟聚合物等

氟树脂等有机树脂。

[0685] 例如,作为牺牲层118B可以采用利用蒸镀法和上述湿法沉积方法中的任意个形成的有机膜(例如,PVA膜)和利用溅射法形成的无机膜(例如,氮化硅膜)的叠层结构。

[0686] 注意,有时牺牲膜的一部分作为牺牲层残留在本发明的一个方式的显示装置中。

[0687] 接着,将牺牲层118B用作硬掩模加工膜133Bf来形成层133B(图28B)。

[0688] 由此,如图28B所示,层133B和牺牲层118B的叠层结构残留在像素电极111B上。另外,像素电极111R及像素电极111G露出。另外,在相当于连接部140的区域中,牺牲层118B残留在导电层123上。

[0689] 膜133Bf的加工优选通过各向异性蚀刻进行。尤其优选使用各向异性干蚀刻。或者,也可以使用湿蚀刻。

[0690] 然后,至少改变发光材料而反复进行两次与膜133Bf的形成工序、牺牲层118B的形成工序及层133B的形成工序同样的工序,由此在像素电极111R上形成层133R和牺牲层118R的叠层结构并在像素电极111G上形成层133G和牺牲层118G的叠层结构(图28C)。具体而言,层133R以包括发射红色光的发光层的方式形成,层133G以包括发射绿色光的发光层的方式形成。牺牲层118R、118G可以使用可用于牺牲层118B的材料,并且可以使用相同的材料或者不同的材料。

[0691] 注意,层133B、层133G、层133R的侧面优选分别垂直于或大致垂直于被形成面。例如,被形成面与这些侧面所成的角度优选为60度以上且90度以下。

[0692] 如上所述,利用光刻法形成的层133B、层133G及层133R中的相邻的两个层之间的距离可以减小到8 μm 以下、5 μm 以下、3 μm 以下、2 μm 以下或1 μm 以下。在此,该距离例如可以以层133B、层133G及层133R中的相邻的两个相对端部间的距离规定。通过如上述那样减小岛状EL层间的距离,可以提供一种高清晰度及高开口率的显示装置。

[0693] 接着,以覆盖像素电极、层133B、层133G、层133R、牺牲层118B、牺牲层118G及牺牲层118R的方式形成将在后面成为绝缘层125的绝缘膜125f,并在绝缘膜125f上形成绝缘层127(图28D)。

[0694] 作为绝缘膜125f,优选形成3nm以上、5nm以上或10nm以上且200nm以下、150nm以下、100nm以下或50nm以下的厚度的绝缘膜。

[0695] 绝缘膜125f例如优选通过ALD法形成。通过利用ALD法,可以减少沉积损伤,且可以沉积覆盖性高的膜,所以是优选的。作为绝缘膜125f,例如优选通过ALD法形成氧化铝膜。

[0696] 除此之外,绝缘膜125f也可以利用其沉积速度高于ALD法的溅射法、CVD法或PECVD法形成。由此,可以高生产率地制造可靠性高的显示装置。

[0697] 将成为绝缘层127的绝缘膜优选例如使用含有丙烯酸树脂的感光性树脂组成物通过上述湿法的沉积方法(例如旋涂法)形成。优选的是,在沉积后进行加热处理(也称为前烘)来去除该绝缘膜中的溶剂。接着,对该绝缘膜的一部分照射可见光线或紫外线而使绝缘膜的一部分感光。接着,进行显影来去除绝缘膜中的曝光区域。接着,进行加热处理(也被称为后烘)。由此,可以形成图28D所示的绝缘层127。注意,绝缘层127的形状不局限于图28D所示的形状。例如,绝缘层127的顶面可以具有凸曲面、凹曲面和平面中的一个或多个形状。另外,绝缘层127也可以覆盖绝缘层125、牺牲层118B、牺牲层118G和牺牲层118R中的至少一个端部的侧面。

[0698] 接着,如图28E所示,将绝缘层127用作掩模进行蚀刻处理,去除绝缘膜125f及牺牲层118B、118G、118R的一部分。由此,在牺牲层118B、牺牲层118G、牺牲层118R中分别形成开口,层133B、层133G、层133R及导电层123的顶面露出。注意,有时牺牲层118B、118G、118R的一部分残留在与绝缘层127及绝缘层125重叠的位置(参照牺牲层119B、牺牲层119G、牺牲层119R)。

[0699] 蚀刻处理可以以干蚀刻或湿蚀刻进行。另外,在使用与牺牲层118B、牺牲层118G、牺牲层118R同样的材料沉积绝缘膜125f时,可以一次性地进行蚀刻处理,所以是优选的。

[0700] 如上所述,通过设置绝缘层127、绝缘层125、牺牲层118B、牺牲层118G及牺牲层118R,在各发光元件间,可以抑制公共层114及公共电极115中发生因断开部分的连接不良及因局部膜厚度较薄的部分的电阻上升。由此,根据本发明的一个方式的显示装置可以提高显示品质。

[0701] 接着,在绝缘层127、层133B、层133G及层133R上依次形成公共层114及公共电极115(图28F)。

[0702] 公共层114可以通过蒸镀法(包括真空蒸镀法)、转印法、印刷法、喷墨法、涂布法等方法形成。

[0703] 公共电极115例如可以利用溅射法或真空蒸镀法形成。或者,也可以层叠通过蒸镀法形成的膜与通过溅射法形成的膜。

[0704] 如上所述,在本发明的一个方式的显示装置的制造方法中,岛状的层133B、岛状的层133G及岛状的层133R不使用高精细金属掩模形成而是在一个面上沉积膜之后对该膜进行加工来形成的,所以可以以均匀的厚度形成岛状层。并且,可以实现高清晰的显示装置或者高开口率的显示装置。另外,即使清晰度或开口率高且子像素间距离极小,也可以抑制相邻的子像素中层133B、层133G及层133R彼此接触。由此,可以抑制子像素间产生泄漏电流。因此,可以抑制串扰所导致的非意图的发光,从而可以实现对比度非常高的显示装置。

[0705] 通过在相邻的岛状EL层间设置端部具有锥形形状的绝缘层127,可以抑制在公共电极115的形成时发生断开,并且可以防止公共电极115中形成局部膜厚度较薄的部分。由此,可以抑制在公共层114及公共电极115中发生因断开部分的连接不良以及因局部膜厚度较薄的部分的电阻上升。由此,本发明的一个方式的显示装置可以同时实现高清晰化和高显示品质。

[0706] 本实施方式可以与其他实施方式适当地组合。

[0707] (实施方式4)

[0708] 在本实施方式中,使用图29至图31对本发明的一个方式的电子设备进行说明。

[0709] 本实施方式的电子设备在显示部中包括本发明的一个方式的显示装置。本发明的一个方式的显示装置容易实现高清晰化及高分辨率化。因此,可以用于各种电子设备的显示部。

[0710] 作为电子设备,例如除了电视装置、台式或笔记本型个人计算机、用于计算机等的显示器、数字标牌、弹珠机等大型游戏机等具有较大的屏幕的电子设备以外,还可以举出数码相机、数码摄像机、数码相框、移动电话机、便携式游戏机、便携式信息终端、声音再现装置等。

[0711] 特别是,因为本发明的一个方式的显示装置可以提高清晰度,所以可以适合用于

包括较小的显示部的电子设备。作为这种电子设备可以举出手表型及手镯型信息终端设备(可穿戴设备)、可戴在头上的可穿戴设备等诸如头戴显示器等面向VR的设备、面向眼镜型AR的设备及面向MR的设备等。

[0712] 本发明的一个方式的显示装置优选具有极高的分辨率诸如HD(像素数为 1280×720)、FHD(像素数为 1920×1080)、WQHD(像素数为 2560×1440)、WQXGA(像素数为 2560×1600)、4K(像素数为 3840×2160)、8K(像素数为 7680×4320)等。尤其是,优选设定为4K、8K或其以上的分辨率。另外,本发明的一个方式的显示装置中的像素密度(清晰度)优选为100ppi以上,优选为300ppi以上,更优选为500ppi以上,进一步优选为1000ppi以上,更进一步优选为2000ppi以上,更进一步优选为3000ppi以上,还进一步优选为5000ppi以上,进一步优选为7000ppi以上。通过使用上述的具有高分辨率和高清晰度中的一方或双方的显示装置,可以进一步提高真实感及纵深感等。此外,对本发明的一个方式的显示装置的屏幕比例(纵横比)没有特别的限制。例如,显示装置可以适应1:1(正方形)、4:3、16:9、16:10等各种屏幕比例。

[0713] 本实施方式的电子设备也可以包括传感器(该传感器具有检测、检出或测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)。

[0714] 本实施方式的电子设备可以具有各种功能。例如,可以具有如下功能:将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;执行各种软件(程序)的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据的功能;等。

[0715] 使用图29A至图29D说明可戴在头上的可穿戴设备的一个例子。这些可穿戴设备具有显示AR内容的功能、显示VR内容的功能、显示SR内容的功能和显示MR内容的功能中的至少一个。当电子设备具有显示AR、VR、SR、MR等中的至少一个的内容的功能时,可以提高使用者的沉浸感。

[0716] 图29A所示的电子设备700A以及图29B所示的电子设备700B都包括一对显示面板751、一对框体721、通信部(未图示)、一对安装部723、控制部(未图示)、成像部(未图示)、一对光学构件753、边框757以及一对鼻垫758。

[0717] 显示面板751可以应用本发明的一个方式的显示装置。因此,可以实现能够进行清晰度极高的显示的电子设备。

[0718] 电子设备700A及电子设备700B都可以将由显示面板751显示的图像投影于光学构件753中的显示区域756。因为光学构件753具有透光性,所以使用者可以与通过光学构件753看到的透过图像重叠地看到显示于显示区域的图像。因此,电子设备700A及电子设备700B都是能够进行AR显示的电子设备。

[0719] 电子设备700A及电子设备700B上作为成像部也可以设置有能够拍摄前方的照相机。另外,通过在电子设备700A及电子设备700B设置陀螺仪传感器等的加速度传感器,可以检测使用者的头部朝向并将对应该方向的图像显示在显示区域756上。

[0720] 通信部具有无线通信装置,通过该无线通信装置可以供应影像信号等。另外,代替无线通信装置或者除了无线通信装置以外还可以包括能够连接供应影像信号及电源电位

的电缆的连接器。

[0721] 另外,电子设备700A以及电子设备700B设置有电池,可以以无线方式和有线方式中的一方或双方进行充电。

[0722] 框体721也可以设置有触摸传感器模块。触摸传感器模块具有检测框体721的外侧的面是否被触摸的功能。通过触摸传感器模块,可以检测使用者的点按操作或滑动操作等而执行各种处理。例如,通过点按操作可以执行动态图像的暂时停止或再生等的处理,通过滑动操作可以执行快进、快退等的处理等。另外,通过在两个框体721的每一个设置触摸传感器模块,可以扩大操作范围。

[0723] 作为触摸传感器模块,可以使用各种触摸传感器。例如,可以采用静电电容式、电阻膜方式、红外线方式、电磁感应方式、表面声波式、光学方式等各种方式。尤其是,优选将静电电容式或光学方式的传感器应用于触摸传感器模块。

[0724] 在使用光学方式的触摸传感器时,作为受光元件可以使用光电转换元件。在光电转换元件的活性层中可以使用无机半导体和有机半导体中的一方或双方。

[0725] 图29C所示的电子设备800A及图29D所示的电子设备800B都包括一对显示部820、框体821、通信部822、一对安装部823、控制部824、一对成像部825及一对透镜832。

[0726] 显示部820可以应用本发明的一个方式的显示装置。因此,可以实现能够进行清晰度极高的显示的电子设备。由此,使用者可以感受高沉浸感。

[0727] 显示部820设置在框体821内部的通过透镜832能看到的位置上。另外,通过在一对显示部820间上显示不同图像,可以进行利用视差的三维显示。

[0728] 可以将电子设备800A以及电子设备800B都称为面向VR的电子设备。装上电子设备800A或电子设备800B的使用者通过透镜832能看到显示在显示部820上的图像。

[0729] 电子设备800A及电子设备800B优选具有一种机构,其中能够调整透镜832及显示部820的左右位置,以根据使用者的眼睛的位置使透镜832及显示部820位于最合适的位置上。此外,优选具有一种机构,其中通过改变透镜832及显示部820之间的距离来调整焦点。

[0730] 使用者可以使用安装部823将电子设备800A或电子设备800B装在头上。在图29C等中,示出安装部823具有如眼镜的镜脚(也称为脚丝)那样的形状的例子,但是不局限于此。只要使用者能够装上,安装部823就例如可以具有头盔型或带型的形状。

[0731] 成像部825具有取得外部的信息的功能。可以将成像部825所取得的数据输出到显示部820。在成像部825中可以使用图像传感器。另外,也可以设置多个摄像头以能够对应望远、广角等多种视角。

[0732] 注意,在此示出包括成像部825的例子,设置能够测量出与对象物的距离的测距传感器(以下,也称为检测部)即可。换言之,成像部825是检测部的一个方式。作为检测部例如可以使用图像传感器或激光雷达(LIDAR:Light Detection and Ranging)等距离图像传感器。通过使用由摄像头取得的图像以及由距离图像传感器取得的图像,可以取得更多的信息,可以实现精度更高的姿态操作。

[0733] 电子设备800A也可以包括被用作骨传导耳机的振动机构。例如,作为显示部820、框体821和安装部823中的任一个或多个可以采用包括该振动机构的结构。由此,不需要另行设置头戴式耳机、耳机或扬声器等音响设备,而只装上电子设备800A就可以享受影像和声音。

[0734] 电子设备800A以及电子设备800B也可以都包括输入端子。可以将供应来自影像输出设备等的影像信号以及用于对设置在电子设备内的电池进行充电的电力等的电缆连接到输入端子。

[0735] 本发明的一个方式的电子设备也可以具有与耳机750进行无线通信的功能。耳机750包括通信部(未图示),并具有无线通信功能。耳机750通过无线通信功能可以从电子设备接收信息(例如声音数据)。例如,图29A所示的电子设备700A具有通过无线通信功能将信息发送到耳机750的功能。另外,例如图29C所示的电子设备800A具有通过无线通信功能将信息发送到耳机750的功能。

[0736] 另外,电子设备也可以包括耳机部。图29B所示的电子设备700B包括耳机部727。例如,可以采用以有线方式连接耳机部727和控制部的结构。连接耳机部727和控制部的布线的一部分也可以配置在框体721或安装部723的内部。

[0737] 同样,图29D所示的电子设备800B包括耳机部827。例如,可以采用以有线方式连接耳机部827和控制部824的结构。连接耳机部827和控制部824的布线的一部分也可以配置在框体821或安装部823的内部。另外,耳机部827和安装部823也可以包括磁铁。由此,可以用磁力将耳机部827固定到安装部823,收纳变得容易,所以是优选的。

[0738] 电子设备也可以包括能够与耳机或头戴式耳机等连接的声音输出端子。另外,电子设备也可以包括声音输入端子和声音输入机构中的一方或双方。作为声音输入机构,例如可以使用麦克风等收音装置。通过将声音输入机构设置到电子设备,可以使电子设备具有所谓的耳麦的功能。

[0739] 如此,作为本发明的一个方式的电子设备,眼镜型(电子设备700A以及电子设备700B等)和护目镜型(电子设备800A以及电子设备800B等)的双方都是优选的。

[0740] 另外,本发明的一个方式的电子设备可以以有线或无线方式将信息发送到耳机。

[0741] 图30A所示的电子设备6500是可以被用作智能手机的便携式信息终端设备。

[0742] 电子设备6500包括框体6501、显示部6502、电源按钮6503、按钮6504、扬声器6505、麦克风6506、照相机6507及光源6508等。显示部6502具有触摸面板功能。

[0743] 显示部6502可以使用本发明的一个方式的显示装置。

[0744] 图30B是包括框体6501的麦克风6506一侧的端部的截面示意图。

[0745] 框体6501的显示面一侧设置有具有透光性的保护构件6510,被框体6501及保护构件6510包围的空间内设置有显示面板6511、光学构件6512、触摸传感器面板6513、印刷电路板6517、电池6518等。

[0746] 显示面板6511、光学构件6512及触摸传感器面板6513使用粘合层(未图示)固定到保护构件6510。

[0747] 在显示部6502的外侧的区域中,显示面板6511的一部分叠回,且该叠回部分连接有FPC6515。FPC6515安装有IC6516。FPC6515与设置于印刷电路板6517的端子连接。

[0748] 显示面板6511可以使用本发明的一个方式的柔性显示器。由此,可以实现极轻量的电子设备。此外,由于显示面板6511极薄,所以可以在抑制电子设备的厚度的情况下安装大容量的电池6518。此外,通过折叠显示面板6511的一部分以在像素部的背面设置与FPC6515的连接部,可以实现窄边框的电子设备。

[0749] 图30C示出电视装置的一个例子。在电视装置7100中,框体7101中组装有显示部

7000。在此示出利用支架7103支撑框体7101的结构。

[0750] 可以对显示部7000使用本发明的一个方式的显示装置。

[0751] 可以通过利用框体7101所具备的操作开关以及另外提供的遥控操作机7111进行图30C所示的电视装置7100的操作。或者,也可以在显示部7000中具备触摸传感器,也可以通过用指头等触摸显示部7000进行电视装置7100的操作。另外,也可以在遥控操作机7111中具备显示从该遥控操作机7111输出的数据的显示部。通过利用遥控操作机7111所具备的操作键或触摸面板,可以进行频道及音量的操作,并可以对显示在显示部7000上的影像进行操作。

[0752] 另外,电视装置7100具备接收机及调制解调器等。可以通过利用接收机接收一般的电视广播。再者,通过调制解调器连接到有线或无线方式的通信网络,从而进行单向(从发送者到接收者)或双向(发送者和接收者之间或接收者之间等)的信息通信。

[0753] 图30D示出笔记本型个人计算机的一个例子。笔记本型个人计算机7200包括框体7211、键盘7212、指向装置7213、外部连接端口7214等。在框体7211中组装有显示部7000。

[0754] 可以对显示部7000使用本发明的一个方式的显示装置。

[0755] 图30E和图30F示出数字标牌的一个例子。

[0756] 图30E所示的数字标牌7300包括框体7301、显示部7000及扬声器7303等。此外,还可以包括LED灯、操作键(包括电源开关或操作开关)、连接端子、各种传感器、麦克风等。

[0757] 图30F示出设置于圆柱状柱子7401上的数字标牌7400。数字标牌7400包括沿着柱子7401的曲面设置的显示部7000。

[0758] 在图30E和图30F中,可以将本发明的一个方式的显示装置用于显示部7000。

[0759] 显示部7000越大,一次能够提供的信息量越多。显示部7000越大,越容易吸引人的注意,例如可以提高广告宣传效果。

[0760] 通过将触摸面板用于显示部7000,不仅可以在显示部7000上显示静态图像或动态图像,使用者还能够直觉性地进行操作,所以是优选的。另外,在用于提供线路信息或交通信息等信息的用途时,可以通过直觉性的操作提高易用性。

[0761] 如图30E和图30F所示,数字标牌7300或数字标牌7400优选可以通过无线通信与使用者所携带的智能手机等信息终端设备7311或信息终端设备7411联动。例如,显示在显示部7000上的广告信息可以显示在信息终端设备7311或信息终端设备7411的屏幕上。此外,通过操作信息终端设备7311或信息终端设备7411,可以切换显示部7000的显示。

[0762] 此外,可以在数字标牌7300或数字标牌7400上以信息终端设备7311或信息终端设备7411的屏幕为操作单元(控制器)执行游戏。由此,不特定多个使用者可以同时参加游戏,享受游戏的乐趣。

[0763] 图31A至图31G所示的电子设备包括框体9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有感测、检测、测量如下因素的功能:力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0764] 在图31A至图31G中,可以将本发明的一个方式的显示装置用于显示部9001。

[0765] 图31A至图31G所示的电子设备具有各种功能。例如,可以具有如下功能:将各种信

息(静态图像、动态图像及文字图像等)显示在显示部上的功能;触摸面板的功能;显示日历、日期或时间等的功能;通过利用各种软件(程序)控制处理的功能;进行无线通信的功能;读出储存在存储介质中的程序或数据并进行处理的功能;等。注意,电子设备的功能不局限于上述功能,而可以具有各种功能。电子设备可以包括多个显示部。另外,也可以在电子设备中设置照相机等而使其具有如下功能:拍摄静态图像或动态图像,且将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能;将所拍摄的图像显示在显示部上的功能;等。

[0766] 下面,详细地说明图31A至图31G所示的电子设备。

[0767] 图31A是示出便携式信息终端9101的立体图。可以将便携式信息终端9101例如用作智能手机。注意,在便携式信息终端9101中,也可以设置扬声器9003、连接端子9006、传感器9007等。另外,作为便携式信息终端9101,可以将文字或图像信息显示在其多个面上。在图31A中示出显示三个图标9050的例子。另外,可以将以虚线的矩形示出的信息9051显示在显示部9001的其他面上。作为信息9051的一个例子,可以举出提示收到电子邮件、SNS或电话等的信息;电子邮件或SNS等的标题;电子邮件或SNS等的发送者姓名;日期;时间;电池余量;以及电波强度等。或者,可以在显示有信息9051的位置上显示图标9050等。

[0768] 图31B是示出便携式信息终端9102的立体图。便携式信息终端9102具有将信息显示在显示部9001的三个以上的面上的功能。在此,示出信息9052、信息9053、信息9054分别显示于不同的面上的例子。例如,在将便携式信息终端9102放在上衣口袋里的状态下,使用者能够确认显示在从便携式信息终端9102的上方看到的位置上的信息9053。例如,使用者可以确认到该显示而无需从口袋里拿出便携式信息终端9102,由此能够判断是否接电话。

[0769] 图31C是示出平板终端9103的立体图。平板终端9103例如可以执行移动电话、电子邮件及文章的阅读和编辑、播放音乐、网络通信、计算机游戏等各种应用软件。平板终端9103在框体9000的正面包括显示部9001、照相机9002、麦克风9008及扬声器9003,在框体9000的左侧面包括用作操作按钮的操作键9005,并且在底面包括连接端子9006。

[0770] 图31D是示出手表型便携式信息终端9200的立体图。可以将便携式信息终端9200例如用作智能手表(注册商标)。另外,显示部9001的显示面弯曲,可沿着其弯曲的显示面进行显示。此外,便携式信息终端9200例如通过与可进行无线通信的耳麦相互通信可以进行免提通话。此外,通过利用连接端子9006,便携式信息终端9200可以与其他信息终端进行数据传输或进行充电。充电也可以通过无线供电进行。

[0771] 图31E至图31G是示出可以折叠的便携式信息终端9201的立体图。此外,图31E是将便携式信息终端9201展开的状态的立体图,图31G是折叠的状态的立体图,图31F是从图31E的状态和图31G的状态中的一个转换成另一个时中途的状态的立体图。便携式信息终端9201在折叠状态下可携带性好,而在展开状态下因为具有无缝拼接较大的显示区域所以显示的浏览性强。便携式信息终端9201所包括的显示部9001被由铰链9055连结的三个框体9000支撑。显示部9001例如可以在曲率半径0.1mm以上且150mm以下的范围弯曲。

[0772] 本实施方式可以与其他实施方式适当地组合。

[0773] [符号说明]

[0774] A11:厚度、A12:厚度、A13:厚度、AN0:布线、B11:厚度、B12:厚度、B13:厚度、C31:电容器、C41:电容器、CLK:信号、D143b:宽度、D241b:宽度、D241t:宽度、D243b:宽度、GL:布线、

INV:反相器电路、LAT:锁存电路、LIN:信号、LLIN:端子、Ln:光、OUT:输出端子、RIN:信号、ROUT:端子、SL:布线、SMP:端子、Tr31:晶体管、Tr33:晶体管、Tr35:晶体管、Tr36:晶体管、Tr41:晶体管、Tr43:晶体管、Tr45:晶体管、Tr47:晶体管、VCOM:布线、VDD:电位、VSS:电位、We:宽度、Ws:宽度、10:半导体装置、11:电路、12:电路、15a:布线、15b:布线、20:时序电路、21:晶体管、22:晶体管、41:区域、42:区域、43:区域、44:区域、50A:显示装置、50B:显示装置、50C:显示装置、50D:显示装置、50E:显示装置、50F:显示装置、51A:像素电路、51:像素电路、52A:晶体管、52B:晶体管、52C:晶体管、53:电容器、61:发光器件、100:晶体管、102:衬底、103:导电层、104:导电层、106:绝缘层、107:绝缘层、108f:金属氧化物膜、108:半导体层、110a:绝缘层、110af:绝缘膜、110ag:绝缘层、110b:绝缘层、110bf:绝缘膜、110bg:绝缘层、110c:绝缘层、110cf:绝缘膜、110cg:绝缘层、110:绝缘层、111B:像素电极、111G:像素电极、111R:像素电极、111S:像素电极、111:像素电极、112a:导电层、112b:导电层、112b_e:导电层、113B:EL层、113G:EL层、113R:EL层、113S:功能层、113:EL层、114:公共层、115:公共电极、117:遮光层、118B:牺牲层、118G:牺牲层、118R:牺牲层、119B:牺牲层、119G:牺牲层、119R:牺牲层、123:导电层、124B:导电层、124G:导电层、124R:导电层、125f:绝缘膜、125:绝缘层、126B:导电层、126G:导电层、126R:导电层、127:绝缘层、128:层、130B:发光元件、130G:发光元件、130R:发光元件、130S:受光元件、130:发光元件、131:保护层、132B:着色层、132G:着色层、132R:着色层、133B:层、133Bf:膜、133G:层、133R:层、133:层、135:开口、136:开口、140:连接部、141t:形状、141:开口、142:粘合层、143b:形状、143:开口、148t:形状、148:开口、151:衬底、152:衬底、153:绝缘层、162:显示部、164:外围电路部、165:布线、166:导电层、168:连接部、172:FPC、173:IC、190A:抗蚀剂掩模、190B:抗蚀剂掩模、190C:抗蚀剂掩模、190D:抗蚀剂掩模、195:绝缘层、200:晶体管、200A:晶体管、203:导电层、204_A:导电层、204:导电层、205B:晶体管、205D:晶体管、205G:晶体管、205R:晶体管、205S:晶体管、208:半导体层、210:像素、212a:导电层、212a_A:导电层、212b:导电层、212b_A:导电层、212b_e:导电层、230B:像素、230G:像素、230R:像素、230:像素、231:第一驱动电路部、232:第二驱动电路部、235:绝缘层、236:布线、237:绝缘层、238:布线、241b:形状、241t:形状、241:开口、242:连接层、243b:形状、243:开口、248t:形状、248:开口、352:手指、353:层、355:电路层、357:层、700A:电子设备、700B:电子设备、721:框体、723:安装部、727:耳机部、750:耳机、751:显示面板、753:光学构件、756:显示区域、757:框架、758:鼻垫、800A:电子设备、800B:电子设备、820:显示部、821:框体、822:通信部、823:安装部、824:控制部、825:成像部、827:耳机部、832:透镜、6500:电子设备、6501:框体、6502:显示部、6503:电源按钮、6504:按钮、6505:扬声器、6506:麦克风、6507:照相机、6508:光源、6510:保护构件、6511:显示面板、6512:光学构件、6513:触摸传感器面板、6515:FPC、6516:IC、6517:印刷电路板、6518:电池、7000:显示部、7100:电视装置、7101:框体、7103:支架、7111:遥控操作机、7200:笔记本型个人计算机、7211:框体、7212:键盘、7213:指向装置、7214:外部连接端口、7300:数字标牌、7301:框体、7303:扬声器、7311:信息终端设备、7400:数字标牌、7401:柱子、7411:信息终端设备、9000:框体、9001:显示部、9002:照相机、9003:扬声器、9005:操作键、9006:连接端子、9007:传感器、9008:麦克风、9050:图标、9051:信息、9052:信息、9053:信息、9054:信息、9055:铰链、9101:便携式信息终端、9102:便携式信息终端、9103:平板终端、9200:便携式信息终端、9201:便携式信息终端。

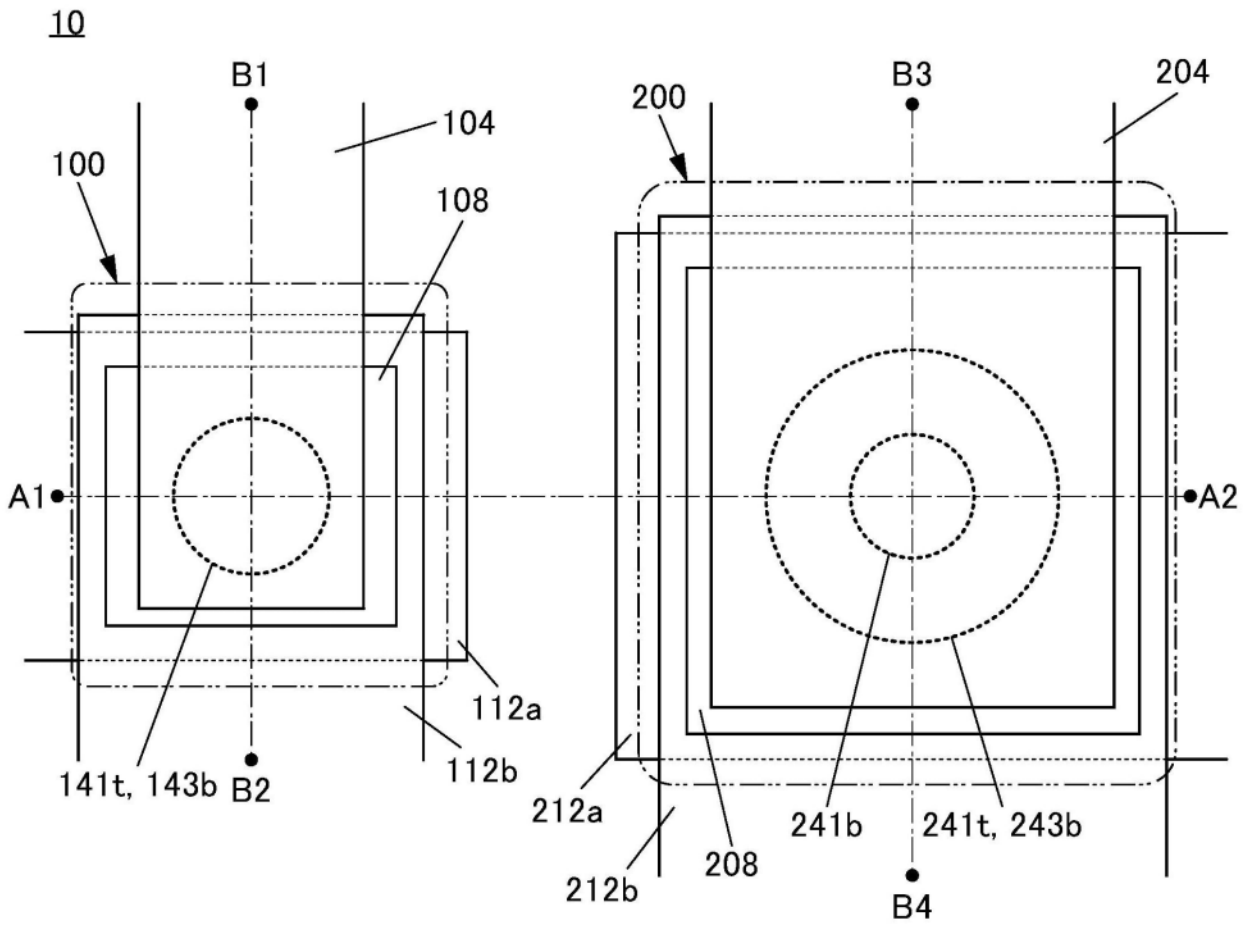


图1A

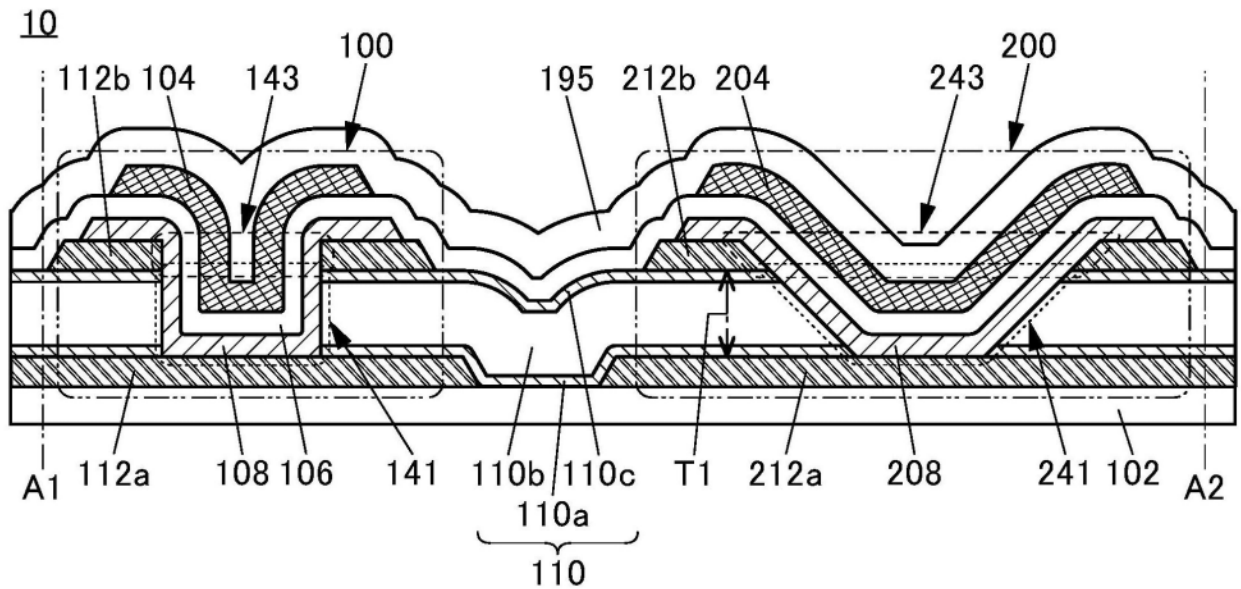


图1B

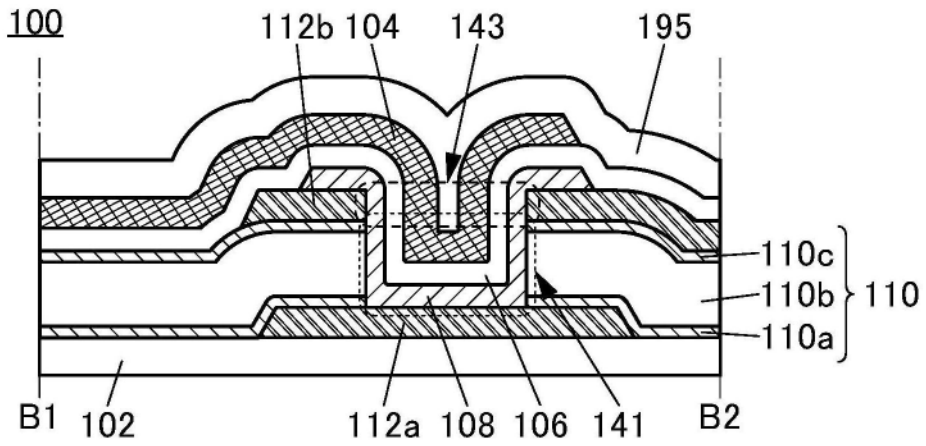


图2A

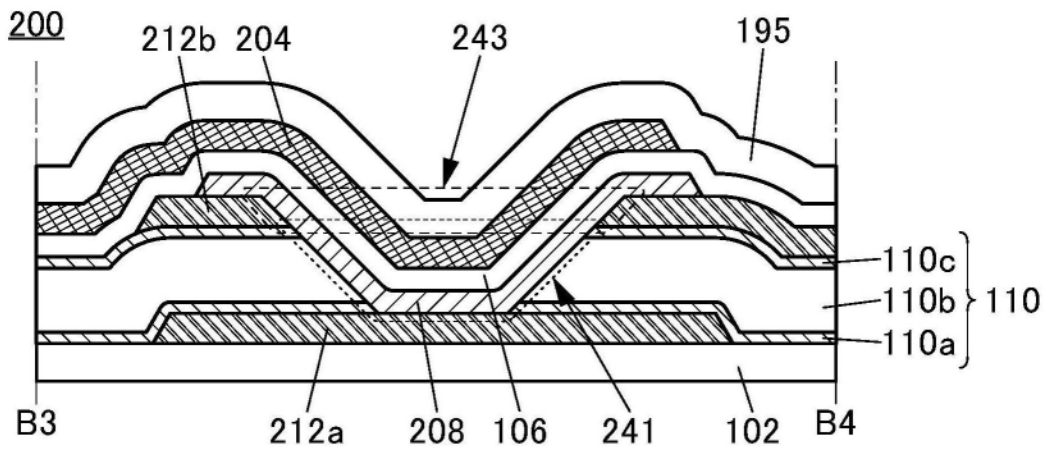


图2B

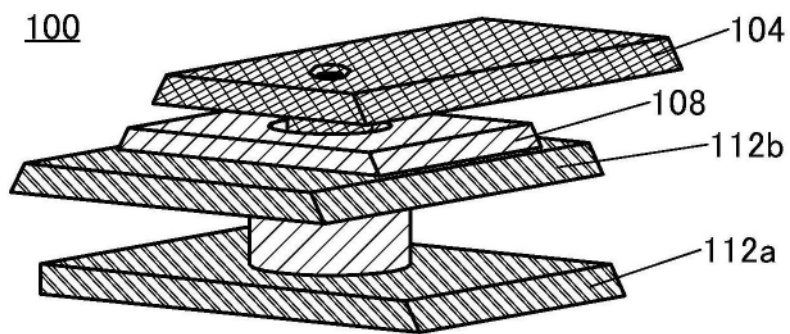


图2C

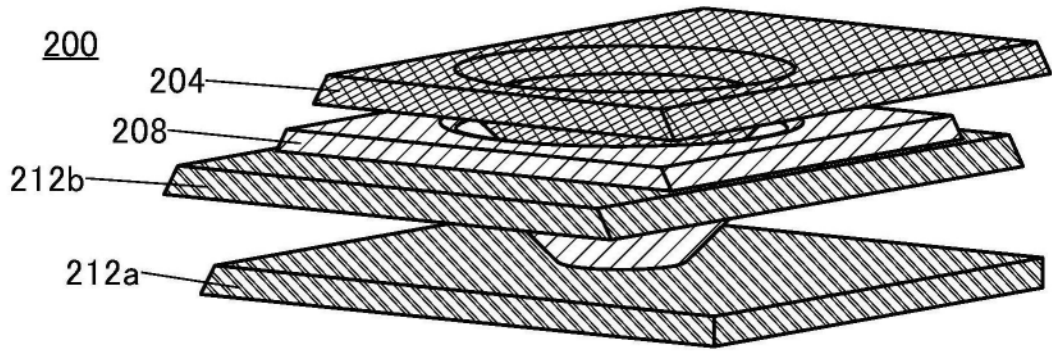


图2D

10

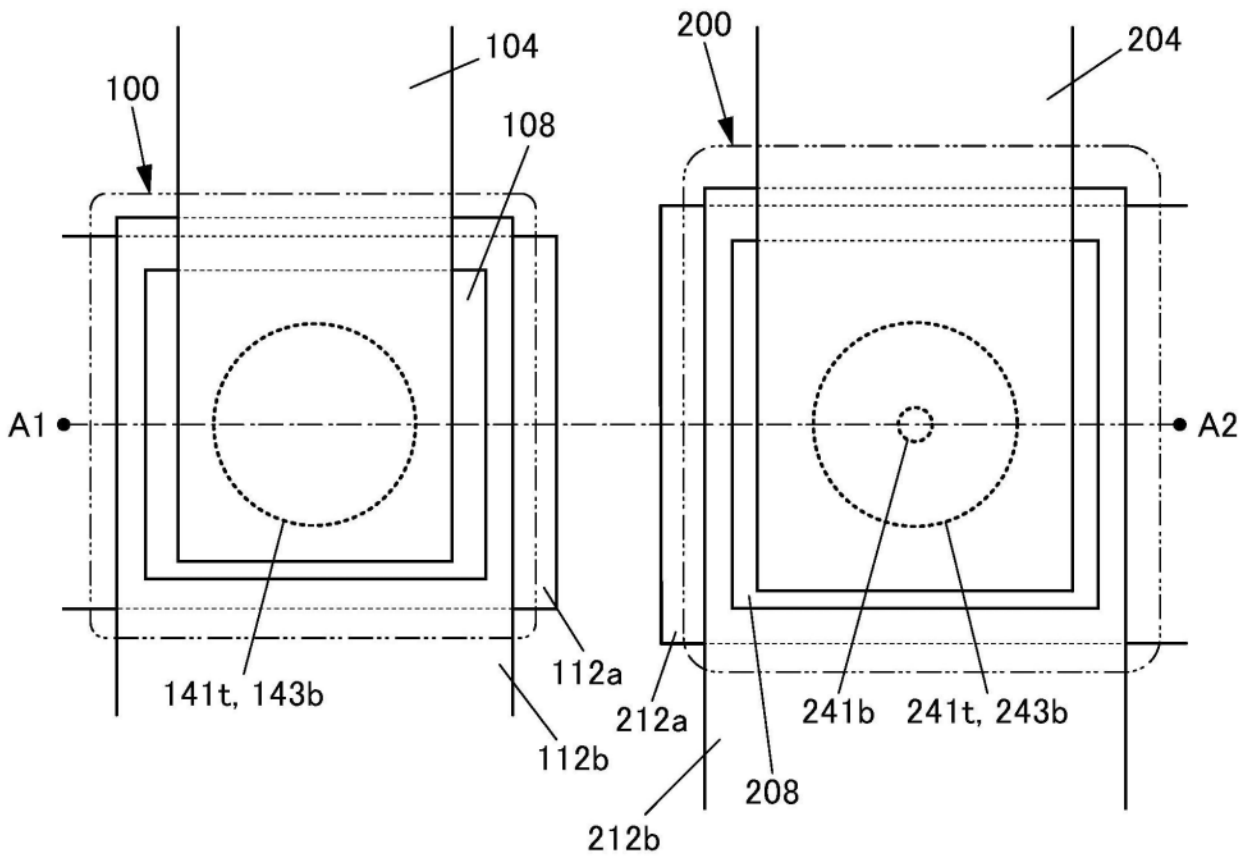


图3A

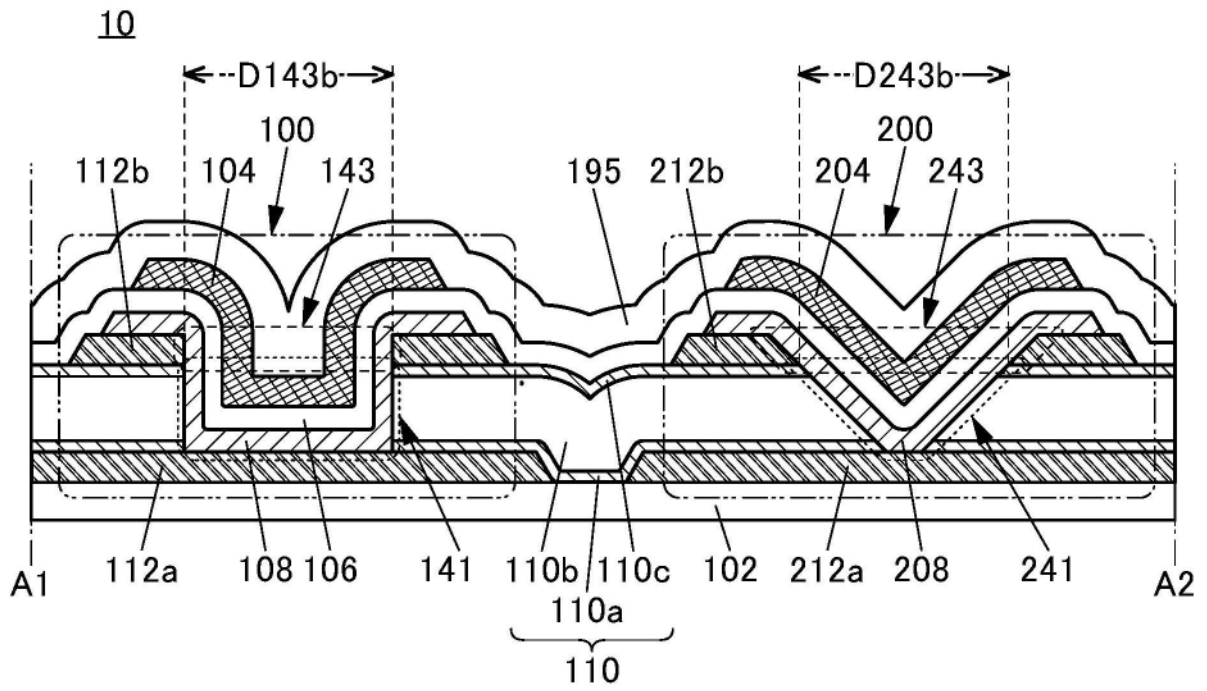


图3B

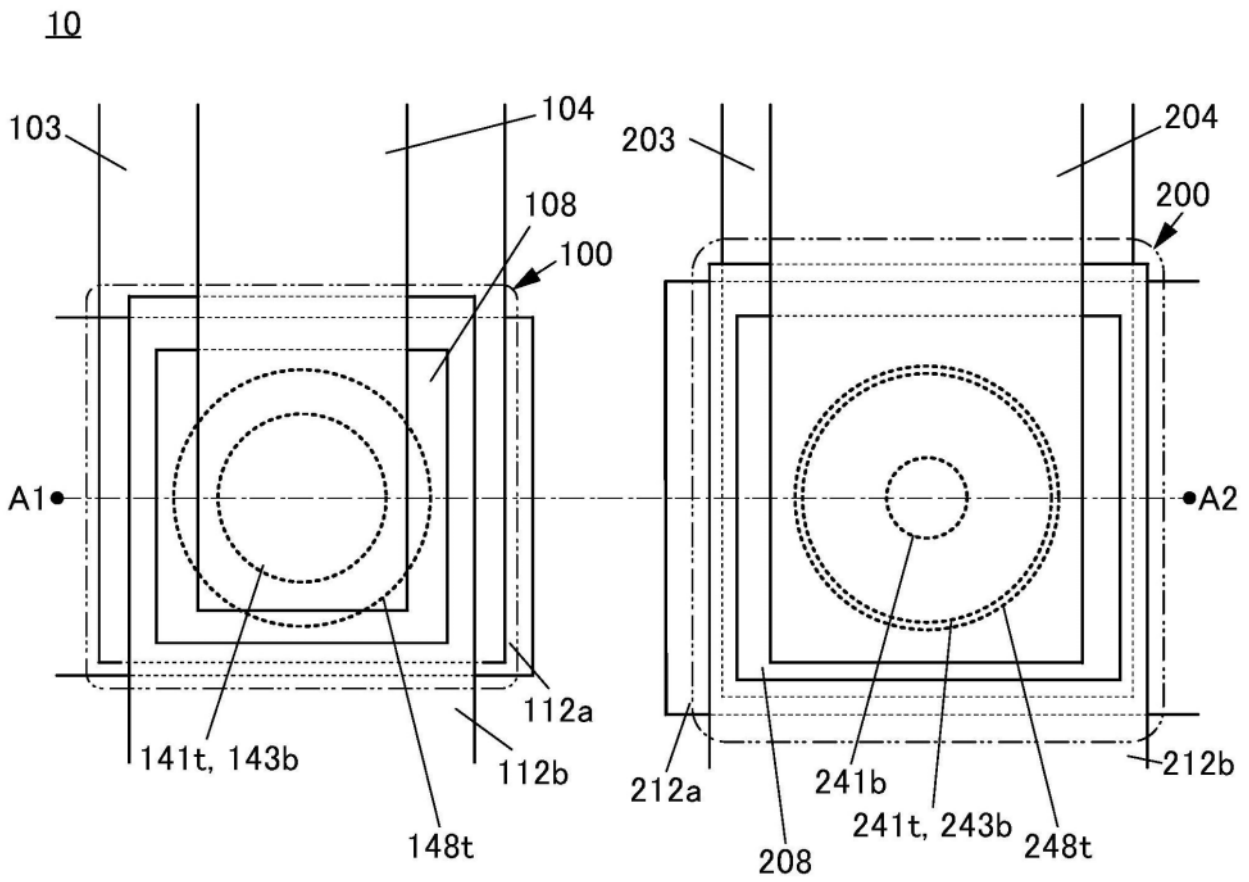


图4A

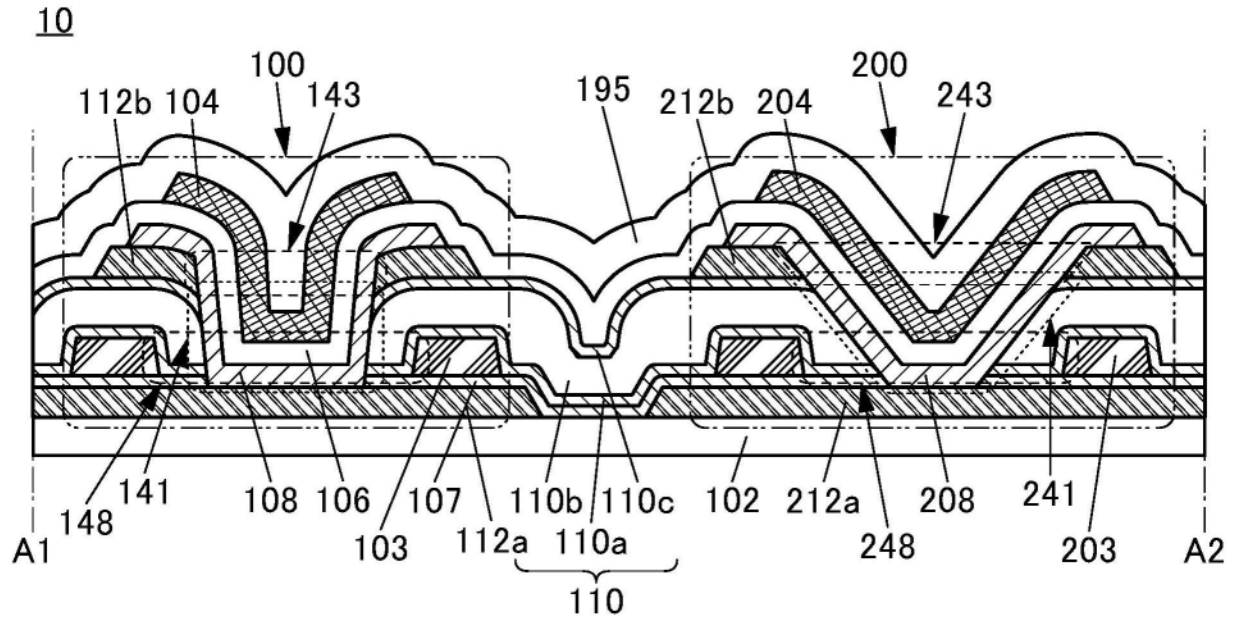


图4B

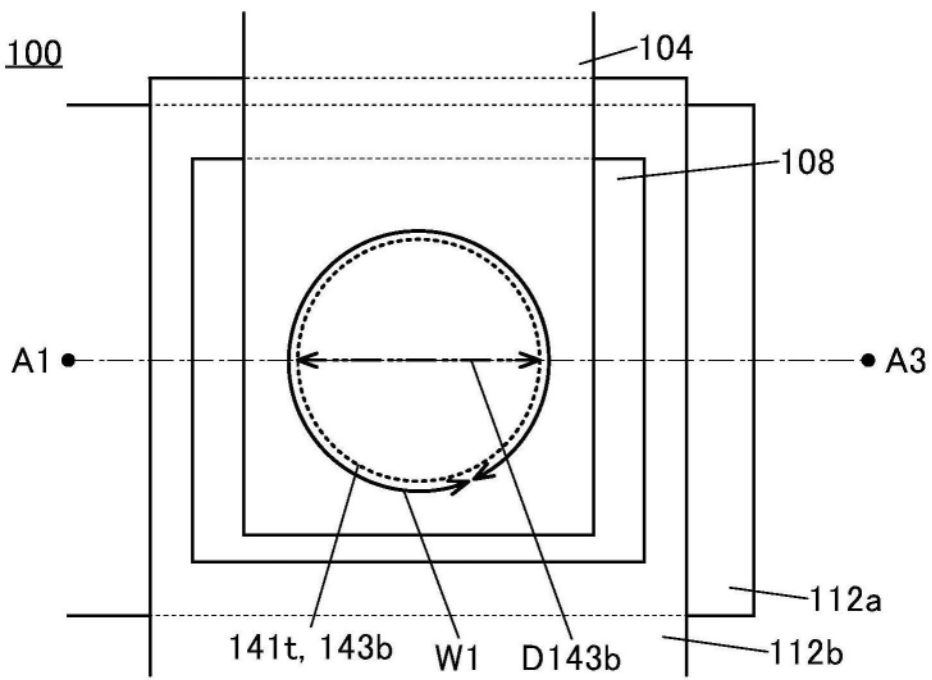


图5A

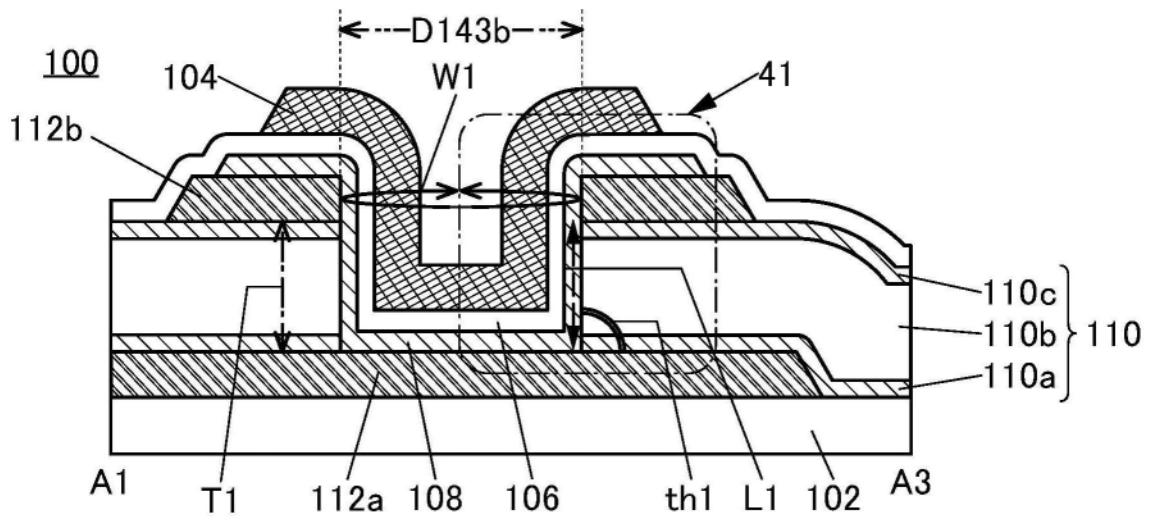


图5B

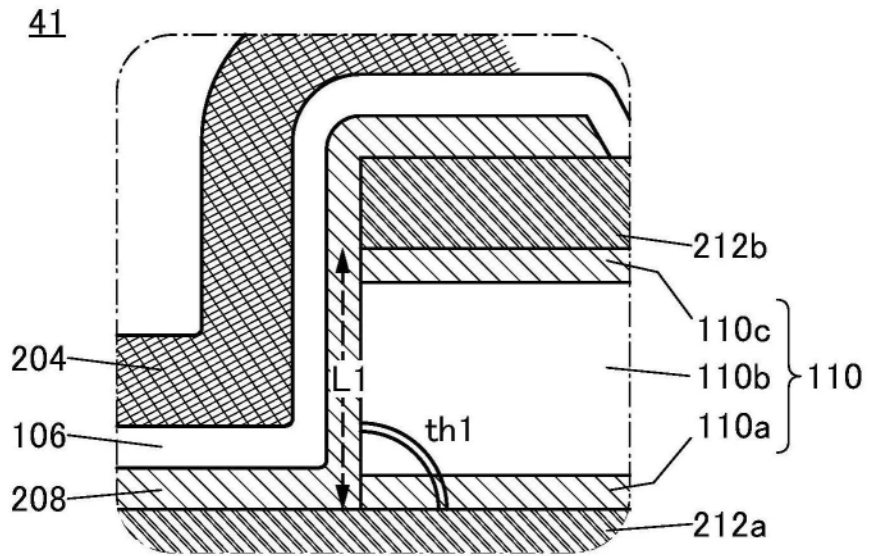


图5C

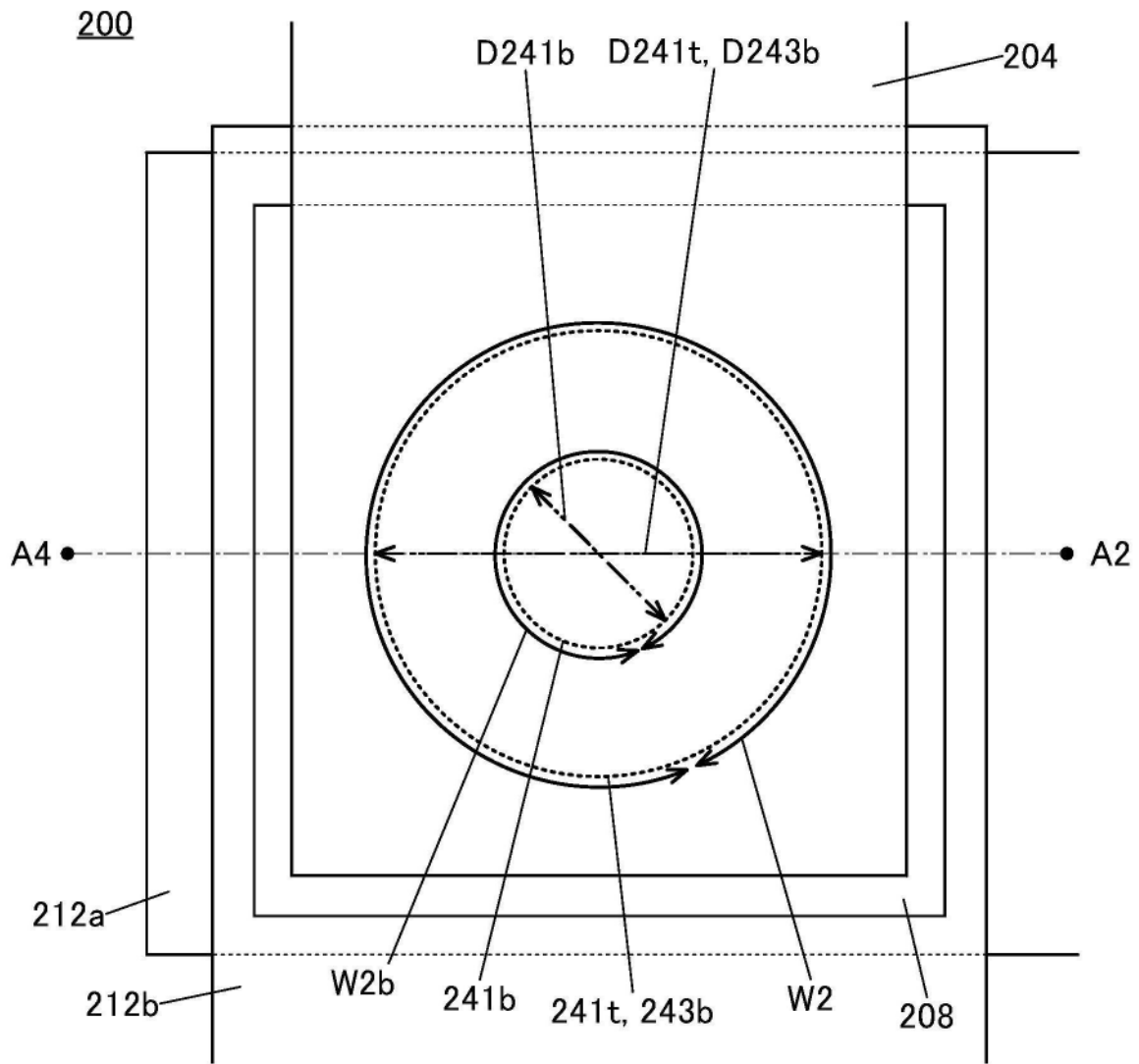


图6A

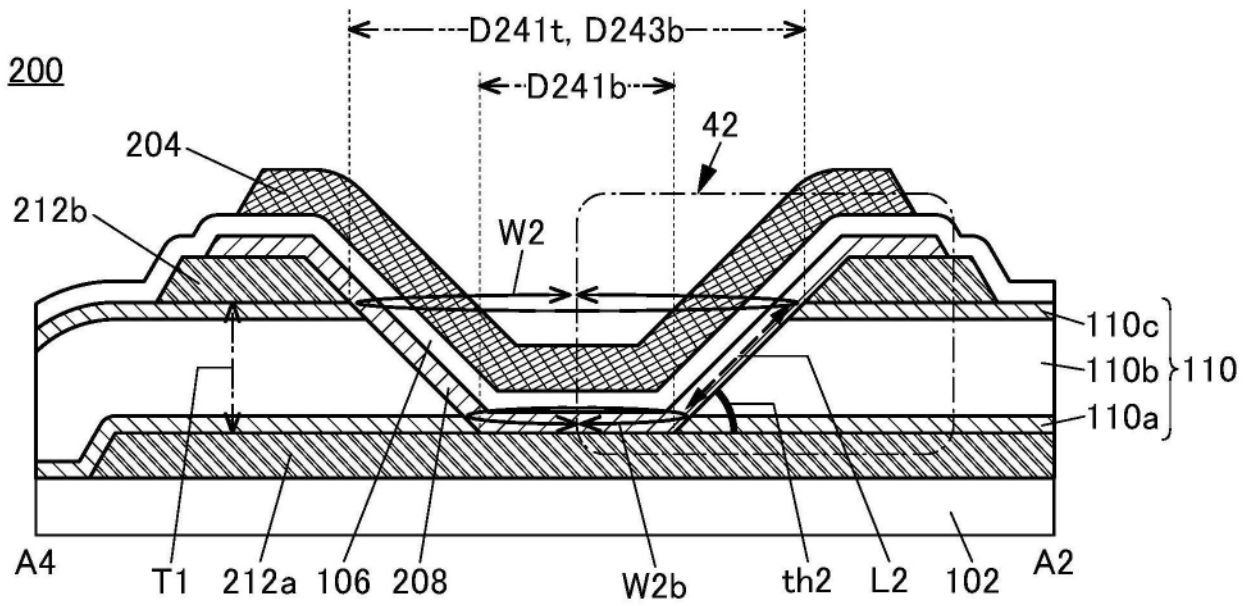


图6B

42

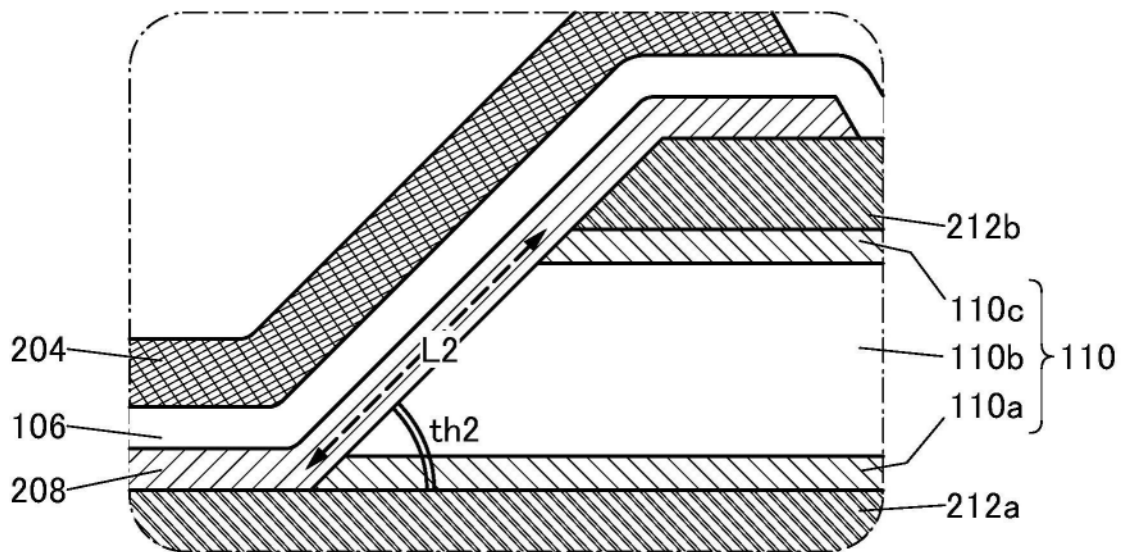


图7

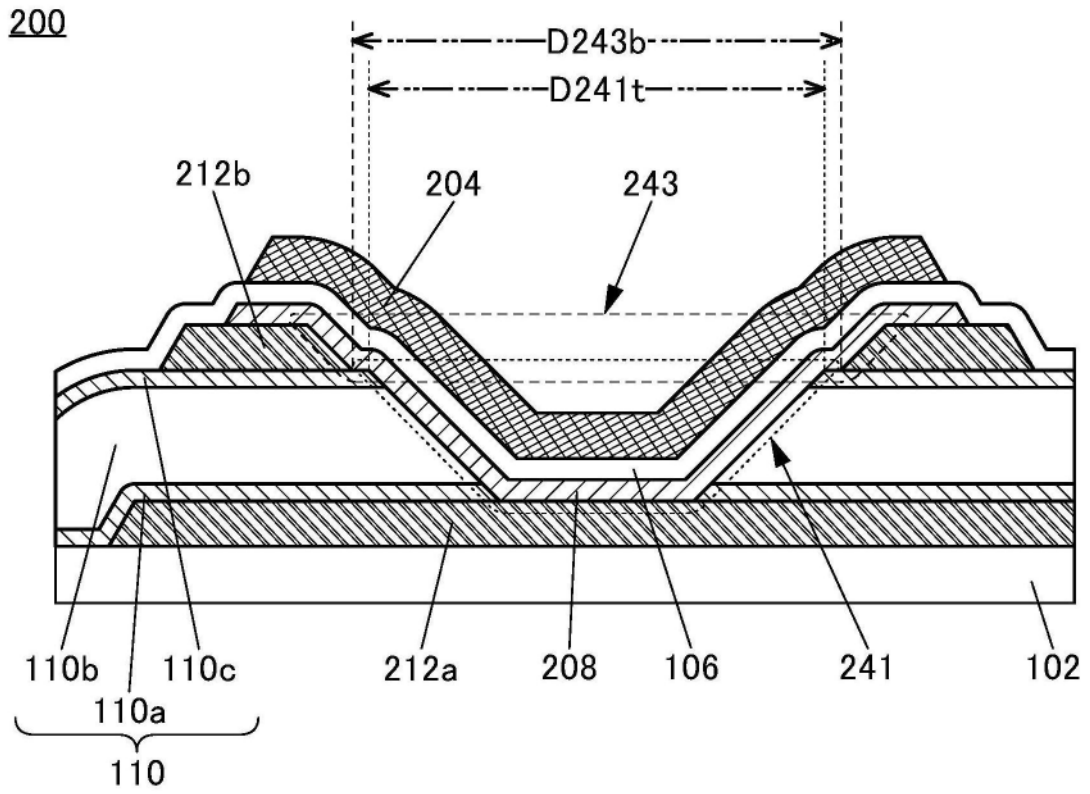


图8A

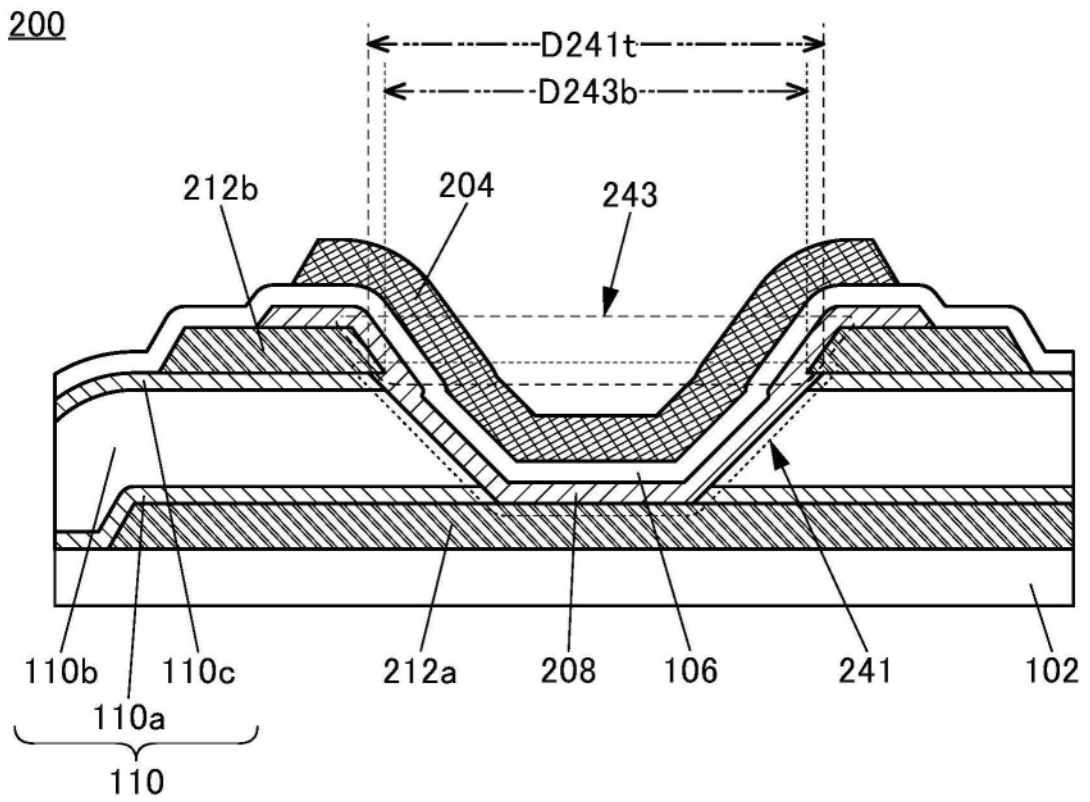


图8B

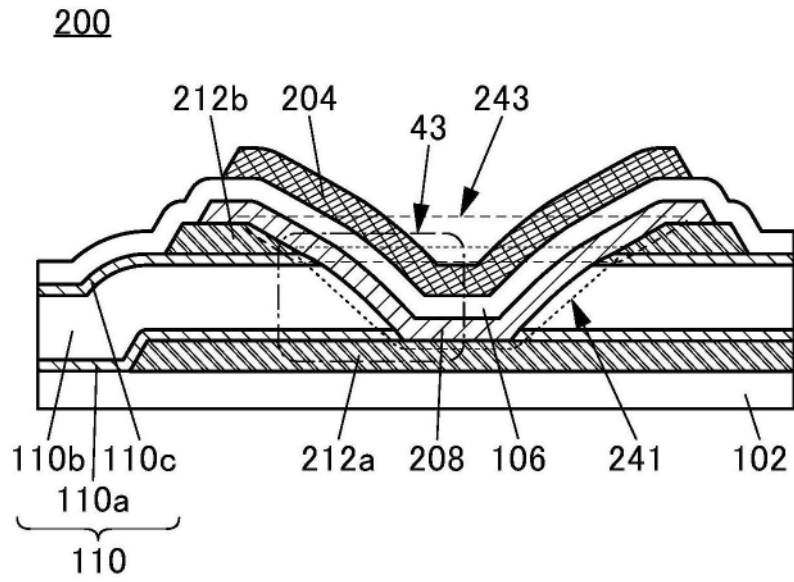


图9A

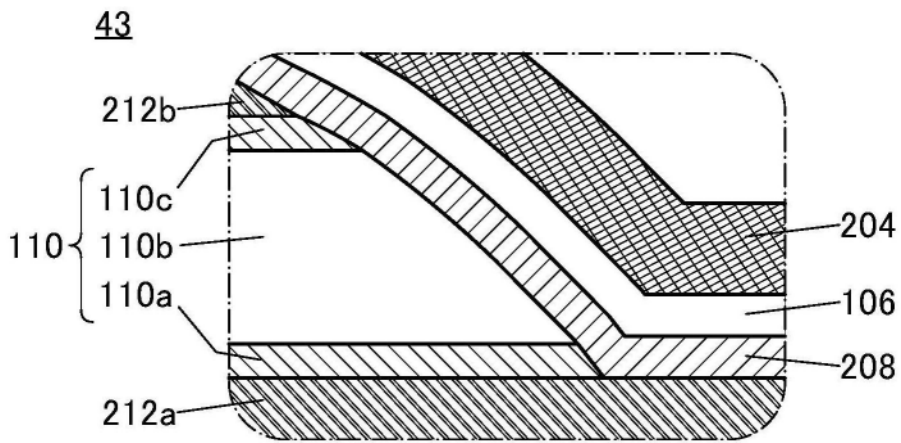


图9B

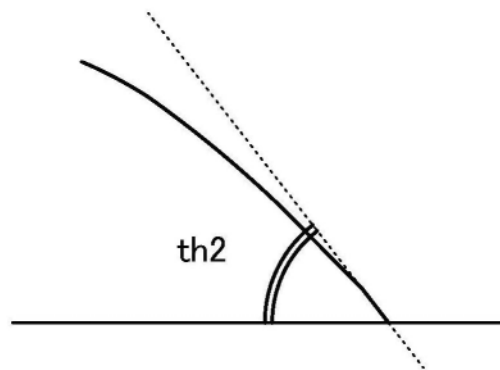


图9C

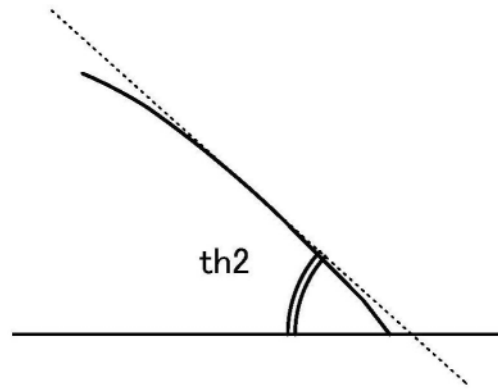


图9D

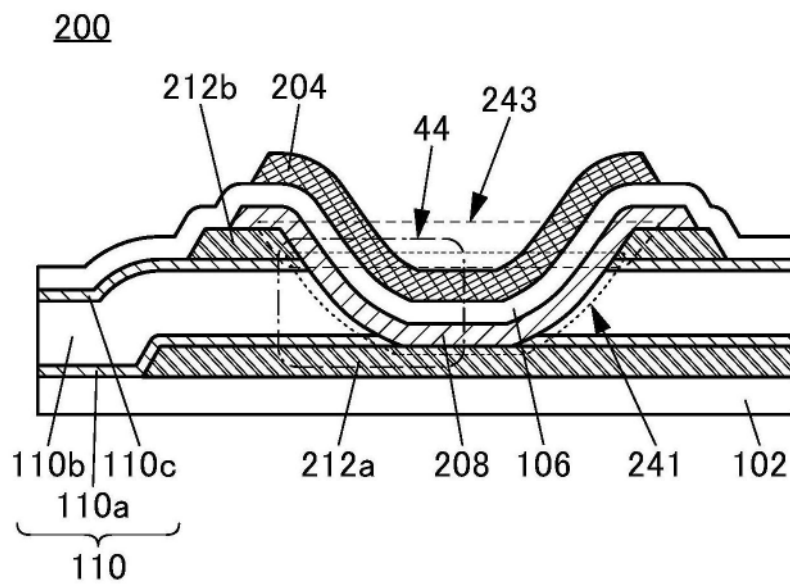


图10A

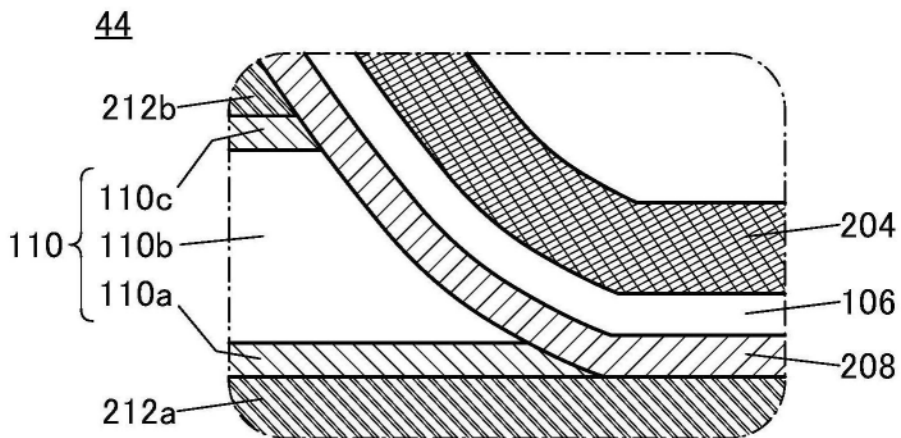


图10B

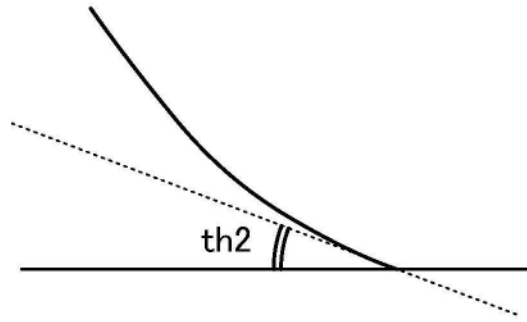


图10C

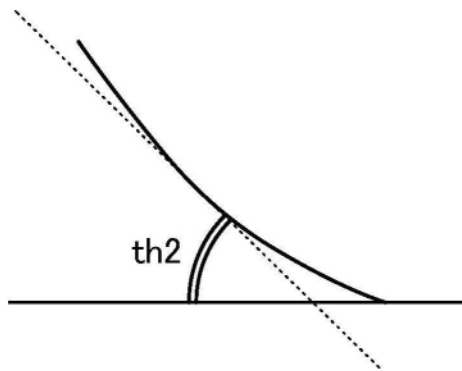


图10D

41

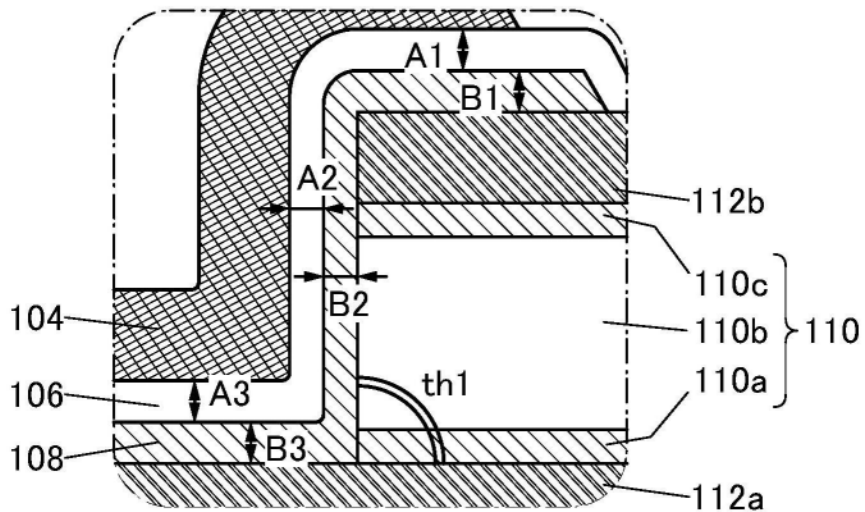


图11A

42

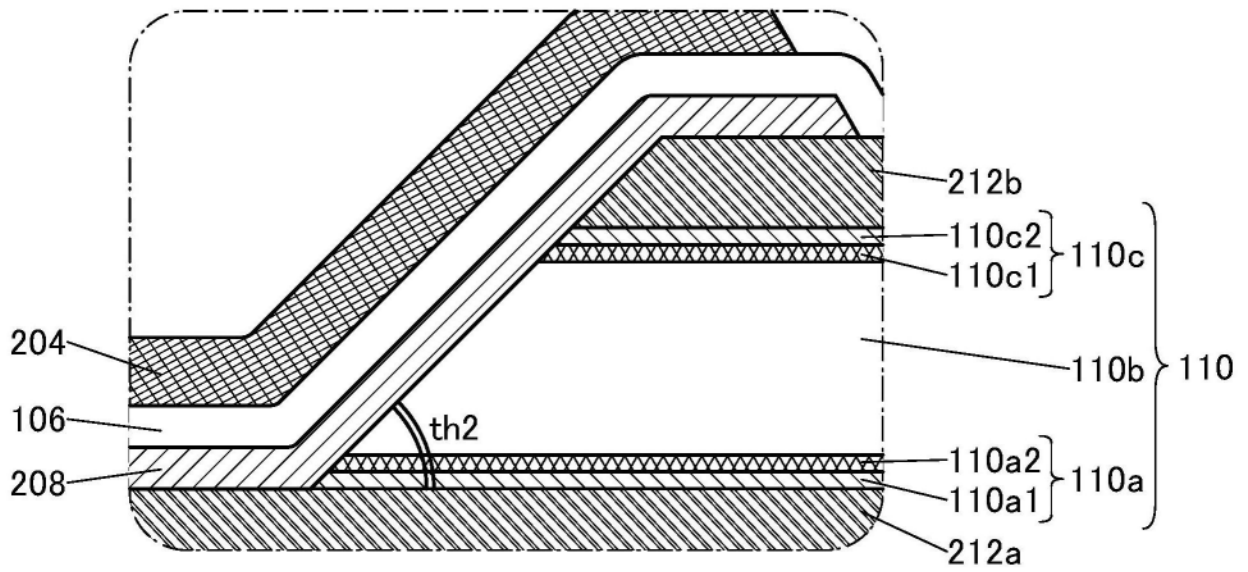


图13B

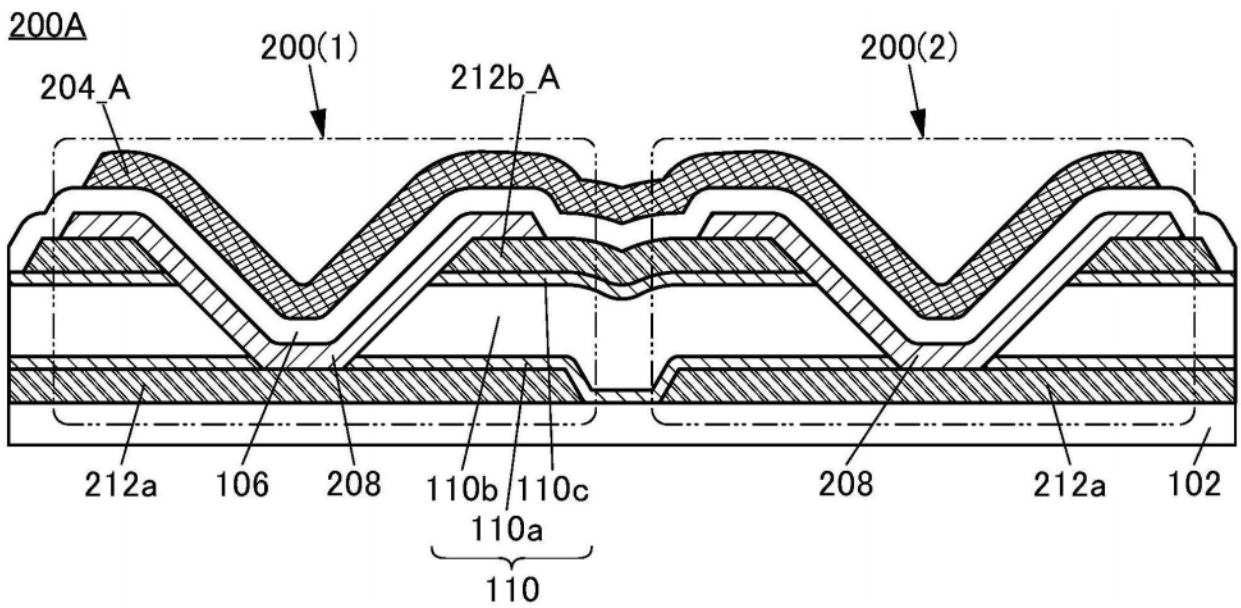


图14A

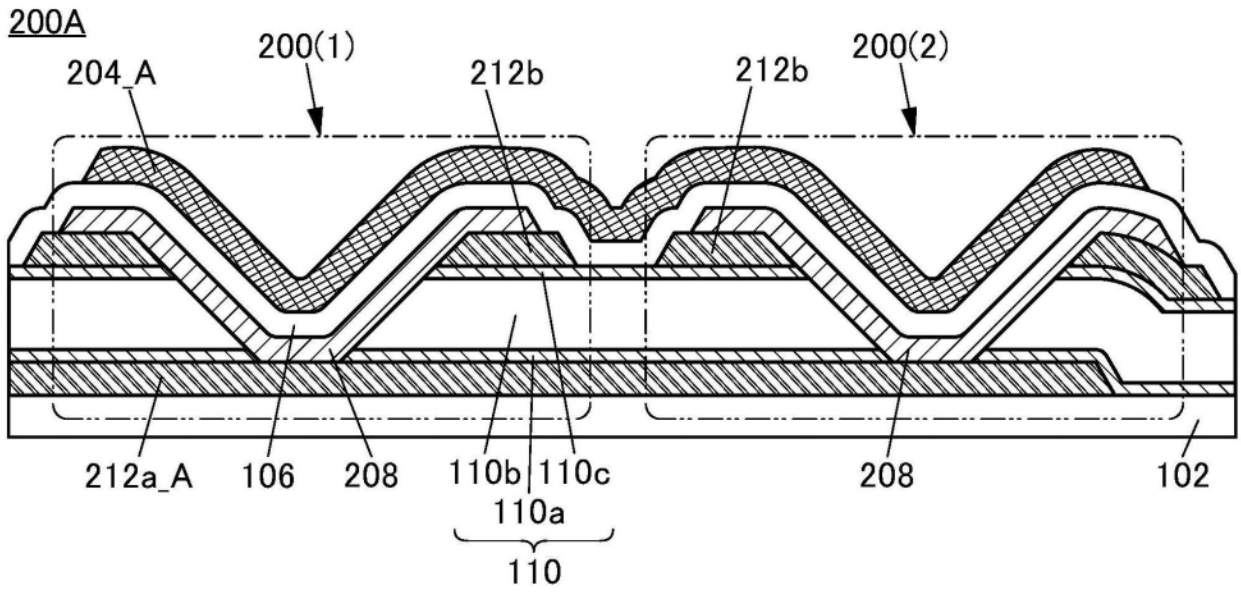


图14B

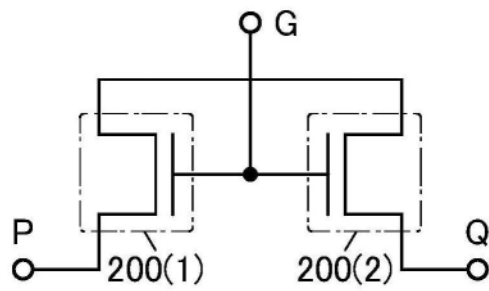


图14C

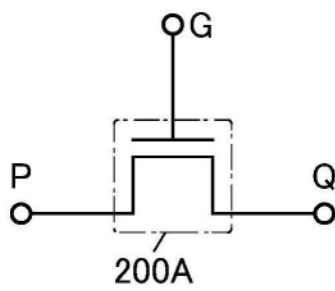


图14D

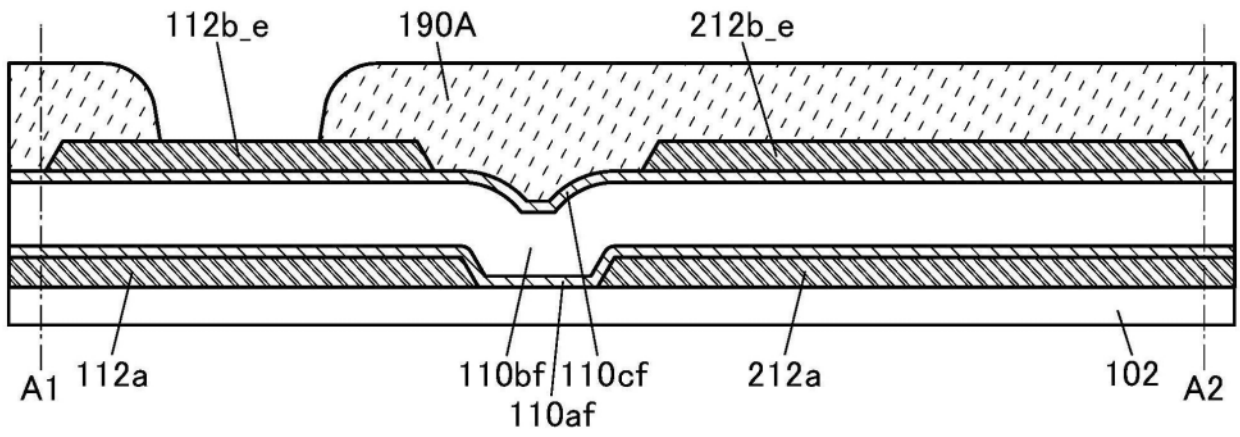


图15A

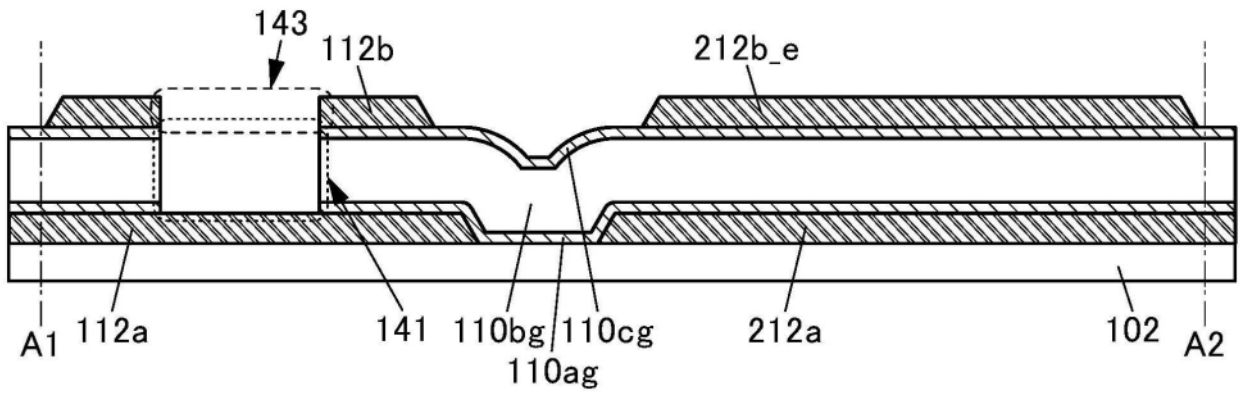


图15B

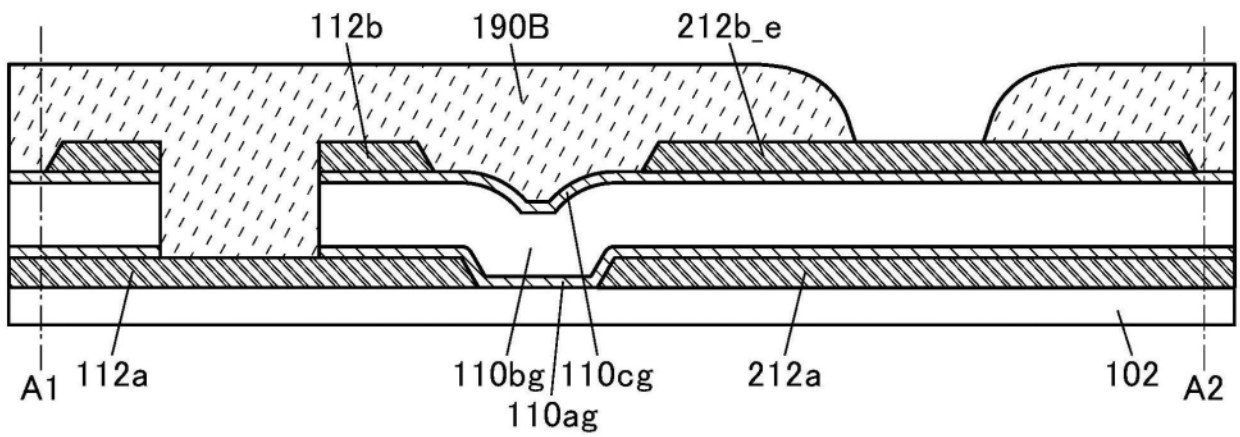


图15C

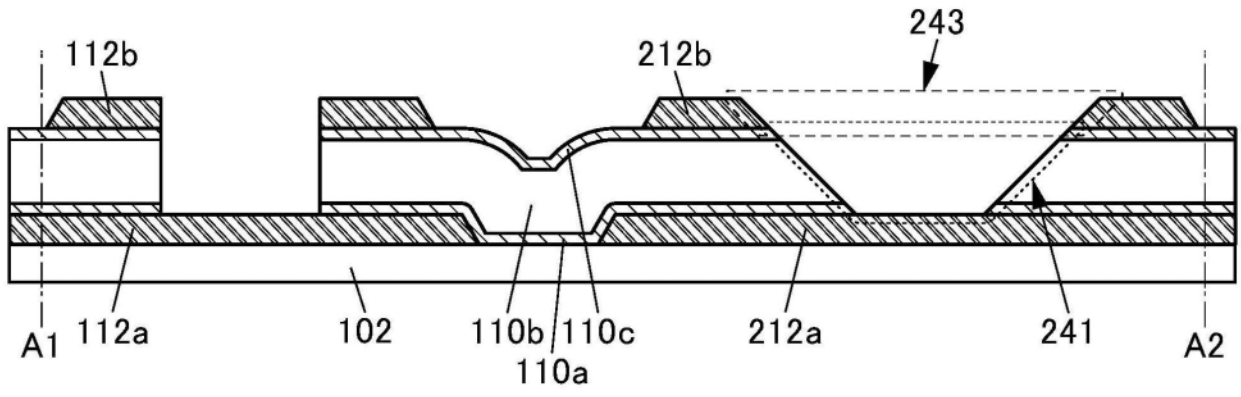


图15D

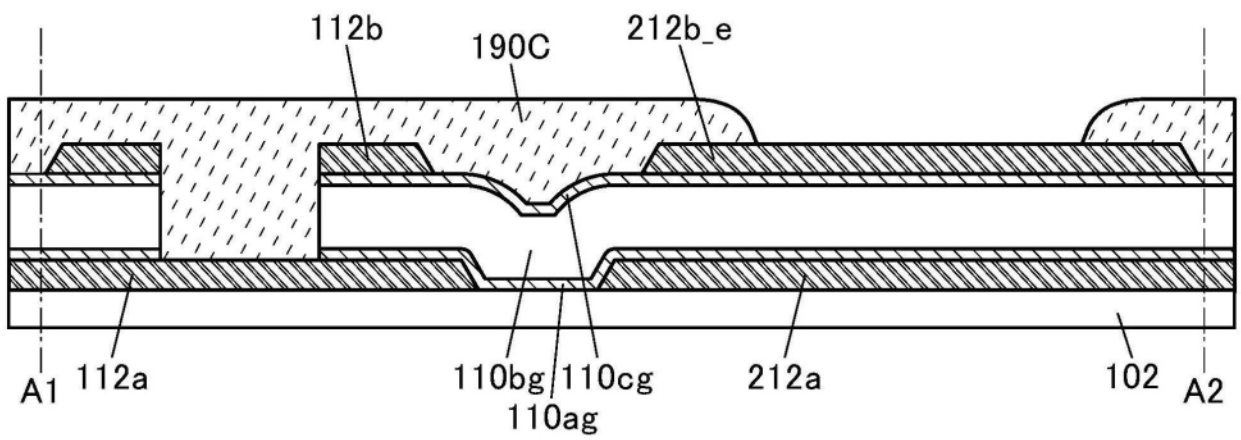


图16A

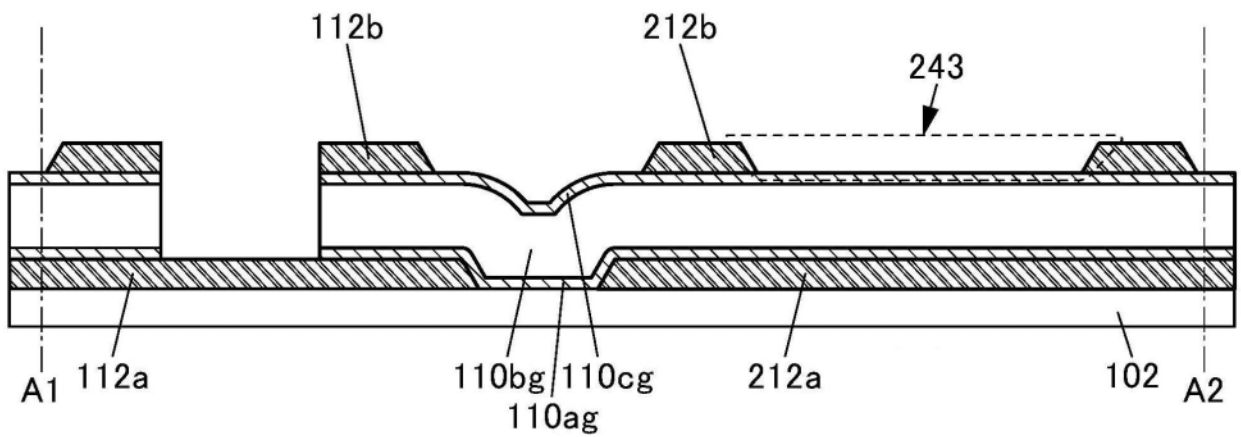


图16B

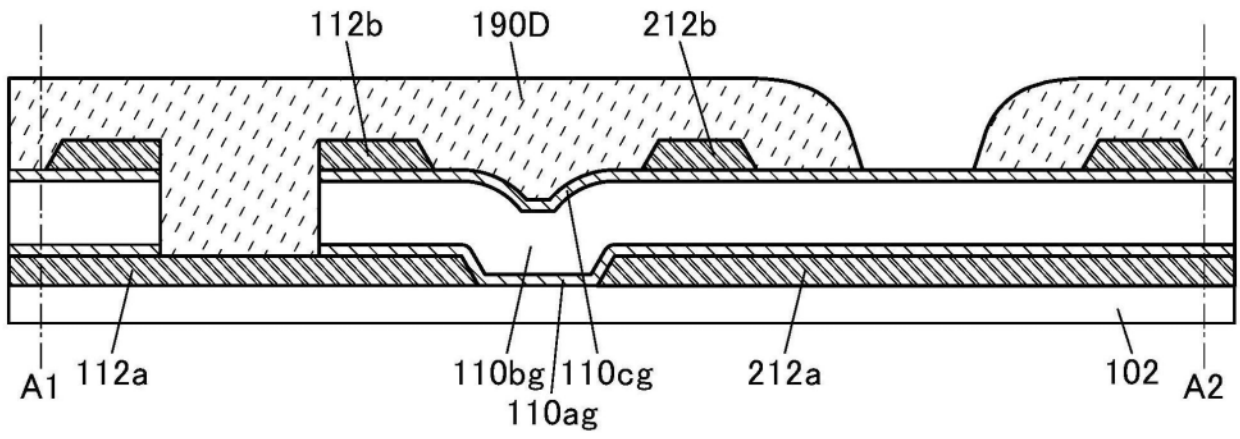


图16C

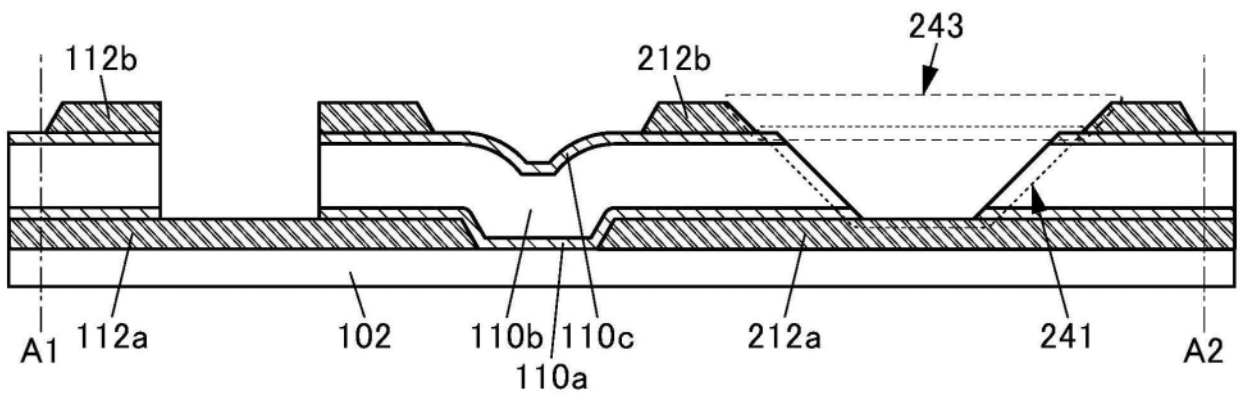


图16D

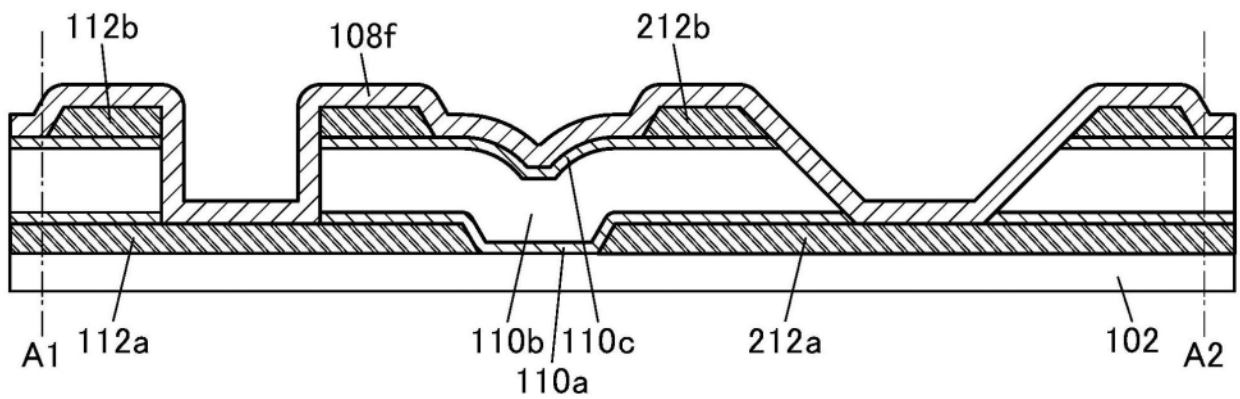


图17A

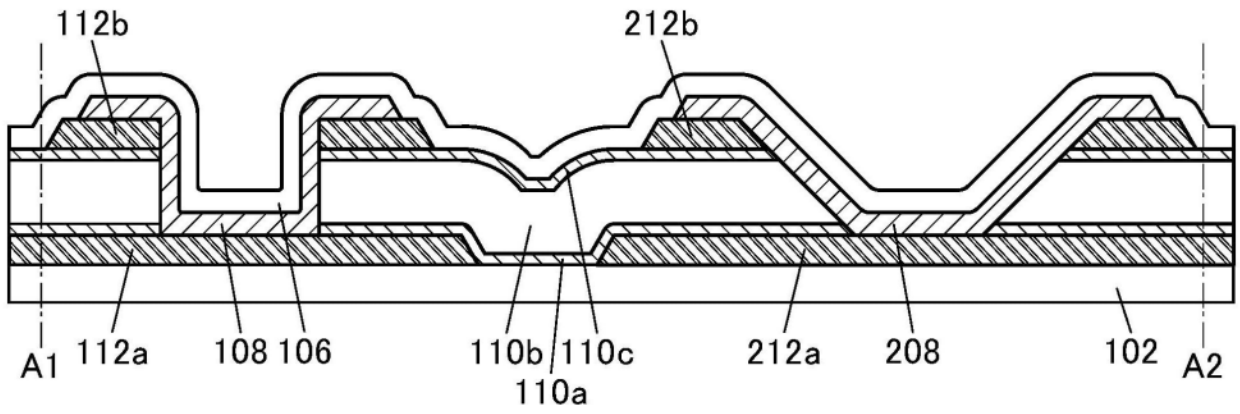


图17B

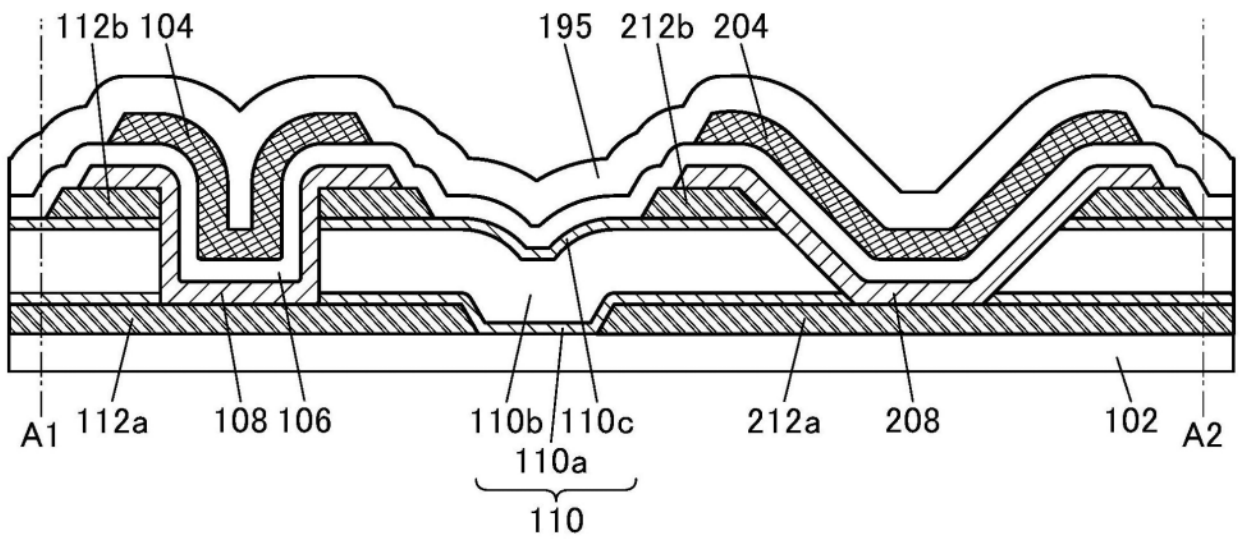


图17C

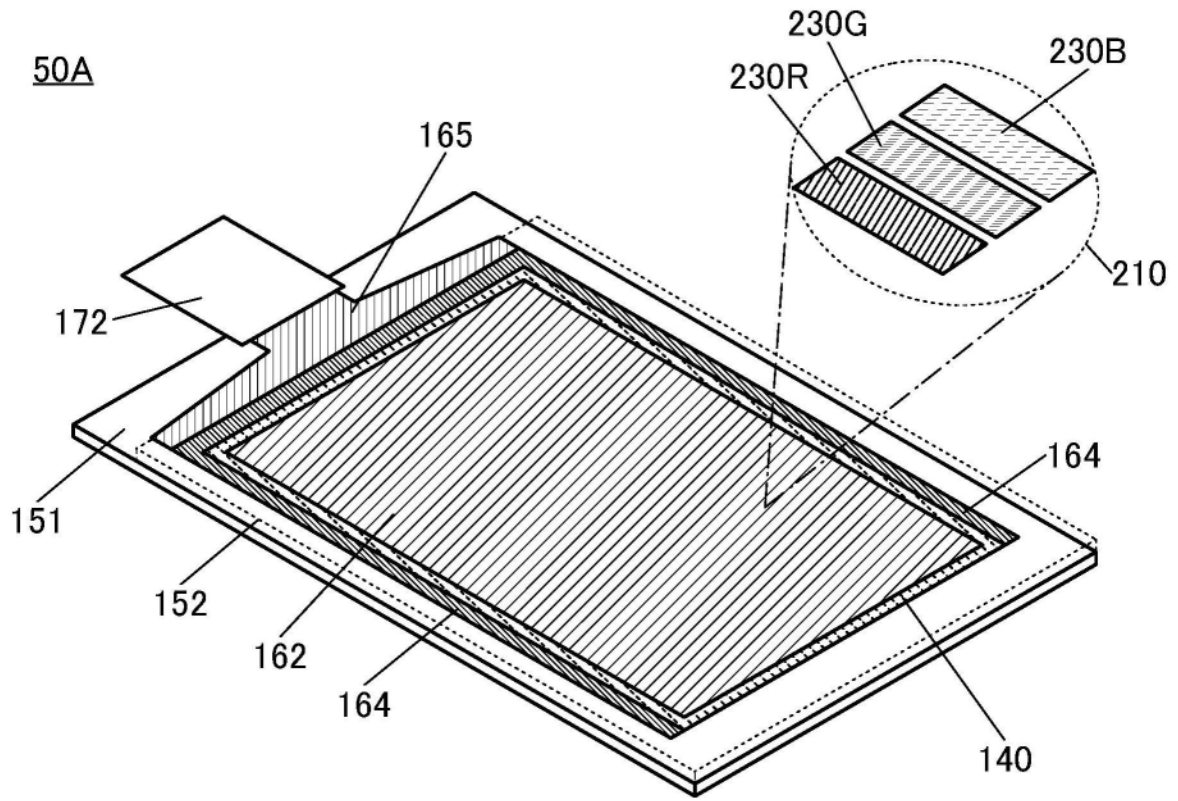


图18A

50A

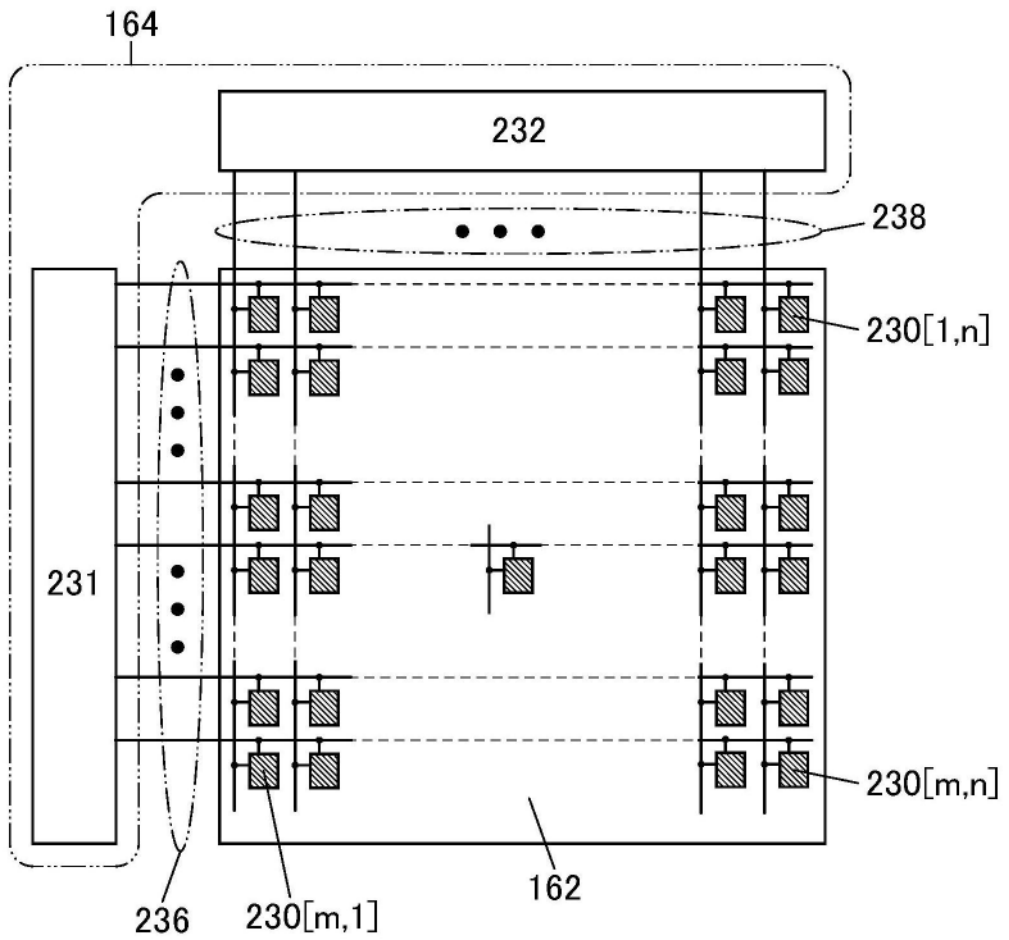


图18B

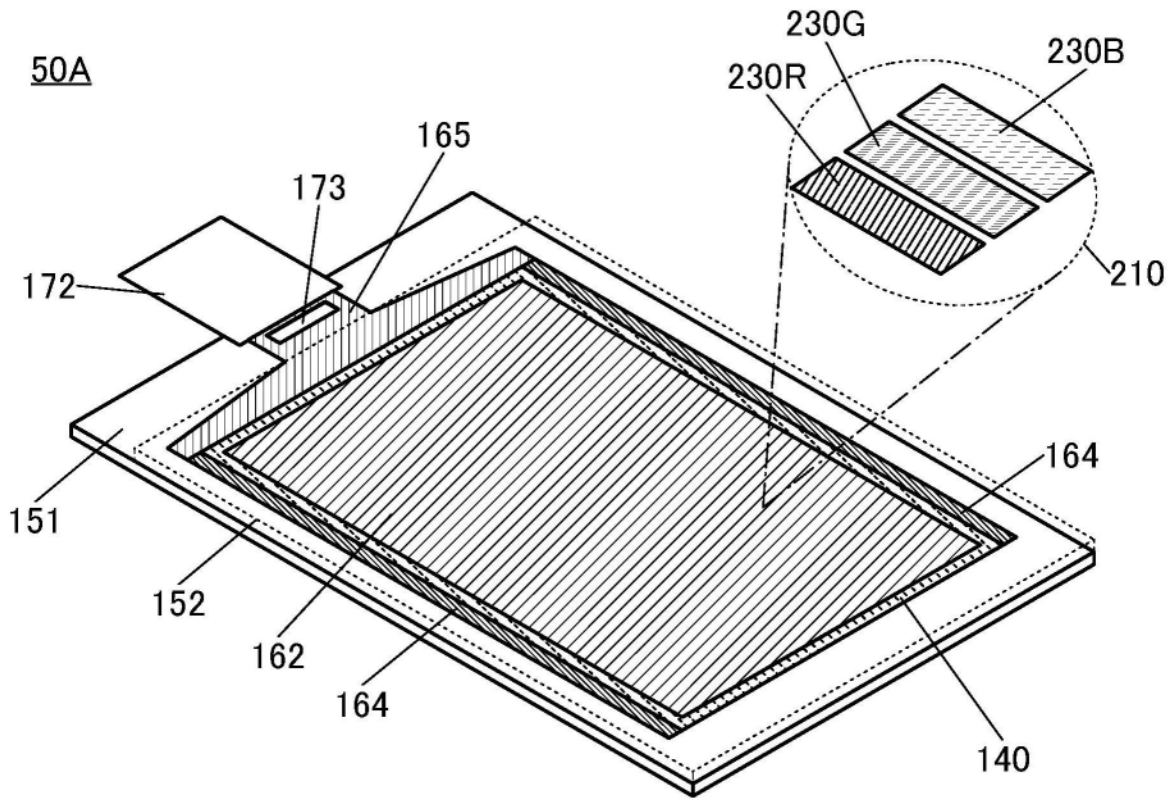


图19

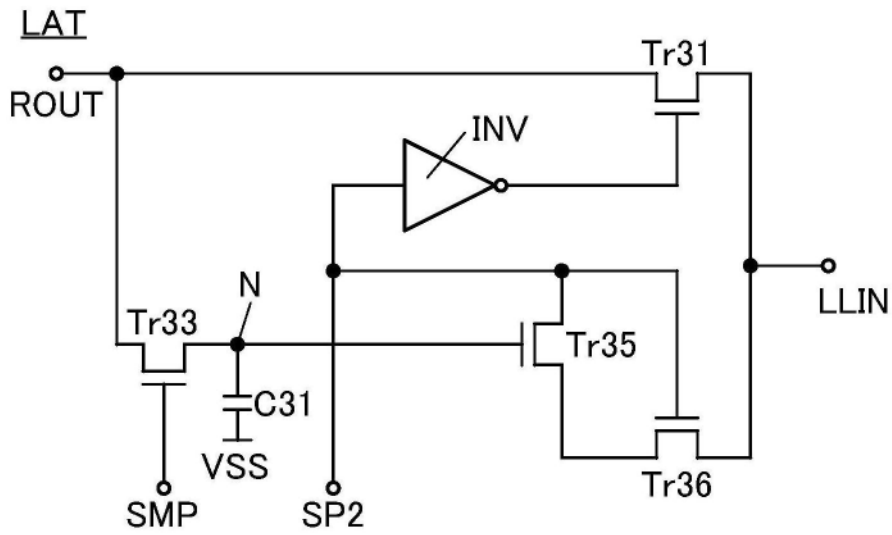


图20A

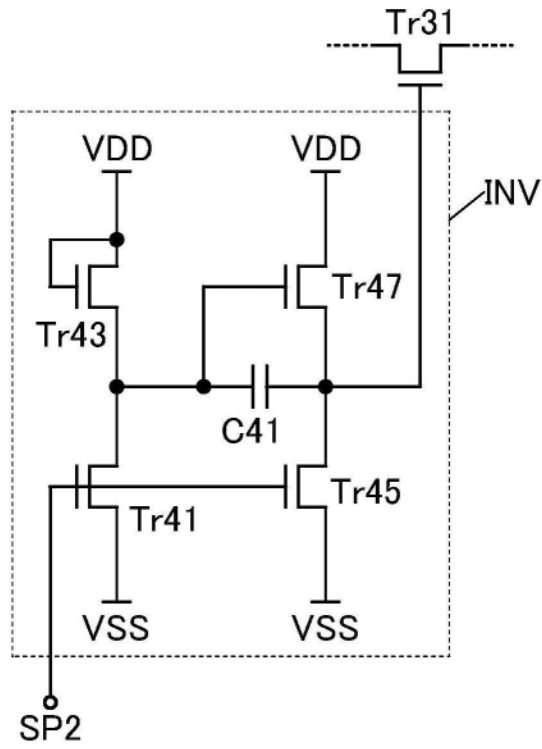


图20B

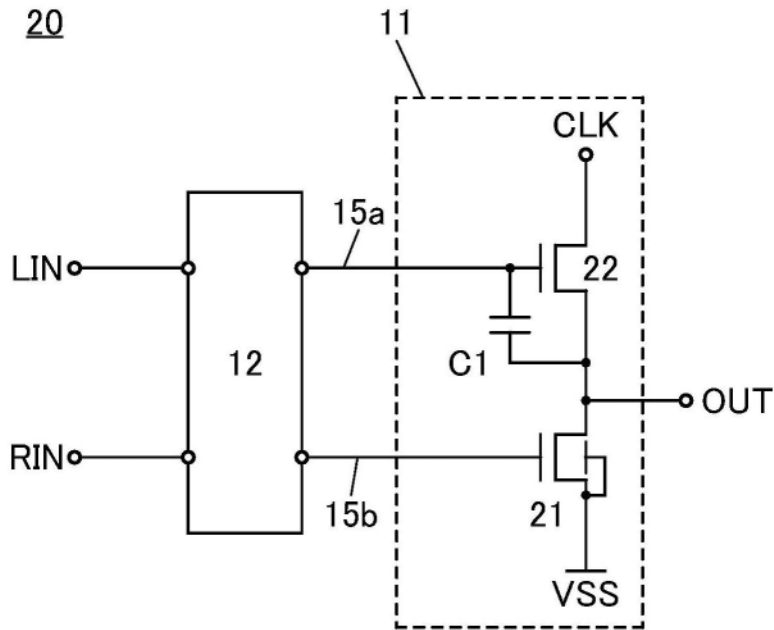


图21

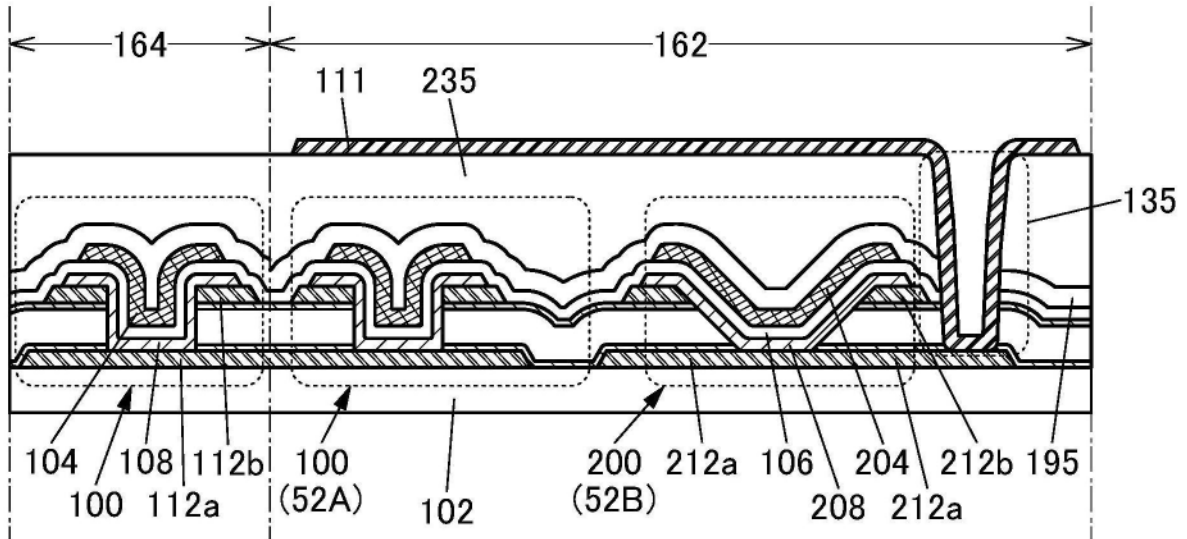


图23A

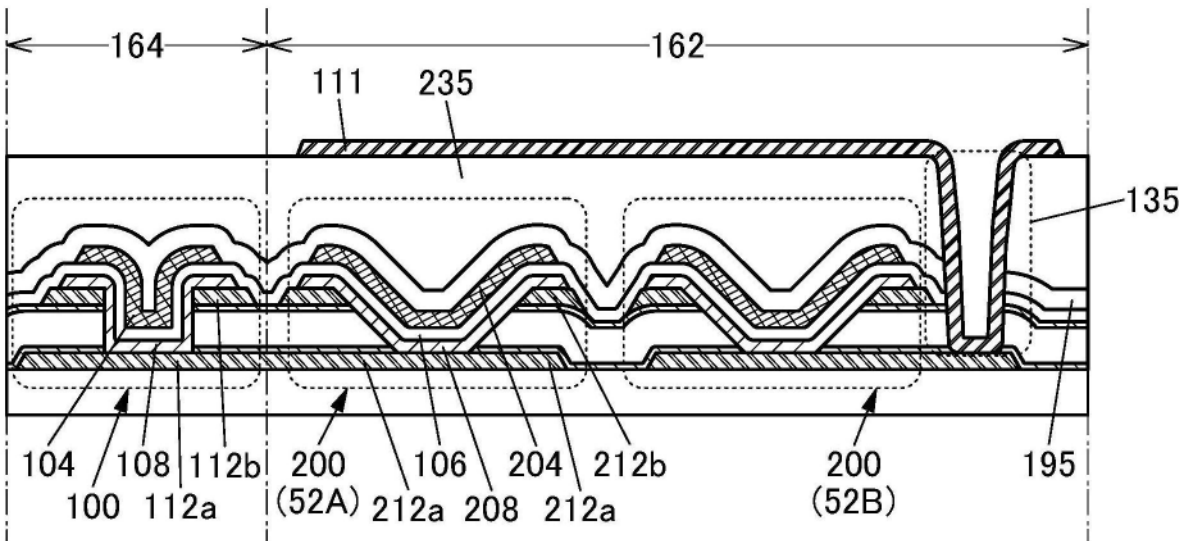


图23B

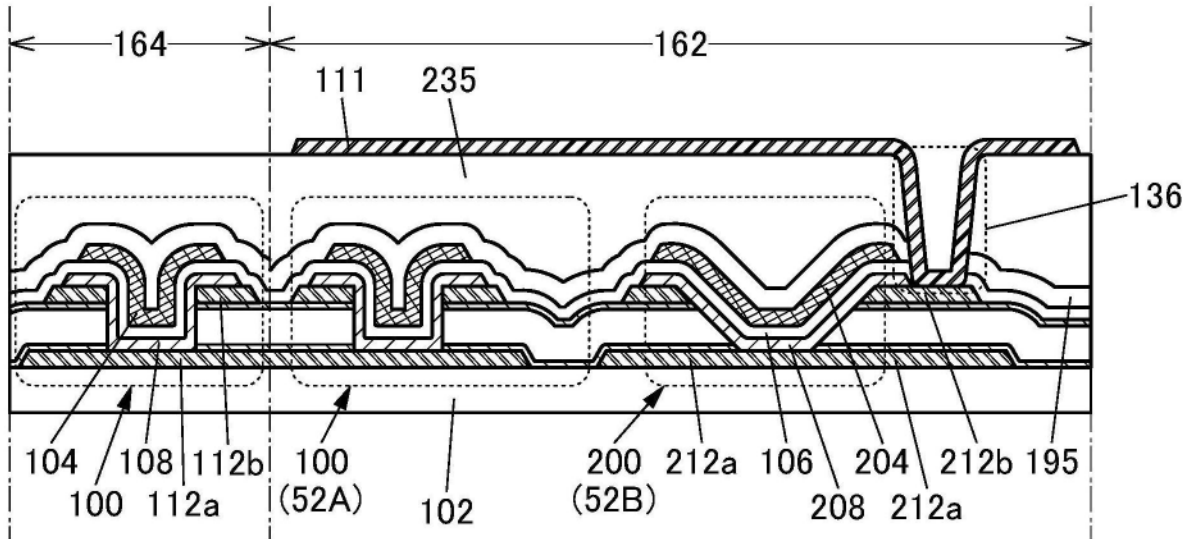


图23C

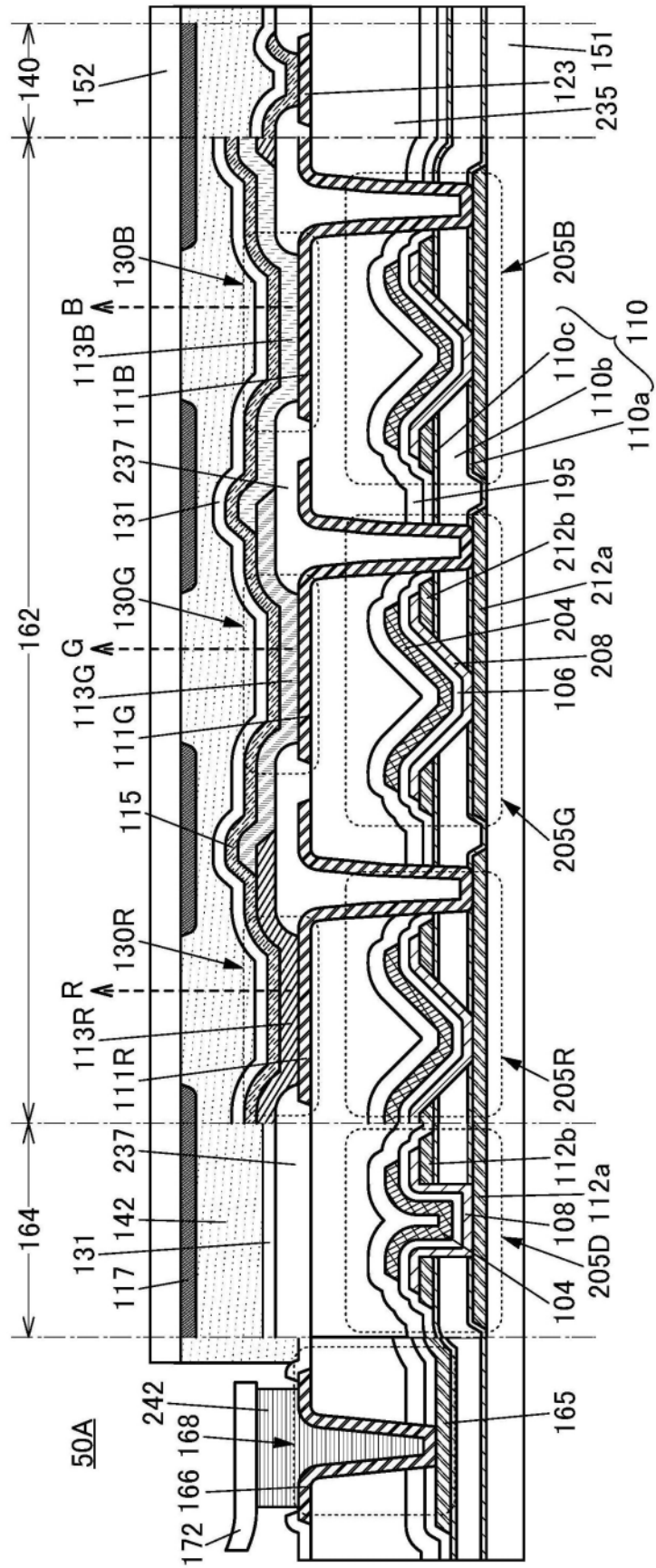
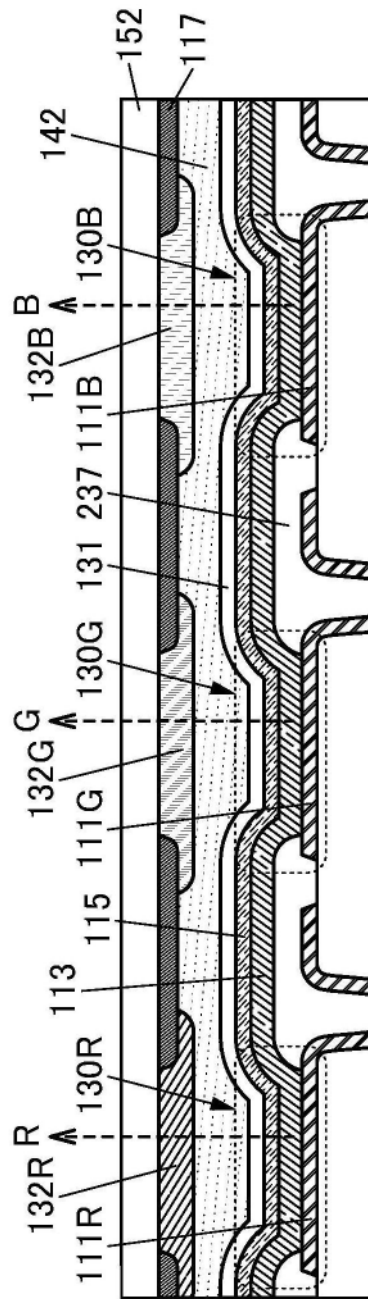


图24A



50B

图24B

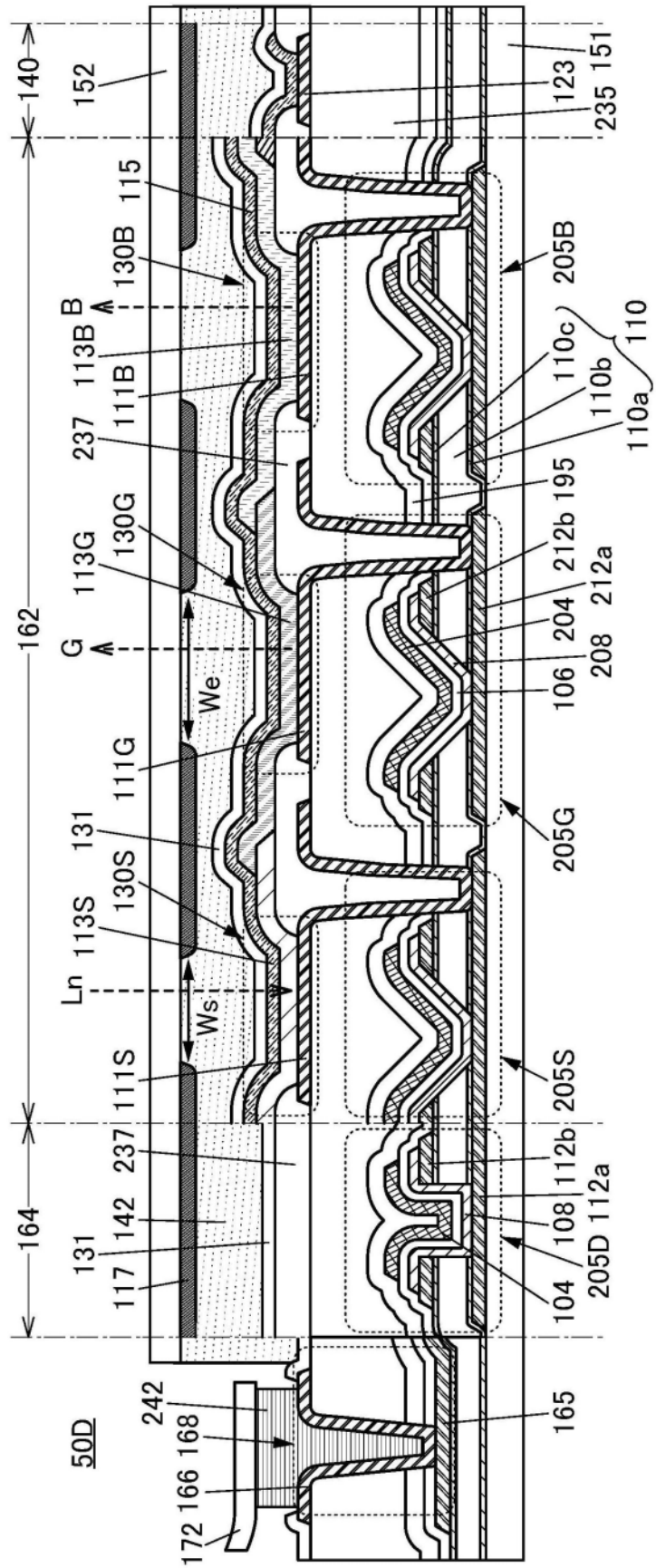


图26A

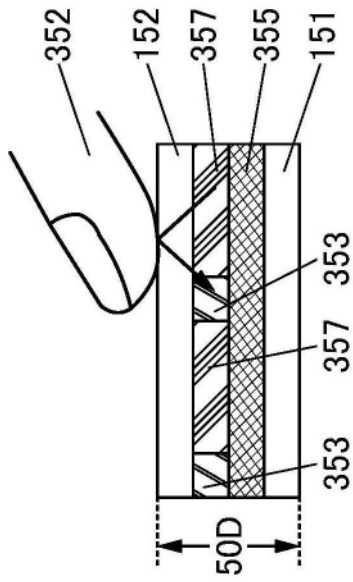


图26B

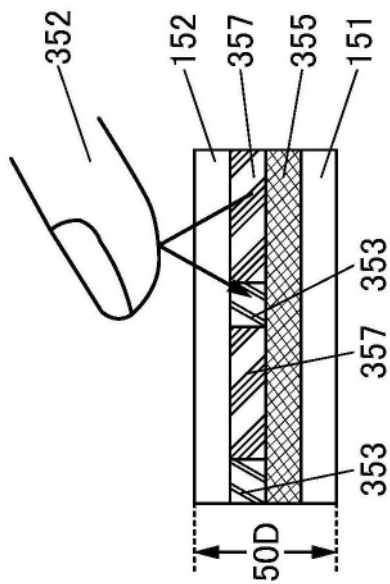


图26C

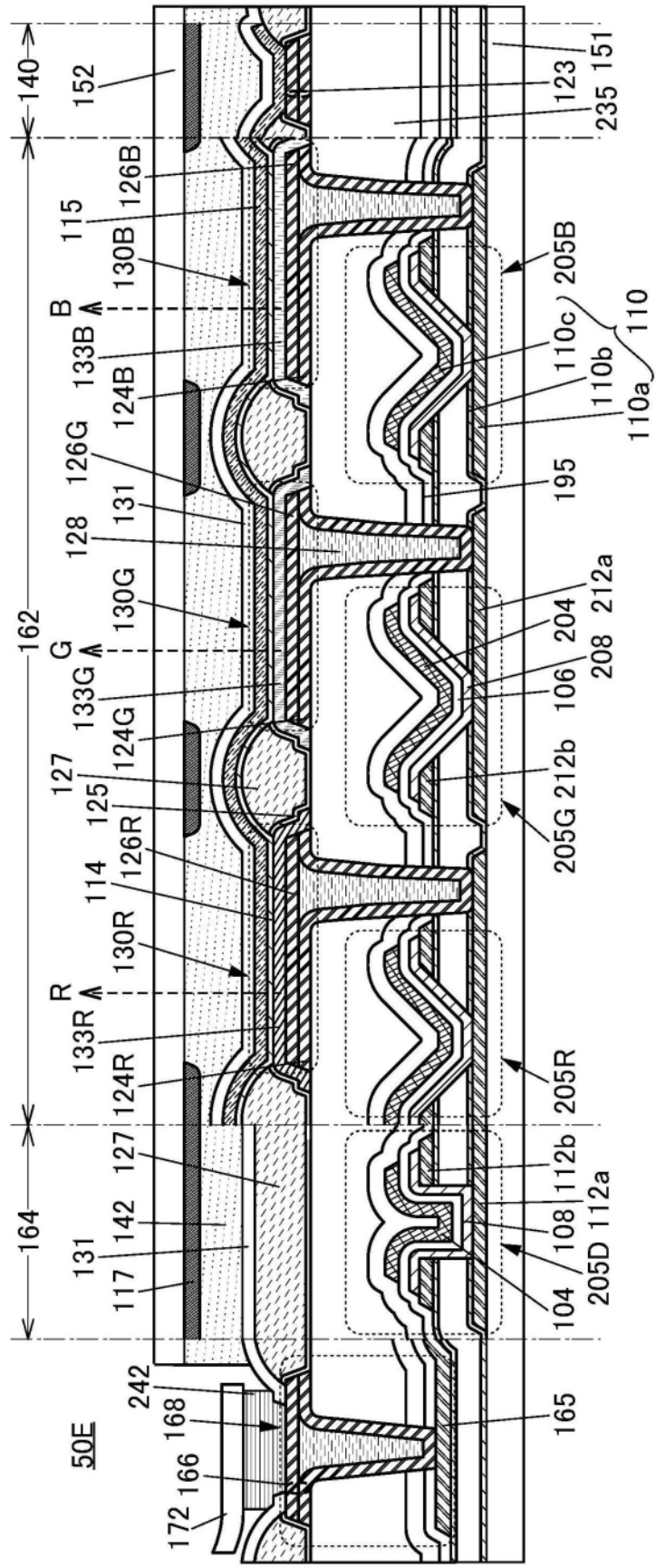


图27A

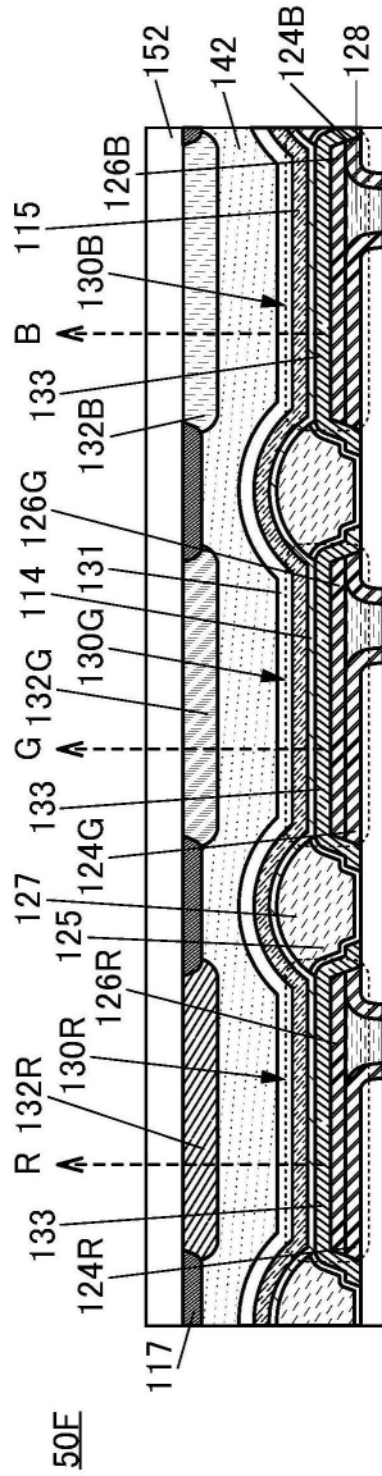


图27B

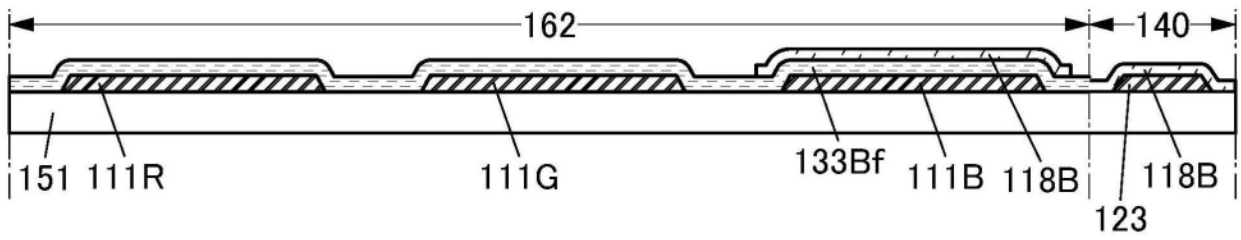


图28A

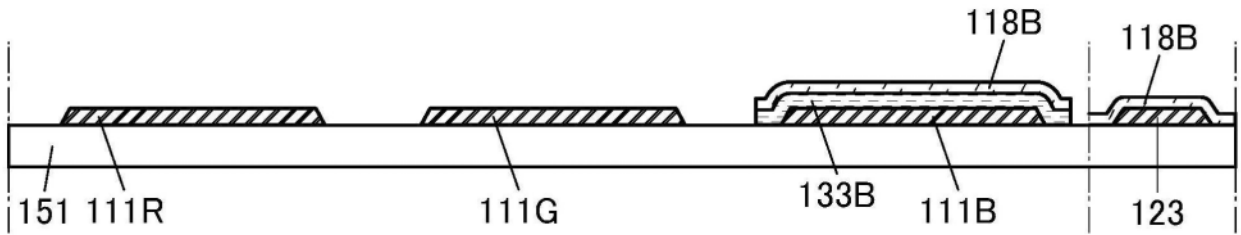


图28B

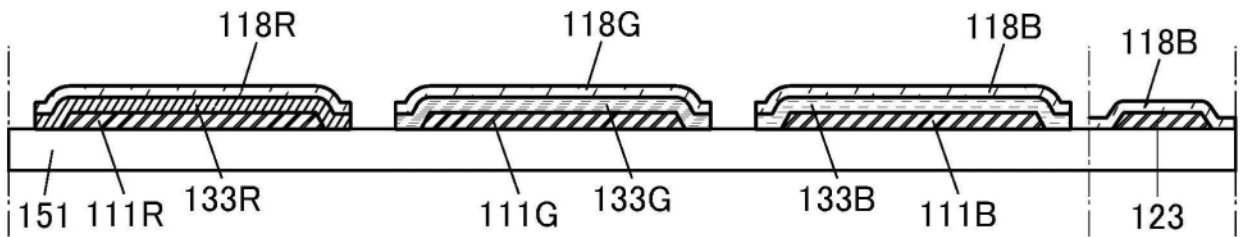


图28C

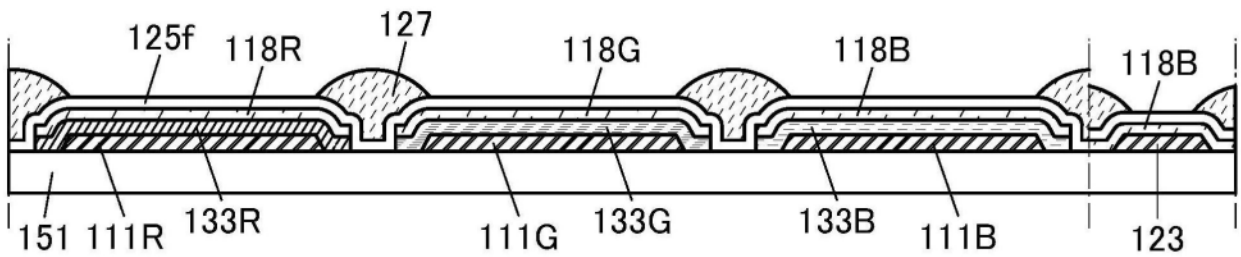


图28D

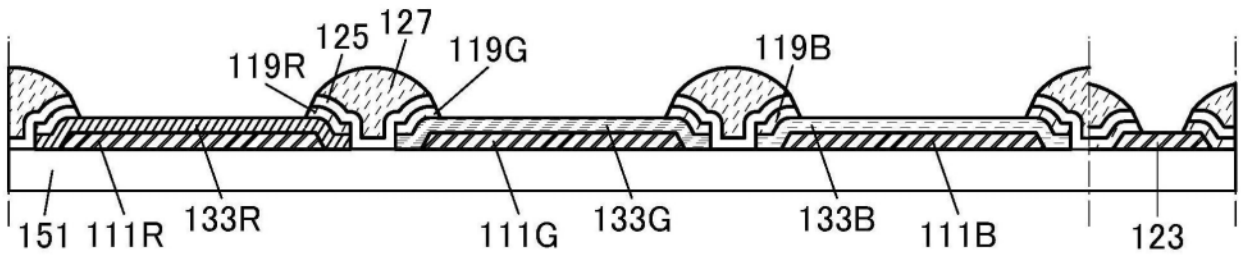


图28E

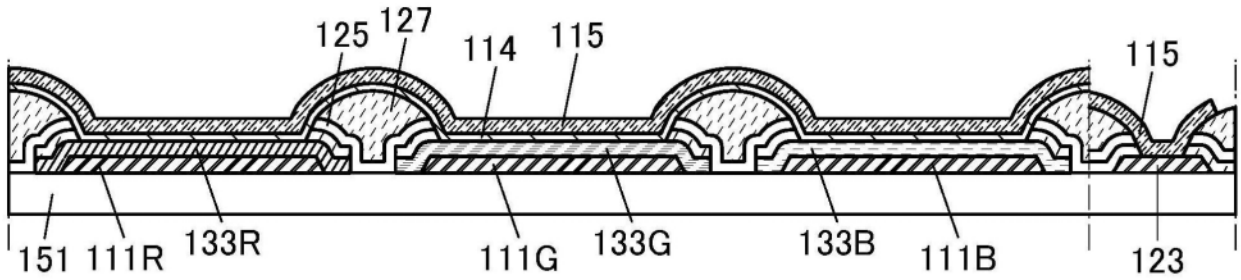


图28F

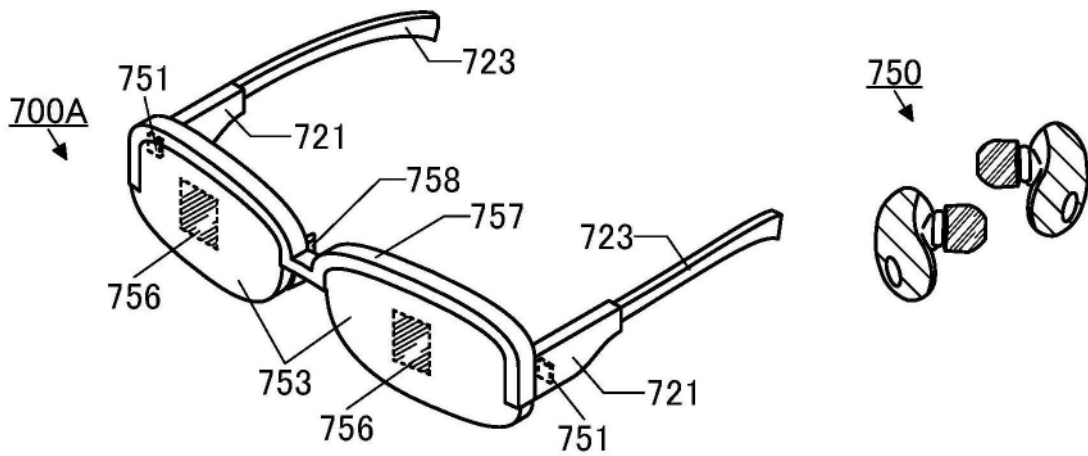


图29A

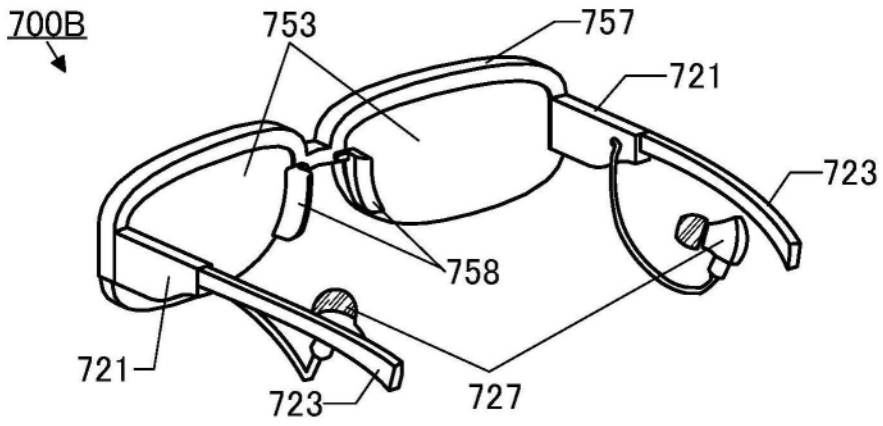


图29B

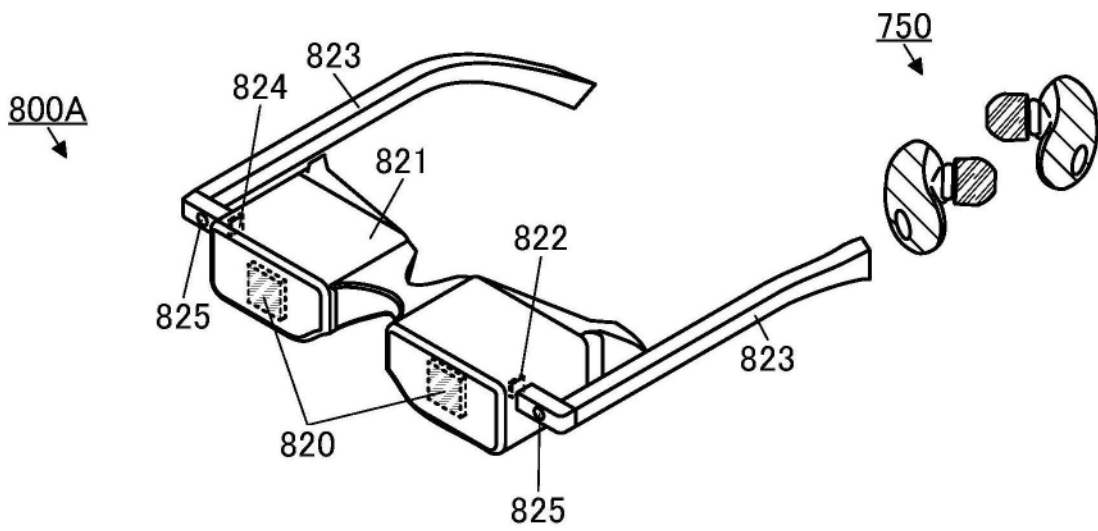


图29C

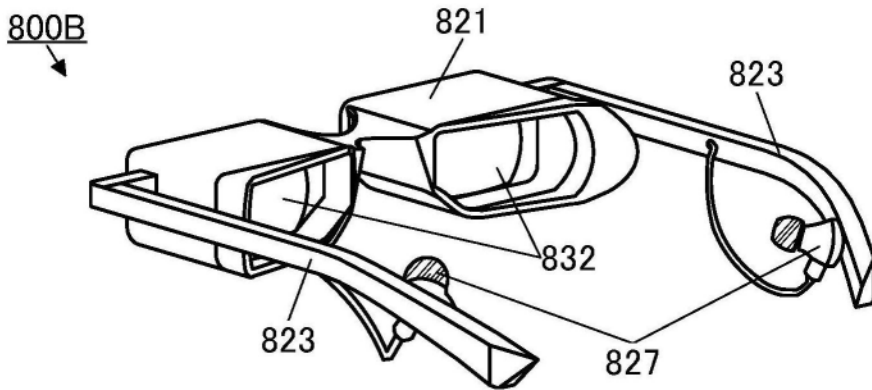


图29D

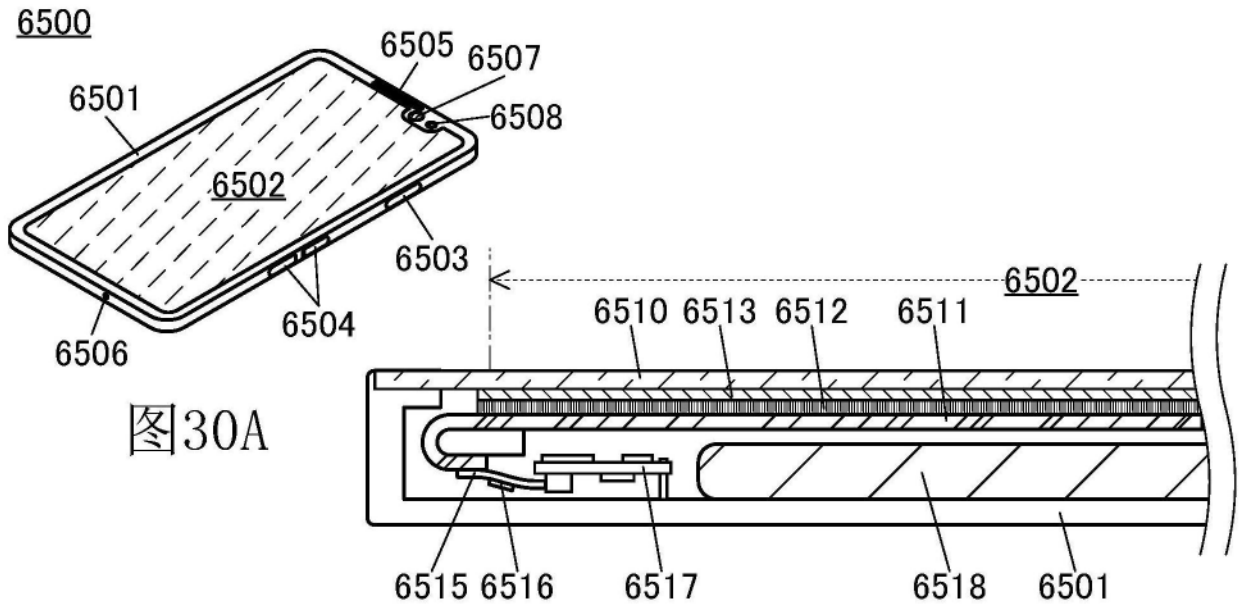


图30A

图30B

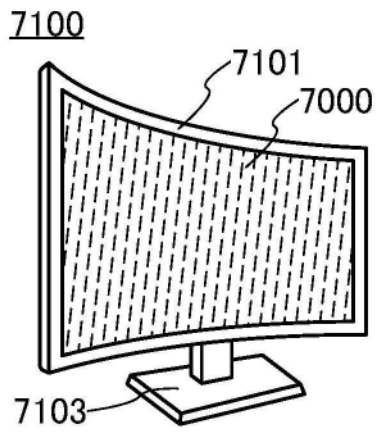


图30C

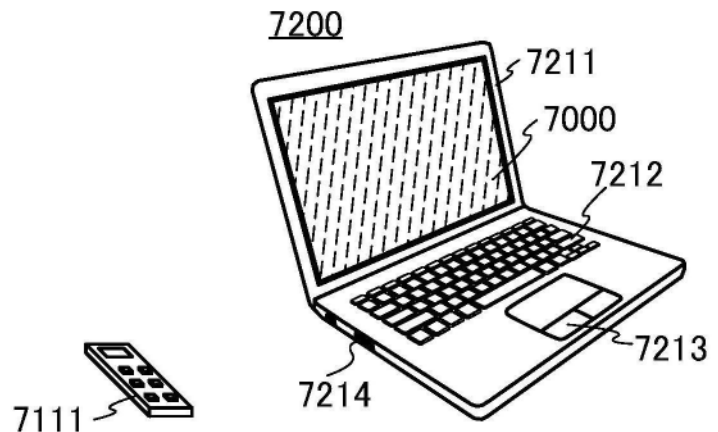


图30D

7300

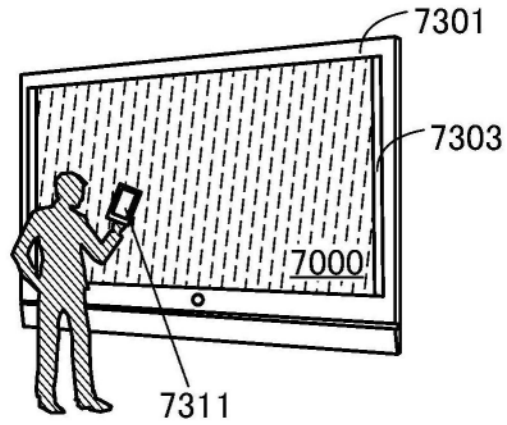


图30E

7400

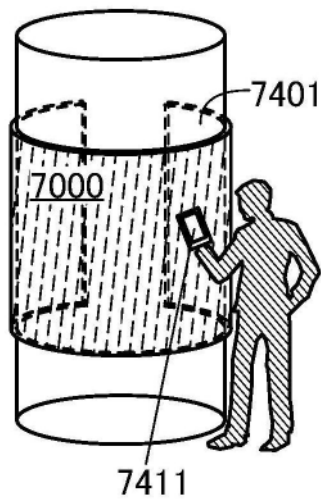


图30F

9101

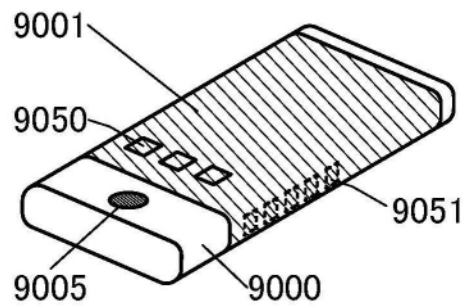


图31A

9102

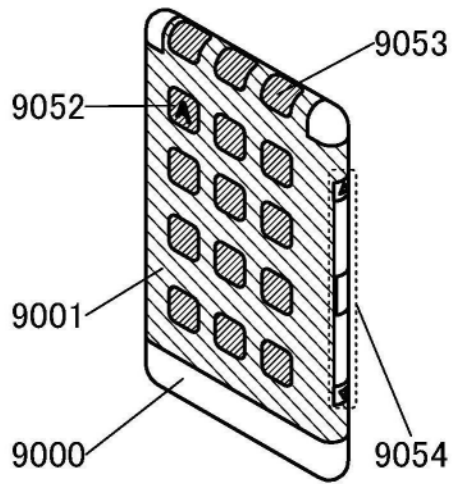


图31B

9103

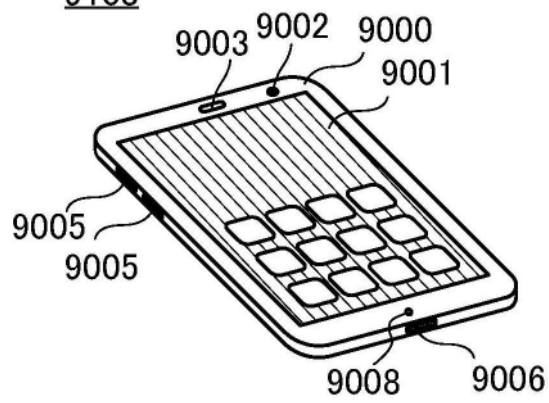


图31C

9200

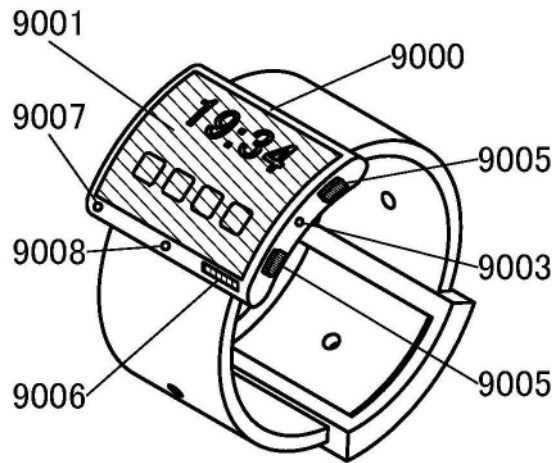


图31D

9201

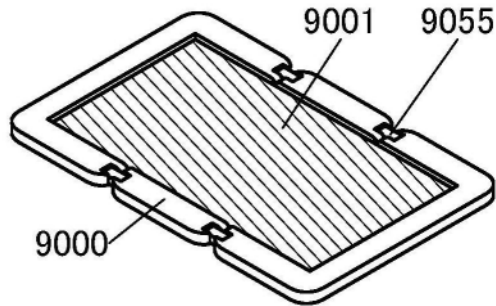


图31E

9201

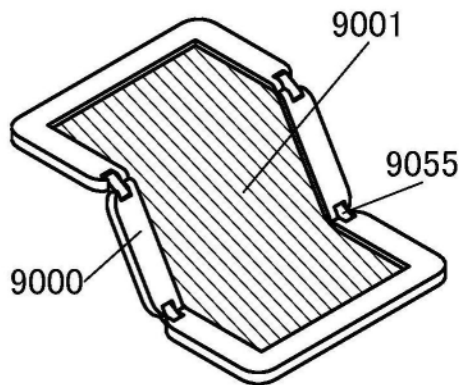


图31F

9201

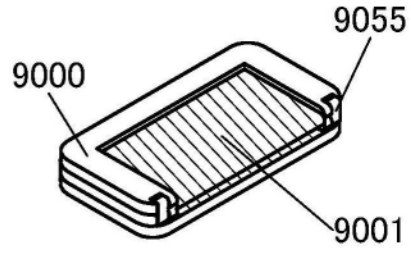


图31G