(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2014 年 4 月 10 日(10.04.2014)

WIPO | PCT

(10) 国際公開番号
WO 2014/054609 A1

(51) 国際特許分類:
H01L 23/12 (2006.01) *H01L 25/07* (2006.01)
H01L 23/36 (2006.01) *H01L 25/18* (2006.01)

(21) 国際出願番号: PCT/JP2013/076645

(22) 国際出願日: 2013 年 10 月 1 日(01.10.2013)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願 2012-222239 2012 年 10 月 4 日(04.10.2012) JP

(71) 出願人: 株式会社東芝 (KABUSHIKI KAISHA TOSHIBA) [JP/JP]; 〒1058001 東京都港区芝浦一丁目１番１号 Tokyo (JP). 東芝マテリアル株式会社 (TOSHIBA MATERIALS CO., LTD.) [JP/JP]; 〒2350032 神奈川県横浜市磯子区新杉田町８番地 Kanagawa (JP).

(72) 発明者: 加藤 寛正(KATO, Hiromasa). 星野 政則 (HOSHINO, Masanori).

(74) 代理人: 特許業務法人 東京国際特許事務所 (TOKYO INTERNATIONAL PATENT FIRM); 〒1050003 東京都港区西新橋一丁目１７番１６号 宮田ビル２階 Tokyo (JP).

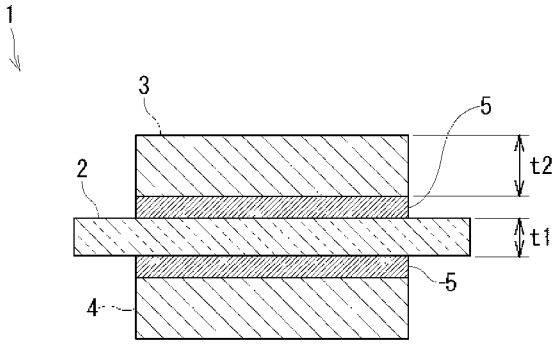
(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告（条約第 21 条(3)）

(54) **Title**: SEMICONDUCTOR CIRCUIT BOARD, SEMICONDUCTOR DEVICE USING SAME, AND METHOD FOR PRODUCING SEMICONDUCTOR CIRCUIT BOARD

(54) 発明の名称 : 半導体回路基板およびそれを用いた半導体装置並びに半導体回路基板の製造方法



(57) **Abstract**: A semiconductor circuit board in which a conductor portion is provided on an insulating substrate, and which is characterized in that the surface of a semiconductor element mounted portion of the conductor portion has an arithmetic average surface roughness (Ra) of 0.3 μm or less, a ten-point average roughness (Rzjis) of 2.5 μm or less, a maximum height (Rz) of 2.0 μm or less, and an arithmetic average waviness (Wa) of 0.5 μm or less. If t1 is the thickness of the insulating substrate and t2 is the thickness of the conductor portion, it is preferable that t1 and t2 satisfy $0.1 \leq t2/t1 \leq 50$. The above-described configuration enables the achievement of: a semiconductor circuit board that exhibits excellent TCT characteristics even if the amount of heat generation of a semiconductor element increases; and a semiconductor device which uses the semiconductor circuit board.

(57) 要約: 絶縁性基板上に導体部を設けた半導体回路基板において、導体部の半導体素子搭載部の表面粗さが、算術平均粗さでＲａ０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さがＲｚ２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下であることを特徴とする半導体回路基板である。また、絶縁性基板の厚さをｔ１、導体部の厚さをｔ２としたとき、０．１≦ｔ２／ｔ１≦５０であることが好ましい。上記構成によれば、半導体素子の発熱量が増加しても優れたＴＣＴ特性を示す半導体回路基板およびそれを用いた半導体装置が提供できる。

WO 2014/054609 A1

明　細　書

発明の名称 ：

半導体回路基板およびそれを用いた半導体装置並びに半導体回路基板の製造方法

技術分野

[0001] 本発明は、半導体回路基板およびそれを用いた半導体装置並びに半導体回路基板の製造方法に関する。

背景技術

[0002] 電子制御に使用される半導体チップ（半導体素子）は小型化が進みチップからの発熱量は増加の一途をたどっている。そのため、半導体チップを搭載する半導体回路基板（モジュール含む）においては放熱性の向上が重要になっている。これは、チップ上の一点だけでも半導体チップの真性温度を超えてしまうと、抵抗が負のマイナス側の温度係数に変化してしまうために、電力が集中的に流れる熱暴走を起こして瞬時に破壊してしまうためである。つまり、チップの電力損失に見合ったマージンを考慮した放熱設計を行うことが求められている。

[0003] 熱抵抗（Ｒｔｈ）はＲth＝Ｌ／（ｋ×Ａ）の式で表すことができる。式中、Ｒth は熱抵抗、Ｌは熱伝達経路、ｋは熱伝導度、Ａは放熱面積である。この式によると、熱抵抗（Ｒth）は、熱伝達経路（Ｌ）が短いほど、そして、熱伝動度（ｋ）と放熱面積（Ａ）が大きいほど減少する。なお、熱伝達経路（Ｌ）は一般的に回路基板の厚さに相当する。

[0004] 半導体チップを使用した一般的な半導体装置は、相異なる材質間の接触があり、熱伝達経路はチップ→半田→電極回路材→絶縁性基板→裏金属板→半田→放熱部材（ヒートシンク）であり、放熱部材以外は絶縁回路基板である。つまり、熱伝達経路の大部分を占める絶縁回路板の放熱性能が優れていなければ、半導体装置の性能向上を図ることはできない。

[0005] また、現在の半導体チップの主流であるＳｉチップの応答速度には限界が

見えており、更なる機器の小型化や性能向上のために、次世代半導体素子としてＳｉＣやＧａＮを用いたチップの開発が国を挙げてのプロジェクトとして急ピッチで進んでいる。特にＳｉＣチップは、動作可能温度がＳｉチップの主流が１２５～１５０℃であるのに対し、６００℃まで使用できると言われており、応答速度が速いだけでなく動作温度が高いことも特徴の一つになっている。

[0006] しかしながら、チップと電極回路材との接合に従来のような半田材を使用した場合には、動作温度が半田材の融点以下となり、高い動作温度という特徴を活かすことができないと考えられる。このため、高融点半田材の開発が行われているが現状では融点が６００℃以上で信頼性が十分なものは開発されていない。また、例えば、国際公開ＷＯ２００７／１０５３６１号パンフレット（特許文献１）には高融点半田材に替えてＡｇ－Ｃｕろう材を使うことが提案されている。特許文献１のような接合温度が６００℃以上となる高融点ろう材を使うことにより、電極回路材と半導体素子との接合の信頼性に関しては一定の向上が確認されている。

[0007] 一方で接合の信頼性向上だけではなく、更なる放熱性の改善が試みられている。例えば、半導体チップをろう材等の接合材を介さずに電極回路材に直接接合する方法、電極回路材を厚くして上下方向だけでなく横方向にも放熱を行う方法が考えられている。また、従来の半導体回路基板モジュールでは、絶縁回路基板を介してヒートシンクと接合する片面冷却方式が主流であるのに対し、半導体チップの両面から冷却させる両面冷却方式等が用いられるようになっている。

先行技術文献

特許文献

[0008] 特許文献1：国際公開ＷＯ２００７／１０５３６１号パンフレット

特許文献2：特許第３７９７９０５号公報

発明の概要

発明が解決しようとする課題

[0009] 前述のように半導体素子の動作温度の上昇に備えて、様々な放熱構造の改善が試みられている。半導体チップをろう材等の接合材を介さずに電極回路材に直接接合する方法は熱伝達経路（Ｌ）の短縮に繋がる。また、電極回路材を厚くして上下方向だけでなく横方向にも放熱を行う方法は放熱面積（Ａ）の増大になる。また、半導体チップの両面から冷却させる両面冷却方式も放熱面積（Ａ）の増大になる。

[0010] しかしながら、放熱性の更なる向上につながる各種の熱抵抗低減方式に適した半導体回路基板が無いと言った問題があった。

[0011] 本発明は、このような問題に対応するためのものであり、放熱性のよい半導体回路基板を提供するためのものである。

課題を解決するための手段

[0012] 本発明の半導体回路基板は、絶縁性基板上に導体部を設けた半導体回路基板において、導体部の半導体素子搭載部の表面粗さが、算術平均粗さＲａで０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さＲｚで２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下であることを特徴とするものである。

[0013] また、絶縁性基板の厚さをｔ１、導体部の厚さをｔ２としたとき、０．１≦ｔ２／ｔ１≦５０であることが好ましい。また、導体部の側面端部の断面角度が４５°以下であることが好ましい。また、導体部が金属板から成る一方、絶縁性基板がセラミックス基板から成り、金属板とセラミックス基板とを接合する接合層は金属板からのはみ出し領域（幅）が０．２ｍｍ以下であることが好ましい。また、絶縁性基板が、アルミナ基板、窒化アルミニウム基板、窒化珪素基板および絶縁樹脂基板のいずれか１種で構成されることが好ましい。また、導体部が、銅、銅合金、アルミニウムおよびアルミニウム合金のいずれか１種から成ることが好ましい。

[0014] また、本発明に係る半導体装置は、本発明の半導体回路基板の導体部に半導体素子を搭載したことを特徴とするものである。また、半導体素子がＳｉ

素子、ＧａＮ素子およびＳｉＣ素子から選択される１種以上であることが好ましい。また、半導体素子が接合材を介して導電部に接合されていることが好ましい。また、半導体素子が接合材を介さずに導体部に直接接合されていることが好ましい。

[0015] また、本発明の半導体回路基板の製造方法は、絶縁性基板上に導体部を形成する導体部形成工程と、導体部の半導体素子搭載部の表面粗さを算術平均粗さＲａで０．３μｍ以下にし、十点平均粗さＲｚｊｉｓで２．５μｍ以下にし、最大高さＲｚで２．０μｍ以下にし、かつ算術平均うねりＷａを０．５μｍ以下にする表面加工工程と、を具備することを特徴とするものである。

[0016] また、表面加工工程が、研磨工程であることが好ましい。また、研磨工程が、エッチング工程であることが好ましい。また、研磨工程が、プレス加工であることが好ましい。

発明の効果

[0017] 本発明の半導体回路基板は導体部の半導体素子搭載部の平坦性を大幅に向上させているので放熱性に優れている。また、半導体素子を搭載した半導体装置において、放熱性を向上させることができる。また、半導体素子を搭載する際に、接合材を使用する場合や接合材を使用しない場合のどちらにも対応できる。

図面の簡単な説明

[0018] [図1]本発明に係る半導体回路基板の一実施例を示す断面図である。

[図2]本発明に係る半導体回路基板の他の実施例を示す断面図である。

[図3]本発明に係る半導体回路基板のさらに別の実施例を示す断面図である。

[図4]本発明に係る半導体回路基板のさらに別の実施例を示す断面図である。

[図5]本発明に係る半導体装置の一実施例を示す断面図である。

[図6]本発明に係る半導体装置の他の実施例を示す断面図である。

[図7]本発明に係る半導体装置のさらに別の実施例を示す断面図である。

発明を実施するための形態

[0019] 本発明に係る半導体回路基板は、絶縁性基板上に導体部を設けた半導体回路基板において、導体部の半導体素子搭載部の表面粗さが、算術平均粗さでＲａ０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さがＲｚ２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下であることを特徴とするものである。

[0020] 図１に本発明の半導体回路基板の一実施例を示す。図１中、符号１は半導体回路基板であり、２は絶縁性基板であり、３は導体部であり、４は導体部（裏導体部）であり、５は絶縁性基板と導体部との接合層である。

[0021] まず、絶縁性基板は両面に設ける導体部３と導体部４との間の絶縁性が確保できるものであれば特に限定されるものではないが、絶縁性基板は、アルミナ基板、窒化アルミニウム基板、窒化珪素基板および絶縁樹脂基板のいずれか１種から構成されることが好ましい。アルミナ基板、窒化アルミニウム基板、窒化珪素基板および絶縁樹脂基板はいずれも優れた絶縁性を有することから、基板厚さが１．５ｍｍ以下と薄型化しても使用可能である。この中では窒化珪素基板が好ましい。窒化珪素基板は、例えば特許第３７９７９０５号公報（特許文献２）に示すように、３点曲げ強度が５００ＭＰａ以上であり、かつ熱伝導率が５０Ｗ／ｍ・Ｋ以上であるという強度および熱伝導率に優れたものが開発されている。窒化珪素基板であれば、後述するＳｉＣ素子のように使用温度が２００℃以上の高温になったとしても優れた耐久性を示す。また、２００℃以上の高温下で使用するのであれば、窒化珪素基板に限らず、アルミナ基板や窒化アルミニウム基板と言ったセラミックス基板であれば耐熱性に優れているので好ましい。

[0022] また、導体部が、銅、銅合金、アルミニウムおよびアルミニウム合金のいずれか１種からなることが好ましい。これらの金属は導電性に優れていることから好ましい。また、熱伝導率も高いことから放熱性にも優れている。また、導体部は銅、銅合金、アルミニウムおよびアルミニウム合金のいずれか１種からなる金属板であることが好ましい。また、導体部３および導体部４は接合層５を介して絶縁性基板２と接合されていることが好ましい。導体部

は接合層を介さずに絶縁性基板に接合してもよい。前述のように絶縁性基板としてセラミックス基板を使用すれば、ろう材を使用した活性金属接合法や、ろう材を使用しない直接接合法などの接合方法を適用することができる。

[0023] 本発明の半導体回路基板は、導体部の半導体素子搭載部の表面粗さが算術平均粗さＲａで０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さＲｚで２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下、であることを特徴とするものである。

[0024] なお、上記算術平均粗さＲａ、十点平均粗さＲｚｊｉｓ、最大高さＲｚ２．０μｍ以下および算術平均うねりＷａはＪＩＳ－Ｂ－０６０１（２００１）の規定に基づくものである。なお、ＪＩＳ－Ｂ－０６０１（２００１）における最大高さＲｚは、ＪＩＳ－Ｂ－０６０１（１９９４）におけるＲｙに対応する。また、ＪＩＳ－Ｂ－０６０１（２００１）における十点平均粗さＲｚｊｉｓは、ＪＩＳ－Ｂ－０６０１（１９９４）におけるＲｚに対応する。

[0025] 導体部の半導体素子搭載部の表面粗さが算術平均粗さＲａで０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さＲｚで２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下であるということは、導体部の半導体素子搭載部の平坦性が非常に優れていることを意味する。

[0026] 後述するように半導体素子の高性能化に伴う発熱量の増加が見込まれている。例えば、Ｓｉ素子のジャンクション温度は１５０～１７０℃の高温化が進められている。また、ＧａＮ素子またはＳｉＣ素子はジャンクション温度が３００～４００℃になると見込まれている。実際の使用温度は、それぞれジャンクション温度よりも低くなるが、一般的なＳｉ素子よりは高くなる傾向にある。半導体素子の発熱量が高くなると、導体部が熱膨張により歪んでくる。このとき導体部の半導体素子搭載部の平坦性が悪いと、導体部が歪んだときに半導体素子の位置ずれやはがれなどの不具合が生じる。本発明では、導体部の半導体素子搭載部の平坦性が非常に優れているので熱膨張に伴う

導体部の歪みが発生したとしても、その歪みを均一化できるので半導体素子の位置ずれやはがれなどの不具合を抑制できる。また、導体部と半導体素子との密着性が向上し、導体部と半導体素子との結合に欠陥として現れる未反応部や隙間（未接合部）の発生を抑制できる。同様に、接合材を介して導体部と半導体素子とを接合した場合も未反応部や隙間の発生を抑制できる。

[0027] 導体部の半導体素子搭載部の表面粗さは算術平均粗さでＲａ０．１μｍ以下であり、十点平均粗さＲｚｊｉｓで２．０μｍ以下であり、最大高さＲｚで１．２μｍ以下であり、かつ算術平均うねりＷａが０．１μｍ以下であることが好ましい。

[0028] また、絶縁性基板の厚さをｔ１、導体部の厚さをｔ２としたとき、０．１≦ｔ２／ｔ１≦５０であることが好ましい。後述するように、半導体素子はＳｉ素子、ＧａＮ素子、ＳｉＣ素子など様々なものがある。いずれの場合も高出力化に伴い発熱量が増加する傾向にある。半導体素子が発生する熱を効率的に放熱させるためには、熱伝導率が高い導体部が一定の厚さを具備していることが好ましい。ｔ１≦１．５ｍｍ、さらには０．１ｍｍ≦ｔ１≦０．８ｍｍであることが好ましい。絶縁性基板の厚さｔ１が０．１ｍｍ未満では、導体部３と導体部４との間の絶縁性を確保できない恐れがある。一方、絶縁性基板の厚さｔ１が１．５ｍｍを超えると絶縁性基板自体が熱抵抗体となり、半導体回路基板としての放熱性が低下する。さらに導体部の厚さｔ２は、１≦ｔ２／ｔ１≦１０、であることが好ましい。また、裏面側の導体部（導体部４）に関しても、絶縁性基板と同様の厚さ関係であることが好ましい。

[0029] また、導体部の側面端部の断面角度が４５°以下であることが好ましい。図２に導体部の側面端部に角度を付けた半導体回路基板の一例を示す。図２中、符号１は半導体回路基板であり、２は絶縁性基板であり、３は導体部であり、４は導体部（裏導体部）であり、５は絶縁性基板と導体部との接合層であり、６は接合層のはみ出し領域（幅）であり、θは導体部の側面端部の角度である。

[0030] 前述のように半導体素子の発熱量が高くなると、導体部が熱膨張により歪んでくる。このとき、導体部の側面端部の断面角度θを４５°以下と小さくすると、導体部の側面端部の熱膨張による歪みを小さくすることができる。導体部の側面端部の歪みを小さくすることができると、絶縁性基板と導体部との剥がれを抑制することができる。

[0031] また、導体部が金属板から成る一方、絶縁性基板がセラミックス基板から成り、金属板とセラミックス基板とを接合する接合層は金属板からのはみ出し領域（幅）が０．２ｍｍ以下であることが好ましい。接合層のはみ出し領域６は、セラミックス基板と金属板との接合面において金属板の側面端部からはみ出た接合層である。接合層のはみ出し領域６を設けることにより、セラミックス基板と金属板の接合端面との剥がれを抑制することができる。はみ出し領域６の幅が０．２ｍｍを超えて大きいと、それ以上のはがれ抑制効果が得られないだけでなくコストアップの要因となる。また、前述の導体部の側面端部の断面角度４５°以下にすることと組み合わせると、さらに効果的である。特に、導体部の厚さｔ２が２ｍｍ以上の厚い導体部を設ける場合に有効である。

[0032] また、図３および図４に本発明の半導体回路基板の他の実施例を示す。図中の符号は図１と同一である。図３は導体部３を凸状に形成したものであり、図４は導体部３を凹状に形成したものである。図３において、導体部の半導体素子搭載部は、凸面の一番高い箇所であってもよいし、段差部であってもよい。また、図４において、導体部の半導体素子搭載部は、凹部の一番低い箇所であってもよいし、高い箇所であってもよい。いずれの場合であっても、半導体素子導体部の表面粗さを算術平均粗さＲａで０．３μｍ以下、十点平均粗さＲｚｊｉｓで２．５μｍ以下、最大高さＲｚで２．０μｍ以下、かつ算術平均うねりＷａで０．５μｍ以下の平坦面とする。

[0033] 図３のような凸状導電部であると、導電部の凸面の一番高い所に半導体素子を搭載することにより、導電部の端部の熱膨張を緩和できるので絶縁性基板と導電部のはがれを抑制できる。また、図４のような凹状導電部であると

、導電部の凹部の一番低い箇所に半導体素子を搭載することにより、半導体素子の熱を、導体部を経由して効率的に放熱できる。

[0034] なお、図３のような凸状導体部の場合、導体部の厚さｔ２は導体部の最も厚い箇所をｔ２とする。また、図４のような凹状導体部の場合も、導体部の厚さｔ２は導体部の最も厚い箇所をｔ２とする。

[0035] 以上のような半導体回路基板は、導体部の半導体素子搭載部が優れた平坦性を有しているので、半導体素子の発熱量が上がったとしても導体部の歪みを抑制できるので半導体素子の剥がれなどの不具合を抑制できる。従って、本発明の半導体回路基板を使った半導体装置は信頼性を向上させることができる。

[0036] また、半導体装置に用いる半導体素子としては、Ｓｉ素子、ＧａＮ素子、ＳｉＣ素子、熱電素子など様々な半導体素子に適用できる。これらの中では、特に、Ｓｉ素子、ＧａＮ素子、ＳｉＣ素子のいずれか１種以上であることが好ましい。Ｓｉ素子のジャンクション温度は１５０～１７０℃の高温化が進められている。また、ＧａＮ素子またはＳｉＣ素子はジャンクション温度が３００～４００℃になると見込まれている。いずれの場合も使用温度が１３０℃以上、さらには２００℃以上と高くなる方向にある半導体素子である。

[0037] 本発明の半導体回路基板は、半導体素子導体部の平坦性を向上させているので使用温度が高くなっても、半導体素子の位置ずれを防ぐことができる。そのため、接合材を介して半導体素子を導電部に接合する方法、接合材を介さずに半導体素子を導体部に直接接合させる方法の両方とも適用することができる。図５に接合層８を介して半導体素子７を搭載した半導体装置の一実施例を示す。また、図６に接合層を介さずに半導体素子７を搭載した半導体装置の一例を示す。図５および図６中、符号１は半導体回路基板（半導体装置）であり、２は絶縁性基板であり、３は導体部であり、４は導体部（裏導体部）であり、５は絶縁性基板と導体部との接合層であり、７は半導体素子であり、８は半導体素子を接合するための接合層である。

[0038] 半導体素子が接合材を介して導電部に接合されている構造をとる際の接合材は、半田、活性金属ろう材または熱伝導性樹脂が挙げられる。

[0039] 半田は鉛フリー半田が好ましく、融点が半導体素子の使用温度よりも１００℃以上高いものが好ましい。

[0040] また、活性金属ろう材は、Ｔｉ、Ｚｒ、Ｈｆから選ばれる少なくとも１種の活性金属を含有するＡｇ－Ｃｕ合金ろう材である。活性金属ろう材は、活性金属を１～６質量％、Ｃｕを１０～３５質量％、残部Ａｇであることが好ましく、必要に応じ、ＩｎまたはＳｎを１０～２０質量％を添加してもよい。活性金属ろう材は融点が７００℃以上と高いことから、半導体素子の使用温度が２００℃以上の高温になったとしても強固な接合を維持できる。

[0041] 一方、半導体素子が接合材を介さずに導体部に直接接合されている構造とするには、圧着法、摩擦攪拌接合法（ＦＳＷ：Friction Stir Welding）または常温接合法が挙げられる。

[0042] ここで上記圧着法は、半導体素子を導体部の半導体素子搭載部に接触させ、一定の圧力で押し込んで接合する方法である。また、必要に応じ、熱を加えながら一定の圧力で押し込んで接合したり、接合面を真空中でＡｒビーム等を接合面に照射して表面を活性化したりして接合してもよい。

[0043] また、摩擦攪拌接合法（ＦＳＷ）は、半導体素子または半導体回路基板のどちらか一方を回転させながら相手部材に圧力で押し当て、その摩擦熱と攪拌力で接合する方法である。摩擦熱と攪拌力を利用しているため、母材を溶融せずに塑性流動を利用した固相接合を行うことができる。

[0044] 上記圧着法、摩擦攪拌接合法または常温接合法のように接合材を用いずに半導体素子と導体部を直接接合しているので、接合材の剥がれによる接合不良を発生させることがない。また、半導体素子が直接的に導体部と接合されているので、半導体素子の発熱量が増加したとしても放熱性が良好である。

[0045] また、図７にヒートシンクを接合した半導体装置（半導体回路基板）を示す。図７中、符号１は半導体回路基板であり、２は絶縁性基板であり、３は導体部であり、４は導体部（裏導体部）であり、５は絶縁性基板と導体部と

の接合層であり、７は半導体素子であり、８は半導体素子を接合するための接合層であり、９はヒートシンクである。裏導体部４にヒートシンク９を接合することにより、さらに放熱性を向上させることができる。

[0046] 本発明の半導体装置は、半導体素子の発熱量が増大したとしても、優れた放熱性を維持した上で、半導体素子と導体部との接合の信頼性を維持できる。また、導電部の側面端部形状や導電部と絶縁性基板の接合層のはみ出し量を調整することにより、導電部および絶縁性基板のＴＣＴ特性が向上し、剥がれの不具合が発生することを抑制できる。そのため、半導体装置としてのＴＣＴ特性を大幅に向上し、信頼性を向上させることができる。そのため、自動車や電気自動車、電鉄車両、産業機械およびエアコン等のインバターに用いられるＰＣＵ（出力調整装置）、ＩＧＢＴ（絶縁ゲートバイポーラトランジスタ）、ＩＰＭ（インテリジェントパワーモジュール）など様々な分野に適用できる。

[0047] 次に製造方法について説明する。本発明の半導体回路基板の製造方法は特に限定されるものではないが、効率的に回路基板を得るための方法として以下の方法がある。

[0048] まず、絶縁性基板を用意する。絶縁性基板としては、セラミックス基板や絶縁性樹脂基板が挙げられる。セラミックス基板としては、アルミナ基板、窒化アルミニウム基板、窒化珪素基板が好ましい。また、アルミナ基板は、熱伝導率は１０～３０Ｗ／ｍ・Ｋであるが、３点曲げ強度が４００ＭＰａ以上と高い。また、アルミナ基板は窒化アルミニウム基板や窒化珪素基板と比較して安価であるため、コスト低減のためには効果的である。また、窒化アルミニウム基板は熱伝導率１７０Ｗ／ｍ・Ｋ以上の熱伝導率の高いものが好ましい。窒化アルミニウム基板は、３点曲げ強度２５０ＭＰａ以上とアルミナ基板と比較して低いが、焼結助剤成分などを改善することにより３５０～５５０ＭＰａと高強度化することができる。また、窒化珪素基板は、熱伝導率５０Ｗ／ｍ・Ｋ以上かつ３点曲げ強度５００ＭＰａ以上の高熱伝導・高強度のものが好ましい。

[0049] 絶縁性樹脂基板は、絶縁性を確保できれば特に限定されるものではない。また、絶縁性樹脂基板はセラミックス基板と比較して安価である。絶縁性基板の選択は、搭載する半導体素子の発熱量や用途毎の使用環境に応じて選択するものとする。例えば、ＳｉＣ素子のように素子の発熱が高温になる場合はセラミックス基板が好ましい。特に、窒化珪素基板は高熱伝導化かつ高強度化することにより、基板厚さを０．４ｍｍ以下と薄くできる。基板厚さを薄くすることにより、窒化珪素基板が熱抵抗体となることを防止することができるので、さらに放熱性を向上させることができる。また、絶縁性基板は厚さ１．５ｍｍ以下、さらには０．１～１．０ｍｍのものが好ましい。

[0050] 次に、絶縁性基板に導電部を設ける工程を行う。導体部は、金属板、金属粉末ペーストを焼成したもの、スパッタ膜などの金属蒸着膜、金属メッキ膜などが挙げられる。この中では、金属板が好ましい。金属板であれば、金属板の厚さｔ２と絶縁性基板の厚さｔ１の厚さ比を調整し易い。

[0051] また、金属板と絶縁性基板との接合は、絶縁性基板がセラミックス基板の場合、直接接合法（ＤＢＣ法）や活性金属ろう材法が好適である。また、絶縁性基板が絶縁性樹脂基板である場合、接着剤などで接合する方法が挙げられる。

[0052] また、半導体素子を搭載する導体部の形状を図３に示すような凸状導体部を形成する場合または図４に示すような凹状導体部を形成する場合、予め凸状金属板や凹状金属板を用いてもよいし、後述するようにエッチング加工やプレス加工により形状を整えてもよい。

[0053] また、必要に応じ、エッチング加工やプレス加工により、導電部に回路形状を付与するものとする。また、エッチング加工により、導体部の側面端部形状および接合層のはみ出し領域（幅）を調整するものとする。

[0054] また、導体部を接合した絶縁性基板を調製した後、半導体素子搭載部の平坦性を向上させる研磨加工を行う。平坦性を向上させる研磨加工は、エッチング加工またはプレス加工である。算術平均粗さＲａで０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さＲｚで２．

０μｍ以下であり、かつ算術平均うねりＷａで０．５μｍ以下である平坦面を得るための研磨加工は、前述の回路形状を付与するためのエッチング加工やプレス加工とは異なる条件となる。

[0055] すなわち、回路形状を整える加工の場合、導体部の不要な箇所を完全に除去する必要がある。それに対し、平坦性を向上させる研磨加工は、導体部を完全に除去するのではなく、半導体素子搭載部のみを目的とする平坦面になるように加工するもので、導体部の厚さを１～５０μｍ除去することにより平坦面を形成する。

[0056] 特に、前述の接合材を介さない方法で半導体素子を搭載する場合には、導体部の半導体素子搭載部は算術平均粗さＲａで０．１μｍ以下であり、十点平均粗さＲｚｊｉｓで２．０μｍ以下であり、最大高さＲｚで１．２μｍ以下であり、かつ算術平均うねりＷａで０．１μｍ以下であることが好ましいため、導体部は１０μｍ以上除去することが望ましい。

[0057] エッチング加工の場合、エッチング液や浸漬あるいは流動時間等の処理条件を導体部の材質と必要とする平坦性に応じて選定する。また、プレス加工の場合は、プレス金型の表面を目的とする平坦面として導体部に真空中にて７００～８６０℃で加熱しながら加圧するプレス加工を行うものである。また、導体部の半導体素子搭載部のみを平坦面とすることにより、半導体素子を搭載する箇所を識別し易くなるマーキング効果も得ることができる。なお、平坦面とするのは、導体部の半導体素子搭載部のみでよいが、導体部の全面を平坦面としてもよいことは言うまでもない。

[0058] 次に、半導体装置の製造方法として、得られた半導体回路基板に半導体素子を搭載する工程を行う。半導体素子と導電部の半導体素子搭載部との接合は、前述のように接合材を介する方法または接合材を介さない方法のいずれでもよい。

[0059] 半導体素子が接合材を介して導電部に接合されている構造をとる際の接合材は、半田、活性金属ろう材または熱伝導性樹脂が挙げられる。この接合材の厚さは３０μｍ以下、さらには１０μｍ以下と薄い方がよい。接合材を薄

くすることにより、半導体素子搭載部を平坦面にした効果がより得られるようになる。

[0060] また、半導体素子を接合するための活性金属ろう材は、金属成分の合計を１００ｗｔ（質量）％としたとき、Ｔｉを１～６ｗｔ％、Ｃｕを１０～３５ｗｔ％、ＳｎまたはＩｎの１種または２種を１０～２０ｗｔ％、Ａｇを残部とすることが好ましい。Ａｇ－Ｃｕ－Ｔｉから成る活性金属ろう材にＳｎまたはＩｎの１種または２種を添加させることにより活性金属ろう材の共晶温度を下げることができる。活性金属ろう材の共晶温度を下げることにより、接合温度を６５０～８００℃にすることができる。セラミックス基板と銅板とを接合する場合には、Ａｇ－Ｃｕ－Ｔｉから成る活性金属ろう材の接合温度が８２０～９００℃となる。

[0061] これに対して、半導体素子を接合するための活性金属ろう材の接合温度を８００℃以下とすることにより、セラミックス基板と銅板との接合温度をより低くすることができる。これにより、半導体素子の接合工程の加熱処理によりセラミックス基板と銅板との接合層に悪影響が発現しないようにすることができる。

[0062] なお、セラミックス基板と銅板との接合と、銅板と半導体素子との接合とを同時に実施する場合には、同じ組成の活性金属ろう材を使用することが好ましい。

[0063] また、接合材を介さない場合は、圧着法、摩擦攪拌接合法（ＦＳＷ）、常温接合法などが挙げられる。

[0064] 圧着法は、半導体素子を導体部の半導体素子搭載部に接触させ、一定の圧力で押し込んで接合する方法である。また、必要に応じ、熱を加えながら一定の圧力で押し込んで接合したり、接合面を真空中にてＡｒビーム等を照射させることで表面を活性化して接合したりしてもよい。また、摩擦攪拌接合法（ＦＳＷ）は、半導体素子または半導体回路基板のどちらか一方を回転させながら相手部材に圧力で押し当て、その摩擦熱と攪拌力で接合する方法である。摩擦熱と攪拌力を利用しているため、母材を溶融せずに塑性流動を利

用した固相接合を行うことができる。

[0065] また、半導体素子は、Ｓｉ素子、ＧａＮ素子、ＳｉＣ素子など様々なものが適用できる。特に、使用温度が１３０℃以上、さらには２００℃以上の高温になる半導体素子であったとしても、導電部の半導体素子搭載部を平坦面にしているので、導電部と半導体素子との接合の信頼性を向上させることができる。また、半導体素子と導電部との間の未反応部や隙間を抑制できるので、接合面に熱抵抗体となる部分が形成されないので効率的に放熱できる。このため、使用温度が高くなる半導体素子を搭載する場合は、圧着法、摩擦攪拌接合法、常温接合法のような接合材を介さない方法が好ましい。

[0066] また、接合材を介さずに導電部の半導体素子搭載部へ半導体素子の接合を実施する場合は、２ｋＮ以上の荷重を負荷させて半導体素子を接合することが好ましい。銅板としては無酸素銅板が好適に使用される。無酸素銅板のビッカース硬度（ＨＶ）は、ＪＩＳ－Ｈ－３１００にて５５以上、さらには５５～１２０程度と規定されている。また、荷重負荷を２ｋＮ以上とすることにより、無酸素銅板からなる導電部の半導体素子搭載部に半導体素子が傾くこと無く、正確に圧入させることができる。なお、負荷の上限は２０ｋＮ以下であることが好ましい。負荷の上限が２０ｋＮを超えると銅板が変形してしまうおそれがある。そのため、負荷は２～２０ｋＮ、さらには３～１０ｋＮであることが好ましい。

[0067] また、摩擦攪拌接合法については、半導体素子に回転速度５００～４０００ｒｐｍに相当する動きを与えることで、負荷を２ｋＮ未満にすることもできる。

[0068] 圧着法または摩擦攪拌接合法を上記条件で実施すれば、半導体素子と導電部の半導体素子搭載部との接合部に隙間が生じないように両者を接合することができる。隙間の発生の有無は超音波探傷法にて分析することができる。なお、超音波探傷法は、パルス反射法を用いた垂直探傷法により実施するものとする。

[0069] また、図５～７では、半導体素子を一個のみ搭載した構造を実施例として

示したが、本発明はこれらに限らず、半導体素子を複数個搭載してもよい。半導体素子は、歩留りやコストを考慮して、小面積化していく傾向にある。小型の半導体素子を搭載する場合、導体部とのわずかな接合不良であっても熱抵抗体となり、放熱性に影響する。また、小面積の半導体素子の場合、半導体装置として容量を増加させるには、複数の半導体素子を並列接続する必要がある。このような場合も、個々の半導体素子を搭載する導電部の半導体素子搭載部を平坦面とすることにより、同様の効果が得られる。従って、複数個の半導体素子を搭載する半導体装置にも好適である。

[0070] （実施例）

（実施例１～１０および比較例１～３）

絶縁性（セラミックス）基板（縦３０ｍｍ×横３５ｍｍ）として、アルミナ基板（厚さ０．６３５ｍｍ、熱伝導率１５Ｗ／ｍ・Ｋ、３点曲げ強度４５０ＭＰａ）、窒化アルミニウム基板（厚さ０．６３５ｍｍ、熱伝導率１８０Ｗ／ｍ・Ｋ、３点曲げ強度４００ＭＰａ）、窒化珪素基板（厚さ０．３２０ｍｍ、熱伝導率９０Ｗ／ｍ・Ｋ、３点曲げ強度６５０ＭＰａ）を用意した。

[0071] 次に、活性金属ろう材法により、絶縁性基板の両面に銅板（縦２５ｍｍ×横３０ｍｍ）を接合した。なお、活性金属ろう材はＴｉ３ｗｔ％、Ｃｕ３０ｗｔ％、残部Ａｇのものを用い、厚さ１５μｍで塗布して、真空中（10^{-3} Ｐａ以下）で、温度８２０～８６０℃で加熱接合した。また、銅板は無酸素銅板（ビッカース硬度Ｈｖ８０）のものを用いた。

[0072] 次に、回路形状を設けるために、表面の銅板にエッチングレジストを印刷し、エッチング処理を行って回路パターンを形成した後、エッチングレジストを剥離した。また、必要に応じ、回路パターンの端部をエッチング加工して、銅板の側面端部の断面角度θおよび接合層のはみ出し領域を調整した。

[0073] 得られた半導体回路基板のサイズは、表１に示した試料１～８である。

[表1]

試料No.	ｾﾗﾐｯｸｽ基板	導体部			
		表面（材質×厚さmm）	裏面（材質×厚さmm）	側面端部の断面角度θ（°）	接合部のはみ出し領域（mm）
試料1	ｱﾙﾐﾅ基板	銅×0.3	銅×0.3	90	0
試料2	ｱﾙﾐﾅ基板	銅×0.6	銅×0.6	45	0.1
試料3	AlN基板	銅×0.1	銅×0.1	90	0
試料4	AlN基板	銅×0.3	銅×0.3	60	0.1
試料5	窒化珪素基板	銅×1.0	銅×1.0	45	0.1
試料6	窒化珪素基板	銅×5.0	銅×5.0	30	0.2
試料7	窒化珪素基板	銅×10.0	銅×10.0	90	0.2
試料8	AlN基板	ｱﾙﾐﾆｳﾑ×0.1	ｱﾙﾐﾆｳﾑ×0.1	60	0

[0074] 次に、試料１～８の半導体回路基板に対し、半導体素子搭載部を表２に示す平坦面に加工した。なお、研磨加工方法はエッチング加工にて行って実施例とした。また、研磨加工を行わないものを比較例とした。

[表2]

試料No.	半導体回路基板	半導体素子搭載部の平坦性			
		Ra（μm）	Rzjis（μm）	Rz（μm）	Wa（μm）
実施例1	試料1	0.3	2.5	2.0	0.5
実施例2	試料2	0.1	2.0	1.2	0.05
実施例3	試料3	0.2	2.0	1.8	0.4
実施例4	試料4	0.1	1.7	1.0	0.04
実施例5	試料5	0.1	1.5	1.0	0.03
実施例6	試料6	0.3	2.5	2.0	0.5
実施例7	試料6	0.1	2.0	1.0	0.3
実施例8	試料6	0.1	1.5	1.0	0.02
実施例9	試料7	0.1	1.5	1.0	0.3
実施例10	試料7	0.1	1.3	1.0	0.02
実施例11	試料8	0.3	2.4	1.8	0.5
比較例1	試料1	0.8	9.2	9.7	3.2
比較例2	試料3	0.5	3.0	2.7	5.8
比較例3	試料5	0.4	2.5	3.0	0.8
比較例4	試料8	0.5	3.0	3.8	1.0

[0075] 実施例１～１０および比較例１～３に係る半導体回路基板に対し、導体部の半導体素子搭載部に半導体素子を搭載して半導体装置を作製した。導体部と半導体素子との接合条件は表３に示す通りである。なお、接合材を介する方法として活性金属ろう材を用い、ろう材を介さない方法として、圧着法、摩擦攪拌接合法（ＦＳＷ）を用いた。

[0076] なお、活性金属ろう材を用いた接合法は、Ｔｉ３ｗｔ％、Ｃｕ２０ｗｔ％、Ｓｎ８ｗｔ％、Ｉｎ８ｗｔ％、Ａｇ残部からなる活性金属ろう材を用いて、厚さ１０μｍ塗布して、真空中（10^{-3}Ｐａ以下）で温度７００～７５０℃で加熱接合した。また、圧着法は荷重負荷３～１０ｋＮにて行った。また、摩擦攪拌接合法（ＦＳＷ）は半導体素子を回転速度１０００～３０００ｒｐｍで回転させながら、荷重負荷１ｋＮにて接合した。

[0077] こうして調製した各半導体装置に対して、ＴＣＴ試験（熱サイクル試験）を実施した。ＴＣＴ試験は、試験１として、－５０℃×３０分→室温×１０分→１５５℃×３０分→室温×１０分を１サイクルとして２０００サイクル実施した。また、試験２として、セラミック基板として窒化珪素基板を用いた試料について、－５０℃×３０分→室温×１０分→２１０℃×３０分→室温×１０分を１サイクルとして２０００サイクル実施した。

[0078] そして試験後の、セラミックス基板と銅板との接合不良の有無、銅板と半導体素子との接合不良の有無を目視及び超音波探傷法により確認した。なお、超音波探傷法はパルス反射法による垂直探傷法により銅板と半導体素子との接合部（半導体素子と銅板の半導体素子搭載部との接合部）に隙間が確認されたものを不良、隙間が確認されなかったものを良品（不良のなかったもの）とした。この結果、不良のなかったものを「○」、不良のあったものを「×」で示した。

[表3]

試料No.	半導体素子の接合法	TCT試験			
		試験1		試験2	
		ｾﾗﾐｯｸｽ基板と銅板の接合不良の有無	銅板と半導体素子の接合不良の有無	ｾﾗﾐｯｸｽ基板と銅板の接合不良の有無	銅板と半導体素子の接合不良の有無
実施例1	活性金属ろう材	○	○	×	○
実施例2	圧着	○	○	×	○
実施例3	活性金属ろう材	○	○	×	○
実施例4	FSW	○	○	×	○
実施例5	活性金属ろう材	○	○	○	○
実施例6	圧着	○	○	○	○
実施例7	FSW	○	○	○	○
実施例8	活性金属ろう材	○	○	○	○
実施例9	FSW	○	○	○	○
実施例10	圧着	○	○	○	○
実施例11	FSW	○	○	○	○
比較例1	活性金属ろう材	○	×	×	×
比較例2	活性金属ろう材	○	×	×	×
比較例3	圧着	○	×	○	×
比較例4	圧着	○	×	○	×

[0079] 上記表３に示す結果から明らかなように各実施例に係る半導体装置は、１５０℃、さらには２００℃以上の高温度使用環境においても、優れたＴＣＴ特性を示すことが判明した。特に窒化珪素基板を用いたものは優れた特性を示した。また、実施例に係る半導体装置は、試験２の完了後であったとしても、半導体素子と銅板との接合部に隙間は観察されなかった。なお、実施例１～４は試験２にて銅板の剥がれが確認されたが、その剥がれ量は比較例１～２と比較して小さかった。

[0080] 以上説明の通り、本発明のいくつかの実施形態を説明したが、これらの実施形態は例として提示したものであり、発明の範囲を限定することは意図していない。これら新規な実施形態は、その他の様々な形態で実施し得るものであり、発明の要旨を逸脱しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態やその変形は、発明の範囲や要旨に含まれ

ると共に、特許請求の範囲に記載された発明とその均等の範囲に含まれる。

符号の説明

[0081] １…半導体回路基板（半導体装置）

２…絶縁性基板

３…導体部（銅回路板）

４…導体部（裏導体部、裏回路板）

５…絶縁性基板と導体部との接合層

６…接合層のはみ出し領域（幅）

７…半導体素子

８…半導体素子を接合するための接合層

９…ヒートシンク

請求の範囲

［請求項1］ 絶縁性基板上に導体部を設けた半導体回路基板において、導体部の半導体素子搭載部の表面粗さが、算術平均粗さＲａで０．３μｍ以下であり、十点平均粗さＲｚｊｉｓで２．５μｍ以下であり、最大高さＲｚで２．０μｍ以下であり、かつ算術平均うねりＷａが０．５μｍ以下であることを特徴とする半導体回路基板。

［請求項2］ 前記絶縁性基板の厚さをｔ１、前記導体部の厚さをｔ２としたとき、０．１≦ｔ２／ｔ１≦５０であることを特徴とする請求項１記載の半導体回路基板。

［請求項3］ 前記導体部の側面端部の断面角度が４５°以下であることを特徴とする請求項１ないし請求項２のいずれか１項に記載の半導体回路基板。

［請求項4］ 前記導体部が金属板から成る一方、前記絶縁性基板がセラミックス基板から成り、上記金属板とセラミックス基板とを接合する接合層は上記金属板からのはみ出し領域の幅が０．２ｍｍ以下であることを特徴とする請求項１ないし請求項３のいずれか１項に記載の半導体回路基板。

［請求項5］ 前記絶縁性基板が、アルミナ基板、窒化アルミニウム基板、窒化珪素基板および絶縁樹脂基板のいずれか１種で構成されることを特徴とする請求項１ないし請求項４のいずれか１項に記載の半導体回路基板。

［請求項6］ 前記導体部が、銅、銅合金、アルミニウムおよびアルミニウム合金のいずれか１種からなることを特徴とする請求項１ないし請求項５のいずれか１項に記載の半導体回路基板。

［請求項7］ 請求項１ないし請求項６のいずれか１項に記載の半導体回路基板の導体部に半導体素子を搭載したことを特徴とする半導体装置。

［請求項8］ 前記半導体素子がＳｉ素子、ＧａＮ素子およびＳｉＣ素子から選択される１種以上であることを特徴とする請求項７記載の半導体装置。

[請求項9] 前記半導体素子が前記接合材を介して前記導電部に接合されていることを特徴とする請求項７ないし請求項８のいずれか１項に記載の半導体装置。

[請求項10] 前記半導体素子が接合材を介さずに前記導体部に直接接合されていることを特徴とする請求項７ないし請求項８のいずれか１項に記載の半導体装置。

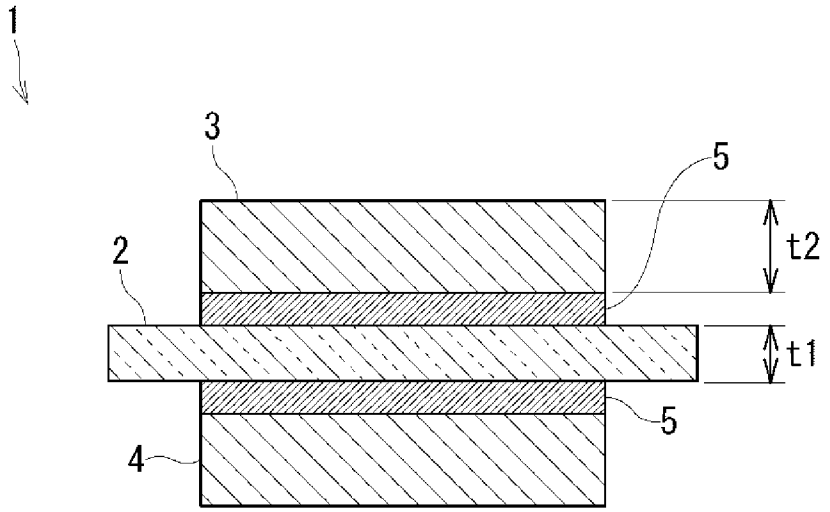
[請求項11] 絶縁性基板上に導体部を形成する導体部形成工程と、上記導体部の半導体素子搭載部の表面粗さを算術平均粗さＲａで０．３μｍ以下にし、十点平均粗さＲｚｊｉｓで２．５μｍ以下にし、最大高さＲｚで２．０μｍ以下にし、かつ算術平均うねりＷａを０．５μｍ以下にする表面加工工程と、を具備することを特徴とする半導体回路基板の製造方法。

[請求項12] 前記表面加工工程が、研磨工程であることを特徴とする請求項１１記載の半導体回路基板の製造方法。

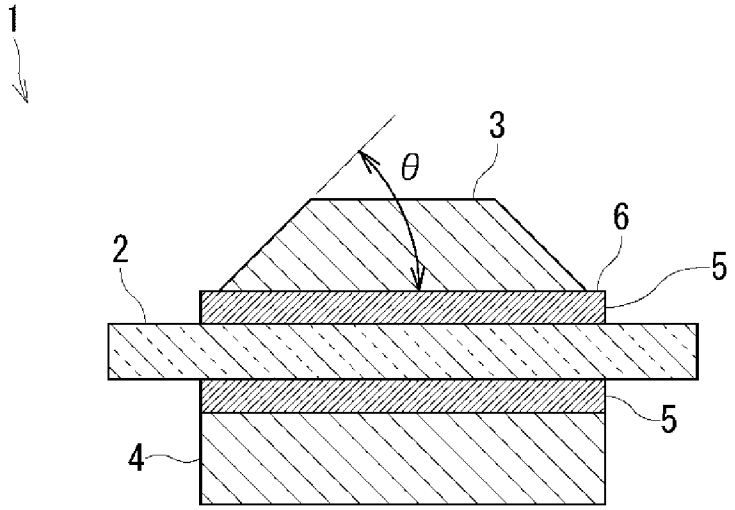
[請求項13] 前記研磨工程が、エッチング工程であることを特徴とする請求項１２記載の半導体回路基板の製造方法。

[請求項14] 前記研磨工程が、プレス加工であることを特徴とする請求項１２記載の半導体回路基板の製造方法。

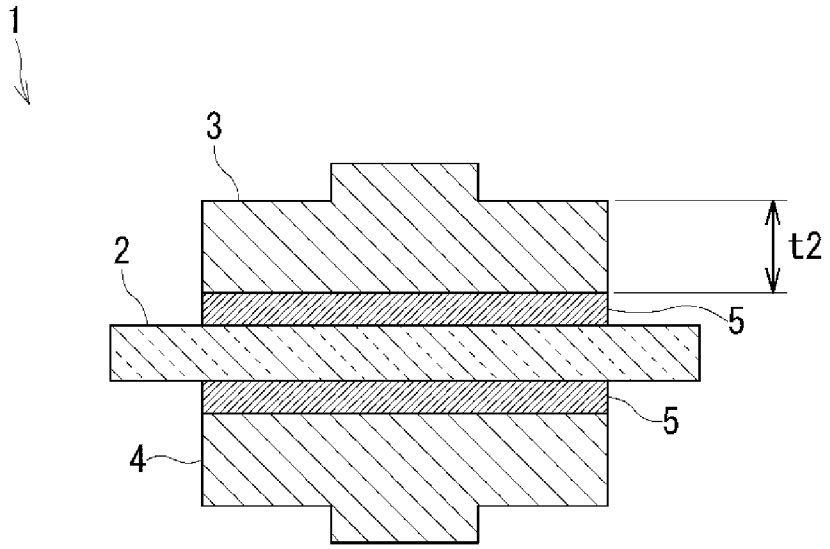
[図1]



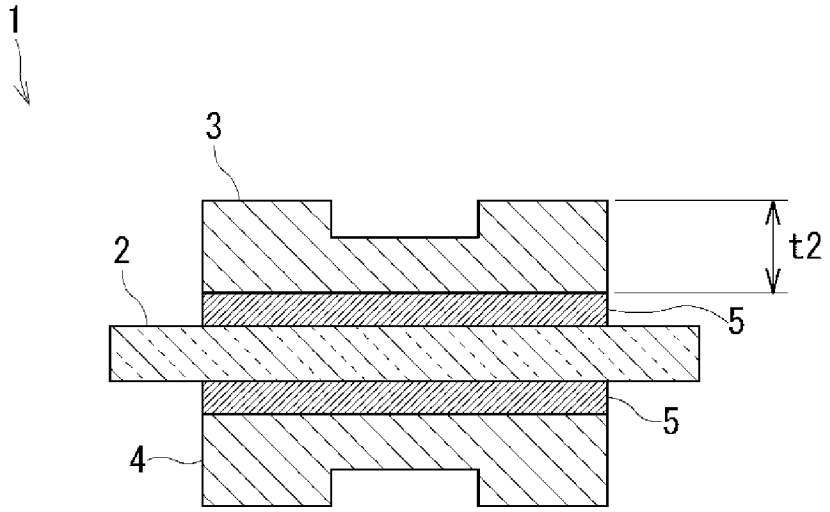
[図2]



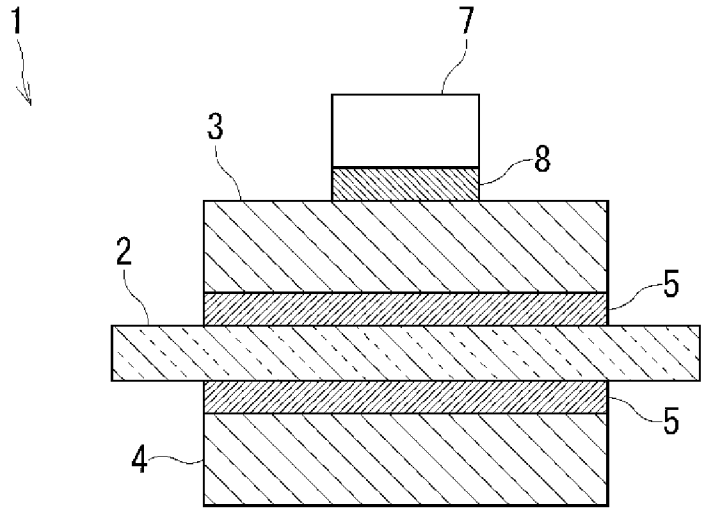
[図3]



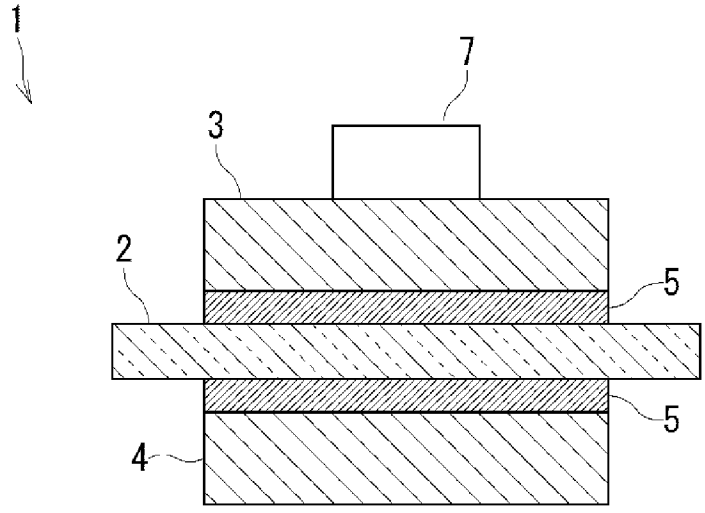
[図4]



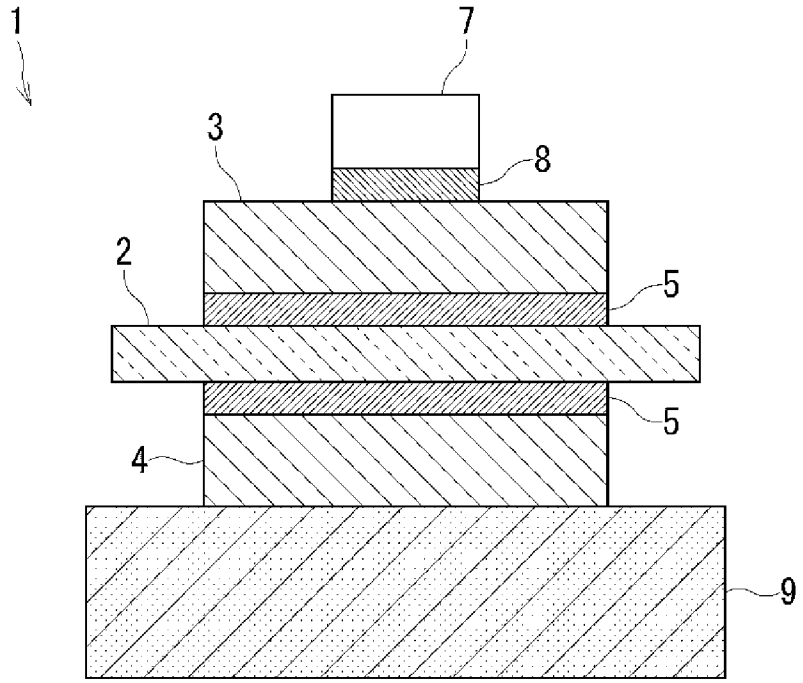
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/076645

A. CLASSIFICATION OF SUBJECT MATTER
H01L23/12(2006.01)i, *H01L23/36*(2006.01)i, *H01L25/07*(2006.01)i, *H01L25/18*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L23/12, H01L23/36, H01L25/07, H01L25/18

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2013
Kokai Jitsuyo Shinan Koho 1971-2013 Toroku Jitsuyo Shinan Koho 1994-2013

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2004-172378 A (Mitsubishi Materials Corp.), 17 June 2004 (17.06.2004), paragraphs [0015] to [0019]; fig. 1 to 2 (Family: none)	1-2,4-9, 11-14 3,10
Y	JP 2008-117833 A (Mitsubishi Materials Corp.), 22 May 2008 (22.05.2008), paragraphs [0014] to [0022]; fig. 1 (Family: none)	1-2,4-9, 11-14
Y	JP 2006-278595 A (Dowa Mining Co., Ltd.), 12 October 2006 (12.10.2006), paragraphs [0042] to [0048] (Family: none)	14

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
13 November, 2013 (13.11.13)	10 December, 2013 (10.12.13)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2013/076645

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-077253 A (Alone Co., Ltd.), 23 March 2001 (23.03.2001), paragraph [0014]; fig. 1 (Family: none)	1-14

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２０１３／０７６６４５

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12(2006.01)i, H01L23/36(2006.01)i, H01L25/07(2006.01)i, H01L25/18(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H01L23/12, H01L23/36, H01L25/07, H01L25/18

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２０１３年
日本国実用新案登録公報	１９９６－２０１３年
日本国登録実用新案公報	１９９４－２０１３年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2004-172378 A (三菱マテリアル株式会社) 2004.06.17, 段落【0015】－【0019】, 【図１】－【図２】	1-2, 4-9, 11-14
A	(ファミリーなし)	3, 10
Y	JP 2008-117833 A (三菱マテリアル株式会社) 2008.05.22, 段落【0014】－【0022】, 【図１】 (ファミリーなし)	1-2, 4-9, 11-14

☑ Ｃ欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
１３．１１．２０１３	１０．１２．２０１３

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　４Ｒ　３７６０
宮本　靖史
電話番号　０３－３５８１－１１０１　内線　３４７１

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求項の番号
Y	JP 2006-278595 A (同和鉱業株式会社) 2006.10.12, 段落【0042】－【0048】 (ファミリーなし)	14
A	JP 2001-077253 A (株式会社アロン社) 2001.03.23, 段落【0014】, 【図 1】 (ファミリーなし)	1-14