



(19) 中華民國智慧財產局

(12) 發明說明書公告本

(11) 證書號數：TW I489482 B

(45) 公告日：中華民國 104 (2015) 年 06 月 21 日

(21) 申請案號：103115032

(22) 申請日：中華民國 103 (2014) 年 04 月 25 日

(51) Int. Cl. : G11C7/12 (2006.01)

G11C8/08 (2006.01)

G11C8/18 (2006.01)

(71) 申請人：群聯電子股份有限公司 (中華民國) PHISON ELECTRONICS CORP. (TW)

苗栗縣竹南鎮群義路 1 號

(72) 發明人：吳仁鉅 WU, JEN CHU (TW)；陳安忠 CHEN, AN CHUNG (TW)

(74) 代理人：葉璟宗；詹東穎；劉亞君

(56) 參考文獻：

US 6049239

US 6539072B1

US 6911853B2

US 8464135B2

審查人員：劉耀允

申請專利範圍項數：20 項 圖式數：15 共 53 頁

(54) 名稱

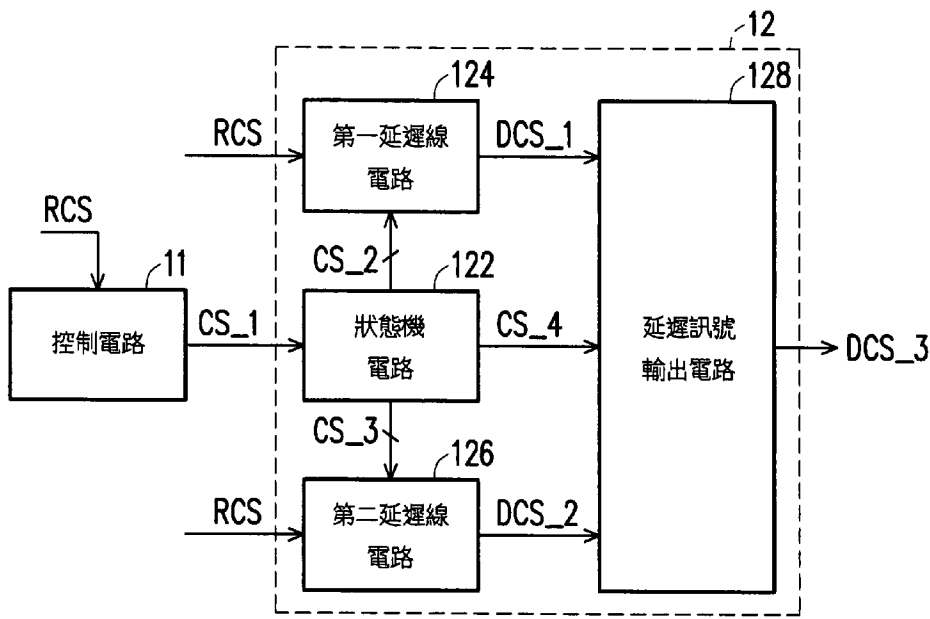
取樣電路模組、記憶體控制電路單元及資料取樣方法

SAMPLING CIRCUIT MODULE, MEMORY CONTROL CIRCUIT UNIT, AND METHOD FOR SAMPLING DATA

(57) 摘要

一種取樣電路模組、記憶體控制電路單元及資料取樣方法。取樣電路模組包括狀態機電路、第一延遲線電路、第二延遲線電路及延遲訊號輸出電路。狀態機電路反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號。第一延遲線電路用以接收參考時脈訊號與第二控制訊號以輸出第一延遲時脈訊號。第二延遲線電路用以接收參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號。延遲訊號輸出電路用以接收第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號。

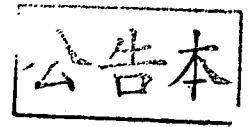
A sampling circuit module, a memory control circuit unit, and method for sampling data are provided. The sampling circuit module includes a state machine circuit, a first delay line circuit, a second delay line circuit and delay signal output circuit. In response to a first control signal, the state machine circuit outputs a second control signal and/or a third control signal. The first delay line circuit is configured to receive a reference clock signal and the second control signal to output a first delay clock signal. The second delay line circuit is configured to receive the reference clock signal and the third control signal to output a second delay clock signal. The delay signal output circuit is configured to receive the first delay clock signal and the second delay clock signal to output a third delay clock signal.



10

圖 1

- 10 . . . 延遲鎖定迴路
- 11 . . . 控制電路
- 12 . . . 延遲電路
- 122 . . . 狀態機電路
- 124 . . . 第一延遲線電路
- 126 . . . 第二延遲線電路
- 128 . . . 延遲訊號輸出電路
- CS_1 . . . 第一控制訊號
- CS_2 . . . 第二控制訊號
- CS_3 . . . 第三控制訊號
- CS_4 . . . 第四控制訊號
- DCS_1 . . . 第一延遲時脈訊號
- DCS_2 . . . 第二延遲時脈訊號
- DCS_3 . . . 第三延遲時脈訊號
- RCS . . . 參考時脈訊號



發明摘要

※ 申請案號：103115032

※ 申請日：103. 4. 25

※ IPC 分類：

G11C 7/12 2006.01.
G11C 8/08 2006.01.
G11C 8/18 2006.01.

【發明名稱】

取樣電路模組、記憶體控制電路單元及資料取樣方法

SAMPLING CIRCUIT MODULE, MEMORY CONTROL CIRCUIT
UNIT, AND METHOD FOR SAMPLING DATA

【中文】

一種取樣電路模組、記憶體控制電路單元及資料取樣方法。取樣電路模組包括狀態機電路、第一延遲線電路、第二延遲線電路及延遲訊號輸出電路。狀態機電路反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號。第一延遲線電路用以接收參考時脈訊號與第二控制訊號以輸出第一延遲時脈訊號。第二延遲線電路用以接收參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號。延遲訊號輸出電路用以接收第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號。

【英文】

A sampling circuit module, a memory control circuit unit, and method for sampling data are provided. The sampling circuit module includes a state machine circuit, a first delay line circuit, a second delay line circuit and delay signal output circuit. In response to a first control signal, the state machine circuit outputs a

second control signal and/or a third control signal. The first delay line circuit is configured to receive a reference clock signal and the second control signal to output a first delay clock signal. The second delay line circuit is configured to receive the reference clock signal and the third control signal to output a second delay clock signal. The delay signal output circuit is configured to receive the first delay clock signal and the second delay clock signal to output a third delay clock signal.

【代表圖】

【本案指定代表圖】：圖 1。

【本代表圖之符號簡單說明】：

10：延遲鎖定迴路

11：控制電路

12：延遲電路

122：狀態機電路

124：第一延遲線電路

126：第二延遲線電路

128：延遲訊號輸出電路

CS_1：第一控制訊號

CS_2：第二控制訊號

CS_3：第三控制訊號

CS_4：第四控制訊號

DCS_1：第一延遲時脈訊號

DCS_2：第二延遲時脈訊號

DCS_3：第三延遲時脈訊號

RCS：參考時脈訊號

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無。

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】

取樣電路模組、記憶體控制電路單元及資料取樣方法

SAMPLING CIRCUIT MODULE, MEMORY CONTROL CIRCUIT
UNIT, AND METHOD FOR SAMPLING DATA

【技術領域】

【0001】 本發明是有關於一種時脈延遲技術，且特別是有關於一種取樣電路模組及應用此取樣電路模組的記憶體控制電路單元及資料取樣方法。

【先前技術】

【0002】 在記憶體系統中，經常會使用時脈訊號來作為電路動作時序的基準。一般來說，時脈訊號是由震盪器產生，並且透過連接線將時脈訊號送至記憶體系統中的各個晶片。然而，時脈訊號在傳遞的過程中可能會發生相位偏移。溫度與系統的供給電壓變化也可能會是造成相位偏移的原因。相位偏移可能會使得記憶體系統在讀取或寫入資料時的錯誤率上升。

【0003】 延遲鎖定迴路(delay locked loop, DLL)就是用來解決傳送至各晶片的時脈訊號不同步的問題。延遲鎖定迴路主要可分為類比式延遲電路與數位式延遲電路。類比式延遲電路是利用電壓來控制延遲線的延遲時間，並且類比式延遲電路的輸出時脈較容易

受電源雜訊與溫度的干擾。數位式延遲電路則是透過發送指示訊號來動態改變延遲線的延遲量或延遲級數，並且數位式延遲電路抗干擾的能力較強。在輸出時脈訊號時，若數位式延遲電路的延遲線的延遲量或延遲級數被改變，則往往會發生時脈抖動(jitter)。

【0004】 特別是，對於使用數位式延遲電路的記憶體系統來說，當一筆資料正在被寫入至記憶體系統或者從記憶體系統中讀取時，若時脈訊號的相位偏移過大且沒有被即時地修正，則讀取或寫入的資料的正確性可能會下降。

【發明內容】

【0005】 有鑑於此，本發明提供一種取樣電路模組、記憶體控制電路單元及資料取樣方法，可提升資料取樣的正確性。

【0006】 本發明的一範例實施例提出一種取樣電路模組，其包括延遲鎖定迴路與取樣電路。延遲鎖定迴路包括控制電路與延遲電路。控制電路用以接收參考時脈訊號以輸出第一控制訊號。延遲電路耦接至控制電路，並且包括狀態機電路、第一延遲線電路、第二延遲線電路及延遲訊號輸出電路。狀態機電路用以接收第一控制訊號，並且反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號。第一延遲線電路耦接至狀態機電路，並且用以接收參考時脈訊號與第二控制訊號以輸出第一延遲時脈訊號。第二延遲線電路耦接至狀態機電路，並且用以接收參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號。延遲訊號輸出電路耦接至第

一延遲線電路、第二延遲線電路及狀態機電路，並且用以接收第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號。取樣電路耦接至延遲鎖定迴路，並且用以接收第三延遲時脈訊號，並且根據第三延遲時脈訊號來取樣(sampling)資料訊號以獲得取樣資料。

【0007】 在一範例實施例中，所述第二控制訊號用以控制第一延遲線電路的第一延遲級數，並且第三控制訊號用以控制第二延遲線電路的第二延遲級數。

【0008】 在一範例實施例中，所述狀態機電路更用以輸出第四控制訊號，並且延遲訊號輸出電路接收第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號的操作包括：接收第一延遲時脈訊號、第二延遲時脈訊號及第四控制訊號以輸出第三延遲時脈訊號。

【0009】 在一範例實施例中，所述延遲訊號輸出電路包括第一開關電路與第二開關電路，第四控制訊號包括第一致能訊號與第二致能訊號，第一致能訊號用以控制第一開關電路的第一開關狀態，並且第二致能訊號用以控制第二開關電路的第二開關狀態。

【0010】 在一範例實施例中，所述延遲訊號輸出電路更包括相位內插(phase interpolation)電路，相位內插電路用以接收第一開關電路的第一輸出訊號及/或第二開關電路的第二輸出訊號以形成第三延遲時脈訊號。

【0011】 在一範例實施例中，所述第一延遲線電路包括多個第一

延遲單元，第二延遲線電路包括多個第二延遲單元，相位內插電路包括至少一第三延遲單元與至少一第四延遲單元。所述第三延遲單元的一輸入端耦接至第一開關電路的一輸出端，所述第四延遲單元的一輸入端耦接至第二開關電路的一輸出端，並且所述第三延遲單元的一輸出端與所述第四延遲單元的一輸出端耦接至相位內插電路的一輸出端。

【0012】 在一範例實施例中，所述第一延遲線電路的第一延遲級數僅在第一開關電路處於非導通狀態時被改變，並且第二延遲線電路的第二延遲級數僅在第二開關電路處於非導通狀態時被改變。

【0013】 本發明的一範例實施例提出一種記憶體控制電路單元，其用於控制可複寫式非揮發性記憶體模組，其中可複寫式非揮發性記憶體模組包括多個實體抹除單元。所述記憶體控制電路單元包括主機介面、記憶體介面、取樣電路模組及記憶體管理電路。主機介面用以耦接至主機系統。記憶體介面用以耦接至可複寫式非揮發性記憶體模組。取樣電路模組包括延遲鎖定迴路與取樣電路。延遲鎖定迴路包括控制電路與延遲電路。控制電路用以接收參考時脈訊號以輸出第一控制訊號。延遲電路耦接至控制電路，並且包括狀態機電路、第一延遲線電路、第二延遲線電路及延遲訊號輸出電路。狀態機電路用以接收第一控制訊號，並且反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號。第一延遲線電路耦接至狀態機電路，並且用以接收參考時脈訊號與第二控

制訊號以輸出第一延遲時脈訊號。第二延遲線電路耦接至狀態機電路，並且用以接收參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號。延遲訊號輸出電路耦接至第一延遲線電路、第二延遲線電路及狀態機電路，並且用以接收第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號。取樣電路耦接至延遲鎖定迴路，並且用以接收第三延遲時脈訊號，並且根據第三延遲時脈訊號來取樣資料訊號以獲得取樣資料。記憶體管理電路耦接至主機介面、記憶體介面及取樣電路模組，並且用以發送寫入指令序列，其中寫入指令序列用以將對應於取樣資料的資料寫入至可複寫式非揮發性記憶體模組。

【0014】 本發明的一範例實施例提出一種資料取樣方法，其包括：接收第一控制訊號，並且反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號；根據參考時脈訊號與第二控制訊號以輸出第一延遲時脈訊號；根據參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號；根據第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號；根據第三延遲時脈訊號來取樣資料訊號以獲得取樣資料；以及發送寫入指令序列，其中寫入指令序列用以將對應於取樣資料的資料寫入至可複寫式非揮發性記憶體模組。

【0015】 在一範例實施例中，所述資料取樣方法更包括：輸出一第四控制訊號。其中根據第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號的步驟包括：根據第一延遲時脈訊號、

第二延遲時脈訊號及第四控制訊號以輸出第三延遲時脈訊號。

【0016】 在一範例實施例中，所述根據第一延遲時脈訊號、第二延遲時脈訊號及第四控制訊號以輸出第三延遲時脈訊號的步驟包括：根據第一開關電路的第一輸出訊號及/或第二開關電路的第二輸出訊號以形成第三延遲時脈訊號。

【0017】 基於上述，反應於第一控制訊號，狀態機電路可以分別透過第二控制訊號與第三控制訊號來控制第一延遲線電路與第二延遲線電路，並且延遲訊號輸出電路可以根據第一延遲線電路輸出的第一延遲時脈訊號與第二延遲線電路輸出的第二延遲時脈訊號來產生第三延遲時脈訊號。藉此，透過始終維持至少一個延遲線電路的正常輸出以及在背景更新閒置中的(idling)延遲線電路的延遲量或延遲級數，延遲時脈訊號可以持續地被輸出，並且輸出的延遲時脈訊號的相位也可以持續地被鎖定。此外，發生時脈抖動的機率也會相對減少。

【0018】 為讓本發明的上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

【圖式簡單說明】

【0019】

圖 1 是根據本發明之一範例實施例所繪示的延遲鎖定迴路的示意圖。

圖 2 是根據本發明之一範例實施例所繪示的控制電路的示意

圖。

圖 3 是根據本發明之一範例實施例所繪示的延遲電路的示意

圖。

圖 4 是根據本發明之一範例實施例所繪示的調整延遲級數的
時序示意圖。

圖 5 是根據本發明之另一範例實施例所繪示的延遲電路的示
意圖。

圖 6 是根據本發明之一範例實施例所繪示的相位內插的示意
圖。

圖 7 是根據本發明之另一範例實施例所繪示的調整延遲級數
的時序示意圖。

圖 8 是根據本發明之一範例實施例所繪示的主機系統與記憶
體儲存裝置的示意圖。

圖 9 是根據本發明之一範例實施例所繪示的電腦系統與輸入/
輸出裝置的示意圖。

圖 10 是根據本發明之一範例實施例所繪示的主機系統與記
憶體儲存裝置的示意圖。

圖 11 是繪示圖 8 所示的記憶體儲存裝置的概要方塊圖。

圖 12 是根據本發明之一範例實施例所繪示之記憶體控制電
路單元的概要方塊圖。

圖 13 是根據本發明之一範例實施例所繪示之取樣電路模組
的示意圖。

圖 14 是根據本發明之一範例實施例所繪示之延遲時脈訊號產生方法的流程圖。

圖 15 是根據本發明之一範例實施例所繪示之資料取樣方法的流程圖。

【實施方式】

【0020】 爲了使本揭露之內容可以被更容易明瞭，以下特舉範例實施例作爲本揭露確實能夠據以實施的範例。然而，本發明不僅限於所例示的多個範例實施例，其中範例實施例之間也允許有適當的結合。另外，凡可能之處，在圖式及實施方式中使用相同標號的元件/構件/步驟，係代表相同或類似部件。

【0021】 圖 1 是根據本發明之一範例實施例所繪示的延遲鎖定迴路的示意圖。

【0022】 請參照圖 1，延遲鎖定迴路(delay locked loop, DLL)10 包括控制電路 11 與延遲電路 12。在一範例實施例中，延遲鎖定迴路 10 亦可稱爲主僕式(master-slave)延遲鎖定迴路，控制電路 11 亦可稱爲是此主僕式延遲鎖定迴路中的主延遲電路，並且延遲電路 12 亦可稱爲是此主僕式延遲鎖定迴路中的僕延遲電路。一般來說，在一個延遲鎖定迴路 10 中，控制電路 11 的數量是一個，而延遲電路 12 的數量則可以是一或多個。在本範例實施例中，延遲鎖定迴路 10 是數位式(digital)的延遲鎖定迴路。然而，在另一範例實施例中，延遲鎖定迴路 10 亦可以是類比式(analog)的延遲鎖定迴

路。

【0023】 控制電路 11 用以接收參考時脈(clock)訊號 RCS 以輸出第一控制訊號 CS_1。其中，參考時脈訊號 RCS 例如是由一個震盪器(oscillator)產生的。

【0024】 圖 2 是根據本發明之一範例實施例所繪示的控制電路的示意圖。

【0025】 請參照圖 2，在一範例實施例中，控制電路 11 包括延遲線電路 112 與狀態機電路 114。

【0026】 延遲線電路 112 包括多個延遲單元 21。延遲單元 21 可以相互串接或者以任意方式連接，並且每一個延遲單元 21 可以是一個正向延遲元件或一個反向(inverse)延遲元件。當參考時脈訊號 RCS 通過延遲線電路 112 時，延遲線電路 112 會輸出內部時脈訊號 ICS。

【0027】 狀態機電路 114 用以接收參考時脈訊號 RCS 與內部時脈訊號 ICS，並且根據參考時脈訊號 RCS 與內部時脈訊號 ICS 之間的相位差來產生第一控制訊號 CS_1。第一控制訊號 CS_1 用以控制延遲線電路 112 的延遲量，以使內部時脈訊號 ICS 與參考時脈訊號 RCS 之間的相位差儘可能的趨近於一預設值(例如，內部時脈訊號 ICS 的相位落後參考時脈訊號 RCS 的相位 1/4 個時脈週期)。當內部時脈訊號 ICS 的相位領先參考時脈訊號 RCS 的相位太多時，第一控制訊號 CS_1 會指示增加延遲線電路 112 的延遲量；當內部時脈訊號 ICS 的相位落後參考時脈訊號 RCS 的相位太多時，

第一控制訊號 CS_1 會指示減少延遲線電路 112 的延遲量。在一範例實施例中，延遲線電路 112 的延遲量亦可以延遲級數來表示。例如，當延遲線電路 112 的延遲級數越大，表示延遲線電路 112 的延遲量越大；當延遲線電路 112 的延遲級數越小，表示延遲線電路 112 的延遲量越小。關於如何控制延遲線電路 112 的延遲量或延遲級數應屬本領域的通常知識，故在此不加以贅述。特別是，當內部時脈訊號 ICS 與參考時脈訊號 RCS 之間的相位差成功地趨近且維持在此預設值時，表示已達成相位鎖定。此外，狀態機電路 114 可以包括相位偵測器(未繪示)與微控制器(未繪示)。相位偵測器用以偵測內部時脈訊號 ICS 與參考時脈訊號 RCS 之間的相位差，並且微控制器用以根據相位偵測器的偵測結果產生第一控制訊號 CS_1。

【0028】 請再次參照圖 1，延遲電路 12 耦接至控制電路 11。延遲電路 12 包括狀態機電路 122、第一延遲線電路 124、第二延遲線電路 126 及延遲訊號輸出電路 128。

【0029】 狀態機電路 122 耦接至控制電路 11。狀態機電路 122 用以接收第一控制訊號 CS_1，並且反應於第一控制訊號 CS_1 而輸出第二控制訊號 CS_2 及/或第三控制訊號 CS_3。具體而言，第二控制訊號 CS_2 用以控制第一延遲線電路 124 的延遲級數(亦稱為第一延遲級數)，並且第三控制訊號 CS_3 用以控制第二延遲線電路 126 的延遲級數(亦稱為第二延遲級數)。在本範例實施例中，狀態機電路 122 會持續發送第二控制訊號 CS_2 至第一延遲線電路

124，並且持續發送第三控制訊號 CS_3 至第二延遲線電路 126。然而，在另一範例實施例中，只有當需要改變第一延遲線電路 124 的第一延遲級數時，狀態機電路 122 才會發送第二控制訊號 CS_2，並且只有當需要改變第二延遲線電路 126 的第二延遲級數時，狀態機電路 122 才會發送第三控制訊號 CS_3。

【0030】 第一延遲線電路 124 耦接至狀態機電路 122，並且用以接收參考時脈訊號 RCS 與第二控制訊號 CS_2 以輸出第一延遲時脈訊號 DCS_1。具體來說，第一延遲線電路 124 的輸入端會接收參考時脈訊號 RCS。第一延遲線電路 124 的控制端會接收第二控制訊號 CS_2，並且反應於第二控制訊號 CS_2 來調整第一延遲級數。隨著第一延遲級數被調整，第一延遲線電路 124 的長度也會被調整。根據調整後的第一延遲級數，第一延遲線電路 124 會對參考時脈訊號 RCS 進行延遲，並且從第一延遲線電路 124 的輸出端輸出第一延遲時脈訊號 DCS_1。

【0031】 第二延遲線電路 126 耦接至狀態機電路 122，並且用以接收參考時脈訊號 RCS 與第三控制訊號 CS_3 以輸出第二延遲時脈訊號 DCS_2。具體來說，第二延遲線電路 126 的輸入端會接收參考時脈訊號 RCS。第二延遲線電路 126 的控制端會接收第三控制訊號 CS_3，並且反應於第三控制訊號 CS_3 來調整第二延遲級數。隨著第二延遲級數被調整，第二延遲線電路 126 的長度也會被調整。根據調整後的第二延遲級數，第二延遲線電路 126 會對參考時脈訊號 RCS 進行延遲，並且從第二延遲線電路 126 的輸出端輸

出第二延遲時脈訊號 DCS_2。

【0032】 延遲訊號輸出電路 128 耦接至狀態機電路 122、第一延遲線電路 124、第二延遲線電路 126，並且用以接收第一延遲時脈訊號 DCS_1 與第二延遲時脈訊號 DCS_2 以輸出第三延遲時脈訊號 DCS_3。例如，在接收到第一延遲時脈訊號 DCS_1 與第二延遲時脈訊號 DCS_2 之後，延遲訊號輸出電路 128 可以直接或者經過一或多個電路元件(例如，開關電路、正向延遲元件或反向延遲元件)來輸出第一延遲時脈訊號 DCS_1 及/或第二延遲時脈訊號 DCS_2，以作為第三延遲時脈訊號 DCS_3。特別是，第三延遲時脈訊號 DCS_3 的相位可以是與第一延遲時脈訊號 DCS_1 的相位相同、與第二延遲時脈訊號 DCS_2 的相位相同、或者是與第一延遲時脈訊號 DCS_1 與第二延遲時脈訊號 DCS_2 經由相位內插(phase interpolation)等方式結合而產生的訊號的相位相同。

【0033】 在一範例實施例中，反應於第一控制訊號 CS_1，狀態機電路 122 更用以輸出第四控制訊號 CS_4，並且延遲訊號輸出電路 128 會接收第一延遲時脈訊號 DCS_1、第二延遲時脈訊號 DCS_2 及第四控制訊號 CS_4 以輸出第三延遲時脈訊號 DCS_3。

【0034】 圖 3 是根據本發明之一範例實施例所繪示的延遲電路的示意圖。

【0035】 請參照圖 3，第一延遲線電路 124 包括多個延遲單元 31(亦稱為第一延遲單元)。第二延遲線電路 126 包括多個延遲單元 32(亦稱為第二延遲單元)。延遲單元 31 可以相互串接，並且延遲單元

32 可以相互串接。每一個延遲單元 31 及/或每一個延遲單元 32 可以是一個正向延遲元件或一個反向延遲元件。

【0036】 在此範例實施例中，延遲訊號輸出電路 328 包括第一開關(switch)電路 330 與第二開關電路 332。第一開關電路 330 與第二開關電路 332 各別包括一或多個開關。第四控制訊號 CS_4 包括第一致能訊號 EN_1 與第二致能訊號 EN_2。第一致能訊號 EN_1 用以控制第一開關電路 330 的開關狀態(亦稱為第一開關狀態)，並且第二致能訊號 EN_2 用以控制第二開關電路 332 的開關狀態(亦稱為第二開關狀態)。然而，在另一範例實施例中，第一開關電路 330 與第二開關電路 332 亦可以合併為一個開關，而可選擇導通第一延遲線電路 124 至延遲訊號輸出電路 328 的輸出端之間的路徑，或者導通第二延遲線電路 126 至延遲訊號輸出電路 328 的輸出端之間的路徑，並且此開關可由第四控制訊號 CS_4 來控制。

【0037】 在此範例實施例中，狀態機電路 122 不會使第一開關電路 330 與第二開關電路 332 同時處於導通狀態。當第一開關電路 330 處於非導通狀態時，可視為第一延遲線電路 124 處於閒置狀態。當第一延遲線電路 124 處於閒置狀態時，可於背景更新第一延遲線電路 124 的第一延遲級數。類似地，當第二開關電路 332 處於非導通狀態時，可視為第二延遲線電路 126 處於閒置狀態。當第二延遲線電路 126 處於閒置狀態時，可於背景更新第二延遲線電路 126 的第二延遲級數。換言之，在任何時間點，第一延遲線電路 124 與第二延遲線電路 126 的至少其中之一會正常輸出訊

號。此外，第一延遲線電路 124 的第一延遲級數僅在第一開關電路 330 處於非導通狀態時被改變，並且第二延遲線電路 126 的第二延遲級數也僅在第二開關電路 332 處於非導通狀態時被改變。

【0038】 假設目前第一開關電路 330 處於導通狀態，第二開關電路 332 處於非導通狀態，並且第一控制訊號 CS_1 指示需要調整延遲線電路的延遲級數。此時，狀態機電路 122 會根據第一控制訊號 CS_1 來調整第二延遲線電路 126 的第二延遲級數。等到第二延遲線電路 126 的第二延遲級數調整完畢且輸出的第二延遲時脈訊號 DCS_2 趨於穩定(例如，經過 1~2 個時脈週期)之後，狀態機電路 122 會透過第一致能訊號 EN_1 來將第一開關電路 330 從導通狀態切換至非導通狀態，並且同時透過第二致能訊號 EN_2 來將第二開關電路 332 從非導通狀態切換至導通狀態。藉此，延遲訊號輸出電路 128 可以即時地從輸出第一延遲時脈訊號 DCS_1 切換至輸出第二延遲時脈訊號 DCS_2 以作為第三延遲時脈訊號 DCS_3。

【0039】 圖 4 是根據本發明之一範例實施例所繪示的調整延遲級數的時序示意圖。

【0040】 請參照圖 4，假設在時間點 T1 之前，第一致能訊號 EN_1 為高準位且第二致能訊號 EN_2 為低準位，因此，第一開關電路 330 處於導通狀態，第二開關電路 332 處於非導通狀態，並且狀態機電路 122 透過帶有舊的延遲資訊的第二控制訊號 CS_2 與第三控制訊號 CS_3 來控制第一延遲線電路 124 與第二延遲線電路 126(例如，第一延遲線電路 124 與第二延遲線電路 126 的延遲級數皆是

“9”)。在時間點 T1，反應於指示需要調整延遲線電路的延遲級數的第一控制訊號 CS_1，狀態機電路 122 發送帶有新的延遲資訊的第三控制訊號 CS_3 至第二延遲線電路 126，以調整第二延遲線電路 126 的第二延遲級數(例如，將第二延遲線電路 126 的第二延遲級數從“9”調整為“10”)。在經過 1~2 個時脈週期之後，在時間點 T2，狀態機電路 122 將第一致能訊號 EN_1 切換為低準位且同時將第二致能訊號 EN_2 切換為高準位，以使第一開關電路 330 處於非導通狀態，並且同時使第二開關電路 332 處於導通狀態。在時間點 T2 之後的任一時間點(例如，時間點 T3)，狀態機電路 122 發送帶有新的延遲資訊的第二控制訊號 CS_2 至第一延遲線電路 124，以調整第一延遲線電路 124 的第一延遲級數(例如，將第一延遲線電路 124 的第一延遲級數從“9”調整為“10”)。至此，完成第一延遲線電路 124 的第一延遲級數與第二延遲線電路 126 的第二延遲級數的一次更新。換言之，在時間點 T2 之前，第三延遲時脈訊號 DCS_3 的相位基本上會與第一延遲時脈訊號 DCS_1 的相位相同。在時間點 T2 之後，第三延遲時脈訊號 DCS_3 的相位則是會與第二延遲時脈訊號 DCS_2 的相位相同。在時間點 T2 附近，第三延遲時脈訊號 DCS_3 也不容易發生時脈抖動。

【0041】 值得一提的是，在圖 3 與圖 4 的範例實施例中，狀態機電路 122 可能要謹慎決定切換第一致能訊號 EN_1 與第二致能訊號 EN_2 的時機(例如，時間點 T2)，以使第一延遲時脈訊號 DCS_1 的平坦區與第二延遲時脈訊號 DCS_2 的平坦區可以銜接。例如，

在一範例實施例中，時間點 T2 是在第一延遲時脈訊號 DCS_1 的 1/4 脈波週期處。若第一延遲時脈訊號 DCS_1 的平坦區與第二延遲時脈訊號 DCS_2 的平坦區沒有銜接，則第三延遲時脈訊號 DCS_3 可能會發生時脈抖動。

【0042】圖 5 是根據本發明之另一範例實施例所繪示的延遲電路的示意圖。

【0043】請參照圖 5，延遲電路 52 包括狀態機電路 122、第一延遲線電路 124、第二延遲線電路 126 及延遲訊號輸出電路 528。其中，狀態機電路 122、第一延遲線電路 124 及第二延遲線電路 126 分別相同或相似於圖 3 的範例實施例中的狀態機電路 122、第一延遲線電路 124 及第二延遲線電路 126，故在此不重複贅述。

【0044】延遲訊號輸出電路 528 包括第一開關電路 330、第二開關電路 332 及相位內插(phase interpolation)電路 530。其中，第一開關電路 330 與第二開關電路 332 分別相同或相似於圖 3 的範例實施例中的第一開關電路 330 與第二開關電路 332，故在此不重複贅述。

【0045】相位內插電路 530 用以接收第一開關電路 330 的輸出訊號(亦稱為第一輸出訊號)及/或第二開關電路 332 的輸出訊號(亦稱為第二輸出訊號)以形成第三延遲時脈訊號 DCS_3。具體而言，相位內插電路 530 包括一或多個第三延遲單元 532 與一或多個第四延遲單元 534。第三延遲單元 532 相互串接，並且第三延遲單元 532 的一輸入端耦接至第一開關電路 330 的輸出端。第四延遲單元

534 也相互串接，並且第四延遲單元 534 的一輸入端耦接至第二開關電路 332 的輸出端。第三延遲單元 532 的一輸出端與第四延遲單元 534 的一輸出端耦接至相位內插電路 530 的輸出端。當第一開關電路 330 與第二開關電路 332 同時處於導通狀態時，相位內插電路 530 會對第一開關電路 330 的輸出訊號與第二開關電路 332 的輸出訊號執行相位內插。在執行相位內插後，相位內插電路 530 的輸出訊號(即，第三延遲時脈訊號 DCS_3)的相位會介於第一開關電路 330 的輸出訊號的相位與第二開關電路 332 的輸出訊號的相位之間，且不容易發生時脈抖動。此外，若使第一延遲線電路 124 的第一延遲級數與第二延遲線電路 126 的第二延遲級數逐步切換(例如，逐級增加或逐級減少)，而不是一次跳過好幾級的切換(例如，從第三級一次切換到第九級)，則相位內插電路 530 的輸出訊號(即，第三延遲時脈訊號 DCS_3)發生時脈抖動的機率可以更加下降。

【0046】 圖 6 是根據本發明之一範例實施例所繪示的相位內插的示意圖。

【0047】 請參照圖 6，假設第一開關電路 330 的輸出訊號是訊號 S_1，第二開關電路 332 的輸出訊號是訊號 S_2，則經過相位內插後，相位內插電路 530 的輸出訊號(即，第三延遲時脈訊號 DCS_3)的相位會介於訊號 S_1 的相位與訊號 S_2 的相位之間。

【0048】 也就是說，本範例實施例與圖 3 的範例實施例的主要差別在於，在本範例實施例中，第一開關電路 330 與第二開關電路

332 可以同時處於導通狀態。換言之，狀態機電路 122 只要注意第一延遲線電路 124 的第一延遲級數僅在第一開關電路 330 處於非導通狀態時被改變，並且第二延遲線電路 126 的第二延遲級數也僅在第二開關電路 126 處於非導通狀態時被改變即可，而可以不用那麼謹慎的限制第一開關電路 330 與第二開關電路 332 的導通狀態被切換的時機(如圖 4 所示)，從而可有效減輕狀態機電路 122 的運算負擔。

● **【0049】** 圖 7 是根據本發明之另一範例實施例所繪示的調整延遲級數的時序示意圖。

● **【0050】** 請參照圖 7，假設在階段 0，第一致能訊號 EN_1 為高準位且第二致能訊號 EN_2 為低準位，因此，第一開關電路 330 處於導通狀態，第二開關電路 332 處於非導通狀態，並且狀態機電路 122 透過帶有舊的延遲資訊的第二控制訊號 CS_2 與第三控制訊號 CS_3 來控制第一延遲線電路 124 與第二延遲線電路 126(例如，第一延遲線電路 124 與第二延遲線電路 126 的延遲級數皆是“9”)。在階段 1(例如，時間點 T1)，反應於指示需要調整延遲線電路的延遲級數的第一控制訊號 CS_1，狀態機電路 122 發送帶有新的延遲資訊的第三控制訊號 CS_3 至第二延遲線電路 126，以調整第二延遲線電路 126 的第二延遲級數(例如，將第二延遲線電路 126 的第二延遲級數從“9”調整為“10”)。等到第二延遲線電路 126 的第二延遲級數調整完畢且輸出的第二延遲時脈訊號 DCS_2 趨於穩定(例如，經過 1~2 個時脈週期)之後，在階段 2(例如，時間點 T2)，狀

態機電路 122 將第二致能訊號 EN_2 切換為高準位，以使第二開關電路 332 處於導通狀態。接著，在階段 3(例如，時間點 T3)，狀態機電路 122 將第一致能訊號 EN_1 切換為低準位，以使第一開關電路 330 處於非導通狀態。也就是說，在時間點 T2 與 T3 之間，第一開關電路 330 與第二開關電路 332 都是處於導通狀態，並且相位內插電路 530 會對第一開關電路 330 的輸出訊號與第二開關電路 332 的輸出訊號執行相位內插。在階段 4(例如，時間點 T4)，狀態機電路 122 發送帶有新的延遲資訊的第二控制訊號 CS_2 至第一延遲線電路 124，以調整第一延遲線電路 124 的第一延遲級數(例如，將第一延遲線電路 124 的第一延遲級數從“9”調整為“10”)。在階段 5，第一延遲線電路 124 的第一延遲級數與第二延遲線電路 126 的第二延遲級數都完成更新。藉此，在更新第一延遲線電路 124 的第一延遲級數與第二延遲線電路 126 的第二延遲級數的過程中，相位內插電路 530 的輸出訊號(即，第三延遲時脈訊號 DCS_3)都不容易發生時脈抖動。然而，上述階段 0 至階段 5 僅是爲了說明方便而使用，而不是用以限制本發明。

【0051】 應注意的是，在圖 1 至圖 7 的範例實施例中，所繪示之延遲鎖定迴路 10 的電路結構僅爲範例，而可更進一步地依據延遲鎖定迴路 10 的電氣特性來增加電子元件。例如，在需要改善電氣特性的位置增加電容(capacitance)、電阻(resistance)及/或電晶體(transistors)等。此外，在一範例實施例中，上述提出的延遲鎖定迴路 10 是用於記憶體儲存裝置(亦稱，記憶體儲存系統)中，或者

是用於用以控制此記憶體儲存裝置的記憶體控制電路單元中。

【0052】 一般來說，記憶體儲存裝置包括可複寫式非揮發性記憶體模組與控制器(亦稱，控制電路)。通常記憶體儲存裝置是與主機系統一起使用，以使主機系統可將資料寫入至記憶體儲存裝置或從記憶體儲存裝置中讀取資料。

【0053】 圖 8 是根據本發明之一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。圖 9 是根據本發明之一範例實施例所繪示的電腦系統與輸入/輸出裝置的示意圖。圖 10 是根據本發明之一範例實施例所繪示的主機系統與記憶體儲存裝置的示意圖。

【0054】 請參照圖 8，主機系統 1000 一般包括電腦 1100 與輸入/輸出(input/output, I/O)裝置 1106。電腦 1100 包括微處理器 1102、隨機存取記憶體(random access memory, RAM) 1104、系統匯流排 1108 與資料傳輸介面 1110。輸入/輸出裝置 1106 包括如圖 2 的滑鼠 1202、鍵盤 1204、顯示器 1206 與印表機 1208。必須瞭解的是，圖 9 所示的裝置非限制輸入/輸出裝置 1106，輸入/輸出裝置 1106 可更包括其他裝置。

【0055】 記憶體儲存裝置 100 是透過資料傳輸介面 1110 與主機系統 1000 的其他元件耦接。藉由微處理器 1102、隨機存取記憶體 1104 與輸入/輸出裝置 1106 的運作可將資料寫入至記憶體儲存裝置 100 或從記憶體儲存裝置 100 中讀取資料。例如，記憶體儲存裝置 100 可以是如圖 9 所示的隨身碟 1212、記憶卡 1214 或固態硬碟(Solid State Drive, SSD)1216 等的可複寫式非揮發性記憶體儲存

裝置。

【0056】 一般而言，主機系統 1000 為可實質地與記憶體儲存裝置 100 配合以儲存資料的任意系統。雖然在本範例實施例中，主機系統 1000 是以電腦系統來作說明，然而，在本發明另一範例實施例中主機系統 1000 可以是數位相機、攝影機、通信裝置、音訊播放器或視訊播放器等系統。例如，在主機系統為數位相機(攝影機)1310 時，可複寫式非揮發性記憶體儲存裝置則為其所使用的 SD 卡 1312、MMC 卡 1314、記憶棒(memory stick)1316、CF 卡 1318 或嵌入式儲存裝置 1320(如圖 3 所示)。嵌入式儲存裝置 1320 包括嵌入式多媒體卡(Embedded MMC, eMMC)。值得一提的是，嵌入式多媒體卡是直接耦接於主機系統的基板上。

【0057】 圖 11 是繪示圖 8 所示的記憶體儲存裝置的概要方塊圖。

【0058】 請參照圖 11，記憶體儲存裝置 100 包括連接介面單元 1002、記憶體控制電路單元 1004 與可複寫式非揮發性記憶體模組 1006。

【0059】 在本範例實施例中，連接介面單元 1002 是相容於序列先進附件(Serial Advanced Technology Attachment, SATA)標準。然而，必須瞭解的是，本發明不限於此，連接介面單元 1002 亦可以是符合並列先進附件(Parallel Advanced Technology Attachment, PATA)標準、電氣和電子工程師協會(Institute of Electrical and Electronic Engineers, IEEE) 1394 標準、高速周邊零件連接介面(Peripheral Component Interconnect Express, PCI Express) 標準、

通用序列匯流排(Universal Serial Bus, USB) 標準、超高速一代(Ultra High Speed-I, UHS-I)介面標準、超高速二代(Ultra High Speed-II, UHS-II)介面標準、安全數位(Secure Digital, SD)介面標準、記憶棒(Memory Stick, MS)介面標準、多媒體儲存卡(Multi Media Card, MMC)介面標準、小型快閃(Compact Flash, CF)介面標準、整合式驅動電子介面(Integrated Device Electronics, IDE) 標準或其他適合的標準。在本範例實施例中，連接介面單元可與記憶體控制電路單元封裝在一個晶片中，或佈設於一包含記憶體控制電路單元之晶片外。

【0060】 記憶體控制電路單元 1004 用以執行以硬體型式或軟體型式實作的多個邏輯閘或控制指令，並且根據主機系統 1000 的指令在可複寫式非揮發性記憶體模組 1006 中進行資料的寫入、讀取與抹除等運作。

【0061】 可複寫式非揮發性記憶體模組 1006 是耦接至記憶體控制電路單元 1004，並且用以儲存主機系統 1000 所寫入之資料。可複寫式非揮發性記憶體模組 1006 包括實體抹除單元 304(0)~304(R)。實體抹除單元 304(0)~304(R)可屬於同一個記憶體晶粒(die)或者屬於不同的記憶體晶粒。每一實體抹除單元分別具有複數個實體程式化單元，其中屬於同一個實體抹除單元之實體程式化單元可被獨立地寫入且被同時地抹除。在本範例實施例中，每一實體抹除單元是由 64 個實體程式化單元組成。然而，在本發明之其他範例實施例中，每一實體抹除單元是由 128、256 個

實體程式化單元或其他任意個實體程式化單元所組成。

【0062】 更詳細來說，實體抹除單元為抹除之最小單位。亦即，每一實體抹除單元含有最小數目之一併被抹除之記憶胞。實體程式化單元為程式化的最小單元。即，實體程式化單元為寫入資料的最小單元。每一實體程式化單元通常包括資料位元區與冗餘位元區。資料位元區包含多個實體存取位址用以儲存使用者的資料，而冗餘位元區用以儲存系統的資料（例如，控制資訊與錯誤更正碼）。在本範例實施例中，每一個實體程式化單元的資料位元區中會包含 16 個實體存取位址，且一個實體存取位址的大小為 512 位元組(byte)。然而，在其他範例實施例中，資料位元區中也可包含數目更多或更少的實體存取位址，本發明並不限制實體存取位址的大小以及個數。例如，在一範例實施例中，實體抹除單元為實體區塊，並且實體程式化單元為實體頁面或實體扇區，但本發明不以此為限。

【0063】 在本範例實施例中，可複寫式非揮發性記憶體模組 1006 為多階記憶胞（Multi Level Cell，MLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 2 個位元資料的快閃記憶體模組）。然而，本發明不限於此，可複寫式非揮發性記憶體模組 1006 亦可是單階記憶胞（Single Level Cell，SLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 1 個位元資料的快閃記憶體模組）、複數階記憶胞（Trinary Level Cell，TLC）NAND 型快閃記憶體模組（即，一個記憶胞中可儲存 3 個位元資料的快閃記憶體模組）、

其他快閃記憶體模組或其他具有相同特性的記憶體模組。

【0064】 圖 12 是根據本發明之一範例實施例所繪示之記憶體控制電路單元的概要方塊圖。

【0065】 請參照圖 12，記憶體控制電路單元 1004 包括記憶體管理電路 202、主機介面 204、記憶體介面 206 及取樣電路模組 208。

【0066】 記憶體管理電路 202 用以控制記憶體控制電路單元 1004 的整體運作。具體來說，記憶體管理電路 202 具有多個控制指令，並且在記憶體儲存裝置 100 運作時，這些控制指令會被執行以進行資料的寫入、讀取與抹除等運作。

【0067】 在本範例實施例中，記憶體管理電路 202 的控制指令是以韌體型式來實作。例如，記憶體管理電路 202 具有微處理器單元(未繪示)與唯讀記憶體(未繪示)，並且這些控制指令是被燒錄至此唯讀記憶體中。當記憶體儲存裝置 100 運作時，這些控制指令會由微處理器單元來執行以進行資料的寫入、讀取與抹除等運作。

【0068】 在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以程式碼型式儲存於可複寫式非揮發性記憶體模組 1006 的特定區域(例如，記憶體模組中專用於存放系統資料的系統區)中。此外，記憶體管理電路 202 具有微處理器單元(未繪示)、唯讀記憶體(未繪示)及隨機存取記憶體(未繪示)。特別是，此唯讀記憶體具有驅動碼，並且當記憶體控制電路單元 1004 被致能時，微處理器單元會先執行此驅動碼段來將儲存於可複寫式非揮發性記憶體模組 1006 中之控制指令載入至記憶體管理電路 202 的隨機

存取記憶體中。之後，微處理器單元會運轉這些控制指令以進行資料的寫入、讀取與抹除等運作。

【0069】此外，在本發明另一範例實施例中，記憶體管理電路 202 的控制指令亦可以一硬體型式來實作。例如，記憶體管理電路 202 包括微控制器、記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路。記憶胞管理電路、記憶體寫入電路、記憶體讀取電路、記憶體抹除電路與資料處理電路是耦接至微控制器。其中，記憶胞管理電路用以管理可複寫式非揮發性記憶體模組 1006 的實體抹除單元；記憶體寫入電路用以對可複寫式非揮發性記憶體模組 1006 下達寫入指令以將資料寫入至可複寫式非揮發性記憶體模組 1006 中；記憶體讀取電路用以對可複寫式非揮發性記憶體模組 1006 下達讀取指令以從可複寫式非揮發性記憶體模組 1006 中讀取資料；記憶體抹除電路用以對可複寫式非揮發性記憶體模組 1006 下達抹除指令以將資料從可複寫式非揮發性記憶體模組 1006 中抹除；而資料處理電路用以處理欲寫入至可複寫式非揮發性記憶體模組 1006 的資料以及從可複寫式非揮發性記憶體模組 1006 中讀取的資料。

【0070】主機介面 204 是耦接至記憶體管理電路 202 並且用以接收與識別主機系統 1000 所傳送的指令與資料。也就是說，主機系統 1000 所傳送的指令與資料會透過主機介面 204 來傳送至記憶體管理電路 202。在本範例實施例中，主機介面 204 是相容於 SATA 標準。然而，必須瞭解的是本發明不限於此，主機介面 204 亦可

以是相容於 PATA 標準、IEEE 1394 標準、PCI Express 標準、USB 標準、UHS-I 介面標準、UHS-II 介面標準、SD 標準、MS 標準、MMC 標準、CF 標準、IDE 標準或其他適合的資料傳輸標準。

【0071】 記憶體介面 206 是耦接至記憶體管理電路 202 並且用以存取可複寫式非揮發性記憶體模組 1006。也就是說，欲寫入至可複寫式非揮發性記憶體模組 1006 的資料會經由記憶體介面 206 轉換為可複寫式非揮發性記憶體模組 1006 所能接受的格式。

【0072】 取樣電路模組 208 耦接至記憶體管理電路 202，並且用以對資料訊號進行取樣以輸出取樣資料。其中，資料訊號可以是與主機系統 1000 欲寫入至可複寫式非揮發性記憶體模組 1006 的資料有關，或者是與從可複寫式非揮發性記憶體模組 1006 中取讀出來的資料有關。

【0073】 圖 13 是根據本發明之一範例實施例所繪示之取樣電路模組的示意圖。

【0074】 請參照圖 13，取樣電路模組 208 包括延遲鎖定迴路 10 與取樣(sampling)電路 2082。

【0075】 延遲鎖定迴路 10 用以接收延遲時脈訊號 RCS，並且對延遲時脈訊號 RCS 進行延遲以提供延遲時脈訊號(例如，第三延遲時脈訊號 DCS_3)至取樣電路 2082。延遲鎖定迴路 10 相同或相似於圖 1 的範例實施例中的延遲鎖定迴路 10，故在此不重複贅述。延遲鎖定迴路 10 可以包括一或多個延遲電路 12 及/或一或多個延遲電路 52。此外，在另一範例實施例中，延遲鎖定迴路 10 亦可以是

配置在記憶體控制電路單元 1004 之外，而提供延遲時脈訊號(例如，第三延遲時脈訊號 DCS_3)至記憶體控制電路單元 1004。在一範例實施例中，延遲鎖定迴路 10 亦可以提供延遲時脈訊號(例如，第三延遲時脈訊號 DCS_3)至記憶體儲存裝置 100 中的其他晶片(或電路元件)，本發明不加以限制。

【0076】 取樣電路 2082 耦接至延遲鎖定迴路 10，並且用以接收資料訊號 DS 與來自延遲鎖定迴路 10 的延遲時脈訊號(例如，第三延遲時脈訊號 DCS_3)。其中，資料訊號 DS 可以是與主機系統 1000 欲寫入至可複寫式非揮發性記憶體模組 1006 的資料有關，或者是與從可複寫式非揮發性記憶體模組 1006 中取讀出來的資料有關。取樣電路 2082 會根據來自延遲鎖定迴路 10 的延遲時脈訊號(例如，第三延遲時脈訊號 DCS_3)來取樣資料訊號 DS，以獲得取樣資料 SD，並且輸出取樣資料 SD。然後，記憶體管理電路 202 可以根據取樣資料 SD 將對應的資料傳送至可複寫式非揮發性記憶體模組 1006 或者傳送至主機系統 1000。在一範例實施例中，對應於取樣資料 SD 的資料可以是取樣資料 SD 本身所包含的位元資料。在獲得取樣資料 SD 之後，記憶體管理電路 202 可以將取樣資料 SD 傳送至可複寫式非揮發性記憶體模組 1006 或者傳送至主機系統 1000。然而，在另一範例實施例中，對應於取樣資料 SD 的資料則是取樣資料 SD 經過驗證及/或轉換等操作而獲得的位元資料，本發明不加以限制。

【0077】 具體而言，若資料訊號 DS 是與主機系統 1000 欲寫入至

可複寫式非揮發性記憶體模組 1006 的資料有關，則根據取樣資料 SD，記憶體管理電路 202 會獲得一或多個位元(亦稱為第一位元)，並且發送一寫入指令序列至可複寫式非揮發性記憶體模組 1006，其中此寫入指令序列用以指示將此第一位元寫入至可複寫式非揮發性記憶體模組 1006 中。寫入指令序列可以包括一或多個指令碼或程式碼。若取樣資料 SD 是與從可複寫式非揮發性記憶體模組 1006 中取讀出來的資料有關，則根據取樣資料 SD，記憶體管理電路 202 會獲得一或多個位元(亦稱為第二位元)，並且可將此第二位元傳送至主機系統 1000。特別是，在對資料訊號 DS 進行取樣的過程中，若因溫度或電壓(例如，可複寫式非揮發性記憶體模組 1006 的寫入電壓或讀取電壓)改變而導致延遲線電路的延遲級數需要被改變，則上述第一延遲線電路 124 與第二延遲線電路 126 的至少其中之一的延遲級數可以被即時地改變，從而確保取樣資料 SD 的正確性。

【0078】 在一範例實施例中，記憶體控制電路單元 1004 還包括緩衝記憶體 252、電源管理電路 254 及錯誤檢查與校正電路 256。

【0079】 緩衝記憶體 252 是耦接至記憶體管理電路 202 並且用以暫存來自於主機系統 1000 的資料與指令或來自於可複寫式非揮發性記憶體模組 1006 的資料。

【0080】 電源管理電路 254 是耦接至記憶體管理電路 202 並且用以控制記憶體儲存裝置 100 的電源。

【0081】 錯誤檢查與校正電路 256 是耦接至記憶體管理電路 202

並且用以執行錯誤檢查與校正程序以確保資料的正確性。具體來說，當記憶體管理電路 202 從主機系統 1000 中接收到寫入指令時，錯誤檢查與校正電路 256 會為對應此寫入指令的資料產生對應的錯誤檢查與校正碼(Error Checking and Correcting Code, ECC Code)，並且記憶體管理電路 202 會將對應此寫入指令的資料與對應的錯誤檢查與校正碼寫入至可複寫式非揮發性記憶體模組 1006 中。之後，當記憶體管理電路 202 從可複寫式非揮發性記憶體模組 1006 中讀取資料時會同時讀取此資料對應的錯誤檢查與校正碼，並且錯誤檢查與校正電路 256 會依據此錯誤檢查與校正碼對所讀取的資料執行錯誤檢查與校正程序。

【0082】 本發明另提出一種延遲時脈訊號產生方法與資料取樣方法。

【0083】 圖 14 是根據本發明之一範例實施例所繪示之延遲時脈訊號產生方法的流程圖。

【0084】 請參照圖 14，在步驟 S1402 中，接收第一控制訊號，並且反應於第一控制訊號而輸出第二控制訊號及/或第三控制訊號。在步驟 S1404 中，根據參考時脈訊號與第二控制訊號以輸出第一延遲時脈訊號。在步驟 S1406 中，根據參考時脈訊號與第三控制訊號以輸出第二延遲時脈訊號。在步驟 S1408 中，根據第一延遲時脈訊號與第二延遲時脈訊號以輸出第三延遲時脈訊號。此外，圖 14 中各步驟已詳細說明如上，在此便不再贅述。

【0085】 圖 15 是根據本發明之一範例實施例所繪示之資料取樣方

法的流程圖。

【0086】請參照圖 15，步驟 S1502~S1508 分別相同或相似於圖 4 之範例實施例的步驟 S1402~S1408，故在此不重複說明。在步驟 S1510 中，根據第三延遲時脈訊號取樣一資料訊號以獲得取樣資料。在步驟 S1512 中，發送寫入指令序列，其中寫入指令序列用以將對應於取樣資料的資料寫入至可複寫式非揮發性記憶體模組。然而，在另一範例實施例中，步驟 S1512 亦可以是，將對應於取樣資料的資料傳送至主機系統 1000。此外，圖 15 中各步驟亦已詳細說明如上，在此便不再贅述。

【0087】值得一提的是，本發明不限制圖 14 的範例實施例中的步驟 S1404 與步驟 S1406 的執行順序，也不限制圖 15 的範例實施例中的步驟 S1504 與步驟 S1506 的執行順序。圖 14 與圖 15 中各步驟可以實作為多個程式碼或是電路，本發明不加以限制。此外，圖 14 與圖 15 的方法可以搭配以上各範例實施例使用，也可以單獨使用，本發明不加以限制。

【0088】綜上所述，本發明的一範例實施例透過始終維持至少一個延遲線電路的正常輸出以及在背景更新閒置中的(idling)延遲線電路的延遲級數，延遲時脈訊號可以持續地被僕延遲電路輸出，並且輸出的延遲時脈訊號的相位也可以持續地被鎖定。此外，輸出的延遲時脈訊號發生時脈抖動的機率也會相對減少。在一範例實施例中，在一次對於資料的寫入操作或讀取操作完成之前，若因溫度或電壓改變而導致需要更新僕延遲電路的延遲級數，僕延

遲電路的延遲級數也可以即時地被更新，而不需要等到寫入操作或讀取操作被執行完畢才更新，從而提升對於資料的寫入操作或讀取操作的正確性。

【0089】 雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可作些許的更動與潤飾，故本發明的保護範圍當視後附的申請專利範圍所界定者為準。

【符號說明】

【0090】

- 10：延遲鎖定迴路
- 11：控制電路
- 112：延遲線電路
- 114、122：狀態機電路
- 12、52：延遲電路
- 124：第一延遲線電路
- 126：第二延遲線電路
- 128、328、528：延遲訊號輸出電路
- 21、31、32、532、534：延遲單元
- 330：第一開關電路
- 332：第二開關電路
- 530：相位內插電路

CS_1：第一控制訊號
CS_2：第二控制訊號
CS_3：第三控制訊號
CS_4：第四控制訊號
DCS_1：第一延遲時脈訊號
DCS_2：第二延遲時脈訊號
DCS_3：第三延遲時脈訊號
EN_1：第一致能訊號
EN_2：第二致能訊號
ICS：內部時脈訊號
RCS：參考時脈訊號
S_1、S_2：訊號
T1、T2、T3、T4：時間點
1000：主機系統
1100：電腦
1102：微處理器
1104：隨機存取記憶體
1106：輸入/輸出裝置
1108：系統匯流排
1110：資料傳輸介面
1202：滑鼠
1204：鍵盤

- 1206：顯示器
- 1208：印表機
- 1212：隨身碟
- 1214：記憶卡
- 1216：固態硬碟
- 1310：數位相機
- 1312：SD 卡
- 1314：MMC 卡
- 1316：記憶棒
- 1318：CF 卡
- 1320：嵌入式儲存裝置
- 100：記憶體儲存裝置
- 1002：連接介面單元
- 1004：記憶體控制電路單元
- 1006：可複寫式非揮發性記憶體模組
- 304(0)~304(R)：實體抹除單元
- 202：記憶體管理電路
- 204：主機介面
- 206：記憶體介面
- 208：取樣電路模組
- 252：緩衝記憶體
- 254：電源管理電路

256 : 錯誤檢查與校正電路

2082 : 取樣電路

DS : 資料訊號

SD : 取樣資料

S1402、S1404、S1406、S1408、S1502、S1504、S1506、S1508、

S1510、S1512 : 步驟

申請專利範圍

1. 一種取樣電路模組，包括：

一延遲鎖定迴路，包括：

一控制電路，用以接收一參考時脈訊號以輸出一第一控制訊號；以及

一延遲電路，耦接至該控制電路，並且包括：

一狀態機電路，用以接收該第一控制訊號，並且反應於該第一控制訊號而輸出一第二控制訊號及/或一第三控制訊號；

一第一延遲線電路，耦接至該狀態機電路，並且用以接收該參考時脈訊號與該第二控制訊號以輸出一第一延遲時脈訊號；

一第二延遲線電路，耦接至該狀態機電路，並且用以接收該參考時脈訊號與該第三控制訊號以輸出一第二延遲時脈訊號；以及

一延遲訊號輸出電路，耦接至該第一延遲線電路、該第二延遲線電路及該狀態機電路，並且用以接收該第一延遲時脈訊號與該第二延遲時脈訊號以輸出一第三延遲時脈訊號；以及

一取樣電路，耦接至該延遲鎖定迴路，用以接收該第三延遲時脈訊號，並且根據該第三延遲時脈訊號來取樣(sampling)一資料訊號以獲得一取樣資料，

其中當該第一延遲線電路的一第一延遲級數被調整時，該延遲訊號輸出電路根據該第二延遲時脈訊號輸出該第三延遲時脈訊號，以及

當該第二延遲線電路的一第二延遲級數被調整時，該延遲訊號輸出電路根據該第一延遲時脈訊號輸出該第三延遲時脈訊號。

2. 如申請專利範圍第 1 項所述的取樣電路模組，其中該第二控制訊號用以控制該第一延遲線電路的該第一延遲級數，並且該第三控制訊號用以控制該第二延遲線電路的該第二延遲級數。

3. 如申請專利範圍第 2 項所述的取樣電路模組，其中該狀態機電路更用以輸出一第四控制訊號，並且該延遲訊號輸出電路接收該第一延遲時脈訊號與該第二延遲時脈訊號以輸出該第三延遲時脈訊號的操作包括：

接收該第一延遲時脈訊號、該第二延遲時脈訊號及該第四控制訊號以輸出該第三延遲時脈訊號。

4. 如申請專利範圍第 3 項所述的取樣電路模組，其中該延遲訊號輸出電路包括一第一開關電路與一第二開關電路，該第四控制訊號包括一第一致能訊號與一第二致能訊號，該第一致能訊號用以控制該第一開關電路的一第一開關狀態，並且該第二致能訊號用以控制該第二開關電路的一第二開關狀態。

5. 如申請專利範圍第 4 項所述的取樣電路模組，其中該延遲訊號輸出電路更包括一相位內插(phase interpolation)電路，該相位內插電路用以接收該第一開關電路的一第一輸出訊號及/或該第二

開關電路的一第二輸出訊號以形成該第三延遲時脈訊號。

6. 如申請專利範圍第 5 項所述的取樣電路模組，其中該第一延遲線電路包括多個第一延遲單元，該第二延遲線電路包括多個第二延遲單元，該相位內插電路包括至少一第三延遲單元與至少一第四延遲單元，該至少一第三延遲單元的一輸入端耦接至該第一開關電路的一輸出端，該至少一第四延遲單元的一輸入端耦接至該第二開關電路的一輸出端，並且該至少一第三延遲單元的一輸出端與該至少一第四延遲單元的一輸出端耦接至該相位內插電路的一輸出端。

7. 如申請專利範圍第 4 項所述的取樣電路模組，其中該第一延遲線電路的該第一延遲級數僅在該第一開關電路處於一非導通狀態時被改變，並且該第二延遲線電路的該第二延遲級數僅在該第二開關電路處於該非導通狀態時被改變。

8. 一種記憶體控制電路單元，用於控制一可複寫式非揮發性記憶體模組，其中該可複寫式非揮發性記憶體模組包括多個實體抹除單元，該記憶體控制電路單元包括：

一主機介面，用以耦接至一主機系統；

一記憶體介面，用以耦接至該可複寫式非揮發性記憶體模組；

一取樣電路模組，包括：

一延遲鎖定迴路，包括：

一控制電路，用以接收一參考時脈訊號以輸出一第

一控制訊號；以及

一延遲電路，耦接至該控制電路，並且包括：

一狀態機電路，用以接收該第一控制訊號，並且反應於該第一控制訊號而輸出一第二控制訊號及/或一第三控制訊號；

一第一延遲線電路，耦接至該狀態機電路，並且用以接收該參考時脈訊號與該第二控制訊號以輸出一第一延遲時脈訊號；

一第二延遲線電路，耦接至該狀態機電路，並且用以接收該參考時脈訊號與該第三控制訊號以輸出一第二延遲時脈訊號；以及

一延遲訊號輸出電路，耦接至該第一延遲線電路、該第二延遲線電路及該狀態機電路，並且用以接收該第一延遲時脈訊號與該第二延遲時脈訊號以輸出一第三延遲時脈訊號；以及

一取樣電路，耦接至該延遲鎖定迴路，用以接收該第三延遲時脈訊號，並且根據該第三延遲時脈訊號來取樣一資料訊號以獲得一取樣資料；以及

一記憶體管理電路，耦接至該主機介面、該記憶體介面及該取樣電路模組，並且用以發送一寫入指令序列，其中該寫入指令序列用以將對應於該取樣資料的一資料寫入至該可複寫式非揮發性記憶體模組，

其中當該第一延遲線電路的一第一延遲級數被調整時，該延

遲訊號輸出電路根據該第二延遲時脈訊號輸出該第三延遲時脈訊號，以及

當該第二延遲線電路的一第二延遲級數被調整時，該延遲訊號輸出電路根據該第一延遲時脈訊號輸出該第三延遲時脈訊號。

9. 如申請專利範圍第 8 項所述的記憶體控制電路單元，其中該第二控制訊號用以控制該第一延遲線電路的該第一延遲級數，並且該第三控制訊號用以控制該第二延遲線電路的該第二延遲級數。

10. 如申請專利範圍第 9 項所述的記憶體控制電路單元，其中該狀態機電路更用以輸出一第四控制訊號，並且該延遲訊號輸出電路接收該第一延遲時脈訊號與該第二延遲時脈訊號以輸出該第三延遲時脈訊號的操作包括：

接收該第一延遲時脈訊號、該第二延遲時脈訊號及該第四控制訊號以輸出該第三延遲時脈訊號。

11. 如申請專利範圍第 10 項所述的記憶體控制電路單元，其中該延遲訊號輸出電路包括一第一開關電路與一第二開關電路，該第四控制訊號包括一第一致能訊號與一第二致能訊號，該第一致能訊號用以控制該第一開關電路的一第一開關狀態，並且該第二致能訊號用以控制該第二開關電路的一第二開關狀態。

12. 如申請專利範圍第 11 項所述的記憶體控制電路單元，其中該延遲訊號輸出電路更包括一相位內插電路，該相位內插電路用以接收該第一開關電路的一第一輸出訊號及/或該第二開關電路

的一第二輸出訊號以形成該第三延遲時脈訊號。

13. 如申請專利範圍第 12 項所述的記憶體控制電路單元，其中該第一延遲線電路包括多個第一延遲單元，該第二延遲線電路包括多個第二延遲單元，該相位內插電路包括至少一第三延遲單元與至少一第四延遲單元，該至少一第三延遲單元的一輸入端耦接至該第一開關電路的一輸出端，該至少一第四延遲單元的一輸入端耦接至該第二開關電路的一輸出端，並且該至少一第三延遲單元的一輸出端與該至少一第四延遲單元的一輸出端耦接至該相位內插電路的一輸出端。

14. 如申請專利範圍第 11 項所述的記憶體控制電路單元，其中該第一延遲線電路的該第一延遲級數僅在該第一開關電路處於一非導通狀態時被改變，並且該第二延遲線電路的該第二延遲級數僅在該第二開關電路處於該非導通狀態時被改變。

15. 一種資料取樣方法，包括：

接收一第一控制訊號，並且反應於該第一控制訊號而輸出一第二控制訊號及/或一第三控制訊號；

根據一參考時脈訊號與該第二控制訊號以輸出一第一延遲時脈訊號；

根據該參考時脈訊號與該第三控制訊號以輸出一第二延遲時脈訊號；

根據該第一延遲時脈訊號與該第二延遲時脈訊號以輸出一第三延遲時脈訊號；

根據該第三延遲時脈訊號來取樣一資料訊號以獲得一取樣資料；以及

發送一寫入指令序列，其中該寫入指令序列用以將對應於該取樣資料的一資料寫入至一可複寫式非揮發性記憶體模組，

其中根據該第一延遲時脈訊號與該第二延遲時脈訊號以輸出一第三延遲時脈訊號的步驟包括：

當該第一延遲線電路的一第一延遲級數被調整時，根據該第二延遲時脈訊號輸出該第三延遲時脈訊號；以及

當該第二延遲線電路的一第二延遲級數被調整時，根據該第一延遲時脈訊號輸出該第三延遲時脈訊號。

16. 如申請專利範圍第 15 項所述的資料取樣方法，其中該第二控制訊號用以控制一第一延遲線電路的該第一延遲級數，並且該第三控制訊號用以控制一第二延遲線電路的該第二延遲級數。

17. 如申請專利範圍第 16 項所述的資料取樣方法，更包括：
輸出一第四控制訊號，

其中根據該第一延遲時脈訊號與該第二延遲時脈訊號以輸出一該第三延遲時脈訊號的步驟包括：

根據該第一延遲時脈訊號、該第二延遲時脈訊號及該第四控制訊號以輸出一該第三延遲時脈訊號。

18. 如申請專利範圍第 17 項所述的資料取樣方法，其中該第四控制訊號包括一第一致能訊號與一第二致能訊號，該第一致能訊號用以控制一第一開關電路的一第一開關狀態，並且該第二致

能訊號用以控制一第二開關電路的一第二開關狀態。

19. 如申請專利範圍第 18 項所述的資料取樣方法，其中根據該第一延遲時脈訊號、該第二延遲時脈訊號及該第四控制訊號以輸出該第三延遲時脈訊號的步驟包括：

根據該第一開關電路的一第一輸出訊號及/或該第二開關電路的一第二輸出訊號以形成該第三延遲時脈訊號。

20. 如申請專利範圍第 18 項所述的資料取樣方法，其中該第一延遲線電路的該第一延遲級數僅在該第一開關電路處於一非導通狀態時被改變，並且該第二延遲線電路的該第二延遲級數僅在該第二開關電路處於該非導通狀態時被改變。

圖式

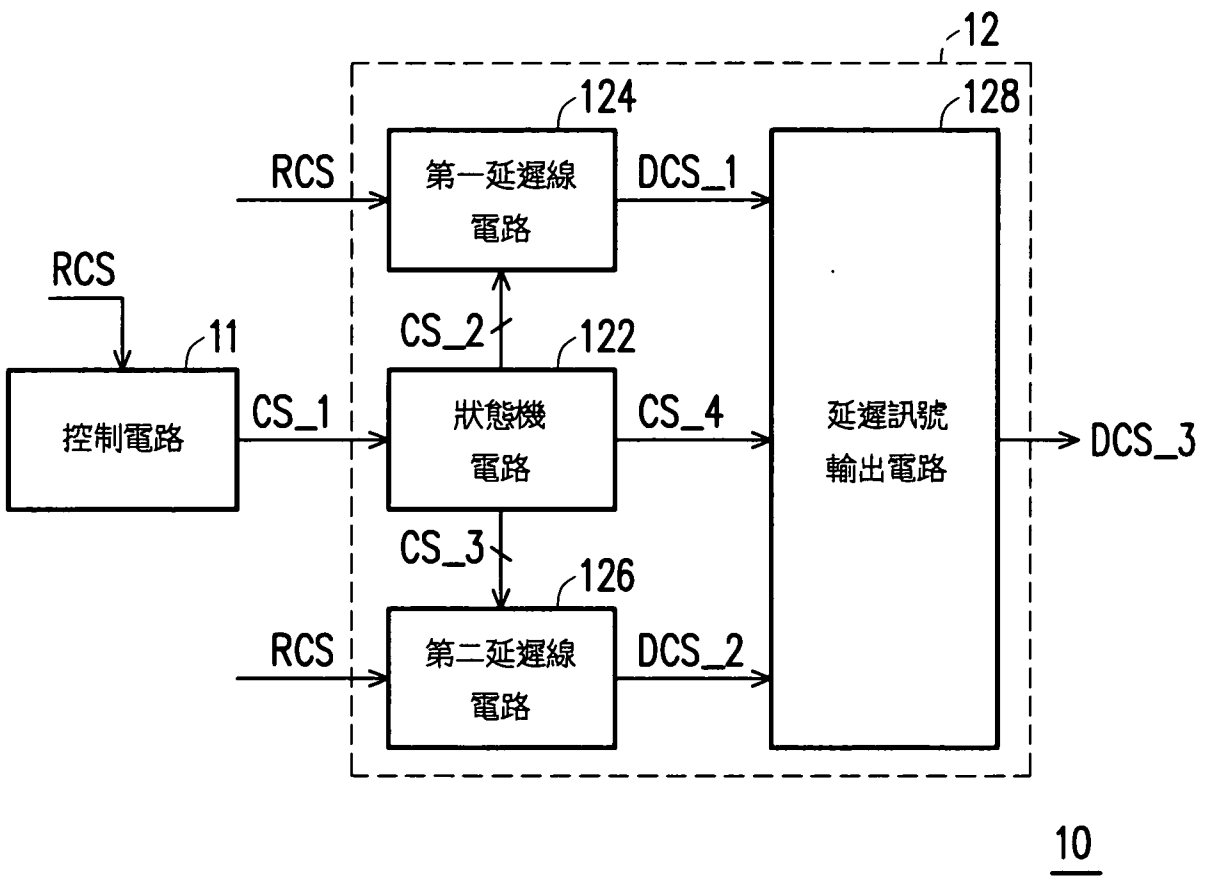


圖 1

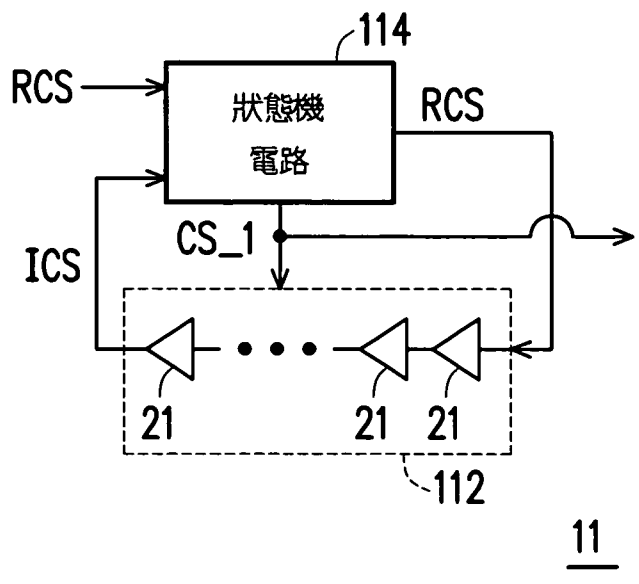


圖 2

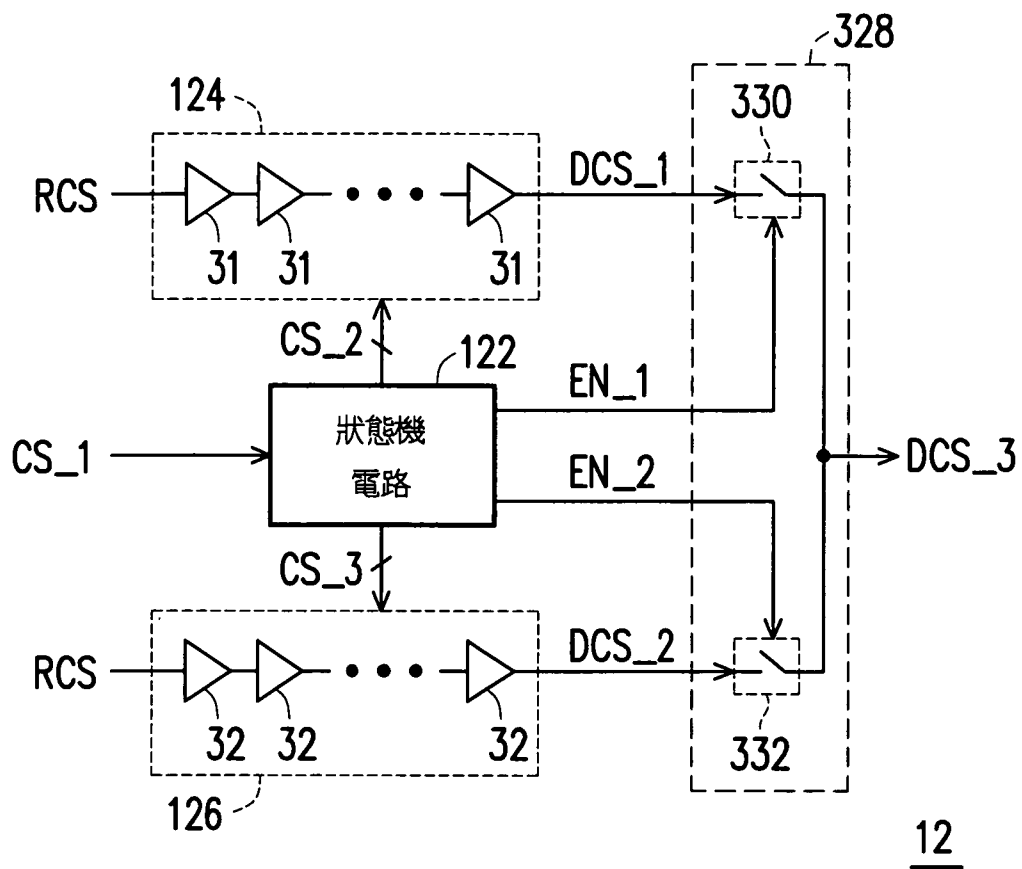


圖 3

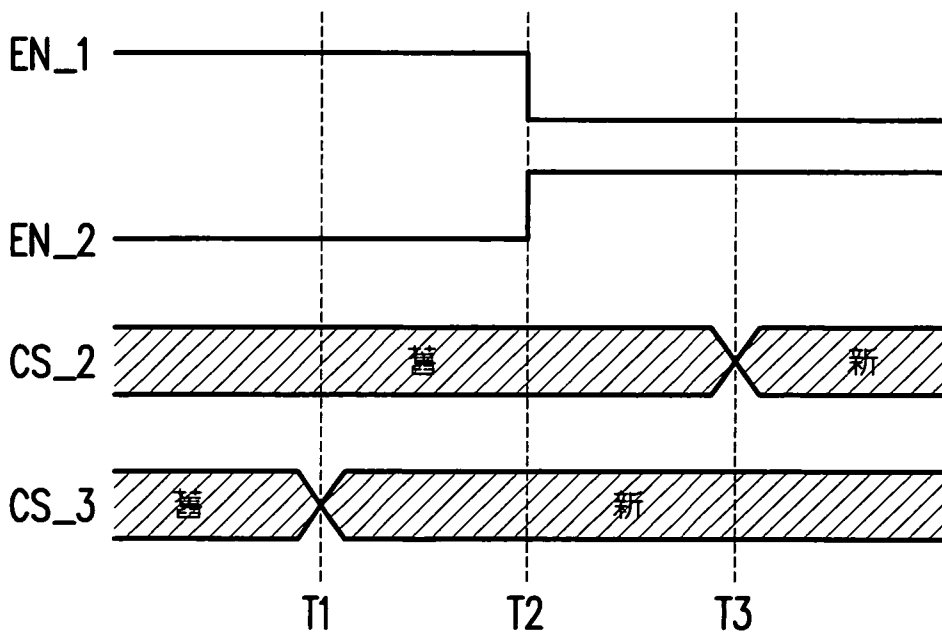


圖 4

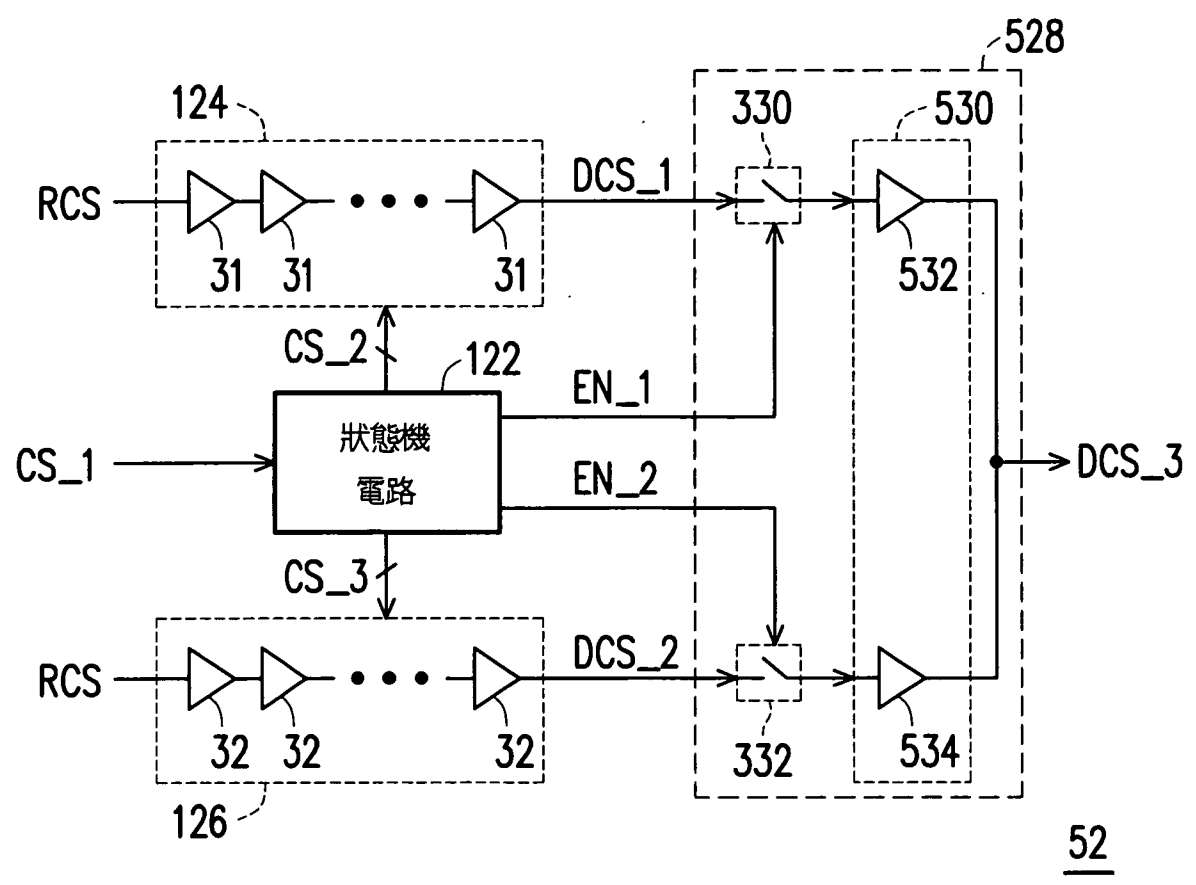


圖 5

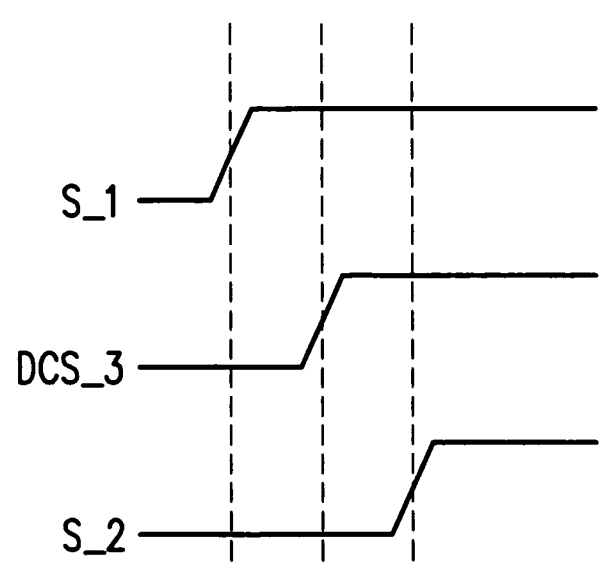


圖 6

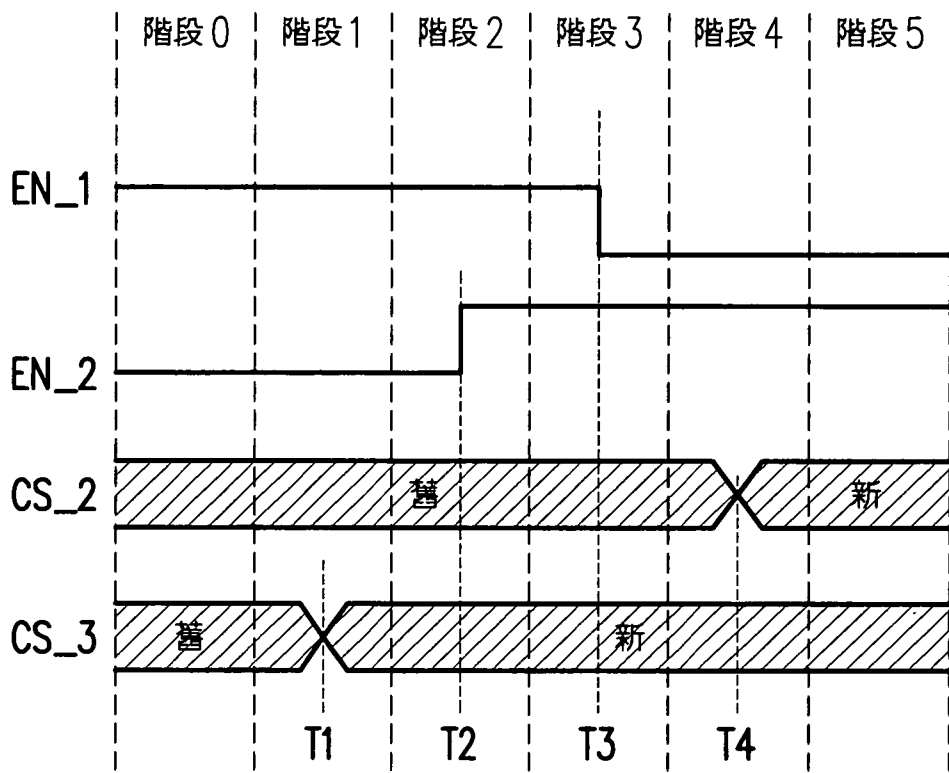


圖 7

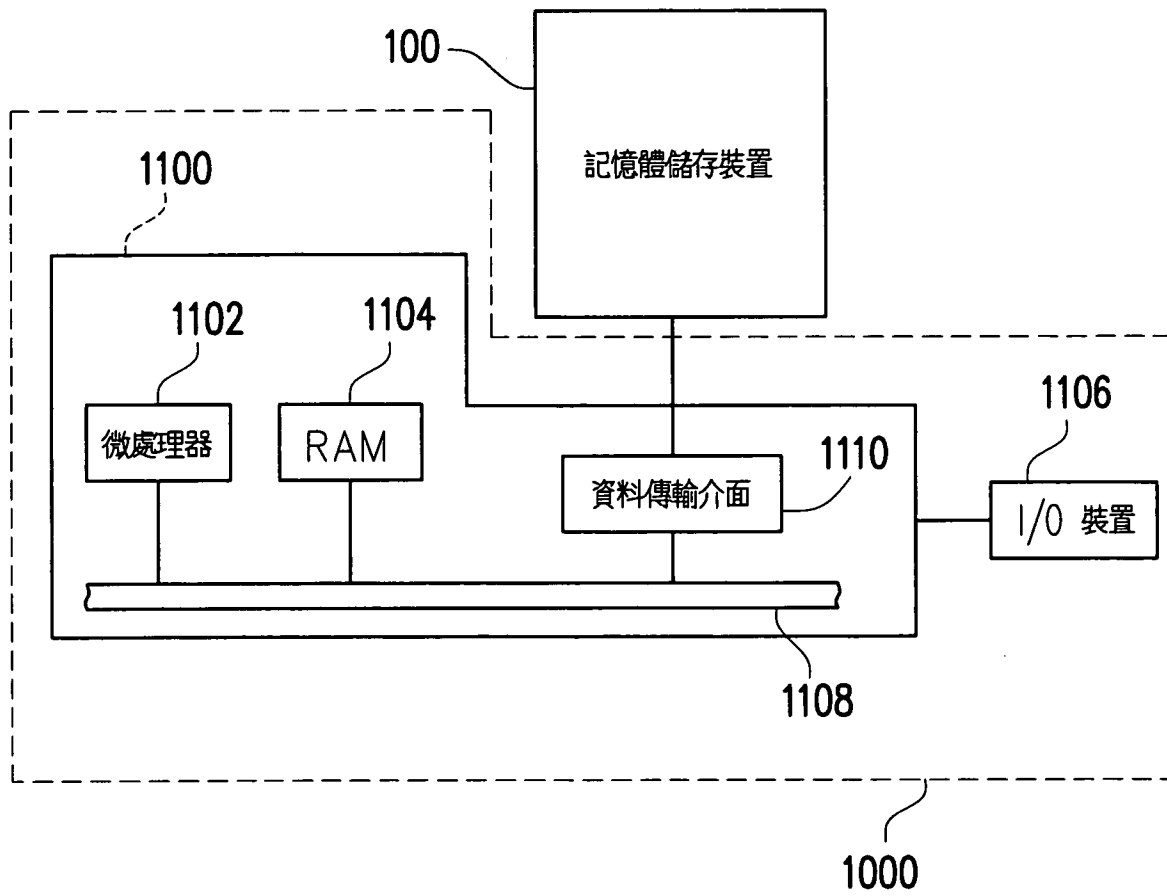


圖 8

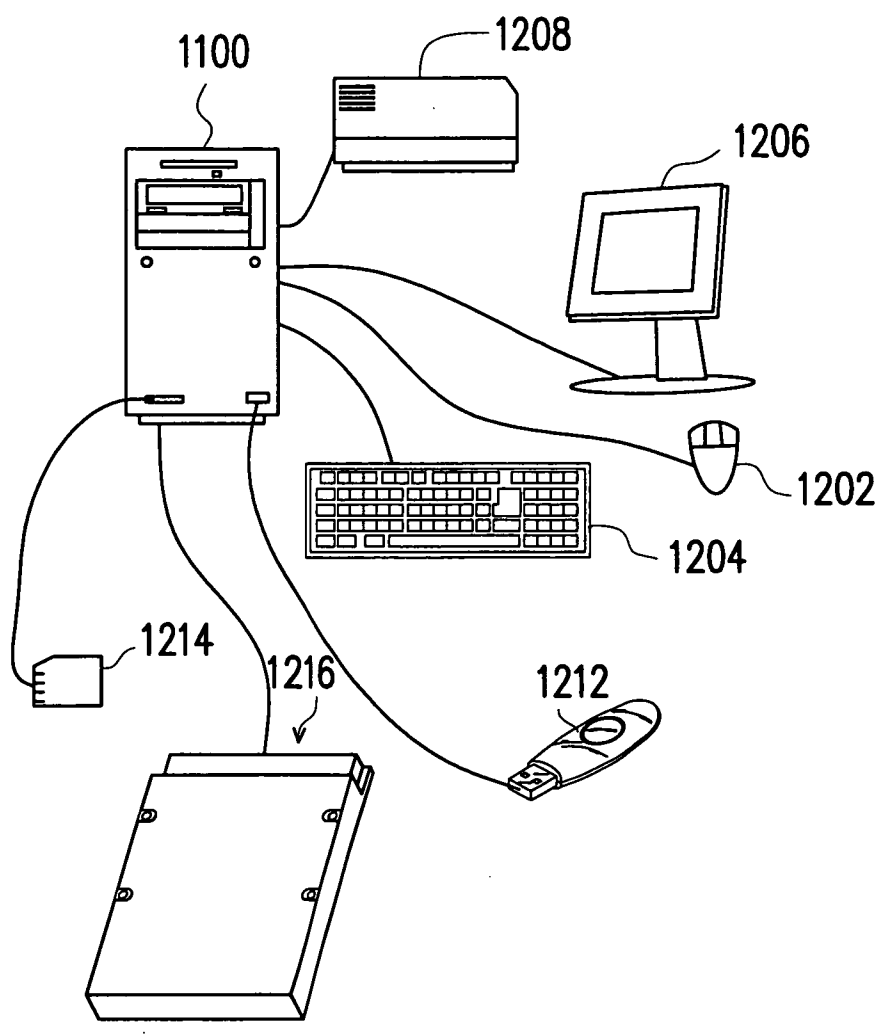


圖 9

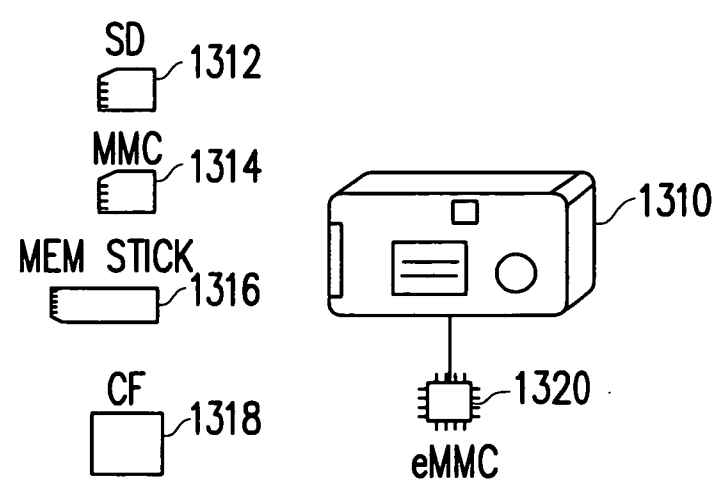


圖 10

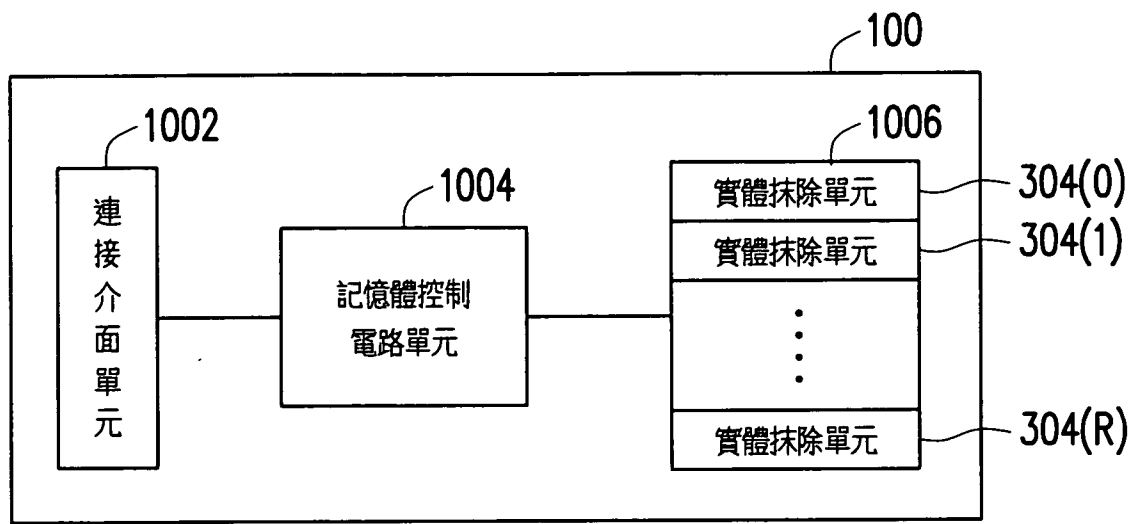


圖 11

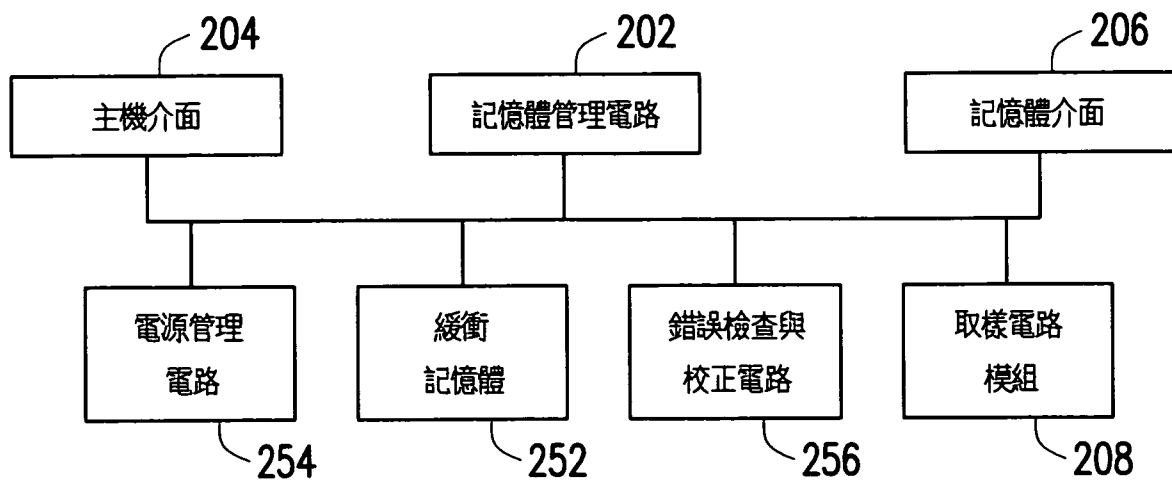


圖 12

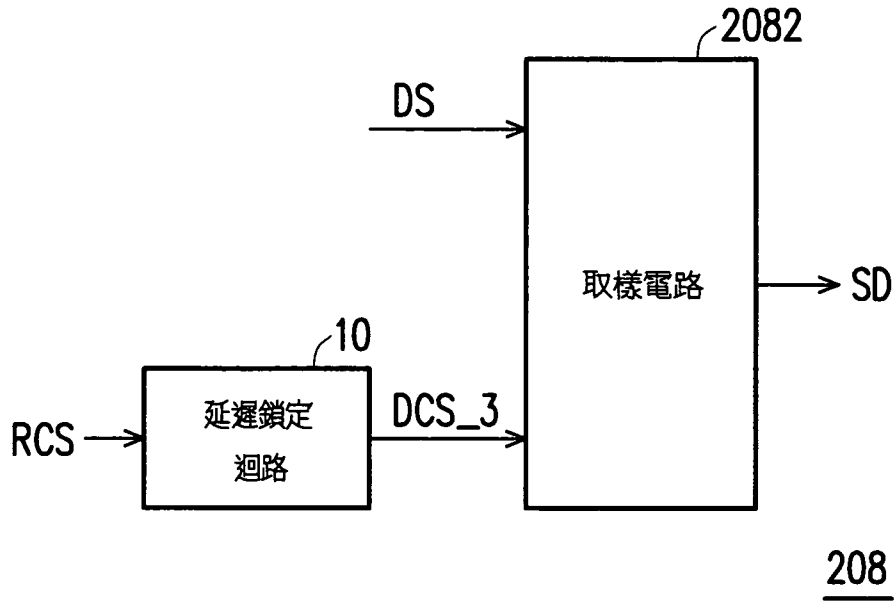


圖 13

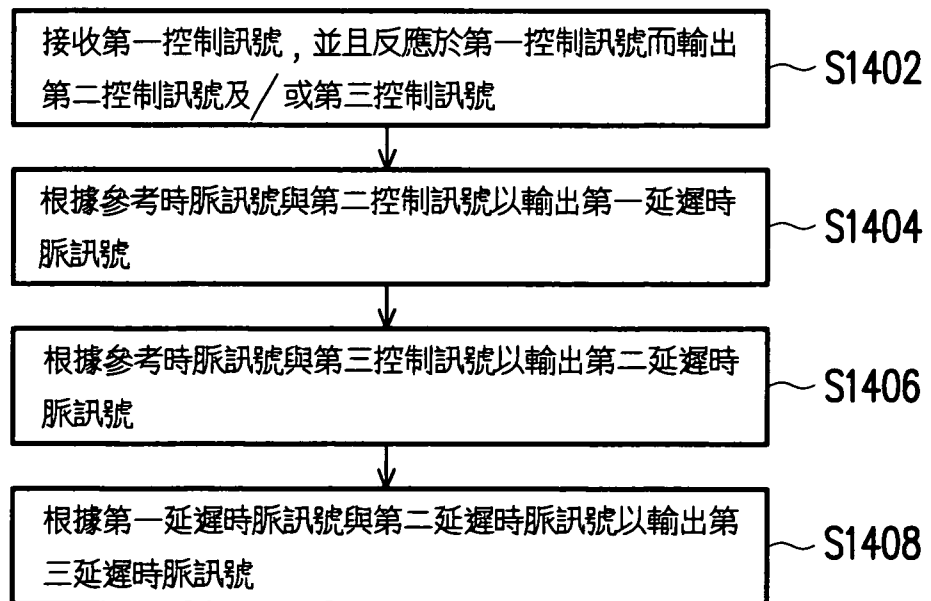


圖 14

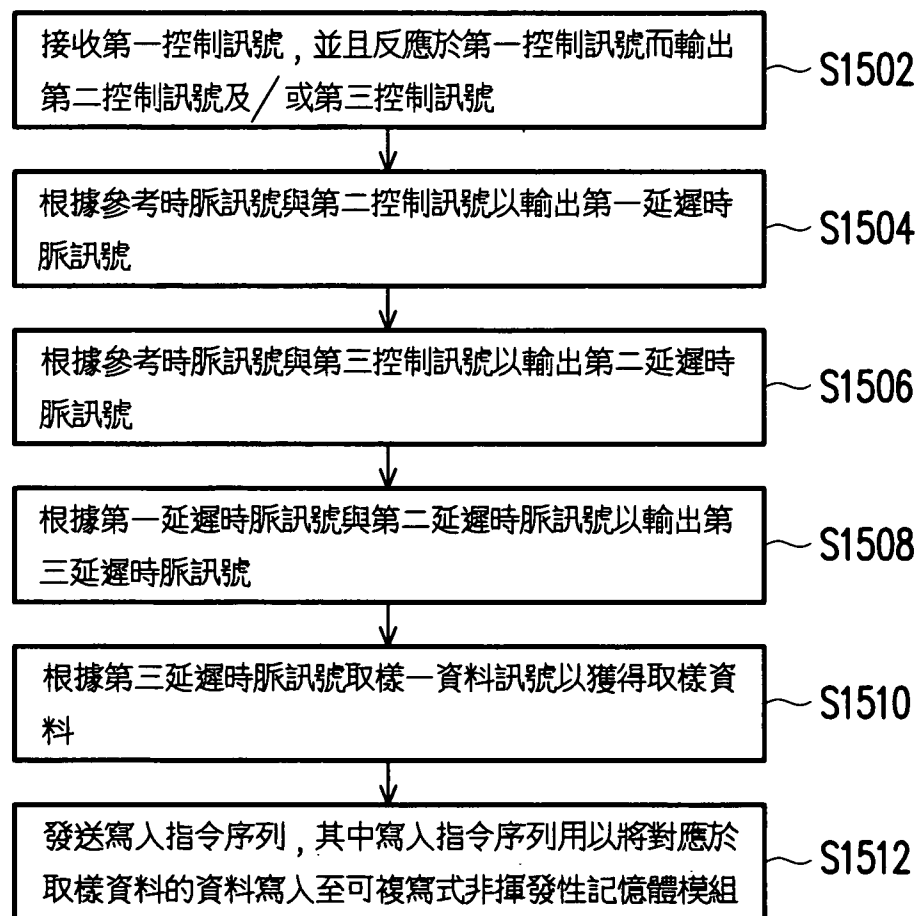


圖 15