

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5364281号
(P5364281)

(45) 発行日 平成25年12月11日(2013.12.11)

(24) 登録日 平成25年9月13日(2013.9.13)

(51) Int.Cl.

F 1

HO1L 29/786	(2006.01)	HO1L 29/78	620
HO1L 21/336	(2006.01)	HO1L 29/78	613A
HO1L 21/762	(2006.01)	HO1L 29/78	627D
HO1L 21/02	(2006.01)	HO1L 21/76	D
HO1L 27/12	(2006.01)	HO1L 27/12	B

請求項の数 4 (全 36 頁) 最終頁に続く

(21) 出願番号	特願2008-64627 (P2008-64627)
(22) 出願日	平成20年3月13日 (2008.3.13)
(65) 公開番号	特開2009-4736 (P2009-4736A)
(43) 公開日	平成21年1月8日 (2009.1.8)
審査請求日	平成23年3月3日 (2011.3.3)
(31) 優先権主張番号	特願2007-68086 (P2007-68086)
(32) 優先日	平成19年3月16日 (2007.3.16)
(33) 優先権主張国	日本国 (JP)
(31) 優先権主張番号	特願2007-133138 (P2007-133138)
(32) 優先日	平成19年5月18日 (2007.5.18)
(33) 優先権主張国	日本国 (JP)

(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(72) 発明者	山崎 舜平 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(72) 発明者	宮入 秀和 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
審査官	竹口 泰裕

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項 1】

水素又はハロゲンから選ばれたイオン種を第1の単結晶半導体基板にイオンドーピング法又はイオン注入法によって添加して、前記第1の単結晶半導体基板の表面から第1の深度の領域に第1の脆化層を形成し、

前記第1の単結晶半導体基板上に、有機シランガスを用いた化学気相成長法により第1の酸化シリコン膜を形成し、

前記第1の単結晶半導体基板及び前記第1の酸化シリコン膜に対し、マスクを用いたエッチングを行って、前記第1の酸化シリコン膜が上面に形成された第1の単結晶半導体層を形成し、

前記第1の単結晶半導体層と、絶縁基板とを、前記第1の酸化シリコン膜を介して重ね合わせ、

前記重ね合わせられた状態で加熱処理を行って前記第1の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第1の単結晶半導体層を残存させたまま前記第1の単結晶半導体基板を分離する第1の工程と、

水素又はハロゲンから選ばれたイオン種を第2の単結晶半導体基板にイオンドーピング法又はイオン注入法によって添加して、前記第2の単結晶半導体基板の表面から第2の深度の領域に第2の脆化層を形成し、

前記第2の単結晶半導体基板上に、有機シランガスを用いた化学気相成長法により第2の酸化シリコン膜を形成し、

10

20

前記第2の単結晶半導体基板及び前記第2の酸化シリコン膜に対し、マスクを用いたエッチングを行って、前記第2の酸化シリコン膜が上面に形成された第2の単結晶半導体層を形成し、

前記第2の単結晶半導体層と、前記絶縁基板とを、前記第2の酸化シリコン膜を介して重ね合わせ、

前記重ね合わされた状態で加熱処理を行って前記第2の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第2の単結晶半導体層を残存させたまま前記第2の単結晶半導体基板を分離する第2の工程とを有する半導体装置の作製方法であって、

前記第1の単結晶半導体層のチャネル長方向の結晶軸と、前記第2の単結晶半導体層のチャネル長方向の結晶軸とは異なり、

前記第1の深さは、前記絶縁基板上の前記第1の単結晶半導体層の膜厚であり、前記第2の深さは前記第2の単結晶半導体層の膜厚であることを特徴とする半導体装置の作製方法。

【請求項2】

水素又はハロゲンから選ばれたイオン種を第1の単結晶半導体基板にイオンドーピング法又はイオン注入法によって添加して、前記第1の単結晶半導体基板の表面から第1の深さの領域に第1の脆化層を形成し、

前記第1の単結晶半導体基板上に、最上層が有機シランガスを用いた化学気相成長法により第1の酸化シリコン膜でなる第1の接着層を形成し、

前記第1の単結晶半導体基板及び前記第1の接着層に対し、マスクを用いたエッチングを行って、前記第1の接着層が上面に形成された第1の単結晶半導体層を形成し、

前記第1の単結晶半導体層と、絶縁基板とを、前記第1の接着層を介して重ね合わせ、

前記重ね合わされた状態で加熱処理を行って前記第1の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第1の単結晶半導体層を残存させたまま前記第1の単結晶半導体基板を分離する第1の工程と、

水素又はハロゲンから選ばれたイオン種を第2の単結晶半導体基板にイオンドーピング法又はイオン注入法によって添加して、前記第2の単結晶半導体基板の表面から第2の深さの領域に第2の脆化層を形成し、

前記第2の単結晶半導体基板上に、最上層が有機シランガスを用いた化学気相成長法により第2の酸化シリコン膜でなる第2の接着層を形成し、

前記第2の単結晶半導体基板及び前記第2の接着層に対し、マスクを用いたエッチングを行って、前記第2の接着層が上面に形成された第2の単結晶半導体層を形成し、

前記第2の単結晶半導体層と、前記絶縁基板とを、前記第2の接着層を介して重ね合わせ、

前記重ね合わされた状態で加熱処理を行って前記第2の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第2の単結晶半導体層を残存させたまま前記第2の単結晶半導体基板を分離する第2の工程とを有する半導体装置の作製方法であって、

前記第1の単結晶半導体層のチャネル長方向の結晶軸と、前記第2の単結晶半導体層のチャネル長方向の結晶軸とは異なり、

前記第1の深さは、前記絶縁基板上の前記第1の単結晶半導体層の膜厚であり、前記第2の深さは前記第2の単結晶半導体層の膜厚であることを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は2において、

前記第1の深さは、前記絶縁基板上の前記第1の単結晶半導体層の膜厚であり、前記第2の深さは前記第2の単結晶半導体層の膜厚であって、前記第1の深さは、前記第2の深さより浅いことを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一において、

前記絶縁基板上に残存された前記第2の単結晶半導体層のみをCMP法を用いて研磨し

10

20

30

40

50

、前記第1及び第2の単結晶半導体層の膜厚を揃えることを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は絶縁表面に半導体層が設けられた所謂SOI(Silicon on Insulator)構造を有する半導体装置に関する。また本発明はガラス基板等の透光性を有する絶縁基板にSOI構造を有する半導体表示装置及びその作製方法に関する。

【背景技術】

【0002】

単結晶半導体のインゴットを薄くスライスして作製されるシリコンウエハーに代わり、絶縁表面に薄い単結晶半導体層を設けたシリコン・オン・インシュレータ(以下、「SOI」ともいう)と呼ばれる半導体基板を使った集積回路が開発されている。SOI基板を使った集積回路は、トランジスタのドレインと基板間における寄生容量を低減し、半導体集積回路の性能を向上させるものとして注目を集めている。

【0003】

SOI基板の製造方法は様々なものがあるが、SOI層の品質と生産しやすさ(スループット)を両立させたものとして、スマートカット(登録商標)と呼ばれる方法を用いて形成されるSOI基板が知られている。このSOI基板は、シリコン層となるボンドウエハーに水素イオンを添加し、別のウエハー(ベースウエハー)と室温で張り合わせる。張り合わせにはファン・デル・ワールス力をを利用して室温で強固な接合を形成する。そして、ベースウエハーとボンドウエハーとを貼り合わせた後に500程度の温度で熱処理することで、水素イオンが添加された層から分離して、ベースウエハー上にシリコン層が形成される。

【0004】

このようなSOI基板を用いた半導体装置の一例として、本出願人によるものが知られている(特許文献1参照)。

【0005】

また高耐熱性ガラスである結晶化ガラス上に、スマートカット法を利用して得られた単結晶シリコン薄膜を形成する方法として、本出願人によるものが知られている(特許文献2参照)。

【0006】

またシリコンウェハに形成されたCMOSFETに対し、Nチャネル型MOSFETの電子移動度と、Pチャネル型MOSFETの正孔移動度を両立させるため、(110)面を有するシリコンウェハ上に形成されたPMOSと、(100)面SOI層上に形成されたNMOSとを備えた半導体装置が知られている(特許文献3参照)。

【特許文献1】特開2000-012864号公報

【特許文献2】特開平11-163363号公報

【特許文献3】特開2006-229047号公報

【発明の開示】

【発明が解決しようとする課題】

【0007】

半導体集積回路の技術分野では微細化が技術開発のロードマップとなり、進展して来た歴史がある。これまで半導体集積回路が微細化されるに従って、高速動作が可能となり、低消費電力化が図られてきた。そして、近年では100nm以下のデザインルールで半導体集積回路を製造する技術が実用段階に移行しつつある。しかしながら、微細化による半導体集積回路の性能向上には限界があるといわれている。デザインルールの微細化が進むにつれて超高精度な製造装置が必要となり、益々設備投資額が増大するので、経済的観点からも限界がある。

【0008】

10

20

30

40

50

そこで本発明は、微細加工技術だけに依拠するのではなく、高性能化が図られた半導体装置を提供することを目的とする。また、低消費電力化が図られた半導体装置を提供することを目的とする。

【0009】

また特許文献2に記載の技術では、その図1に示されるように、得られた単結晶シリコン膜をパターニングして、CMOS回路のPTFTの活性層、NTFTの活性層、画素マトリクス回路の活性層を形成している。そのため、いずれの活性層も1つの単結晶シリコン膜から得ることになってしまう。

【0010】

また特許文献3に記載の技術では、(110)面を有するシリコンウェハ上に、(100)面SOI層上に形成されたNMOSを備えているため、平坦性がわるく、CMOS構造を構成する上でのコンタクト接続に不良が生じることが懸念された。また、シリコンウェハ上に形成しているため、透光性が低く、半導体素子を用いた表示装置(半導体表示装置)等の透光性が必要とされるデバイスには向きであった。

【0011】

そこで本発明は、透光性を確保しつつ、n型MISFET(Metal Insulator Semiconductor型電界効果トランジスタ、以下「MISFET」ともいう)と、p型のMISFETの移動度が高められたCMOS回路(半導体素子)及びその作製方法を提供しつつ、当該CMOS回路を有する半導体表示装置及びその作製方法も提供することを目的とする。

【課題を解決するための手段】

【0012】

本発明の一は、MISFETを構成する単結晶半導体層の結晶面が、第1導電型のMISFETと第2導電型のMISFETとで異なる半導体装置である。当該結晶面は、それぞれのMISFETにおいてチャネル長方向に走行するキャリアの移動度が高くなる結晶面である。

【0013】

本発明の一は、MISFETを構成する単結晶半導体層の結晶面とチャネル長方向の結晶軸が、第1導電型のMISFETと第2導電型のMISFETとで異なる半導体装置である。

【0014】

本発明の一は、MISFETを構成する単結晶半導体層の結晶面が同じであって、該単結晶半導体層のチャネル長方向の結晶軸が第1導電型のMISFETと第2導電型のMISFETとで異なる半導体装置である。

【0015】

上記構成の好ましい態様として、同一面に形成される第1の単結晶半導体層及び第2の単結晶半導体層はそれぞれ、第1の酸化シリコン膜と第2の酸化シリコン膜が接合することによって固定される、所謂SOI構造を有する半導体装置である。

【0016】

本発明の一は、ガラス基板等の透光性を有する絶縁基板の同一面に複数の単結晶半導体を設け、該単結晶半導体はn型の不純物領域を有する第1のSOI層と、p型の不純物領域を有する第2のSOI層とを含み、第1のSOI層の結晶面と、第2のSOI層の結晶面とを異ならせた半導体素子及び半導体素子を有する表示装置(半導体表示装置)である。例えば、第1のSOI層の結晶面を{100}とし、第2のSOI層の結晶面を{110}とする。なお、SOI層は単結晶半導体層、活性層とも表記することができる。

【0017】

本発明において、イオン注入層とは、単結晶半導体基板へイオンを照射し、イオンにより微小な空洞を有するように脆弱化された領域であり、以下、「イオン注入層」を「脆化層」ともいう。この脆化層を、後の熱処理によって亀裂を生じさせるなどにより分断することで、単結晶半導体基板より単結晶半導体層を分離することができる。

10

20

30

40

50

【 0 0 1 8 】

脆化層は、イオンをイオンドーピング法やイオン注入法によって照射して形成すればよい。

【 0 0 1 9 】

イオンドープ法は、質量分離せずにイオン化したガスを電界で加速して単結晶半導体基板に照射する方式をいう。イオンドーピング法はイオンドーピング装置を用いて行えばよい。

【 0 0 2 0 】

なお、イオン注入法とは、イオン注入装置によってイオン化したガスを質量分離して単結晶半導体基板に照射する方式をいう。イオン注入法を用いて、イオン化した水素ガスを質量分離して、選択的に加速して照射することができる。10

【 0 0 2 1 】

本発明の一の半導体素子は、次の工程により作製することができる。

水素又はハロゲンから選ばれたイオン種を第1の単結晶半導体基板に添加して、前記第1の単結晶半導体基板の表面から所定の深さの領域に第1の脆化層を形成し、前記第1の単結晶半導体基板上に、有機シランガスを用いた化学気相成長法により第1の酸化シリコン膜を形成し、前記第1の単結晶半導体基板及び前記第1の酸化シリコン膜に対し、マスクを用いたエッチングを行って、前記第1の酸化シリコン膜が上面に形成された第1の単結晶半導体層を形成し、前記第1の単結晶半導体層と、透光性を有する絶縁基板とを、前記第1の酸化シリコン膜を介して重ね合わせ、前記重ね合わされた状態で加熱処理を行って前記第1の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第1の単結晶半導体層を残存させたまま前記第1の単結晶半導体基板を分離する第1の工程と。20

水素又はハロゲンから選ばれたイオン種を第2の単結晶半導体基板に添加して、前記第2の単結晶半導体基板の表面から所定の深さの領域に第2の脆化層を形成し、前記第2の単結晶半導体基板上に、有機シランガスを用いた化学気相成長法により第2の酸化シリコン膜を形成し、前記第2の単結晶半導体基板及び前記第2の酸化シリコン膜に対し、マスクを用いたエッチングを行って、前記第2の酸化シリコン膜が上面に形成された第2の単結晶半導体層を形成し、前記第2の単結晶半導体層と、前記絶縁基板とを、前記第2の酸化シリコン膜を介して重ね合わせ、前記重ね合わされた状態で加熱処理を行って前記第2の脆化層に亀裂を生じさせ、前記絶縁基板上に前記第2の単結晶半導体層を残存させたまま前記第2の単結晶半導体基板を分離する第2の工程である。30

【 0 0 2 2 】

このような絶縁基板上に単結晶半導体層を残存させたまま単結晶半導体基板を分離することを転置とも呼ぶ。なお、第1の工程と、第2の工程はどちらを先に行ってもよい。つまりn型の単結晶半導体層と、p型の単結晶半導体層との絶縁基板への転置は、どちらを行ってもよい。

【 0 0 2 3 】

有機シランガスを用いて形成された酸化シリコン膜は、接着層の最上層として有する。このような酸化シリコン膜によって、単結晶半導体基板と、絶縁基板との強固な接着を図ることができる。40

【 0 0 2 4 】

単結晶半導体層を分離した後には、単結晶半導体層の表面に対して、レーザを照射、加熱処理、及びC M Pのいずれか若しくは複数組み合わせた方法による平坦化処理を行ってよい。

【 0 0 2 5 】

また単結晶半導体層をC M P等によって研磨して、薄膜化してもよい。このときの膜厚は、好みしくは5 nm乃至25 nmとなるようにすればよい。単結晶半導体層が薄膜化されると、移動度の向上、S値の向上、短チャネル効果抑制を図ることができる。薄膜化するにつれ、単結晶半導体膜のS値が揃うので好ましい。

【 0 0 2 6 】

10

20

30

40

50

転置に際し、先に転置した単結晶半導体層の膜厚を、後に転置する単結晶半導体層の膜厚より薄くするとよい。酸化シリコン膜を介した重ね合わせの際、不必要的領域で接着することを防止することができるからである。

【0027】

その後、両単結晶半導体層の表面の高さを揃えるため、レーザを照射、加熱処理及びC M P研磨のいずれか若しくはこれらを複数組み合わせての平坦化処理を行ってもよい。好ましくは、C M P研磨を用いるとよい。

【発明の効果】

【0028】

本発明によれば、M I S F E Tのチャネルを流れるキャリアにとって移動度が高くなる結晶面及び／又は結晶軸を適用することにより、キャリアの有効質量を最も軽くすることができ、それによってキャリアの実効移動度を最も大きくすることができる。その結果、半導体装置の動作の高速化を図ることができ、また、半導体装置を低電圧で駆動することができるとなり、低消費電力化を図ることができる。10

【0029】

またn型M I S F E Tと、p型M I S F E Tとで、少なくとも結晶面又は結晶軸を異ならせたことによって、移動度が高められた半導体素子等を提供することができる。さらに、透光性も確保されているため、該半導体素子を半導体表示装置、特にその表示部や駆動回路（半導体集積回路）に用いると好適である。本発明の半導体素子等は、移動度が高いため動作の高速化を図ることができ、また低電圧で駆動することができるとなり、半導体表示装置の低消費電力化を図ることができる。20

【発明を実施するための最良の形態】

【0030】

本発明の実施の形態について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同じものを指す符号は異なる図面間で共通して用いることとする。

【0031】

（第1の実施の形態）

本実施の形態は、n型M I S F E Tとp型M I S F E Tを構成する半導体層を、結晶面が異なる単結晶半導体基板（以下、「ボンドウエハー」ともいう）から、別基板である絶縁表面を有する基板（以下、「ベース基板」ともいう）の同一表面へ転置する様について説明する。以下の説明では、n型M I S F E T及びp型M I S F E Tのそれぞれについて、チャネル長方向に走行するキャリアの移動度が高くなる結晶面とした形態、n型M I S F E Tに対しては結晶面{100}の半導体層を適用し、p型M I S F E Tに対しては結晶面{110}の半導体層とした形態について示す。30

【0032】

n型M I S F E Tでは、チャネル形成領域、ソース領域及びドレイン領域を形成するための単結晶半導体層を得るために、結晶面{100}のボンドウエハーを用いる。p型M I S F E Tでは、チャネル形成領域、ソース領域及びドレイン領域を形成するための単結晶半導体層を得るために、結晶面{110}のボンドウエハーを用いる。このように結晶面が互いに異なるボンドウエハーから、各結晶面の単結晶半導体層を取り出して、同一のベース基板に固定する。固定するために、好適には以下に示す工程を行う。40

【0033】

図1(A)において、第1のボンドウエハー100上に酸化シリコン膜101と窒化シリコン膜102が形成された状態を示している。第1のボンドウエハー100は結晶面が{100}の単結晶半導体基板である。第1のボンドウエハー100から単結晶半導体層を取り出すために、第1のボンドウエハー100には水素イオンを高ドーズ条件で添加する。その結果、第1のボンドウエハー100の表面が粗くなってしまう問題がある。すると50

、その後の張り合わせ工程で接合がうまくできないことがある。そこで第1のボンドウエハー100の表面を保護するために、酸化シリコン膜101を設けておくと好ましい。酸化シリコン膜101は熱酸化により形成することが望ましく、例えば、水蒸気雰囲気下で900～1100の熱処理により形成すると良い。酸化シリコン膜101のその他の製法として、酸素プラズマ処理によりシリコンを酸化して形成しても良く、熱酸化に比べて低温で緻密な酸化シリコン膜を作製することができる。または、酸化シリコン膜101として、気相成長法で酸化シリコン膜を堆積し、その表面を酸素プラズマ処理で緻密化しても良く、熱酸化に比べて低温で作製することができる。

【0034】

酸化シリコン膜101の上には、窒化シリコン膜102を形成する。¹⁰ 窒化シリコン膜102は、シランとアンモニアを用いて気相成長法により堆積させることで形成すれば良い。窒化シリコン膜102は、第1のボンドウエハー100を溝加工する際のハードマスクとして用いる。溝加工は、MISFETの半導体層の形状を考慮して行われる。すなわちMISFETの半導体層がベース基板に転置できるように、その転置する部位が凸状部として残存するように第1のボンドウエハー100に対して溝加工を行う。図1(B)で示すように、フォトレジストでマスクパターン103を形成し、窒化シリコン膜102及び酸化シリコン膜101をエッチングする。

【0035】

次いで、図1(C)で示すように、窒化シリコン膜102をハードマスクとして第1のボンドウエハー100のエッチングを行う。²⁰ 第1のボンドウエハー100をエッチングする深さは、ベース基板に転置する単結晶半導体層の厚さを考慮して決定される。当該単結晶半導体層の厚さは水素イオンを添加する深さで制御することが可能である。第1のボンドウエハー100に形成する溝の深さは、脆化層よりも深くなるように形成することが好ましい。

【0036】

図1(D)において行う水素イオンの添加はベース基板に転置する単結晶半導体層の厚さを考慮して行われる。当該単結晶半導体層の厚さは10nm乃至200nm、好ましくは10nm乃至50nmの厚さとする。単結晶半導体層の厚さが薄いと、移動度の向上、S値の向上、短チャネル効果抑制を図ることができる。水素イオンを添加する際の加速電圧はこのような厚さを考慮して、第1のボンドウエハー100に添加されるようとする。³⁰ この処理によって第1のボンドウエハー100の表面から一定の深さの領域に脆化層104が形成される。この脆化層104は、水素のみでなく希ガスを用いてもよく、或いは両者を混合させて用いても良い。イオン添加の工程を行った後、表面の窒化シリコン膜102を除去する。

【0037】

図2(A)で示すように第1のボンドウエハー100における酸化シリコン膜101の表面とベース基板105を接合させる、所謂貼り合わせ工程を行う。接合が低温で可能なため、ベース基板105は様々なものが適用可能であり、その材質としては、ガラス、石英、サファイアなどの絶縁基板、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板などを適用することができる。⁴⁰

【0038】

ベース基板105の表面には、窒化シリコン膜106と酸化シリコン膜107が形成されている。窒化シリコン膜106はベース基板105からナトリウムイオンなどの不純物が拡散して単結晶半導体層を汚染しないために設けられている。この目的のためには、窒化シリコン膜に替えて、窒化酸化シリコン膜(その組成として、酸素よりも窒素の含有量が多いものであって、ラザフォード後方散乱法(RBS: Rutherford Back scattering Spectrometry)及び水素前方散乱法(HFS: Hydrogen Forward Scattering)を用いて測定した場合に、濃度範囲として酸素が5～30原子%、窒素が20～55原子%、Siが25～35原子%、水素が10～30原子%の範囲で含まれるものという)、窒化アルミニウム、窒素酸化ア
⁵⁰

ルミニウムなどを適用することができる。ベース基板 105 から単結晶半導体層に悪影響を与える不純物の拡散がない場合には、窒化シリコン膜 106 を省略することも可能である。一方、酸化シリコン膜 107 は、酸化シリコン膜 101 と接合を形成するために設けられている。この場合、酸化シリコン膜に替えて、酸化窒化シリコン膜（その組成として、窒素よりも酸素の含有量が多いものであって、RBS 及び HFS を用いて測定した場合に、濃度範囲として酸素が 50 ~ 70 原子%、窒素が 0.5 ~ 1.5 原子%、Si が 2.5 ~ 3.5 原子%、水素が 0.1 ~ 1.0 原子% の範囲で含まれるものという）を適用することができる。

【0039】

接合は、表面が清浄された第 1 のボンドウエハー 100 側の酸化シリコン膜 101 と、ベース基板側の酸化シリコン膜 107 が密接することにより形成される。接合の形成は室温で行うことが可能である。この接合は原子レベルで行われ、ファン・デル・ワールス力が作用して室温で強固な接合が形成される。第 1 のボンドウエハー 100 には溝加工がされているので、単結晶半導体層を形成する凸状部がベース基板 105 と接する。

【0040】

第 1 のボンドウエハー 100 とベース基板 105との間で接合を形成した後、図 2 (B) で示すように第 1 のボンドウエハー 100 から単結晶半導体層を剥離してベース基板 105 に固定する。単結晶半導体層の剥離は、脆化層 104 に形成された微少な空洞の体積変化が起こり、亀裂が生じるなどし、脆化層 104 に沿って破断面を発生させることにより行う。破断面を発生させ、さらに接合を強固なものとするために、400 乃至 600 の熱処理を行うことが好ましい。このようにして、絶縁表面上に単結晶半導体層（以下、「SOI 層」ともいう）が形成される。図 2 (B) では第 1 の SOI 層 108 がベース基板 105 上に接合された状態を示している。

【0041】

第 1 のボンドウエハー 100 の結晶面が {100} である場合、第 1 の SOI 層 108 の結晶面も {100} となる。他の結晶面の SOI 層をベース基板 105 に形成するには、その結晶面を有するボンドウエハーを用いればよい。

【0042】

図 3 は、第 1 のボンドウエハー 100 とは結晶面が異なる第 2 のボンドウエハー 109（例えば、結晶面が {110} のウエハー）から単結晶半導体層を剥離した後を示している。第 2 のボンドウエハー 109 には脆化層 104 が形成されており、第 1 のボンドウエハー 100 と同様にして、第 2 の SOI 層 110 をベース基板 105 上に接合する。

【0043】

以上の工程により、互いに結晶面が異なる第 1 の SOI 层 108 と第 2 の SOI 层 110 がベース基板 105 上に設けられる。上記の工程において、第 1 のボンドウエハー 100 の結晶面が {100} である場合には第 1 の SOI 层 108 の結晶面も {100} となり、第 2 のボンドウエハー 109 の結晶面が {110} である場合には、第 2 の SOI 層 110 の結晶面も {110} となる。転置された第 1 の SOI 层 108 及び第 2 の SOI 層 110 について、その表面を平坦化するために化学的機械的研磨（Chemical Mechanical Polishing : CMP）を行うことが好ましい。第 1 の SOI 层 108 及び第 2 の SOI 层 110 の厚さは CMP によってさらに薄膜化されても良く、好ましくは 5 nm 乃至 25 nm の厚さに調製されても良い。SOI 层の厚さが薄いと、移動度の向上、S 値の向上、短チャネル効果抑制を図ることができる。薄膜化するにつれ、単結晶半導体膜の S 値が揃うので好ましい。

【0044】

本実施の形態の構成では、n 型 MISFET を結晶面が {100} の第 1 の SOI 层 108 で形成することができる。また、p 型 MISFET は結晶面が {110} の第 2 の SOI 层 110 で形成することができる。すなわち、それぞれの MISFET について電子、ホールの電界効果移動度が最も高くなる結晶面である層にチャネル形成領域を設けることが可能となる。

10

20

30

40

50

【 0 0 4 5 】

本実施の形態では、水素イオンなどを一定の深さに添加して単結晶半導体層をボンドウエハーから剥離する方法について示すが、他のSOI技術を用いることも可能である。例えば、ボンドウエハーの表面を陽極化成することにより多孔質シリコン層を形成し、その上にエピタキシャル成長で形成した単結晶シリコン層を、本実施の形態で示すSOI層として用いることができる。この構成のボンドウエハーを用いる場合には、ウォータージェット法を用い、多孔質シリコン層とエピタキシャル成長した単結晶シリコン層を分離する。それにより、図2(B)又は図3に示すようなSOI層が設けられたベース基板を得ることができる。

【 0 0 4 6 】

本実施の形態によれば、半導体装置を形成するベース基板に異なる結晶面の単結晶半導体層(SOI層)を形成することができる。当該結晶面はn型MISFET及びp型MISFETのそれぞれに対して、高い電界効果移動度が得られるように決定することが可能である。キャリアにとって移動度が高くなる結晶面及び/又は結晶軸を適用することにより、キャリアの有効質量を最も軽くすることができ、それによってキャリアの実効移動度を最も大きくすることができる。このような単結晶半導体層が設けられたベース基板を用いることにより半導体装置の高性能化を図ることができる。

【 0 0 4 7 】**(第2の実施の形態)**

本実施の形態は、図1とは異なるボンドウエハーの製造工程について図4を参照して説明する。図4(A)において、第1のボンドウエハー100の表面に酸化シリコン膜101、窒化シリコン膜102を形成する。その後、水素又は希ガス、或いは水素と希ガスのイオンを添加し、第1のボンドウエハー100に脆化層104を形成する。そして、図4(B)で示すように溝加工を行う。この溝加工において、溝の深さを脆化層104よりも深く加工することで、脆化層104を剥離すべき単結晶半導体層の領域のみに残すことができる。このような構成により、より容易に転置を行うことができる。

【 0 0 4 8 】**(第3の実施の形態)**

本実施の形態は、n型MISFETとp型MISFETを構成するSOI層を、結晶面が異なる各ボンドウエハーから、ボンドウエハーとは異種であって透光性を有する絶縁基板でなるベース基板の同一表面へ転置する半導体素子基板の作製方法について説明する。本実施の形態では、n型MISFETは、結晶面{100}のボンドウエハーを用いて、チャネル形成領域、ソース領域及びドレイン領域を形成する。またp型MISFETは、結晶面{110}のボンドウエハーを用いて、チャネル形成領域、ソース領域及びドレイン領域を形成する。また本実施の形態ではn型MISFETのSOI層を、透光性を有する絶縁基板へ転置後に、p型のMISFETのSOI層を該絶縁基板へ転置する順序で説明するが、どちらを先に転置しても構わない。

【 0 0 4 9 】

図20(A)に示すように、結晶面を{100}とする第1のボンドウエハー100に対し、水素、又はハロゲンから選ばれたイオン種、これらが混合されたイオン種、若しくは水素又はハロゲンに希ガスが混合されたイオン種111を、所定の深さの領域に添加し、脆化層104を形成する。このとき、イオン注入法を用いると、水素又はハロゲンは、質量分離された状態で注入される。第1のボンドウエハー100には水素又はハロゲンから選ばれたイオン種を高ドーズ条件($1 \times 10^{15} / \text{cm}^2 \sim 1 \times 10^{17} / \text{cm}^2$)で添加するとよい。おって剥離する際、第1のボンドウエハー100からMISFETのSOI層が取り出しやすくなるからである。なお脆化層が形成される所定の深さは、おって、絶縁基板に転置された際のn型MISFETのSOI層の膜厚となる。そのため、イオン種の添加条件によって、転置された際のSOI層の膜厚を決めることができる。上記イオン種の添加に際し、直接ボンドウエハー100に添加する工程と、ボンドウエハー上に絶縁層等を形成した状態で添加する工程とのいずれも用いることができる。いずれの工程に

おいても、添加条件によって、転写後のSOI層の膜厚と同じ深さとなるように脆化層を形成することができる。

【0050】

図20(B)に示すように、第1のボンドウェハー100上に、接着層112を形成する。接着層112は、酸化シリコン膜が10nm~200nmの膜厚で、最上層に設けられている。酸化シリコン膜は、有機シランガスを用いた化学気相成長法により形成する。有機シランガスを用いた化学気相成長法により形成された酸化シリコン膜は平坦性が高く、貼り合わせ工程の際の接合を確実に行うことができる。なお、酸化シリコン膜は、熱酸化法、又はプラズマCVD法によって形成することもでき、さらにいずれの方法で形成された酸化シリコン膜に対しても、プラズマ処理を行うことができ、プラズマ処理によって酸化シリコン膜の緻密性を高めることができる。このような接着層112は、第1のボンドウェハー100の上面のみではなく、側面に形成しても、裏面に形成してもよい。10

【0051】

接着層112の最上層は酸化シリコン膜がよいが、上記酸化シリコン膜に加えてその他の膜を有してもよく、ボンドウェハーと酸化シリコン膜との間に、例えば、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜を有してもよい。例えば、酸化窒化シリコン膜を有する場合、窒素と酸素の濃度を異ならせた酸化窒化シリコン同士を積層させてもよい。酸素濃度を高めた酸化窒化シリコン(SiON)膜は、最上層に形成される酸化シリコン膜と、他の層との接着性を高める機能を有し、窒素濃度を高めた窒化酸化シリコン(SiNO)膜は、不純物汚染を防ぐ機能を有する。そのため、第1のボンドウェハー上に、SiNO膜、SiON膜、酸化シリコン膜の順に積層された接着層112を形成するとい20。

【0052】

なお、接着層112の最上層に設けられた酸化シリコン膜は、高ドーズ条件での添加の結果、表面が荒れてしまう第1のボンドウェハー100の平坦性を維持させる機能も有する。

【0053】

図20(C)に示すように、第1ボンドウェハー100上に、レジスト等のマスク113を選択的に設ける。該マスクは、おって転置されるp型のMISFETのSOI層の配置を考慮して選択的に設ける。n型のMISFETのSOI層と、p型のMISFETのSOI層とが、隣接するように配置されると、CMOS回路の作製を簡便なものとすることができます。30

【0054】

図20(D)に示すように、マスク113を用いて、第1のボンドウェハー100と接着層112とに対してエッティングを行って、n型のMISFETのSOI層108を形成する。SOI層108は、その上には接着層が残存した状態であって、矩形状となっている。なお、マスク113を用いて接着層112を先にエッティングし、接着層112をマスクとして第1のボンドウェハー100をエッティングしてもよい。いずれの方法によるエッティングに対しても、第1のボンドウェハー100に対して、少なくとも脆化層104が露出するまでエッティングを行うとよい。おってSOI層108の転置が行われる際、脆化層を境界にして第1のボンドウェハー100が剥がれるためである。40

【0055】

次に、透光性を有する絶縁基板(ベース基板となる)105を用意する。絶縁基板105には、ガラス、石英、プラスチック、サファイアなどを用いることができ、半導体表示装置に好適である。また透光性が必要とされない装置を作製するのであれば、絶縁基板105として、シリコン、ガリウムヒ素、インジウムリンなどの半導体基板を用いることができる。絶縁基板105上に、シリコンを有する膜を形成してもよい。シリコンを有する膜として、酸化シリコン膜、窒化シリコン膜、酸化窒化シリコン膜がある。酸化シリコン膜は、有機シランガスを用いた化学気相成長法により形成することができる。有機シランガスを用いた化学気相成長法により形成された酸化シリコン膜は、絶縁基板105の平坦性50

を高めることができ、接着層 112 との接着性を高めることができる。不純物汚染を防ぐ機能を高めるため、窒素濃度を高めた窒化酸化シリコン (SiNO) 膜としてもよく、その他の不純物汚染防止機能の高い窒化アルミニウム、又は窒素酸化アルミニウムを採用してもよい。酸化窒化シリコン膜の他の層との接着性を高めるため、酸素濃度を高めた酸化窒化シリコン (SiON) 膜としてもよい。このようなシリコンを有する膜は、化学気相成長法以外に熱酸化法、又はプラズマ CVD 法によって形成することもできる。

【0056】

そして図 21 (A) に示すように、選択的にエッティングされた接着層を介して、透光性を有する絶縁基板 105 と、第 1 のボンドウエハー 100 とを重ね合わせる。このとき、重ね合わせられる互いの面に対して、それぞれ洗浄を行うとよい。選択的にエッティングされた接着層の最上層には、酸化シリコン膜が設けられており、該酸化シリコン膜によって絶縁基板 105 との接着性が高まる。このとき絶縁基板 105 上にも酸化シリコン膜が形成されると、より接着性を高めることができる。絶縁基板 105、又は絶縁基板上の酸化シリコン膜と第 1 のボンドウエハー 100 との接合の形成は室温で行うことが可能である。この接合は原子レベルで行われ、ファン・デル・ワールス力が作用して室温で強固な接合が形成される。接着性を高めるため、絶縁基板 105 と、第 1 のボンドウエハー 100 とを重ね合わせた状態で、加熱処理を行ってもよい。加熱処理を行うと、接着性の向上に加えて、脆化層 104 に亀裂を生じさせることができるために、MISFET の SOI 層の取り出し、つまり第 1 のボンドウエハー 100 の剥離を簡便なものとすることができる。該亀裂は、脆化層 104 に形成された微小な空洞の体積変化によって起こり得る。接合を強固なものにしつつ、脆化層 104 に沿って破断面を発生させるために、加熱処理は 400 乃至 600 度で、5 分から 30 分程度、例えば 600 度で 20 分間行うとよい。また加熱処理に加えて加圧処理を行ってもよく、両処理を同時に行ってもよい。

【0057】

図 21 (B) に示すように、絶縁基板 105 上に SOI 層 108 を残存させたまま、脆化層 104 を境界として、第 1 のボンドウエハー 100 を剥離することができる。第 1 のボンドウエハー 100 の結晶面が {100} であれば、SOI 層 108 の結晶面も {100} となっており、移動度の高い n 型の MISFET を提供することができる。

【0058】

次に図 22 (A) に示すように、結晶面を {110} とする第 2 のボンドウエハー 109 に対し、図 1 及び図 2 で示した工程と同様にして、SOI 層 110 を形成する。同様な工程ではあるが、適宜再掲して説明する。まず水素又はハロゲンから選ばれたイオン種をイオン注入法又はイオンドーピング法により添加して脆化層を形成し、接着層 112 を形成する。接着層 112 の最上層は、酸化シリコン膜を有するため、絶縁基板 105 との接着性を高めることができる。酸化シリコン膜は、有機シランガスを用いた化学気相成長法等により形成するとよいことも図 1 及び図 2 と同様である。また絶縁基板 105 上にもシリコンを有する膜を形成することによって、第 2 のボンドウエハー 109 との接着性を高めることも図 1 及び図 2 と同様である。絶縁基板 105 と、第 2 のボンドウエハー 109 とを重ね合わせた状態で、加熱処理を行って、接着性を高めてもよいことも図 1 及び図 2 と同様である。加熱処理を行うと、脆化層 104 に亀裂を生じさせることができ、また加熱処理に加えて加圧処理を行ってもよく、両処理を同時に行ってもよいことも図 1 及び図 2 と同様である。また脆化層 104 は、SOI 層 110 が設けられていない領域では露出するようにエッティングされることも図 1 及び図 2 と同様である。そして、凸部状の SOI 層 110 を選択的に形成し、酸化シリコン膜が SOI 層 110 の上面に設けられていることも図 1 及び図 2 と同様である。

【0059】

図 22 (B) に示すように、SOI 層 108 が転置された絶縁基板 105 と、SOI 層 110 が選択的に形成された第 2 のボンドウエハー 109 とを重ね合わせる。SOI 層 110 は、図 20 (D) 及び図 21 で示した SOI 層 108 と隣接するように重ね合わせると、CMOS 回路の作製を簡便なものとすることができます。

10

20

30

40

50

【 0 0 6 0 】

重ね合わせる際、SOI層108をSOI層110より薄くしておくと、不必要的領域での接着を防止することができる。すなわち、SOI層108とSOI層110とが同じ膜厚の場合と比較すると、SOI層108と、第2のボンドウエハー109との接着を積極的に防ぐことができる。このようにSOI層108を、SOI層110より薄くするためには、第1のボンドウエハー100における脆化層104と、第2のボンドウエハー109における脆化層104との深さを異ならせればよい。すなわち、各脆化層104を形成する際のドーズ量等を異ならせればよい。またボンドウエハーの結晶面が異なっているため、ドーズ量を等しくした状態でもボンドウエハー毎にイオン種の添加深さが変わることもある。これを利用して各脆化層の深さを異ならせることもできる。

10

【 0 0 6 1 】

その後図22(C)に示すように、第2のボンドウエハー109と、絶縁基板105との剥離を行う。すると、SOI層108が転置された絶縁基板105上に、SOI層110を残存させたまま、脆化層104を境界として、第2のボンドウエハー109を剥離することができる。このとき、上記加熱処理により脆化層104に亀裂が生じていると、該剥離を簡便に行うことができる。

【 0 0 6 2 】

絶縁基板105上に転置されたSOI層108と、SOI層110とに対して平坦化処理を行ってもよい。平坦化処理にはレーザ照射、加熱処理、又はCMP研磨のいずれか若しくはこれらを複数組み合わせた方法を用いることができる。またSOI層108と、SOI層110との表面の高さが異なっている場合、異なった状態、つまりSOI層108の膜厚が、SOI層110の膜厚より薄いままでよいし、高さを揃えてもよい。高さを揃えるためにはSOI層110のみを薄くすればよいため、CMP研磨を用いるとよい。このとき両SOI層をさらに薄膜化してもよく、好ましくは5nm乃至25nmの厚さとなるように研磨してもよい。SOI層が薄膜化されると、移動度の向上、S値の向上、短チャネル効果抑制が向上される。薄膜化するにつれ、単結晶半導体膜のS値が揃うので好ましい。

20

【 0 0 6 3 】

このように絶縁基板の同一表面に、結晶面が異なるn型のMISFETのSOI層と、p型のMISFETのSOI層とを転置することによって、上記移動度等が高められた半導体素子及び半導体集積回路を提供することができる。さらに、透光性も確保されているため、該半導体集積回路等を半導体表示装置に用いると好適である。本発明の半導体表示装置は、透光性を有する絶縁基板上に、移動度をはじめとする電気特性の高いMISFETを転置したため動作の高速化を図ることができ、また低電圧で駆動することができるとなり、低消費電力化を図ることができる。また、本実施の形態によれば素子分離を行うための構造を形成する必要がないので製造工程を簡略化できる。

30

【 0 0 6 4 】

また本実施の形態では、水素イオンなどを一定の深さに添加して、SOI層となる単結晶半導体層をボンドウエハーからベース基板へ転置する方法について示したが、他のSOI技術を用いて同様なベース基板を作製することも可能である。例えば、ボンドウエハーの表面を陽極化成することにより多孔質シリコン層を形成し、その上にエピタキシャル成長で形成した単結晶シリコン層を、本実施の形態で示すSOI層として用いることができる。この構成のボンドウエハーを用いる場合には、ウォータージェット法を用い、多孔質シリコン層とエピタキシャル成長した単結晶シリコン層を分離することもできる。

40

【 0 0 6 5 】**(第4の実施の形態)**

本実施の形態では、図23(A)に示すように、最初に、結晶面を{100}とする第1のボンドウエハーを選択的にエッチングし、その後図23(B)に示すように脆化層を形成し、結晶面が異なるn型のMISFETのSOI層と、p型のMISFETのSOI層とを、同一絶縁基板上に転置する作製工程を説明する。

50

【 0 0 6 6 】

図23(A)に示すように、第1のボンドウエハー100上に選択的にレジスト等のマスク113を形成する。マスク113は上記実施の形態で示したように、CMOS回路の作製を簡便なものとするため、おって転置されるp型のMISFETのSOI層の配置を考慮して選択的に設ける。

【 0 0 6 7 】

図23(B)に示すように、マスク113を用いて、n型のMISFETのSOI層108を形成する。すなわち、第1のボンドウエハー100にSOI層108となる凸部が形成される。その後、上記実施の形態と同様なイオン種111を、第1のボンドウエハー100に添加して脆化層104を形成する。脆化層104は、第1のボンドウエハー100の表面から所定の深さに形成されるため、SOI層108となる領域での脆化層は、その他の領域の脆化層よりも、第1のボンドウエハー100の表面側に形成される。

10

【 0 0 6 8 】

図23(C)に示すように、上記実施の形態と同様な接着層112を形成する。接着層112は、第1のボンドウエハー100の表面を沿うように形成される。つまりSOI層108を覆うように形成される。

【 0 0 6 9 】

図23(D)に示すように、上記実施の形態と同様な絶縁基板105を、接着層112を介して第1のボンドウエハー100に重ね合わせる。接着層112の最上層には、酸化シリコン膜が設けられており、該酸化シリコン膜によって絶縁基板105との接着性が高まること、絶縁基板105上に酸化シリコン膜が形成されていることにより接着性が高まることは、上記実施の形態と同様である。なお本実施の形態において、第1のボンドウエハー100は、SOI層108の凸部で絶縁基板105と積極的に接着する。絶縁基板105と、第1のボンドウエハー100とを重ね合わせた状態で、加熱処理を行って、接着性を高めてもよく、加熱処理を行うと、接着性の向上に加えて、脆化層104に亀裂を生じさせることができることは、上記実施の形態と同様である。また加熱処理に加えて加圧処理を行ってもよく、両処理を同時にやってよいことも、上記実施の形態と同様である。

20

【 0 0 7 0 】

その後、上記実施の形態と同様に、第1のボンドウエハー100と、絶縁基板105との剥離を行って、SOI層108が転置された絶縁基板105を形成する。そして、該絶縁基板上に、p型のMISFETのSOI層を転置する。該SOI層は、本実施の形態と同様な工程に基づき、第2のボンドウエハーを選択的にエッティングし、その後、脆化層を形成して得られた、p型のMISFETのSOI層である。該SOI層を、SOI層108が転置された絶縁基板105に転置する。

30

【 0 0 7 1 】

このように少なくとも結晶面が異なるn型のMISFETのSOI層と、p型のMISFETのSOI層とを、絶縁基板の同一表面に転置することによって、移動度が高められた半導体集積回路等を提供することができ、透光性も確保されているため、該半導体集積回路を半導体表示装置に用いることができる。本発明の半導体表示装置は、透光性を有する絶縁基板上に、移動度が高いMISFETを転置したため動作の高速化を図ることができ、また低電圧で駆動することができるようになり、低消費電力化を図ることができる。また、本実施の形態によれば素子分離を行うための構造を形成する必要がないので製造工程を簡略化できる。

40

【 0 0 7 2 】

なお本実施の形態においても、n型MISFETのSOI層を、透光性を有する絶縁基板へ転置後に、p型のMISFETのSOI層を該絶縁基板へ転置する順序で説明したが、どちらを先に転置しても構わない。

【 0 0 7 3 】

また本実施の形態では、水素イオンなどを一定の深さに添加して単結晶半導体層をボンドウエハーから剥離する方法について示したが、他のSOI技術を用いて同様なベース基板

50

を作製することも可能である。例えば、ボンドウエハーの表面を陽極化成により多孔質シリコン層を形成し、その上にエピタキシャル成長で形成した単結晶シリコン層を、本実施の形態で示すS O I層として用いることができる。この構成のボンドウエハーを用いる場合には、ウォータージェット法を用い、多孔質シリコン層とエピタキシャル成長した単結晶シリコン層を分離することもできる。

【0074】

(第5の実施の形態)

本実施の形態では、図24と図26で示すように、ボンドウエハーの周囲を酸化膜で覆った状態を経た作製工程を説明する。本実施の形態は、酸化膜で覆う以外の工程、例えば上記実施の形態のようにボンドウエハーに脆化層を形成した後に選択的にエッチングする工程や上記実施の形態のようにボンドウエハーを選択的にエッチングした後脆化層を形成する工程と、自由に組み合わせることができる。

10

【0075】

図24(A)において、結晶面を{100}とする第1のボンドウエハー100を、硫酸過水(S P M)、アンモニア過水(A P M)、塩酸過水(H P M)、希フッ酸(D H F)などにより洗浄する。その後、第1のボンドウエハー100の熱酸化を行う。熱酸化はドライ酸化で形成することができるし、酸化雰囲気中にハロゲンを添加した酸化を行って形成することもできる。ハロゲンを含むものとしては塩素を含むH C lが代表例であり、その他にもH F、N F₃、H Br、C l₂、C l F₃、B C l₃、F₂、Br₂などから選ばれた一種又は複数種を適用することができる。このような熱酸化の例としては、酸素に対しH C lを0.5~10体積%(好ましくは3体積%)の割合で含む雰囲気中で、900~1150の温度(代表的には1000)で熱酸化を行うとよい。

20

このような温度範囲で熱処理を行うことで、第1のボンドウエハー100内の不純物元素に対するハロゲン元素によるゲッタリング効果を得ることができる。ゲッタリング効果としては、特に金属不純物(外因性不純物である重金属)を除去する効果が得られる。代表的な重金属としてはFe、Cr、Niといった金属であり、さらにMoが含まれる場合もある。その際、塩素等のハロゲンの作用により、第1のボンドウエハー100内の金属などの不純物が揮発性の塩化物となって気相中へ離脱して除去される。第1のボンドウエハー100の表面を化学的機械研磨(C M P)処理したものに対しては、不純物を効率的に除去することができる。このように酸化膜120にハロゲンが含まれることにより、外因性不純物である重金属を捕集して第1のボンドウエハー100が汚染されることを防止する効果を奏すことができる。また、H C lの水素は第1のボンドウエハー100と酸化膜120の界面の欠陥を補償して界面の局在準位密度を低減する作用を奏する。熱酸化の処理時間は0.1~6時間、好ましくは0.5~1時間とすれば良い。このようにして形成される酸化膜は、10nm~1000nm(好ましくは50nm~200nm)、例えば100nmの厚さとする。

30

【0076】

図24(B)は上記実施の形態と同様な水素又はハロゲン等のイオン種を添加して脆化層104を形成する工程を示している。イオン種の添加は、第1のボンドウエハー100に対して斜め方向から行うこともできる。なお、重金属は第1のボンドウエハー100に対し、質量分離されないイオンをドーピングして脆化層104を形成する過程で導入される。

40

【0077】

図25は第1のボンドウエハー100に添加した水素又はハロゲンイオンの分布を曲線Hとして示す。第1のボンドウエハー100に添加された水素又はハロゲンイオンはガウス分布する。勿論、イオンを電界で加速してボンドウエハーに添加する場合には、イオンはある深さをピークにしてほぼガウス分布することとなり、ここでそのピーク位置を目安として脆化層104を示している。第1のボンドウエハー100の表面からイオンの平均進入深さに近い深さ領域に脆化層104が形成される。例えば、脆化層104は、S O I層の厚さ5nm~500nm、好ましくは10nm~200nmに合わせた深さに形成する

50

ことが好ましく、イオンを添加する際の加速電圧やドーズ量はこのような厚さを考慮して行う。

【0078】

なお、重金属のイオンは質量数が大きいので、第1のボンドウエハーのうちイオンが添加される側のごく表面に多く分布する。第1のボンドウエハー100の表面に酸化膜120が形成されているため、この酸化膜120の膜厚を金属イオンの添加深さよりも厚く形成することで、当該金属の分布を酸化膜120中に止めておくことができる（図25において示す曲線M）。膜中にハロゲンを含んだ酸化膜120はHCl酸化などによって、酸化膜120中に捕集した当該重金属を固定して第1のボンドウエハー100の汚染を防ぐことができる。

10

【0079】

さらに酸化膜120を形成した後に行われる熱処理により、第1のボンドウエハー100に含まれる不純物としての他の金属が酸化膜120に析出し、ハロゲン（例えば塩素）と反応して捕獲される。それにより酸化膜120中に捕集した当該不純物を固定して第1のボンドウエハー100の汚染を防ぐことができる。

【0080】

このように本実施の形態の酸化膜120は、重金属や不純物を捕獲して再拡散させないことにより、MISFETの高性能化を図ることができる。

【0081】

なお、脆化層104は、イオン種を質量分離した上で、第1のボンドウエハー100に添加しても同様に形成することができる。この場合にも、質量の大きいイオン（例えばH₃⁺イオン）を選択的に添加することは上記ゲッタリング効果と同様な効果を奏することができる。

20

【0082】

そして図24（C）に示すように、上記実施の形態と同様に接着層112を形成し、マスク113を用いて、脆化層104より上の、第1のボンドウエハー100及び接着層112をエッティングする。その後の工程は、上記実施の形態と同様に行うことができるため、説明を省略する。

【0083】

これまで、ボンドウエハーに脆化層を形成した後に選択的にエッティングする工程を用いて説明したが、ボンドウエハーを選択的にエッティングした後脆化層を形成する工程を用いることもできる。図26（A）に示すように、第1のボンドウエハー100を、マスク113を用いてエッティングする。その後図26（B）に示すように、エッティングされた第1のボンドウエハー100に対して、酸化膜120を形成する。酸化膜120の形成は、上述したとおりである。図26（C）に示すように、脆化層104を形成し、図26（D）に示すように接着層112を形成する。その後の工程は、上記実施の形態と同様に行うことができるため、説明を省略する。

30

【0084】

このようにして、ボンドウエハーに対して酸化膜を形成してもよい。その結果、脆化層の形成の際にボンドウエハーに含まれてしまう重金属や不純物等をゲッタリングすることができ、ボンドウエハーの汚染を低減することができる。

40

【0085】

（第6の実施の形態）

結晶面の異なるSOI層をベース基板に接合する場合に、より好ましい態様として、チャネル長方向の結晶軸を特定の方向とする。SOI層の結晶面での結晶軸の異方性と、SOI層のキャリアの流れる方向での結晶軸の異方性とを合わせることで、MISFETのチャネル形成領域を流れる電子又はホールのキャリア移動度を高めることができる。この原因として、結晶中でキャリアの有効質量が異方性を有するからである。

【0086】

図5（A）で示すように、結晶面{100}のボンドウエハーからn型MISFET用の

50

SOI層を取り出す場合には、SOI層のチャネル長方向が<100>方位と平行な方向になるようになると好ましい。なお、<100>方位と平行な方向は、(a)で示す方向に加えて、(b)で示す方向もあるため、いずれの方向と平行となるようにSOI層を取り出してもよい。

【0087】

一方、p型MISFET用のSOI層を形成するには、図5(B)で示すように結晶面{110}のボンドウエハーを用い、SOI層のチャネル長方向が<110>方位と平行な方向になるようになると好ましい。このように、n型MISFETについて<100>方位、p型MISFETについて<110>方位とすれば、チャネル形成領域を流れる電子とホールの移動度をより高めることができる。

10

【0088】

(第7の実施の形態)

本実施の形態は、同一の結晶面を有するボンドウエハーから、n型MISFETとp型MISFETに適したSOI層を取り出す構成について示す。図6は結晶面{110}のボンドウエハーを用いる場合について示す。この場合、n型MISFET用のSOI層を取り出す場合には、チャネル長方向が<100>方位と平行な方向になるようとする。一方、p型MISFET用のSOI層を形成するには、チャネル長方向が<110>方位と平行な方向になるようとする。

【0089】

本実施の形態によれば、絶縁基板上に、n型MISFETが形成される第1のSOI層とp型MISFETが形成される第2のSOI層と同じ結晶面であって、チャネル長方向の結晶軸の向きが互いに異なる半導体集積回路を得ることができる。n型MISFETについて<100>方位、p型MISFETについて<110>方位を選択すればチャネル形成領域を流れる電子とホールの電界効果移動度をより高めることが可能となる。また、n型MISFETのSOI層とp型MISFETのSOI層とは個別にベース基板に接合可能である。そのため同じ結晶面を有する基板から結晶軸の向きが互いに異なるようにレイアウトする場合と比較して、n型MISFETとp型MISFETの回路配置に設計の自由度が確保されるので、半導体集積回路の集積度を向上させることができる。n型MISFET及びp型MISFETのそれぞれに対して、高い電界効果移動度が得られる結晶面若しくは結晶軸を選択することができる。このようにベース基板を用いることにより半導体集積回路の高性能化を図ることができる。

20

【0090】

また本発明の半導体集積回路を透光性を有する絶縁基板上に転置した半導体表示装置は、移動度が高いMISFETを転置したため動作の高速化を図ることができ、また低電圧で駆動することができる。このように、低消費電力化を図ることができる。

30

【0091】

(第8の実施の形態)

本実施の形態は、本発明のベース基板を用いてインバータ回路を作製する工程について説明する。なお、本発明はこのような単純な回路に限定されず、マイクロプロセッサをはじめとする様々な半導体装置を実現することができる。図7乃至図13において(A)はインバータ回路の平面図を示し、(B)はA-B線に対応する断面図を示す。

40

【0092】

図7(A)(B)は第1のSOI層201及び第2のSOI層202が設けられたベース基板105にゲート絶縁層及びゲート電極を形成する工程を示している。第1のSOI層201及び第2のSOI層202上には、ゲート電極204が設けられる。ゲート絶縁層203としては、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)、酸化ハフニウム(HfO_x)、酸化アルミニウム(Al_xO_y、x>y>0)、酸化タンタル(Ta_xO_y、x>y>0)などの材料を適用することができる。図7(B)では、ゲート絶縁層203とゲート電極204の側端部が揃うように加工されているが、ゲート電極204のエッチングにおいてゲート絶縁層203を残すように加工しても良い。

50

【 0 0 9 3 】

なお、本実施の形態においては、第1のSOI層201はp型のMISFETに相当するものとし、第2のSOI層202はn型のMISFETに相当するものとする。

【 0 0 9 4 】

ゲート絶縁層203に高誘電率物質(high-k材料)を用いる場合には、ゲート電極204を多結晶シリコン、シリサイド、金属若しくは金属窒化物で形成する。好適には金属若しくは金属窒化物で形成することが望ましい。例えば、ゲート絶縁層203と接する第1ゲート電極層205を金属窒化物材料で形成し、その上の第2ゲート電極層206を金属材料で形成する。この組み合わせを用いることによって、ゲート絶縁層が薄膜化した場合でもゲート電極に空乏層が広がってしまうことを防止でき、微細化した場合にもトランジスタの駆動能力を損なうことを防止できる。10

【 0 0 9 5 】

図8はゲート電極204上に第1の絶縁層207を形成する。第1の絶縁層207は酸化シリコン膜若しくは酸化窒化シリコン膜で形成する。他の形態として、ゲート電極204を酸化又は窒化処理により絶縁化して同様の層を形成しても良い。第1の絶縁層207はゲート電極204の側面にも1nm乃至10nmの厚さで成膜されるようにする。第1の絶縁層207は以降の工程で、第1のSOI層201及び第2のSOI層202に価電子制御を目的とした不純物が添加されないオフセット領域を形成するために設ける。

【 0 0 9 6 】

図9は、第1のSOI層201及び第2のSOI層202に極浅接合(ソースドレインエクステンション)を形成する工程を示している。この極浅接合部は短チャネル効果を抑制するために設けることが好ましい。p型MISFET向けの第1のSOI層201に対しては第15族元素が添加される第1の極浅接合部208を形成し、n型MISFET向けの第2のSOI層202に対しては第13族元素が添加される第2の極浅接合部209を形成する。この極浅接合部の不純物濃度は、低濃度ドレインよりは1桁高くなるようになる。例えば、第1の極浅接合部208については、硼素を15keV、 $3 \times 10^{13} / cm^2$ のドーズ量でイオン注入を行う。第2の極浅接合部209については、砒素を15keV、 $2 \times 10^{14} / cm^2$ のドーズ量でイオン注入を行う。20

【 0 0 9 7 】

次いで、図10で示すように、ゲート電極204の側面に第1のサイドウォール210、第2のサイドウォール211を形成する。例えば、第1のサイドウォール210、第2のサイドウォール211は窒化シリコン膜で形成される。これらのサイドウォールは異方性エッチングにより自己整合的に形成する。30

【 0 0 9 8 】

この場合、第1のSOI層201側の第1のサイドウォール210と、第2のSOI層202側の第2のサイドウォール211の幅を同じとなるように加工しても良いが、好ましくはこの両者の幅が異なるように加工する。p型MISFET向けの第1のSOI層201に対する第1のサイドウォール210の幅は、n型MISFET向けの第2のSOI層202に対する第2のサイドウォール211の幅よりも厚くすると良い。p型MISFETにおいてソース領域及びドレイン領域を形成するために注入される硼素は拡散しやすく、短チャネル効果を誘起しやすいためである。むしろ、このような構成とすることで、p型MISFETにおいて、ソース領域及びドレイン領域に高濃度の硼素を添加することができ、ソース領域及びドレイン領域を低抵抗化することができる。40

【 0 0 9 9 】

サイドウォールを形成した後、図11で示すように、第1の絶縁層207の露出部をエッティングした後、ソース領域及びドレイン領域を自己整合的に形成する。この工程は、価電子制御する不純物イオンを電界で加速して注入するイオン注入法で行うことができる。第1のSOI層201には第13族元素を添加して、ソース領域及びドレイン領域となる第1の不純物領域212を形成する。第2のSOI層202には第15族元素を添加して、ソース領域及びドレイン領域第2の不純物領域213を形成する。例えば、p型MISF50

ET向けの第1のSOI層201については、硼素を30keV、 $3 \times 10^{15} / \text{cm}^2$ のドーザ量でイオン注入する。n型MISFEト向けの第2のSOI層202については、砒素を50keV、 $5 \times 10^{15} / \text{cm}^2$ のドーザ量でイオン注入する。イオン種、加速電圧及びドーザ量のドーピング条件は適宜設定すれば良い。

【0100】

ソース領域及びドレイン領域をさらに低抵抗化するにはシリサイド層を形成しても良い。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを適用すれば良い。SOI層の厚さが薄い場合には、この領域のSOI層の底部までシリサイド反応を進めて全てシリサイド化しても良い。

【0101】

図12では、パッシベーション層214、第1の層間絶縁層215、コンタクトプラグ216を形成する工程を示す。パッシベーション層214は窒化シリコン膜、窒化酸化シリコン膜などをCVD法で全面に成膜する。第1の層間絶縁層215は、リンシリケートガラス(PSG)若しくはボロンリンシリケートガラス(BPSG)をCVD法で成膜し、リフローにより平坦化して形成する。または、CVD法で正珪酸四エチル(Tetra-Ethyl-Ortho-Silicate, Si(OCH₂CH₃)₄)を用いて酸化シリコン膜を形成し、その後CMPで平坦化しても良い。コンタクトプラグ216は、第1の層間絶縁層215に形成したコンタクトホールを埋め込むようにタンゲステンシリサイドで形成する。タンゲステンシリサイドは六フッ化タンゲステン(WF₆)とシラン(SiH₄)を用いてCVD法で形成する。

10

【0102】

配線の多層化は、半導体装置の構成に応じて考慮される。図13では、第1の層間絶縁層215の上に、第2の層間絶縁層217と第1の配線218、第2の配線219、第3の配線220を設けた構成を示している。これらの配線はタンゲステンシリサイドで形成しても良いし、ダマシン法によりCu配線を設けても良い。

【0103】

(第9の実施の形態)

本実施の形態は、本発明の転置工程を経て半導体素子を有する装置(半導体装置)としてインバータ回路について説明する。なお、本発明はこのような単純な回路に限定されず、マイクロプロセッサをはじめとする様々な半導体装置を実現することができる。図27乃至図33において(A)はインバータ回路の上面図を示し、(B)はA-B線に対応する断面図を示す。

30

【0104】

図27(A)(B)は接着層112、第1のSOI層108及び第2のSOI層110が設けられた絶縁基板105にゲート絶縁層及びゲート電極を形成する工程を示している。図27(A)では、第1のSOI層108と、第2のSOI層110とが平行となるよう貼り合わせられているが、第1のSOI層108と、第2のSOI層110とが直交するように貼り合わせられてもよいし、平行から少しずれた状態で貼り合わせられていてもよい。例えば、SOI層に結晶面のずれ、又は結晶軸のずれが生じていることがあり、平行から少しずれた状態で貼り合わせることによって、当該ずれを緩和させることができる。結晶面{110}を有するSOI層は、当該ずれの影響を受けやすいため、第2のSOI層110を平行から少しずらして貼り合わせるとよい。

40

【0105】

なお、第1のSOI層108と、第2のSOI層110との膜厚を揃えるため、平坦化処理を施している。第1のSOI層108及び第2のSOI層110上には、ゲート絶縁層203を介して、ゲート電極204が設けられる。ゲート絶縁層203としては、酸化シリコン(SiO_x)、酸化窒化シリコン(SiO_xN_y)、酸化ハフニウム(HfO_x)、酸化アルミニウム(Al_xO_y)($x > y > 0$)、酸化タンタル(Ta_xO_y, $x > y > 0$)などの材料を適用することができる。図27(B)では、ゲート絶縁層203とゲート電極204の側端部が揃うように加工されているが、ゲート電極204のエッチング

50

においてゲート絶縁層 203 を残すように加工してもよい。例えば、ゲート絶縁層 203 をテーパ状に残すような加工をしてもよい。

【0106】

ゲート電極 204 は単層構造であっても、積層構造であってもよい。本実施の形態では、第1のゲート電極層 205、第2のゲート電極層 206 の積層構造の場合を示す。ゲート絶縁層 203 に高誘電率物質 (high-k 材料) を用いる場合には、ゲート電極 204 を多結晶シリコン、シリサイド、金属若しくは金属窒化物で形成し、好適には金属若しくは金属窒化物で形成することが望ましい。ゲート電極層が積層構造であることを考慮すると、ゲート絶縁層 203 と接する第1ゲート電極層 205 を金属窒化物材料で形成し、第2ゲート電極層 206 を金属材料で形成することができる。この組み合わせを用いることによって、ゲート絶縁層が薄膜化した場合でもゲート電極に空乏層が広がってしまうことを積極的に防止でき、微細化した場合にもトランジスタの駆動能力を損なうことを防止できる。10

【0107】

図28はゲート電極 204 上に第1の絶縁層 207 を形成する工程を示している。第1の絶縁層 207 は、ゲート絶縁層として機能する。第1の絶縁層 207 として、酸化シリコン膜若しくは酸化窒化シリコン膜を CVD 法やスパッタ法により形成する。他の形態として、ゲート電極 204 を酸化又は窒化処理により絶縁化して同様の層を形成してもよい。第1の絶縁層 207 はゲート電極 204 の側面にも 1 nm 乃至 10 nm の厚さで形成されるようとする。第1の絶縁層 207 は、第1のSOI層 108 及び第2のSOI層 110 に対し、価電子制御を目的とした不純物が添加されないオフセット領域を形成するためにも設けている。20

【0108】

図29は、第1のSOI層 108 及び第2のSOI層 110 に極浅不純物領域（ソースドレインエクステンション）を形成する工程を示している。この極浅不純物領域によって、短チャネル効果を抑制することができる。n型MISFET の第1のSOI層 108 に対しては第15族元素が添加される第1の極浅接合部（第1の極浅不純物領域）208 を形成する工程と、p型MISFET の第2のSOI層 110 に対しては第13族元素が添加される第2の極浅接合部（第2の極浅不純物領域）209 を形成する工程とを有する。なお図29(A)において、極浅接合部 208、209 を分かりやすく示すため、ゲート電極 204 周囲のみの第1の絶縁層 207 を示し、ゲート絶縁層の外側に極浅接合部 208、209 を点線で示すが、第1の絶縁層 207 は、第1及び第2のSOI層 108、110、ゲート電極 204 の全体を覆っている。この極浅不純物領域の不純物濃度は、例えば、第1の極浅接合部 208 については、砒素を 15 keV、 $2 \times 10^{14} / \text{cm}^2$ のドーズ量でイオン注入を行い、第2の極浅接合部 209 については、硼素を 15 keV、 $3 \times 10^{13} / \text{cm}^2$ のドーズ量でイオン注入を行う。30

【0109】

次いで、図30で示すように、ゲート電極 204 の側面に第1のサイドウォール 210、第2のサイドウォール 211 を形成する。例えば、第1のサイドウォール 210、第2のサイドウォール 211 は窒化シリコン膜で形成される。これらのサイドウォールは異方性エッチングにより自己整合的に形成する。40

【0110】

この場合、第1のSOI層 108 側の第1のサイドウォール 210 と、第2のSOI層 110 側の第2のサイドウォール 211 の幅を同じとなるように加工しても良いが、好ましくはこの両者の幅が異なるように加工する。p型MISFET の第2のSOI層 110 に対する第2のサイドウォール 211 の幅は、n型MISFET の第1のSOI層 108 に対する第1のサイドウォール 210 の幅よりも厚くするとよい。p型MISFET においてソース領域及びドレイン領域を形成するために注入される硼素は拡散しやすく、短チャネル効果を誘起しやすいためである。むしろ、このような構成とすることで、p型MISFET において、ソース領域及びドレイン領域に高濃度の硼素を添加することが可能とな50

り、ソース領域及びドレイン領域を低抵抗化することができる。

【0111】

サイドウォールを形成した後、図31で示すように、第1の絶縁層207の露出部をエッチングした後、ソース領域及びドレイン領域を自己整合的に形成する。この工程は、価電子制御する不純物イオンを電界で加速して注入するイオン注入法で行うことができる。図31(B)には、第1のSOI層108には第15族元素を添加して、ソース領域及びドレイン領域となる第1の不純物領域212を形成する状態を示す。また第2のSOI層110には第13族元素を添加して、ソース領域及びドレイン領域となる第2の不純物領域213を形成する。例えば、n型MISFETの第1のSOI層108については、砒素を50keV、 $5 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入する。p型MISFETの第2のSOI層110については、硼素を30keV、 $3 \times 10^{15} / \text{cm}^2$ のドーズ量でイオン注入する。上記のイオン種、加速電圧及びドーズ量のドーピング条件は例示であって、適宜設定した条件とすることもできる。
10

【0112】

ソース領域及びドレイン領域をさらに低抵抗化するには、第1及び第2のSOI層に対して、シリサイド層を形成してもよい。シリサイド層としては、コバルトシリサイド若しくはニッケルシリサイドを適用すればよく、少なくともソース領域及びドレイン領域をシリサイド化すればよく、SOI層の上面及び端面に対してシリサイド層が形成される。なお、上記SOI層の厚さが薄い場合等には、SOI層の底部までシリサイド反応を進めて、低抵抗化を図ってもよい。またゲート電極204をさらに低抵抗化するためにも、ゲート電極層の上面にシリサイド層を形成するとよい。ソース領域及びドレイン領域に形成されるシリサイド層と、ゲート電極層に形成されるシリサイド層とは同時に作製することができる。
20

【0113】

図32では、パッシベーション層214、第1の層間絶縁層215、コンタクトプラグ216を形成する工程を示す。パッシベーション層214は窒化シリコン膜、窒化酸化シリコン膜などをCVD法で全面に成膜する。第1の層間絶縁層215は、リンシリケートガラス(PSG)若しくはボロンリンシリケートガラス(BPSG)をCVD法で成膜し、リフローにより平坦化して形成する。または、CVD法で正珪酸四エチル(Tetra-Ethyl-Ortho-Silicate, Si(OCH₂CH₃)₄)を用いて酸化シリコン膜を形成し、その後CMPで平坦化してもよい。コンタクトプラグ216は、第1の層間絶縁層215に形成したコンタクトホールを埋め込むようにタンゲステンシリサイドで形成する。タンゲステンシリサイドは六フッ化タンゲステン(WF₆)とシラン(SiH₄)を用いてCVD法で形成する。
30

【0114】

配線の多層化は、半導体素子及び該素子を用いた装置の構成に応じて考慮される。図33では、第1の層間絶縁層215の上に、第2の層間絶縁層217と配線218、219、220を設けた構成を示している。配線はタンゲステンシリサイドで形成しても良いし、ダマシン法によりCu配線を設けてもよい。
40

【0115】

(第10の実施の形態)

本実施の形態では、本発明のp型MISFETとn型MISFETに対し、結晶面及び結晶軸の組み合わせを例示する。

【0116】

図14では、p型MISFETとn型MISFETとを構成するSOI層を、結晶面が異なるボンドウェハーから取り出す場合を示している。図14(A)はp型MISFETであり、結晶面{110}のボンドウェハーからSOI層を取り出す。この際、SOI層のチャネル長方向は<110>方位であるとより好ましい形態となる。図14(B)はn型MISFETあり、結晶面{100}のボンドウェハーからSOI層を取り出す。この際、SOI層のチャネル長方向は<100>方位であるとより好ましい形態となる。以上の
50

ような組み合わせによりホール及び電子の移動度を高めることができる。

【0117】

図15ではp型MISFETとn型MISFETとを構成するSOI層を、結晶面が同じボンドウエハーから取り出す場合を示している。図15(A)はp型MISFETであり、結晶面{110}のボンドウエハーからSOI層を取り出す。この際、SOI層のチャネル長方向は<110>方位であるとより好ましい形態となる。図15(B)はn型MISFETであり、結晶面{110}のボンドウエハーからSOI層を取り出す。この際、SOI層のチャネル長方向は<100>方位であると好ましい形態となる。以上のような組み合わせによりホール及び電子の移動度を高めることができる。

【0118】

本実施の形態によれば、n型MISFETの第1のSOI層と、p型MISFETの第2のSOI層が共に同一の絶縁表面上に設けられ、かつ、その両SOI層の結晶面が異なった半導体素子を得ることができる。また、n型MISFETの第1のSOI層と、p型MISFETの第2のSOI層と同じ結晶面のボンドウエハーを用いて形成した場合でも、異なる結晶軸方向にキャリアを流すことで、移動度をより高めることができる。MISFETの移動度を高くすることにより、半導体素子、及び該素子を用いた半導体表示装置の動作の高速化を図ることができる。また、低電圧で駆動することが可能となり、低消費電力化を図ることができる。また、本実施の形態によれば素子分離を行うための構造を形成する必要がないので製造工程を簡略化できる。

【0119】

(第11の実施の形態)

本実施の形態は、半導体表示装置の一例として発光装置について図34を参照して説明する。図34(A)は、発光装置を示す上面図である。絶縁基板610上に、駆動回路部(ソース側駆動回路)601、画素部602、駆動回路部(ゲート側駆動回路)603が設けられている。なお封止基板604で封止されているため、ソース側駆動回路601、画素部602、ゲート側駆動回路603は点線で示す。また、絶縁基板610と、封止基板604とを貼り合わせるためにシール材605が設けられている。シール材605にはエポキシ系樹脂を用いるのが好ましい。封止基板604に用いる材料としてガラス基板や石英基板の他、FRP(Fiberglass-Reinforced Plastics)、PVF(ポリビニルフロライド)、ポリエステルまたはアクリル等からなるプラスチック基板を用いることができる。またシール材605で囲まれた内側は、絶縁基板610、封止基板604とで空間607が形成されている。空間には、充填材が充填されており、不活性気体(窒素やアルゴン等)が充填される場合の他、シール材としての機能を有する物質で充填される場合もある。

【0120】

なお、引き回し配線はソース側駆動回路601及びゲート側駆動回路603に入力される信号を伝送するための配線であり、外部入力端子となるFPC(フレキシブルプリントサーキット)609からビデオ信号、クロック信号、スタート信号、リセット信号等を受け取る。なお、ここではFPCしか図示されていないが、このFPCにはプリント配線基盤(PWB)が取り付けられていてもよい。

【0121】

図34(A)で示した発光装置から、図34(B)に示すように絶縁基板610、ソース側駆動回路601、画素部602、ゲート側駆動回路603のみを取り出す。ソース側駆動回路601、ゲート側駆動回路603には本発明のn型MISFETのSOI層108を転置し、画素部602にp型MISFETのSOI層110を転置する形態を説明する。

【0122】

ソース側駆動回路601やゲート側駆動回路603はn型MISFET及びp型MISFETを転置して、CMOS回路を形成することもできるが、ボンド基板のレイアウトの自由度を高めるために、ソース側駆動回路601やゲート側駆動回路603という特定の領

10

20

30

40

50

域のみにn型MISFETを転置し、NMOS回路を形成する。

【0123】

また、画素部602はスイッチング素子として、スイッチング用トランジスタと、電流制御用トランジスタとを少なくとも有する。これらスイッチング素子も、n型MISFET及びp型MISFETを転置して形成することもできるが、ボンド基板のレイアウトの自由度を高めるために、画素部602という特定の領域のみにp型MISFETを転置する。

【0124】

さらに、画素部には陽極及び陰極で挟まれた発光物質を含む層を有し、該発光物質からの自発光によって発光装置の表示を行うことができる。陽極として機能する材料としては、仕事関数の大きい材料を用いることが望ましい。例えば、ITO膜、または珪素を含有したインジウム錫酸化物膜、2~20wt%の酸化亜鉛を含む酸化インジウム膜、窒化チタン膜、クロム膜、タンゲステン膜、Zn膜、Pt膜などの単層膜の他、窒化チタンとアルミニウムを主成分とする膜との積層、窒化チタン膜とアルミニウムを主成分とする膜と窒化チタン膜との3層構造等を用いることができる。陰極として機能する材料としては、仕事関数の小さい材料(Al、Mg、Li、Ca、またはこれらの合金や化合物MgAg、MgIn、AlLi、LiF、CaF₂等)を用いることが好ましい。

10

【0125】

このような半導体表示装置に、本発明の絶縁基板の同一表面に設けられたp型MISFETの第1のSOI層と、n型MISFETの第2のSOI層を用いると、移動度をより高めることができる。MISFETの移動度を高くすることにより、半導体表示装置、及び該表示装置等に用いられる駆動回路等の半導体集積回路の動作の高速化を図ることができる。また、低電圧で駆動することが可能となり、低消費電力化を図ることができる。また、本実施の形態によれば素子分離を行うための構造を形成する必要がないので製造工程を簡略化できる。

20

【0126】

(第12の実施の形態)

本実施の形態は、半導体素子を有する装置(半導体装置)の一例としてマイクロプロセッサの態様について図16を参照して説明する。本実施の形態の半導体素子には、上記実施の形態で作製されたいずれの半導体素子を用いることができる。

30

【0127】

図16はマイクロプロセッサ221の一例を示す。このマイクロプロセッサ221では、n型MISFETを構成するSOI層と、p型MISFETを構成するSOI層の結晶面が異なっている。勿論、上記実施の形態で示したように、n型MISFETを構成するSOI層と、p型MISFETを構成するSOI層は、同じ結晶面を有し、電子とホールが流れる方向が結晶軸からみて異なっている形態でもよい。

【0128】

このマイクロプロセッサ221は、演算回路222(Arithmetic logic unit。ALUともいう。)、演算回路制御部223(ALU Controller)、命令解析部224(Instruction Decoder)、割り込み制御部225(Interrupt Controller)、タイミング制御部226(Timing Controller)、レジスタ227(Register)、レジスタ制御部228(Register Controller)、バスインターフェース229(Bus I/F)、読み出し専用メモリ(ROM)250、及びROMインターフェース231(ROM I/F)を有している。

40

【0129】

バスインターフェース229を介してマイクロプロセッサ221に入力された命令は、命令解析部224に入力されてデコードされた後、演算回路制御部223、割り込み制御部225、レジスタ制御部228、タイミング制御部226に入力される。演算回路制御部223、割り込み制御部225、レジスタ制御部228、タイミング制御部226は、デ

50

コードされた命令に基づき、各種制御を行う。具体的に演算回路制御部223は、演算回路222の動作を制御するための信号を生成する。また、割り込み制御部225は、マイクロプロセッサ221のプログラム実行中に、外部の入出力装置や、周辺回路からの割り込み要求を、その優先度やマスク状態から判断し、処理する。レジスタ制御部228は、レジスタ227のアドレスを生成し、マイクロプロセッサの状態に応じてレジスタ227の読み出しや書き込みを行う。

【0130】

またタイミング制御部226は、演算回路222、演算回路制御部223、命令解析部224、割り込み制御部225、レジスタ制御部228の動作のタイミングを制御する信号を生成する。例えばタイミング制御部226は、基準クロック信号CLK1を元に、内部クロック信号CLK2を生成する内部クロック生成部を備えており、内部クロック信号CLK2を上記各種回路に供給する。なお、図16に示すマイクロプロセッサ221は、その構成を簡略化して示した一例にすぎず、実際のマイクロプロセッサはその用途によって多種多様な構成を有している。10

【0131】

本発明の半導体素子を用いた場合、本実施の形態のマイクロプロセッサは、p型MISFETに供する第1のSOI層とn型MISFETに供する第2のSOI層が共に同一の絶縁表面上に設けられ、かつ、その両者の結晶面が異なっている。或いは、第1のSOI層と第2のSOI層を同じ結晶面を用いて正方配置した場合でも、異なる結晶軸方向にキャリアを流れるように構成されている。このように、トランジスタのチャネルを流れるキャリアにとって移動度が高くなる結晶面を適用することにより、マイクロプロセッサの動作の高速化を図ることができる。20

【0132】

また本実施の形態のマイクロプロセッサは、低電圧で駆動することが可能となり、低消費電力化を図ることができる。すなわち、キャリアが原子で散乱される確率を低減することができ、それによって電子又はホールの受ける抵抗を減少させ、マイクロプロセッサの性能向上を図ることができる。

【0133】

(第13の実施の形態)

本実施の形態は、半導体素子を有する装置の一例として通信回路を有し非接触でデータの入出力が可能なマイクロコンピュータの態様について図17を参照して説明する。本実施の形態の半導体素子には、上記実施の形態で作製されたいずれの半導体素子を用いることができる。30

【0134】

図17は本実施の形態に係るマイクロコンピュータ232のブロック図を示している。このマイクロコンピュータ232は、アンテナ回路233、アナログ回路部234及びデジタル回路部235を有している。アナログ回路部234として、共振容量を有する共振回路236、定電圧回路237、整流回路238、復調回路239と、変調回路240、リセット回路241、発振回路242、電源管理回路243を有している。デジタル回路部235は、RFインターフェース244、制御レジスタ245、クロックコントローラ246、インターフェース247、中央処理ユニット248、ランダムアクセスメモリ249、読み出し専用メモリ250を有している。また、マイクロコンピュータ232の動作に必要な電力は、無線信号をアンテナ回路233が受信したものを、整流回路238を経て整流された電力が蓄電部251に充電される。蓄電部251はセラミックコンデンサーや電気二重層コンデンサーなどのキャパシタで構成される。蓄電部251はマイクロコンピュータ232と一緒に形成されている必要はなく、別部品としてマイクロコンピュータ232を構成する絶縁表面を有する基板に取り付けられていれば良い。40

【0135】

このような構成のマイクロコンピュータ232の動作は以下の通りである。アンテナ回路233が受信した信号は共振回路236により誘導起電力を生じる。入力された信号は、50

復調回路 239 で復調され、制御命令やデータ信号がデジタル回路部 235 に出力される。リセット回路 241 は、デジタル回路部 235 をリセットし初期化する信号を生成する。例えば、電源電圧の上昇に遅延して立ち上がる信号をリセット信号として生成する。発振回路 242 は、定電圧回路 237 により生成される制御信号に応じて、クロック信号の周波数とデューティー比を変更する。ローパスフィルタで形成される復調回路 239 は、例えば振幅変調 (ASK) 方式の受信信号の振幅の変動を二値化する。変調回路 240 は、送信データを振幅変調 (ASK) 方式の送信信号の振幅を変動させて送信する。変調回路 240 は、共振回路 236 の共振点を変化させることで通信信号の振幅を変化させている。クロックコントローラ 246 は、電源電圧又は中央処理ユニット 248 における消費電流に応じてクロック信号の周波数とデューティー比を変更するための制御信号を生成している。電源電圧の監視は電源管理回路 243 が行っている。

10

【0136】

アンテナ回路 233 からマイクロコンピュータ 232 に入力された信号は復調回路 239 で復調された後、RFインターフェース 244 で制御コマンドやデータなどに分解される。制御コマンドは制御レジスタ 245 に格納される。制御コマンドには読み出し専用メモリ 250 に記憶されているデータの読み出し、ランダムアクセスメモリ 249 へのデータの書き込み、中央処理ユニット 248 への演算命令などが含まれている。中央処理ユニット 248 は、インターフェース 247 を介して読み出し専用メモリ 250、ランダムアクセスメモリ 249、制御レジスタ 245 にアクセスする。インターフェース 247 は、中央処理ユニット 248 が要求するアドレスより、読み出し専用メモリ 250、ランダムアクセスメモリ 249、制御レジスタ 245 のいずれかに対するアクセス信号を生成する機能を有している。

20

【0137】

中央処理ユニット 248 の演算方式は、読み出し専用メモリ 250 にOS (オペレーティングシステム) を記憶させておいて、起動とともにプログラムを読み出し実行する方式を採用することができる。また、専用回路で演算回路を構成して、演算処理をハードウェア的に処理する方式を採用することもできる。ハードウェアとソフトウェアを併用する方式では、専用の演算回路で一部の処理を行い、残りの演算をプログラムを使って中央処理ユニット 248 が実行する方式を適用することができる。

30

【0138】

図18は、上記のような構成を有する本実施の形態に係るマイクロコンピュータの外観を示す。絶縁基板 105 に複数のSOI層が設けられ、それによりn型MISFET及びp型MISFETが形成される素子形成層 252 を有している。素子形成層 252 は、図17におけるアナログ回路部 234 及びデジタル回路部 235 を形成する。アンテナ 253 は絶縁基板 105 上に設けられている。また、このアンテナ 253 に替えてアンテナ接続端子を設けても良い。図18で示すアンテナ 253 は磁界型のスピラルアンテナを示すが、電界型のアンテナとしてダイポールアンテナなどと組み合わせても良い。

【0139】

図19は、図18で示すマイクロコンピュータの要部を示し、断面構造を模式的に示している。絶縁基板 105 上には第1のSOI層 108 及び第2のSOI層 110 によってn型MISFET及びp型MISFETが形成されている。第2の層間絶縁層 217 よりも下層の構成は上記実施の形態と同様であるので省略する。

40

【0140】

第1の配線 218 上には第3の層間絶縁層 254、第4の層間絶縁層 255 が形成されている。第3の層間絶縁層 254 は酸化シリコン膜、第4の層間絶縁層 255 は窒化シリコン膜で形成し、デュアルダマシンにより、第3の層間絶縁層 254 に形成される開口部は、第4の層間絶縁層 255 に形成される開口部より狭くなっている。その開口部に窒化タンタルなどのバリアメタル 256 を形成し、銅メッキにより銅配線 257 を形成している。さらに第5の層間絶縁層 258、第6の層間絶縁層 259 を形成し、第6の層間絶縁層に対してのみ開口部を形成し、該開口部にバリアメタル 260 及び銅メッキによる銅配線

50

261を設ける。銅配線261上には、第7の層間絶縁層262が形成されており、アンテナ253を銅配線261に接続するための開口部を形成する。そして、アンテナ253を第7の層間絶縁層262上に設け、銅配線261と接続させる。図19では、アンテナ253と銅配線261との境界にシード層263を形成するが、該シード層はアンテナ253を銅メッキ法で形成する場合に設けられる。アンテナ253はインクジェット法や印刷法等により直接描画することもでき、スパッタリングによりアルミニウムなどの導電膜を堆積し、それをフォトリソグラフィー法でアンテナ形状に加工してもよい。

【0141】

このようなマイクロコンピュータは、絶縁基板105として大面積のガラス基板を用いることによって生産性を向上させることができる。例えば、市場に流通している第4世代の液晶パネルには $730\text{ mm} \times 920\text{ mm}$ のガラス基板が採用されており、面積は 671600 mm^2 である。このようなガラス基板からマイクロコンピュータを取り出す場合、チップの切しろの分を無視したとしても、 2 mm 角で切り出す場合には概算でも34万個を取り出すことができる。ガラス基板の厚さは $0.4 \sim 0.7\text{ mm}$ であり、MISFETのSOI層を固定する面と反対側の面に保護フィルムを貼れば、装置全体として $0.1 \sim 0.3\text{ mm}$ 程度まで薄くすることも可能である。

10

【0142】

本発明の半導体素子を用いた場合、本実施の形態のマイクロコンピュータは、p型MISFETに供する第1のSOI層とn型MISFETに供する第2のSOI層が共に同一の絶縁表面上に設けられ、かつ、その両者の結晶面が異なっている。或いは、第1のSOI層と第2のSOI層を同じ結晶面を用いて正方配置した場合でも、異なる結晶軸方向にキャリアを流れるように構成されている。このように、トランジスタのチャネルを流れるキャリアにとって移動度が高くなる結晶面を適用することにより、マイクロコンピュータの動作の高速化を図ることができる。

20

【0143】

また本実施の形態のマイクロコンピュータは低電圧で駆動することが可能となり、低消費電力化を図ることができる。すなわち、キャリアが原子で散乱される確率を低減することができ、それによって電子又はホールの受ける抵抗を減少させ、マイクロコンピュータの性能向上を図ることができる。

30

【図面の簡単な説明】

【0144】

【図1】第1の実施の形態に係るSOI基板の作製方法を説明する図。

【図2】第1の実施の形態に係るSOI基板の作製方法を説明する図。

【図3】第1の実施の形態に係るSOI基板の作製方法を説明する図。

【図4】第2の実施の形態に係るSOI基板の作製方法を説明する図。

【図5】第6の実施の形態において、ボンド基板から単結晶半導体層をベース基板に接合する態様を説明する図。

【図6】第7の実施の形態において、ボンド基板から単結晶半導体層をベース基板に接合する態様を説明する図。

40

【図7】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図8】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図9】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図10】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図11】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図12】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図13】第8の実施の形態に係る半導体装置の作製工程を説明する図。

【図14】第10の実施の形態において、p型MISFETとn型MISFETに対するSOI層の結晶方位の好適な組み合わせの一例を説明する図。

【図15】第10の実施の形態において、p型MISFETとn型MISFETに対するSOI層の結晶方位の好適な組み合わせの一例を説明する図。

50

【図16】第12の実施形態に係る半導体装置の一例であって、マイクロプロセッサの態様について説明するブロック図。

【図17】第13の実施形態に係る半導体装置の一例であって、マイクロコンピュータの態様について説明するブロック図。

【図18】第13の実施形態に係る半導体装置の一例であって、マイクロコンピュータの外観例を示す斜視図。

【図19】第13の実施形態に係る半導体装置の一例であって、マイクロコンピュータの構成を説明する断面図。

【図20】第3の実施形態に係る半導体素子基板の作製方法を説明する図。

10

【図21】第3の実施形態に係る半導体素子基板の作製方法を説明する図。

【図22】第3の実施形態に係る半導体素子基板の作製方法を説明する図。

【図23】第4の実施形態に係る半導体素子基板の作製方法を説明する図。

【図24】第5の実施形態に係る半導体素子基板の作製方法を説明する図。

【図25】第5の実施形態に係る半導体素子基板の不純物濃度を示す図。

【図26】第5の実施形態に係る半導体素子基板の作製方法を説明する図。

【図27】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図28】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図29】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図30】第9の実施形態に係る半導体装置の作製工程を説明する図。

20

【図31】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図32】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図33】第9の実施形態に係る半導体装置の作製工程を説明する図。

【図34】第11の実施形態に係る半導体表示装置の一例であって、発光装置の態様について説明する図。

【符号の説明】

【0145】

100 ボンドウエハー

30

101 酸化シリコン膜

102 窒化シリコン膜

104 脆化層

105 ベース基板、絶縁基板

106 窒化シリコン膜

107 酸化シリコン膜

108 SOI層

109 ボンドウエハー

110 SOI層

112 接着層

120 酸化膜

201 SOI層

40

202 SOI層

203 ゲート絶縁層

204 ゲート電極

205 ゲート電極層

206 ゲート電極層

207 絶縁層

210 サイドウォール

211 サイドウォール

214 パッシベーション層

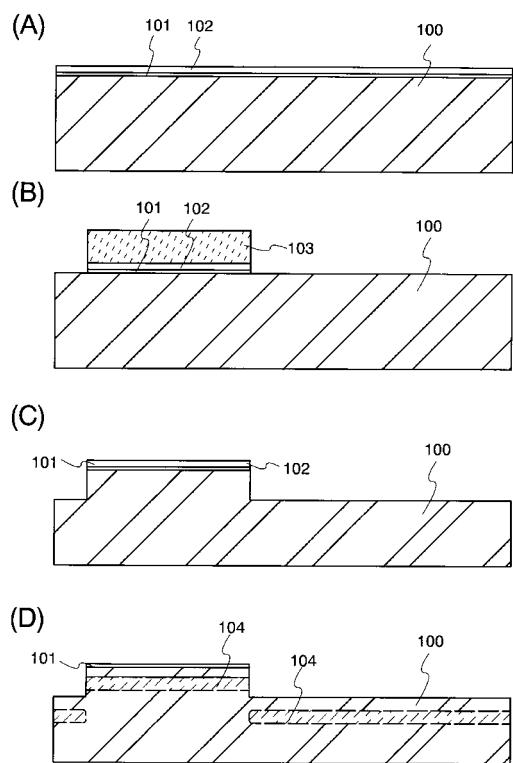
215 層間絶縁層

216 コンタクトプラグ

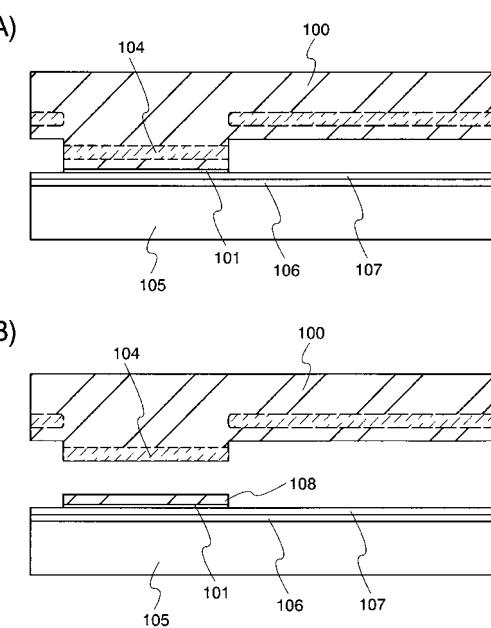
50

2 1 7 層間絶縁層

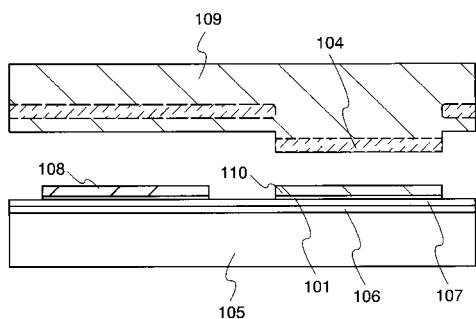
【図1】



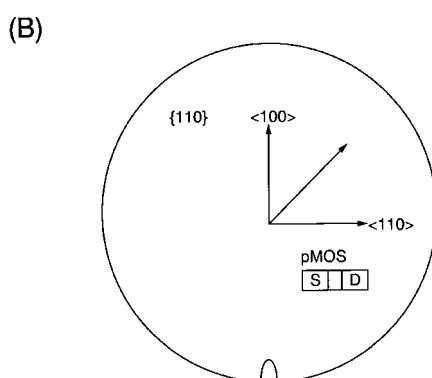
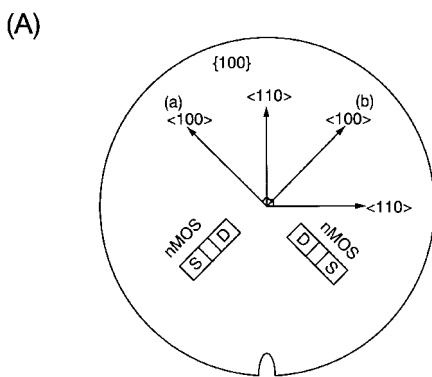
【図2】



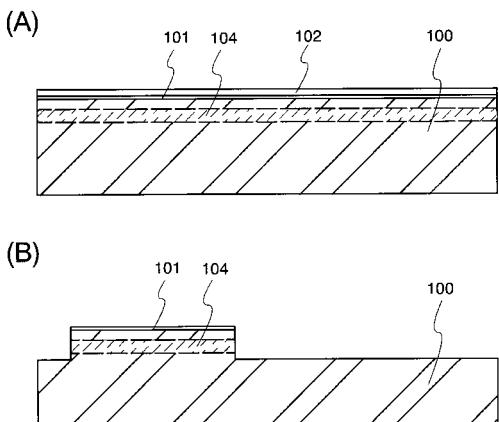
【図3】



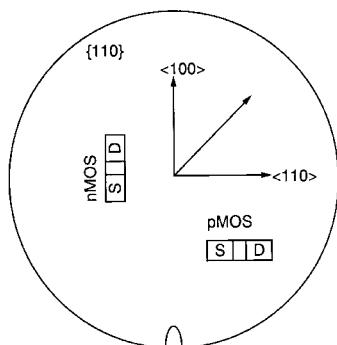
【図5】



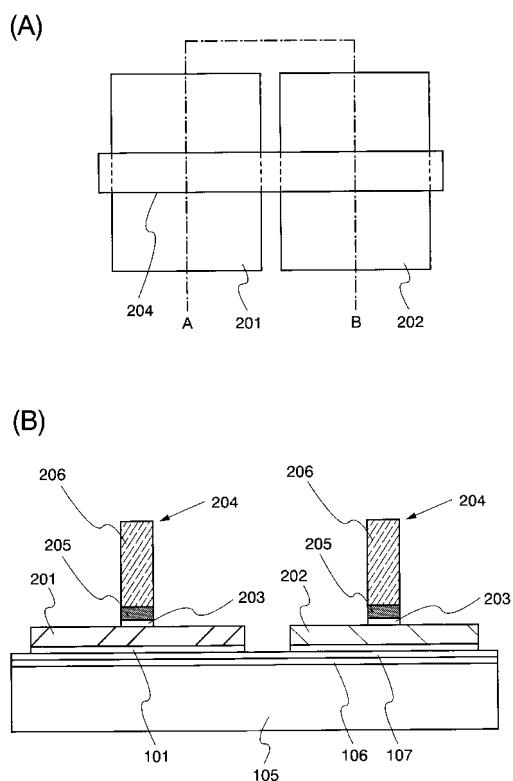
【図4】



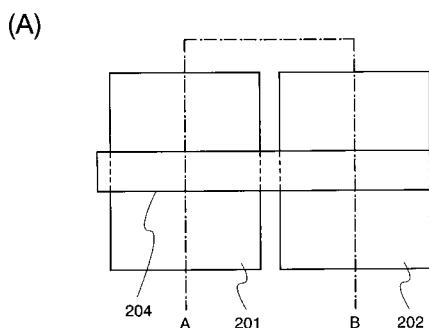
【図6】



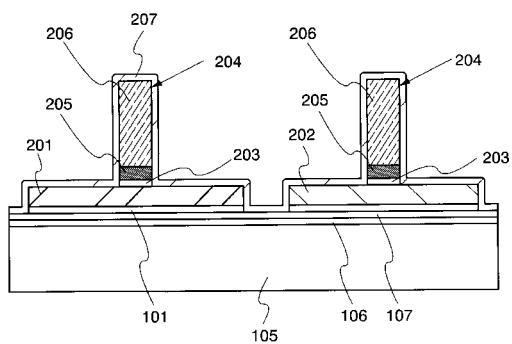
【図7】



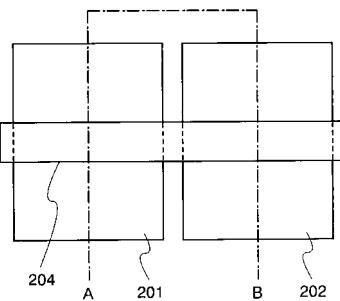
【図8】



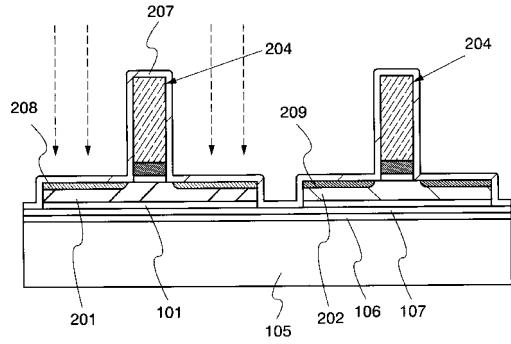
(B)



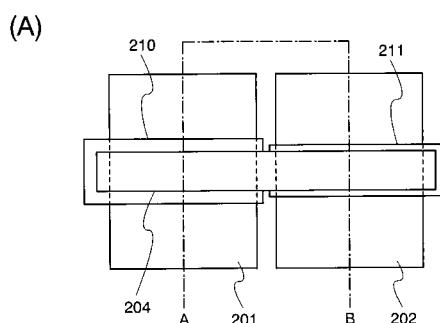
【図9】



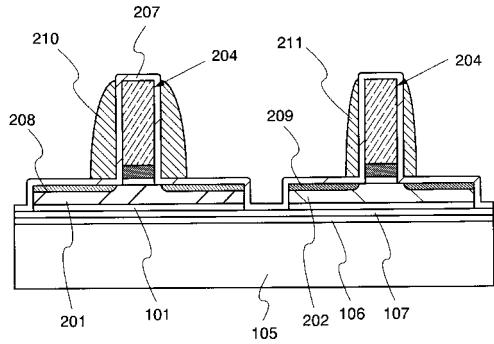
(B)



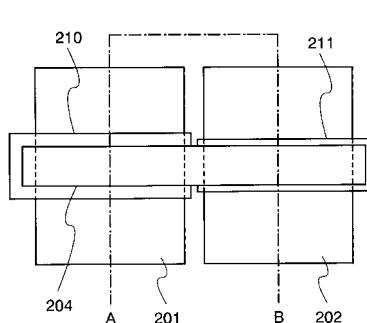
【図10】



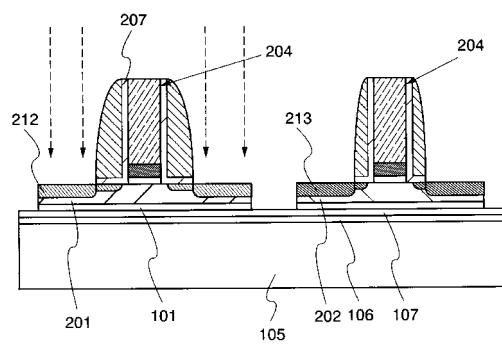
(B)



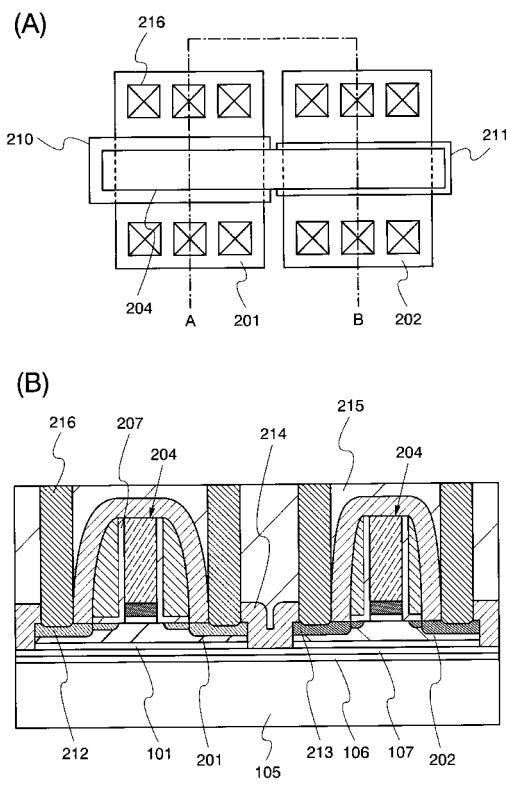
【図11】



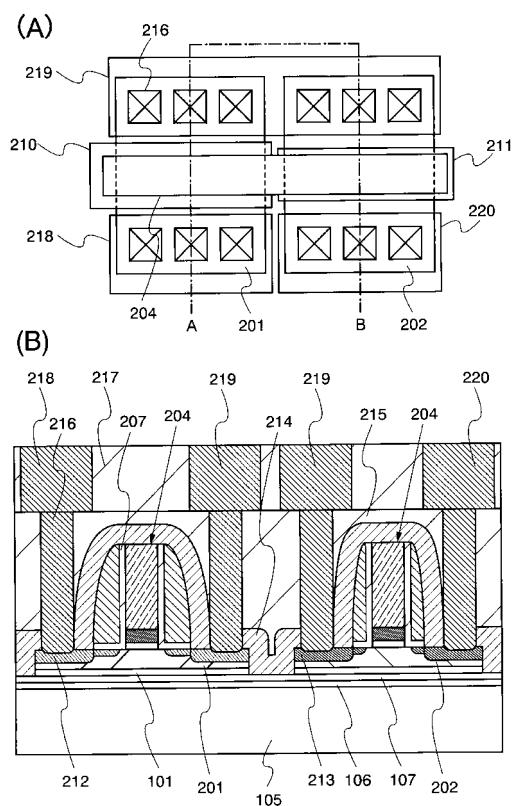
(B)



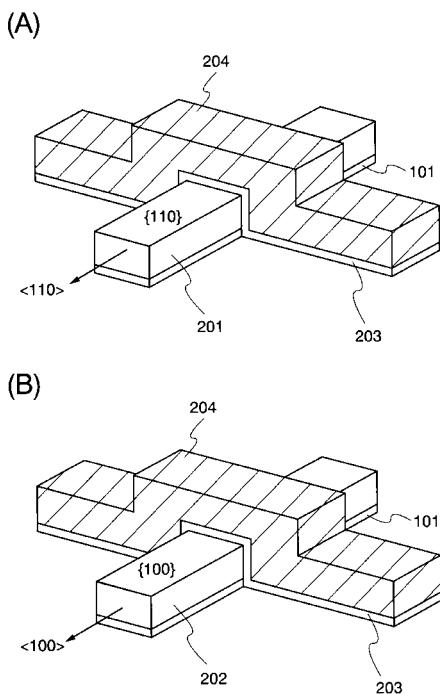
【図12】



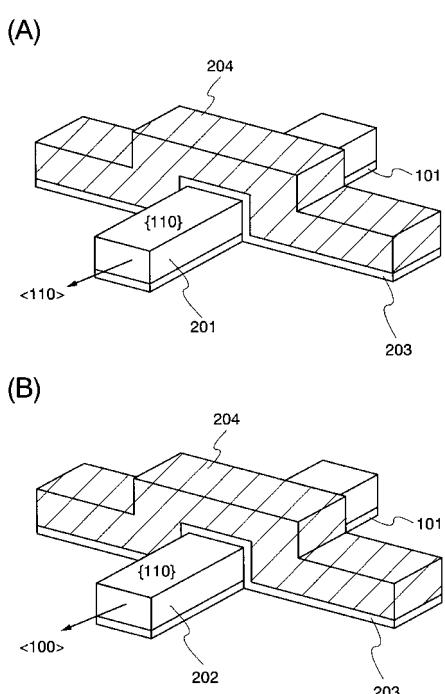
【図13】



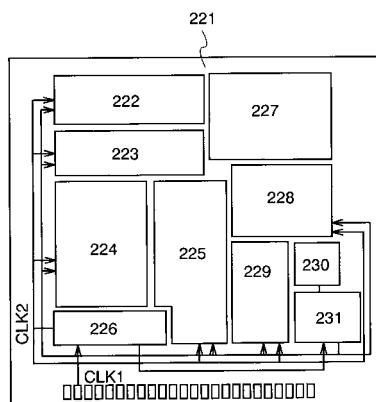
【図14】



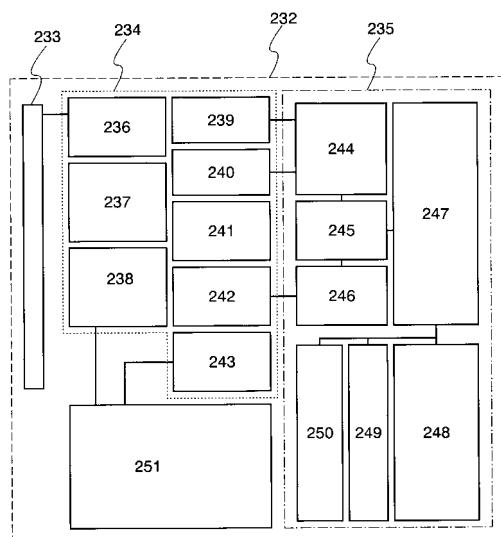
【図15】



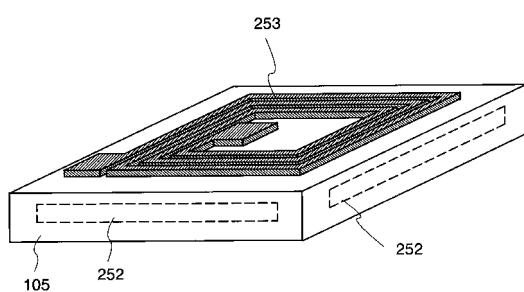
【図16】



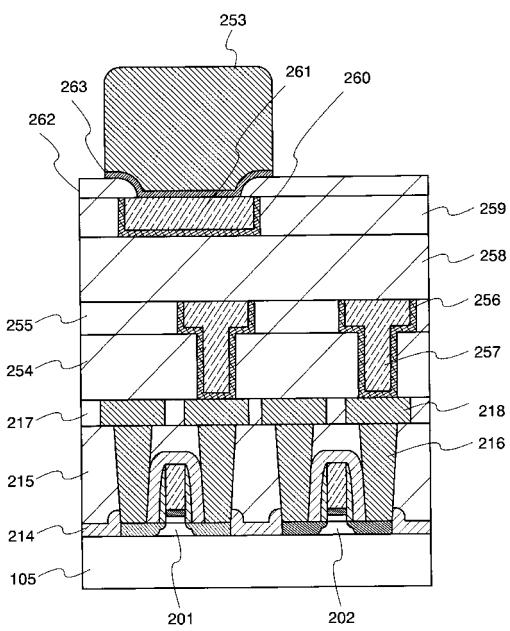
【図17】



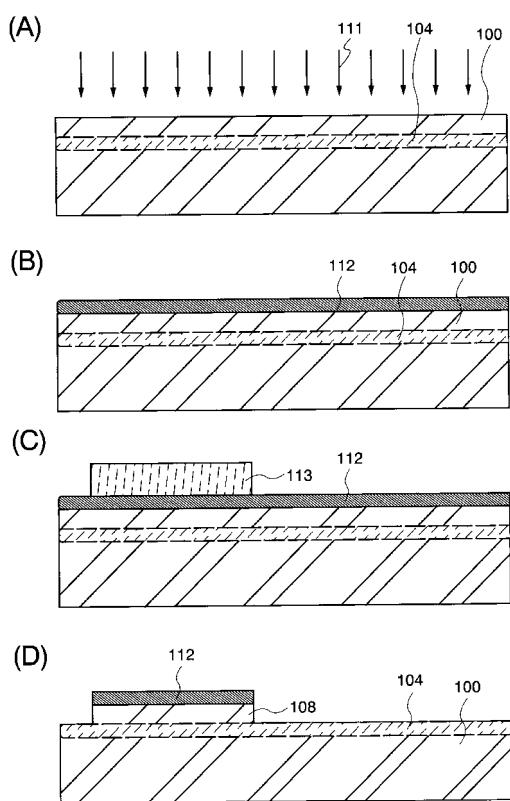
【図18】



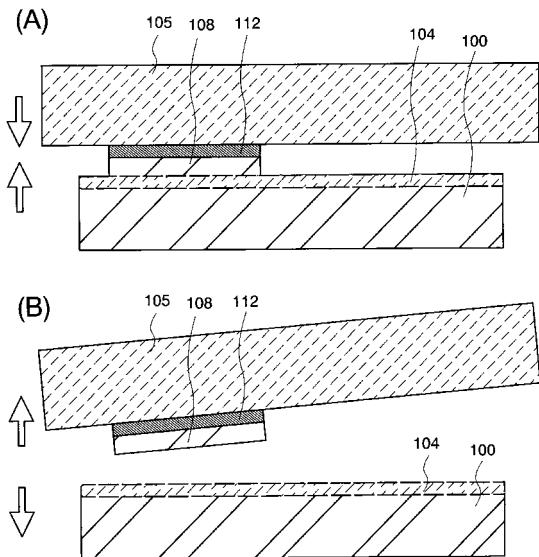
【図19】



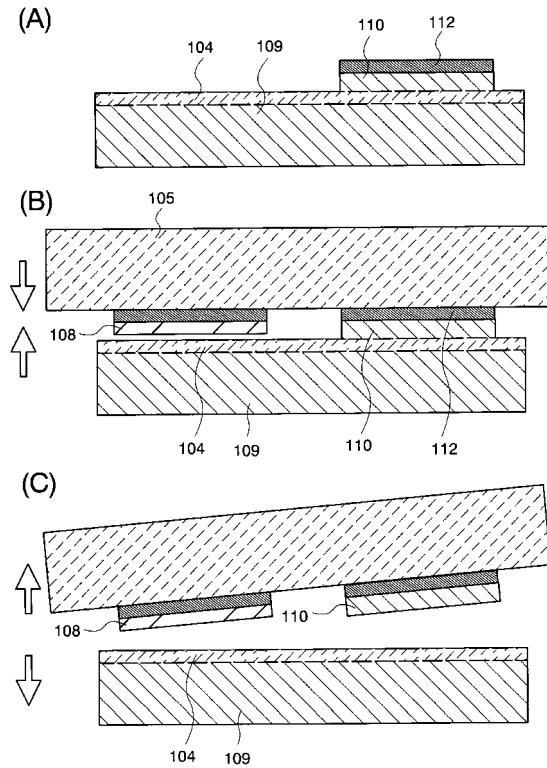
【図20】



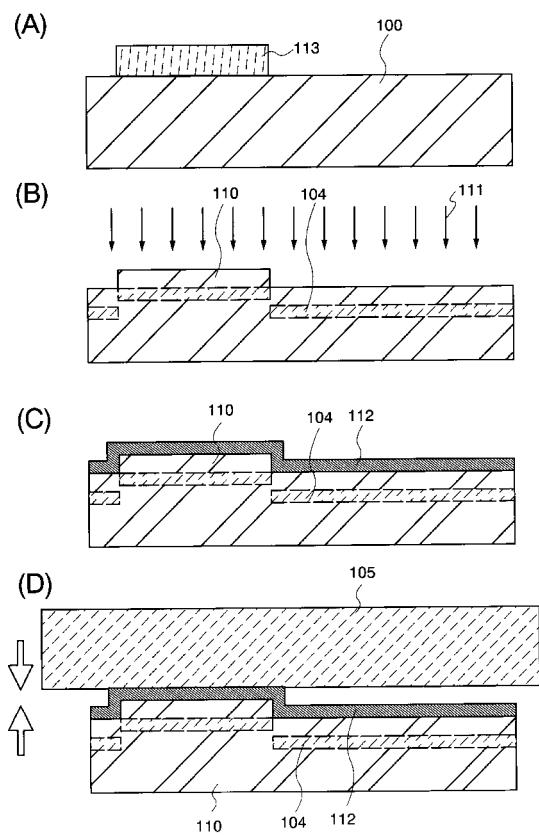
【図21】



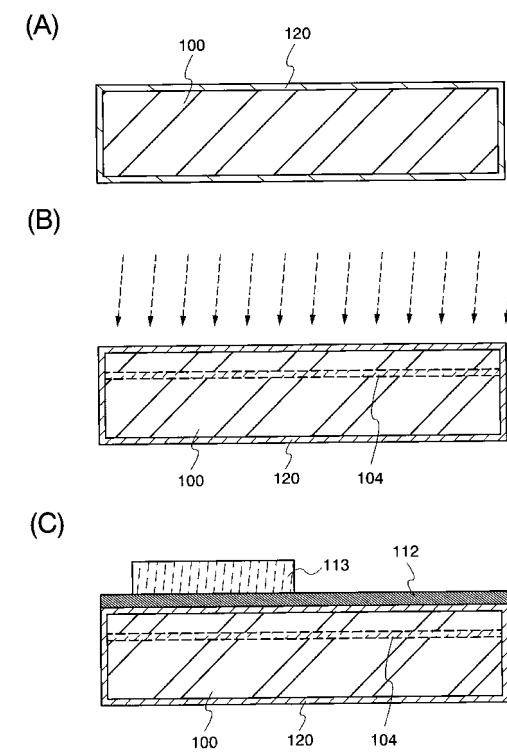
【図22】



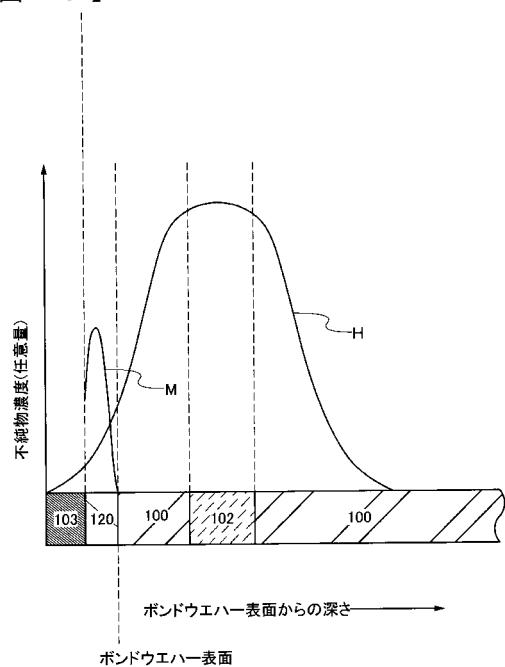
【図23】



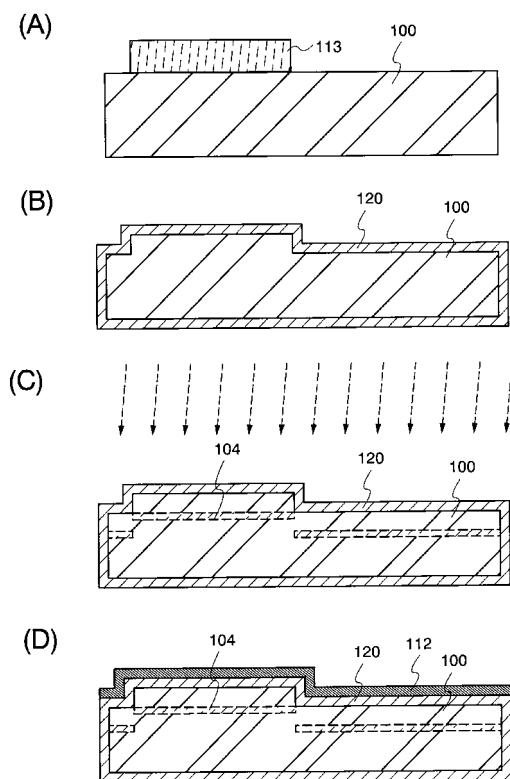
【図24】



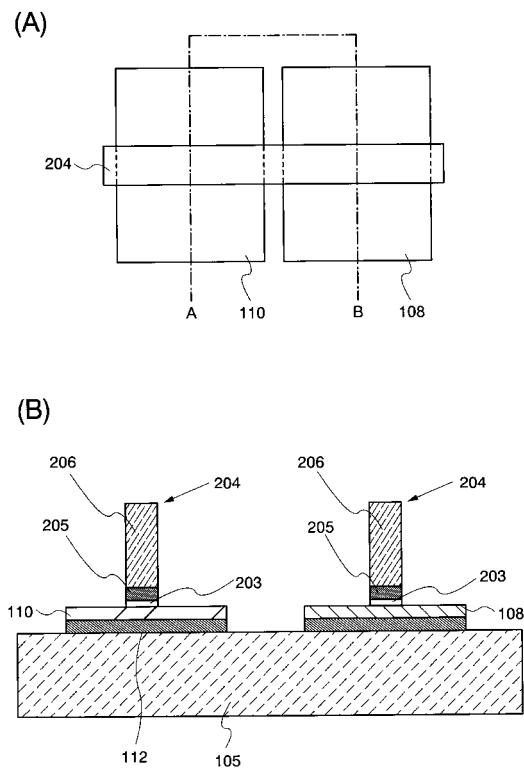
【図25】



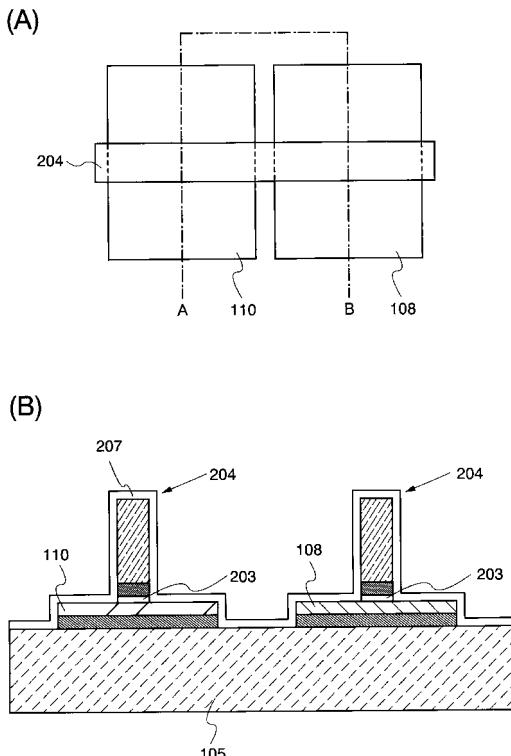
【図26】



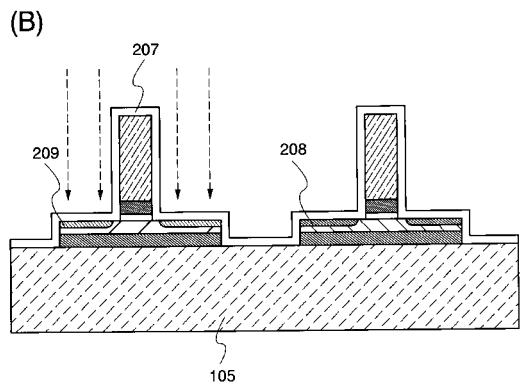
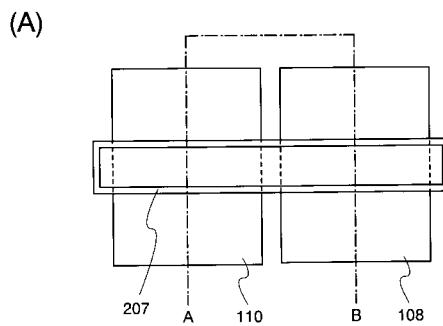
【図27】



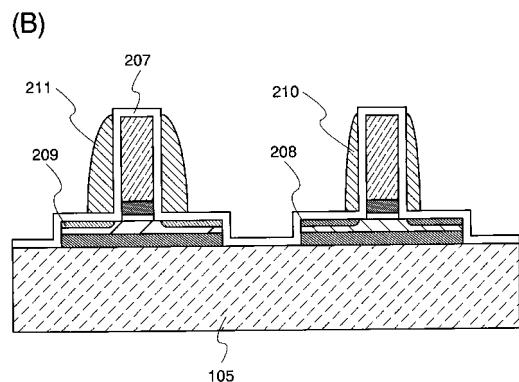
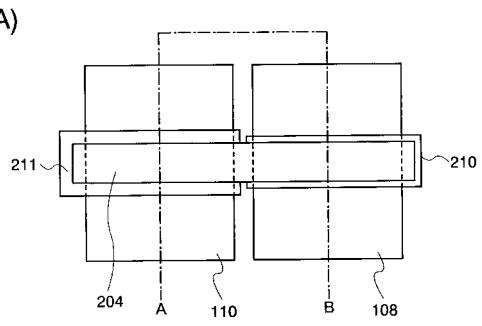
【図28】



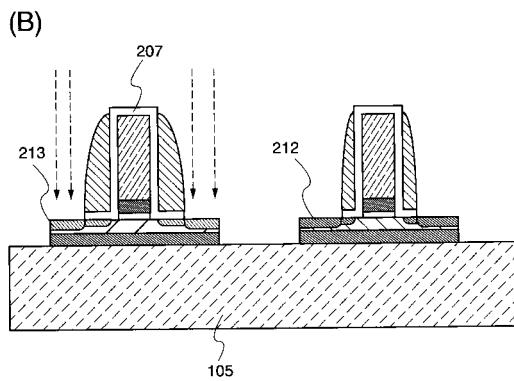
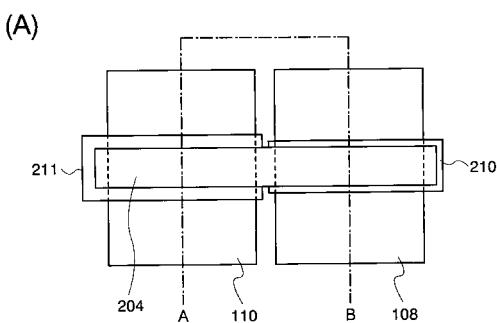
【図29】



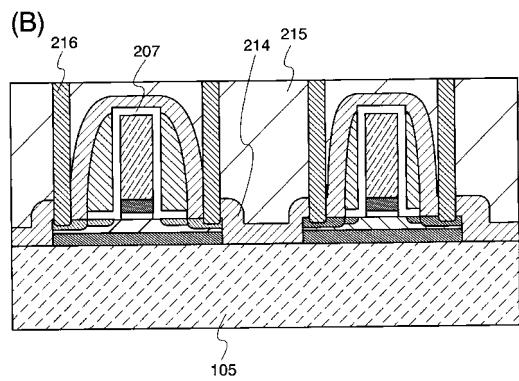
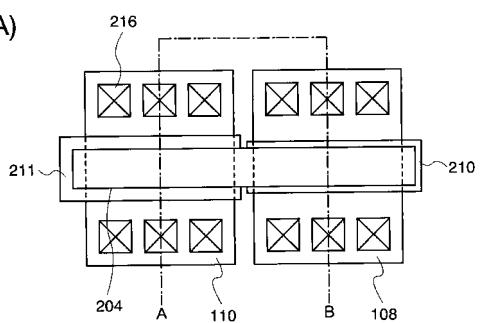
【図30】



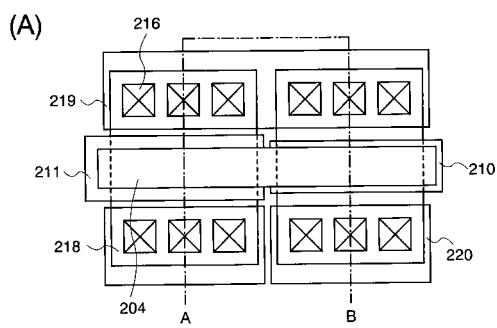
【図31】



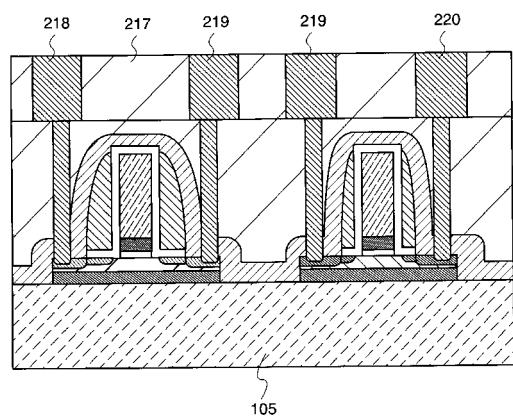
【図32】



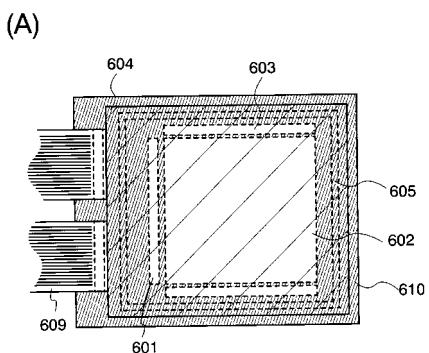
【図3-3】



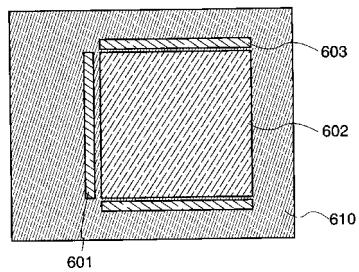
(B)



【図3-4】



(B)



フロントページの続き

(51)Int.Cl.	F I
H 01 L 21/8238 (2006.01)	H 01 L 27/12 L
H 01 L 27/092 (2006.01)	H 01 L 27/08 3 2 1 C
H 01 L 27/08 (2006.01)	H 01 L 27/08 3 3 1 E

(56)参考文献 特開平11-163363(JP,A)
特開平05-090117(JP,A)
特開2002-170942(JP,A)
特開2003-282885(JP,A)
特開2006-012995(JP,A)
特開2006-229047(JP,A)

(58)調査した分野(Int.Cl., DB名)

H 01 L 21 / 02、21 / 336、21 / 76、23 / 52、
27 / 12、29 / 786