

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】平成26年7月17日(2014.7.17)

【公開番号】特開2012-28000(P2012-28000A)

【公開日】平成24年2月9日(2012.2.9)

【年通号数】公開・登録公報2012-006

【出願番号】特願2011-135205(P2011-135205)

【国際特許分類】

G 1 1 C	11/405	(2006.01)
H 0 1 L	21/8242	(2006.01)
H 0 1 L	27/108	(2006.01)
H 0 1 L	27/115	(2006.01)
H 0 1 L	21/8247	(2006.01)
H 0 1 L	21/336	(2006.01)
H 0 1 L	29/788	(2006.01)
H 0 1 L	29/792	(2006.01)
H 0 1 L	29/786	(2006.01)

【F I】

G 1 1 C	11/34	3 5 2 B
H 0 1 L	27/10	3 2 1
H 0 1 L	27/10	4 3 4
H 0 1 L	29/78	3 7 1
H 0 1 L	29/78	6 1 3 B
H 0 1 L	29/78	6 1 8 B

【手続補正書】

【提出日】平成26年5月30日(2014.5.30)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

ソース線と、ビット線と、前記ソース線と前記ビット線との間に直列に接続された第1乃至第mのメモリセルと、を有し、

前記第1乃至第mのメモリセルはそれぞれ、第1のトランジスタと、第2のトランジスタと、容量素子と、を有し、

第k(kは、1以上m以下を満たす自然数)のメモリセルの第2のトランジスタのソース端子又はドレイン端子の一方は、隣接するメモリセルの第2のトランジスタのソース端子又はドレイン端子の一方と電気的に接続され、

前記第kのメモリセルの第1のトランジスタのゲート端子と、前記第kのメモリセルの第2のトランジスタのソース端子又はドレイン端子の一方と、前記第kのメモリセルの容量素子の端子の一方と、は電気的に接続されて第kのメモリセルのノードを構成し、

前記第kのメモリセルの第2のトランジスタのゲート端子に前記第2のトランジスタがオフ状態となる電位が与えられる情報の保持期間において、前記第kのメモリセルのノードは前記第kのメモリセルの第2のトランジスタのゲート端子より高い電位が与えられた状態である半導体装置。

【請求項2】

前記第1のトランジスタと前記第2のトランジスタは、互いに異なる半導体材料を主成分とする半導体領域を含む請求項1に記載の半導体装置。

【請求項3】

前記第2のトランジスタは、金属酸化物を主成分とする半導体領域を含む請求項1または2に記載の半導体装置。

【請求項4】

前記情報の保持期間において、前記第kのメモリセルの第2のゲート端子は接地電位が与えられた状態である請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】

前記情報の保持期間において、前記第kのメモリセルのノードは正の電位が与えられた状態である請求項1乃至4のいずれかに記載の半導体装置。

【請求項6】

前記情報の保持期間において、前記第kのメモリセルの第2のトランジスタのゲート端子および前記第kのメモリセルのノードは、前記第kのメモリセルの前記第2のトランジスタを流れる電流が1zA以下となる電位が与えられた状態である請求項1乃至5のいずれかに記載の半導体装置。

【請求項7】

前記第1のメモリセル、または前記第mのメモリセルをダミーセルとして用いる請求項1乃至6のいずれかに記載の半導体装置。

【請求項8】

前記第1のメモリセル、または前記第mのメモリセルが有する容量素子の容量値は、第2乃至第m-1のメモリセルのいずれかが有する容量素子の容量値より大きい請求項1乃至7のいずれかに記載の半導体装置。

【請求項9】

前記第1のメモリセル、または前記第mのメモリセルが有する第2のトランジスタのチャネル長は、第2乃至第m-1のメモリセルのいずれかが有する第2のトランジスタのチャネル長より大きい請求項1乃至8のいずれかに記載の半導体装置。

【請求項10】

第k(kは、1以上m以下を満たす自然数)のメモリセルの第1のトランジスタのソース端子又はドレイン端子の一方は隣接するメモリセルの第1のトランジスタのソース端子又はドレイン端子の一方と接続された請求項1乃至9のいずれかに記載の半導体装置。