

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 4 区分

【発行日】平成 26 年 7 月 17 日 (2014.7.17)

【公開番号】特開 2012-28000 (P2012-28000A)

【公開日】平成 24 年 2 月 9 日 (2012.2.9)

【年通号数】公開・登録公報 2012-006

【出願番号】特願 2011-135205 (P2011-135205)

【国際特許分類】

G 1 1 C 11/405 (2006.01)

H 0 1 L 21/8242 (2006.01)

H 0 1 L 27/108 (2006.01)

H 0 1 L 27/115 (2006.01)

H 0 1 L 21/8247 (2006.01)

H 0 1 L 21/336 (2006.01)

H 0 1 L 29/788 (2006.01)

H 0 1 L 29/792 (2006.01)

H 0 1 L 29/786 (2006.01)

【F I】

G 1 1 C 11/34 3 5 2 B

H 0 1 L 27/10 3 2 1

H 0 1 L 27/10 4 3 4

H 0 1 L 29/78 3 7 1

H 0 1 L 29/78 6 1 3 B

H 0 1 L 29/78 6 1 8 B

【手続補正書】

【提出日】平成 26 年 5 月 30 日 (2014.5.30)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ソース線と、ビット線と、前記ソース線と前記ビット線との間に直列に接続された第 1 乃至第 m のメモリセルと、を有し、

前記第 1 乃至第 m のメモリセルはそれぞれ、第 1 のトランジスタと、第 2 のトランジスタと、容量素子と、を有し、

第 k (k は、1 以上 m 以下を満たす自然数) のメモリセルの第 2 のトランジスタのソース端子又はドレイン端子の一方は、隣接するメモリセルの第 2 のトランジスタのソース端子又はドレイン端子の一方と電氣的に接続され、

前記第 k のメモリセルの第 1 のトランジスタのゲート端子と、前記第 k のメモリセルの第 2 のトランジスタのソース端子又はドレイン端子の一方と、前記第 k のメモリセルの容量素子の端子の一方と、は電氣的に接続されて第 k のメモリセルのノードを構成し、

前記第 k のメモリセルの第 2 のトランジスタのゲート端子に前記第 2 のトランジスタがオフ状態となる電位が与えられる情報の保持期間において、前記第 k のメモリセルのノードは前記第 k のメモリセルの第 2 のトランジスタのゲート端子より高い電位が与えられた状態である半導体装置。

【請求項 2】

前記第 1 のトランジスタと前記第 2 のトランジスタは、互いに異なる半導体材料を主成分とする半導体領域を含む請求項 1 に記載の半導体装置。

【請求項 3】

前記第 2 のトランジスタは、金属酸化物を主成分とする半導体領域を含む請求項 1 または 2 に記載の半導体装置。

【請求項 4】

前記情報の保持期間において、前記第 k のメモリセルの第 2 のゲート端子は接地電位が与えられた状態である請求項 1 乃至 3 のいずれかーに記載の半導体装置。

【請求項 5】

前記情報の保持期間において、前記第 k のメモリセルのノードは正の電位が与えられた状態である請求項 1 乃至 4 のいずれかーに記載の半導体装置。

【請求項 6】

前記情報の保持期間において、前記第 k のメモリセルの第 2 のトランジスタのゲート端子および前記第 k のメモリセルのノードは、前記第 k のメモリセルの前記第 2 のトランジスタを流れる電流が 1 z A 以下となる電位が与えられた状態である請求項 1 乃至 5 のいずれかーに記載の半導体装置。

【請求項 7】

前記第 1 のメモリセル、または前記第 m のメモリセルをダミーセルとして用いる請求項 1 乃至 6 のいずれかーに記載の半導体装置。

【請求項 8】

前記第 1 のメモリセル、または前記第 m のメモリセルが有する容量素子の容量値は、第 2 乃至第 m - 1 のメモリセルのいずれかが有する容量素子の容量値より大きい請求項 1 乃至 7 のいずれかーに記載の半導体装置。

【請求項 9】

前記第 1 のメモリセル、または前記第 m のメモリセルが有する第 2 のトランジスタのチャネル長は、第 2 乃至第 m - 1 のメモリセルのいずれかが有する第 2 のトランジスタのチャネル長より大きい請求項 1 乃至 8 のいずれかーに記載の半導体装置。

【請求項 10】

第 k (k は、1 以上 m 以下を満たす自然数) のメモリセルの第 1 のトランジスタのソース端子又はドレイン端子の一方は隣接するメモリセルの第 1 のトランジスタのソース端子又はドレイン端子の一方と接続された請求項 1 乃至 9 のいずれかーに記載の半導体装置。