(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.[6]
H01L 27/108

(45) 공고일자 2000년04월15일
(11) 등록번호 10-0252741
(24) 등록일자 2000년01월20일

(21) 출원번호 10-1996-0040771
(65) 공개번호 특1997-0018603
(22) 출원일자 1996년09월19일
(43) 공개일자 1997년04월30일
(30) 우선권주장 95-240336 1995년09월19일 일본(JP)

(73) 특허권자 가부시끼가이샤 도시바 니시무로 타이죠
일본국 가나가와껭 가와사끼시 사이와이꾸 호리가와쪼 72반지
(72) 발명자 스노우치 가즈마사
일본국 가나가와현 가와사키시 사이와이구 고무가이도시바정 1번지 가부시키가이샤 도시바 연구개발센터 내
(74) 대리인 김윤배, 이범일

심사관 : 신양환

(54) 반도체기억장치 및 그 제조방법

요약

본 발명의 반도체 기억장치는, 반도체기판과, 이 반도체기판상에 형성된 제1절연층, 이 제1절연층상에 배치된 복수의 비트선, 전체 비트선상에 형성됨과 더불어 복수의 제1개구를 갖춘 제2절연층, 이 제2절연층상에 형성된 소자분리영역, 이 소자분리영역에 의해 에워싸여 형성된 반도체영역을 형성하는 복수의 섬형상 소자, 반도체영역을 형성하는 소자에 각각 형성된 복수의 트랜지스터 및, 이 트랜지스터상에 각각 형성된 복수의 캐패시터를 포함한다. 각각의 트랜지스터는 소자형성영역상에 절연적으로 형성된 게이트전극과, 각 게이트전극측의 어느 하나에 형성된 제1 및 제2확산영역을 포함하고, 제1확산영역은 제1개구중 하나에 형성된 경유도전체를 통해서 대응하는 어느 하나의 비트선에 접속된다. 각 캐패시터는 각 트랜지스터의 제2확산영역상에 형성된 축적전극을 갖춘다.

대표도

도1

명세서

도면의 간단한 설명

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 하나의 메모리셀의 등가회로도,

제2도는 본 발명의 제1실시예에 따른 반도체 기억장치의 평면도.

제3a도는 제2도의 3A-3A선에 따른 단면도이고, 제3b도는 제2도의 3B-3B선에 따른 단면도,

제4a도 내지 제14a도 및 제4b도 내지 제14b도는 본 발명의 제1실시예에 따른 반도체 기억장치의 제조방법을 단계적으로 나타내는 단면도로서, 제4a도 내지 제14a도는 제2도의 3A-3A선에 따른 도면에 대응하고, 제4b도 내지 제14b도는 제2도의 3B-3B선에 따른 도면에 각각 대응하는 도면.

제15도는 종래 반도체 기억장치의 비트선에 대해 수직인 단면도.

제16도는 본 발명의 제2실시예에 따른 반도체 기억장치의 하나의 메모리셀의 등가회로도.

제17도는 본 발명의 제2실시예에 따른 반도체 기억장치의 평면도.

제18a도는 제17도의 18A-18A선에 따른 단면도이고, 제18b도는 제17도의 18B-18B선에 따른 단면도.

제19a도는 본 발명의 제2실시예에 따른 반도체 기억장치(메모리셀)에 있어서, '0'을 기록하고, '0'을 프리차지 및 독출하는 전압의 상태를 나타내는 도면이고, 제19b도는 본 발명의 제2실시예에 따른 반도체 기억장치(메모리셀)에 있어서, '1'을 기록하고, '1'을 프리차지 및 독출하는 전압의 상태를 나타내는 도면.

제20a도 내지 제28a도 및 제20b도 내지 제28b도는 본 발명의 제2실시예에 따른 반도체 기억장치의 제조방법을 단계적으로 나타내는 단면도로서, 제20a도 내지 제28a도는 제17도의 18A-18A선에 따른 도면에 각각 대응하고, 제20b도 내지 제28b도는 제17도의 18B-18B선에 따른 도면에 각각 대응하는 도면.

제29a도 및 제29b도는 본 발명의 제2실시예에 따른 반도체 기억장치의 변형을 나타내는 단면도.

제30a도 및 제30b도는 본 발명의 제2실시예에 따른 반도체 기억장치의 다른 변형을 나타내는 단면도.

제31a도 및 제31b도는 본 발명의 제2실시예에 따른 반도체 기억장치의 또 다른 변형을 나타내는 단면도.

제32a도 및 제32b도는 본 발명의 제2실시예에 따른 반도체 기억장치의 또 다른 변형을 나타내는 단면도.

제33a도 내지 제33a도 및 제33b도 내지 제38b도는 본 발명의 제3실시예에 따른 반도체 기억장치의 제조방법을 단계적으로 나타내는 단면도로서, 제33a도 내지 제38a도는 제17도의 18A-18A선에 따른 도면에 각각 대응하고, 제33b도 내지 제38b도는 제17도의 18B-18B선에 따른 도면에 각각 대응하는 도면이다.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술분야 및 그 분야의 종래기술

본 발명은 반도체 기억장치의 고집적화에 관한 것으로, 특히 SOI(Silicon On Insulator)상에 형성된 메모리셀을 포함하는 반도체 기억장치에 관한 것이다.

반도체 집적회로, 특히 DRAM과 같은 반도체 기억장치에 있어서, 최근 고집적화에 따라 반도체셀의 면적이 현저하게 더욱 감소되어지고 있다. 메모리셀을 구성하는 전하축적층과, 트랜지스터 및, 메모리셀간에 각각 형성된 소자분리영역의 필수적인 미세화는 여러가지 문제를 야기한다. 예컨대, 전하축적층의 면적이 감소하면, 충분한 전하량이 축적될 수 없고, 트랜지스터의 제어가 어렵게 되며, 메모리셀간의 충분한 분리내압을 얻을 수 없게 된다.

상기 문제를 해결하기 위한 다양한 방법이 고려되어, 실용화되고 있다. 예컨대, 전하축적층의 영역은 각각의 트랜지스터 및 및 비트선의 위쪽에 층을 형성함으로써 확보될 수 있게 된다. 메모리셀이 절연막에 절연적으로 형성된 섬형상(island-like) 반도체기판상에 형성되면, 분리내압이 증가될 수 있고, 단락채널효과가 억제될 수 있게 됨으로써 트랜지스터의 제어성을 개선할 수 있게 된다.

이러한 방법을 채용하는 종래의 적층 캐패시터형 메모리셀은, 예컨대 다음과 같은 구조를 채택하고 있다. 절연층이 반도체기판상에 형성되고, 단결정 실리콘층이절연층상에 형성된다. 절연층상에 단결정 실리콘층을 형성하는 것을 SOI구조로 칭한다. 단결정 실리콘층이 절연층에 도달하는 소자분리영역으로 에워싸임으로써 소자영역을 형성하게 된다. 소자영역은 섬형상으로 분리되고, 게이트절연막이 분리된 소자영역에 선택적으로 형성된다. 게이트전극이 게이트절연막상에 형성되고, 2개의 확산층(소스 및 드레인영역)이 그 사이에 게이트전극을 삽입하도록 소자영역의 표면상에 형성된다. 이들 게이트절연막과 게이트전극 및 확산층은 트랜지스터를 구성한다. 트랜지스터의 소스 및 드레인영역중 하나는 게이트전극 위에 형성된 비트선에 접속된다. 소스 및 드레인영역중 다른 하나는 그 위에 형성된 축적전극에 접속된다. 축적전극은 비트선보다 더 높게 형성된 기판전극과 대향함으로써 캐패시터를 구성한다(제15도 참조).

종래 메모리셀에 있어서, 비트선을 통해서 전송된 신호데이터는 트랜지스터를 통해서 축적전극에 저장되고, 전극에 저장된 데이터는 트랜지스터를 통해서 비트선으로 독출 및 공급된다.

상기한 바와 같이, 종래 메모리셀에 있어서 트랜지스터는 절연막내의 분리된 반도체기판상에 형성되기 때문에 단락채널효과가 억제될 수 있어, 소자분리내압이 증가될 수 있다. 더욱이, 캐패시터가 게이트전극 및 비트선상에 형성되기 때문에 캐패시터에 대한 영역이 확보된다. 따라서, 메모리셀의 미세화에 기인하는 다양한 문제가 해결될 수 있다.

그러나, 종래 메모리셀에 있어서 축적전극이 그 사이에 삽입된 절연막으로 비트선을 덮도록 형성되어, 축적전극을 소스 및 드레인영역중 하나에 접속시키기 위해 매우 깊은 접속구멍이 개구되어야 한다. 메모리셀의 미세화는 축적 전극이 게이트전극 및 비트선에 따른 단락회로화(short-circuited)의 방지를 매우 어렵게 만들어, 접속구멍이 게이트전극 및 비트선과 정확히 자기정렬(self-aligned)되어지는 것이 요구된다.

종래에는, 축적전극이 게이트전극 및 비트선에 따라 단락회로화 되지 않고 캐패시터를 형성하기에 충분한 면적을 갖추어, 소자분리내압과 제어능력이 개선된 트랜지스터를 갖춘 메모리셀을 제조하는 것이 어려웠다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기한 점을 감안하여 발명된 것으로, 캐패시터를 형성하기 위한 큰 영역을 확보할 수 있고, 트랜지스터의 소자분리내압 및 제어능력이 우수하며, 축적전극이 게이트전극 및 비트선과 단락회로와 되는 것으로부터 보호될 수 있는 반도체 기억장치를 제공함에 그 목적이 있다.

또한, 본 발명은 상기 구조를 갖춘 반도체장치를 제조하기 위한 방법을 제공함에 다른 목적이 있다.

발명의 구성 및 작용

상기 목적을 달성하기 위한 본 발명의 제1목적에 따른 반도체 기억장치는,

반도체기판과;

이 반도체기판상에 형성된 제1절연층;

이 제1절연층상의 한쪽 방향으로 배치됨과 더불어 다른쪽 방향으로부터 분리된 복수의 비트선;

이 복수의 비트선 전체면에 형성됨과 더불어 제2절연층을 통해 연장되는 복수의 개구를 갖춘 제2절연층;

적어도 상기 복수의 개구내에 매립된 복수의 경유도전층;

상기 제2절연층상에 형성된 소자분리영역;

이 소자분리영역에 의해 에워싸인 섬과 같이 형성된 반도체영역을 형성하는 복수의 소자 및;

반도체영역을 형성하는 상기 복수의 섬형상 소자에 형성된 복수의 트랜지스터를 구비하여 구성되고;

상기 각각의 복수의 트랜지스터가,

반도체영역을 형성하는 상기 복수의 섬형상 소자중 대응하는 하나에 절연적으로 형성되고, 복수의 비트선을 가로지르는 방향으로 연장됨과 더불어 워드선으로 기능하는 게이트전극과;

상기 게이트전극의 2개의 대향하는 측벽의 각각의 위에 제공되는 게이트측벽 절연체;

반도체영역을 형성하는 상기 복수의 섬형상 소자중 하나에 형성되고, 상기 게이트전극의 2개의 대향하는 측벽중 하나에 인접됨과 더불어 상기 워드선을 가로지르는 방향으로 연장되며, 제1확산영역이 상기 복수의 경유도전층중 대응하는 하나를 통해 상기 복수의 비트선중 대응하는 하나에 접속되는 제1 및 제2확산영역 및;

상기 복수의 트랜지스터에 대응하는 복수의 캐패시터를 구비하여 구성되며;

이 각 복수의 캐패시터가,

상기 제2확산영역상에 형성되고, 상기 제2확산영역에 전기적으로 접속되는 축적전극과;

상기 축적전극상에 형성된 캐패시터 절연막 및;

상기 캐패시터절연막상에 형성되고, 상기 복수의 캐패시터에 공통으로 접속된 기판전극을 포함하고;

상기 각 복수의 개구가 상기 복수의 트랜지스터의 대응하는 하나의 대응하는 상기 게이트 측벽 절연체의 측벽과 수직으로 정렬된 부분을 갖춘 특벽을 갖는 것을 특징으로 한다.

상기 복수의 비트선이 텅스텐으로 형성되는 것을 바람직하다.

상기 복수의 비트선이 단결정 실리콘으로 형성되고, 반도체영역을 형성하는 상기 복수의 소자와 상기 복수의 경유도전층이 단결정층으로서의 상기 복수의 비트선과 일체적으로 형성될 수 있으며, 이 경우 단결정층은 도우프될 필요가 있다.

본 발명의 제1구성에 따른 반도체 기억장치에 있어서, 비트선이 반도체층 아래 형성되고, 그 사이에 절연층을 갖추어 MOS트랜지스터가 형성되기 때문에, 종래에 비해 단락회로가 비트선과 축적전극사이에 나타날 가능성이 적고, 비트선은 축적전극과 반도체층간에 삽입된다. 반도체층이 절연층상에 섬형상으로 분리되기 때문에, 각각 트랜지스터 제어능력 및 소자분류내압이 개선될 수 있다. 더욱이, 축적 및 기판전극을 포함하는 캐패시터가 상기 구조의 상부에 형성되기 때문에, 메모리셀의 면적을 효과적으로 이용함으로써 충분한 전하가 축적될 수 있고, 결과적으로 반도체 기억장치는 실제로 개선될 수 있다.

본 발명의 제2구성에 따라 제공된 반도체 기억장치는,

반도체기판과;

이 반도체기판상에 형성되고, 복수의 개구를 갖춘 절연층;

적어도 상기 복수의 개구에 매립된 복수의 경유도전층;

상기 절연층상에 형성된 소자분리영역;

이 소자분리영역에 의해 에워싸인 섬과 같이 형성된 반도체영역을 형성하는 복수의 소자 및;

반도체영역을 형성하는 상기 복수의 섬형상 소자에 형성된 복수의 트랜지스터를 구비하여 구성되고;

상기 각 복수의 트랜지스터가,

반도체영역을 형성하는 상기 복수의 소자중 대응하는 하나상에 형성되고, 소정 방향으로 연장됨과 더불어, 워드선으로서 기능하는 게이트전극과;

반도체영역을 형성하는 상기 복수의 소자중 상기 대응하는 하나에 형성되고, 상기 게이트전극의 2개의 대향하는 측벽중 하나에 인접함과 더불어 워드선을 가로지르는 방향으로 연장되며, 제1확산영역이 상기 복수의 경유도전층중 대응하는 하나를 통해 상기 반도체기판에 접속되는 제1 및 제2확산영역 및;

상기 복수의 트랜지스터에 대응하는 복수의 캐패시터를 구비하여 구성되며;

상기 각 복수의 캐패시터가,

상기 제2확산영역상에 형성되고, 상기 제2확산영역에 전기적으로 접속된 축적전극과;

적어도 상기 축적전극상에 형성된 캐패시터 절연막;

상기 캐패시터절연막상에 형성되고, 워드선을 가로지르는 방향으로 연장됨과 더불어 비트선으로의 기능하는 기판전극 및;

상기 게이트전극의 2개의 대향하는 측벽의 각각의 위에 제공된 게이트측벽 절연체를 구비하여 구성되고,

상기 각 복수의 개구가 상기 복수의 트랜지스터의 대응하는 하나의 대응하는 상기 게이트측벽 절연체의 외부표면과 수직으로 절열되는 부분을 갖춘 측벽을 갖는 것을 특징으로 한다.

상기 반도체기판이 실리콘으로 형성되고, 상기 복수의 경유도전층이 다결정실리콘 및 텅스텐중 어느 하나로 형성되는 것이 바람직하다.

제3확산영역이 상기 복수의 경유도전층중 상기 하나의 아래의 상기 반도체 기판의 일부에 선택적으로 형

성됨과 더불어 거기에 접속되는 것이 바람직하다.

상기 반도체기판이 단결정 실리콘으로 형성되고, 반도체영역을 형성하는 상기 복수의 소자 및 상기 복수의 경유도전층이 단결정 실리콘으로 형성될 수 있다.

본 발명의 제2구성에 따른 반도체 기억장치에 있어서, 절연막을 통해서 축적전극 위에 형성된 상기 층은 각각 기판전극 및 비트선으로서 기능한다. 따라서, 종래구조보다도 더욱 쉽게 축적전극과 비트선간에서 단락회로를 방지할 수 있고, 비트선은 축적전극과 반도체층간에 삽입된다.

MOS 트랜지스터의 확산층은 축적전극에 접속되지 않고, 절연층 아래 형성된 반도체기판에 접속되기 때문에, 배선이 반도체층 위에 형성될 필요가 없다. 이것은 축적전극과 배선간에 단락회로가 생기게 하고, 배선에 의해 축적전극의 면적이 감소하는 등의 문제를 피할 수 있다.

더욱이, MOS 트랜지스터가 형성된 반도체영역이 제1구성의 상기 반도체 메모리셀에서와 같이 절연층상에 섬형상으로 분리되어 있기 때문에, 각각의 트랜지스터 제어능력 및 소자분류내압은 개선될 수 있다.

본 발명의 제1구성에 따른 반도체 기억장치의 제조방법은,

그 사이에 제1절연층을 갖춘 반도체기판상에 복수의 비트선을 형성하는 단계와;

복수의 비트선의 전체면에 제2절연층을 형성하는 단계;

제2절연층상에 섬형상의 분리된 복수의 반도체영역을 형성하는 단계;

상기 각 복수의 반도체영역상에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측상과 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 복수의 비트선중 대응하는 하나를 노출하는 제1개구를 형성하도록 상기 복수의 반도체영역 및 상기 제2절연층중 대응하는 하나와, 상기 제1층간절연막을 선택적으로 제거하는 단계;

상기 복수의 비트선중 대응하는 하나와 상기 제1확산층을 접속하도록 도전재료를 제1개구에 매립하는 단계;

적어도 상기 도전재료상에 제2층간절연막을 형성하는 단계;

상기 제1층간절연막을 선택적으로 제거하고, 상기 MOS트랜지스터의 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 기판전극을 형성하는 단계를 구비하여 이루어진 것을 특징으로 한다.

상기 방법은 MOS트랜지스터의 상기 게이트전극의 상부표면 및 양측상에 제3절연층을 형성하는 단계를 더 구비하여 이루어지고, 상기 축적전극을 형성하는 상기 단계가 상기 제3절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것이 바람직하다.

제1개구를 형성하는 단계 후에 노출된 상기 복수의 비트선중 상기 하나의 표면상에 제3확산층을 형성하는 단계가 실행되는 것이 바람직하다.

도전재료는 금속이고, 상기 제3확산층을 형성하는 단계 후에 상기 제3확산층상에 장벽금속층을 형성하는 단계가 실행되는 것이 바람직하다.

제2절연층을 형성하는 상기 단계가 상기 복수의 비트선을 덮도록 절연막을 형성하고, 상기 절연막의 표면을 연마 및 평탄화하는 단계를 포함하는 것이 바람직하다.

상기 제1개구를 형성하는 단계에서 상기 제1층간절연막이 상기 제3절연층을 실질적으로 에칭하는 것 없이 단지 제1층간절연막만 에칭되어지는 조건에서 에칭되는 것이 바람직하다.

제2개구를 형성하는 상기 단계에서 상기 제2 및 상기 제1층간절연막이 상기 제3절연층을 실질적으로 에칭하는 것 없이 단지 상기 제2 및 상기 제1층간절연막이 에칭되어지는 조건에서 에칭되는 것이 바람직하다.

제1구성의 반도체 기억장치의 제조방법에 따라, 축적전극은 각각 절연층 및 반도체층이 비트선상에 형성되고, MOS트랜지스터가 반도체층상에 형성된 후에 형성된다. 따라서, 축적전극이 형성될 때, 축적전극과 반도체기판간에 나타나는 비트선이 없기 때문에, 비트선 및 축적전극이 서로 단락회로화 되는 것이 방지될 수 있다.

본 발명의 제2구성에 따른 반도체 기억장치의 제조방법은,

반도체기판상에 형성된 제1절연층상에 섬형상으로 분리된 복수의 반도체영역을 형성하는 단계와;

상기 각 복수의 반도체영역상에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측상 및, 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 반도체기판을 노출하는 제1개구를 형성하도록 상기 복수의 반도체영역 및 상기 제1절연층중 대응하는 하나와, 상기 제1층간절연막을 선택적으로 제거하는 단계;

상기 제1확산층 및 상기 반도체기판을 접속하도록 도전재료를 상기 제1개구에 매립하는 단계;

적어도 상기 재료상에 제2층간절연막을 형성하는 단계;

상기 제1층간절연막을 선택적으로 제거하고, 상기 MOS트랜지스터의 상기 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

적어도 상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 복수의 비트선으로서 기능하는 복수의 기판전극을 형성하는 단계를 구비하여 이루어진다.

상기 방법은 MOS트랜지스터의 상기 게이트전극의 상부표면 및 양측상에 제2절연층을 형성하는 단계를 더 구비하고, 상기 축적전극을 형성하는 상기 단계가 상기 제2절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것이 바람직하다.

상기 기판이 반도체기판이고, 상기 제1개구를 형성하는 단계 후에 노출된 상기 반도체기판의 표면상에 제3확산층을 형성하는 단계를 더 구비하는 것이 바람직하다.

도전재료는 금속이고, 상기 제3확산층을 형성하는 단계 후에 상기 제3확산층상에 장벽금속층을 형성하는 단계를 실행하는 것이 바람직하다.

상기 제1개구를 형성하는 상기 단계에서 상기 제1층간절연막이 상기 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제1층간절연막이 에칭되는 조건에서 에칭되는 것이 바람직하다.

제2개구를 형성하는 상기 단계에서 상기 제2 및 상기 제1층간절연막이 상기 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제2 및 상기 제1층간 절연막이 에칭되는 조건에서 에칭되는 것이 바람직하다.

제2구성의 반도체 기억장치의 제조방법에 따라, 축적전극이 형성되고, 절연막이 그 위에 형성되며, 기판전극이 절연막상에 형성된다. 그러므로, 축적 전극이 형성될 때, 축적전극 및 반도체기판간에 나타나는 비트선은 없고, 비트선 및 축적전극이 서로 단락회로화 되는 것이 방지될 수 있다.

MOS 트랜지스터의 확산층에 있어서, 축적전극에 접속되지 않는 확산층은 축적전극이 형성되기 전에 절연층 아래 형성된 반도체기판에 접속되기 때문에, 결선이 상기 반도체기판 위에 형성될 필요가 없다. 따라서, 축적전극이 배선으로 단락회로화 되고, 축적전극의 면적이 배선에 의해 감소하게 하는 문제를 이렇게 피할 수 있다.

본 발명의 제2구성의 반도체 기억장치의 다른 제조방법에 있어서, 본 발명의 제3구성에 따른 제조방법은,

반도체기판상에 형성된 제1절연층을 선택적으로 제거하고, 상기 반도체기판을 노출하도록 제1개구를 형성하는 단계와;

상기 반도체기판에 접속되도록 상기 제1절연층상에 섬형상으로 분리된 복수의 반도체영역을 형성하는 단계;

상기 각 복수의 반도체영역에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측 및 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층 및, 상기 제1개구를 통해서 상기 반도체기판에 접속된 제1확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 제1층간절연막을 선택적으로 제거하고, 상기 MOS트랜지스터의 상기 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

적어도 상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 복수의 비트선으로서 기능하는 복수의 기판전극을 형성하는 단계를 구비하여 이루어진 것을 특징으로 한다.

상기 방법은 MOS트랜지스터의 상기 게이트전극의 상부표면 및 각측상에 제2절연층을 형성하는 단계를 더 구비하고, 상기 축적전극을 형성하는 상기 단계가 상기 제2절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것이 바람직하다.

상기 복수의 반도체영역을 형성하는 상기 단계에서 상기 반도체영역이 시드-결정(seed crystal)과 같이 노출된 상기 반도체기판을 이용해서 에피택셜 성장되는 것이 바람직하다.

상기 제2객를 형성하는 상기 단계에서 상기 제1층간절연막이 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제1층간절연막이 에칭되는 조건에서 에칭되는 것이 바람직하다.

상기한 제2구성의 반도체장치의 제조방법에서와 같이, 비트선을 구성하기 위한 기판전극이 상기 축적전극에 상기 절연막상에 형성되기 때문에, 축적전극이 형성될 때, 축적전극과 반도체기판간에 나타나는 비트선은 없다. 따라서, 비트선 및 축적전극이 서로 단락회로화 되는 것이 방지될 수 있다.

더욱이, 반도체기판은 트랜지스터가 절연막상에 형성되기 전에 접속된 상기 절연층 및 상기 확산층 아래 형성되기 때문에, 접속전극이 형성될 때 MOS트랜지스터로 단락회로화되는 것으로부터 방지될 수 있고, 상기 제2구성의 장치의 제조방법과 다르게 상기 반도체기판과 확산층은 MOS트랜지스터가 형성된 후에 접속된다.

단결정성장을 이용하는 제3구성에 따른 제조방법은 제1구성에 따른 상기 장치에 적용될 수 있다.

[실시예]

제1실시예

제1도는 본 발명의 제1실시예에 따른 반도체 기억장치의 하나의 메모리셀의등가회로도, 제2도는 메모리셀의 평면도, 제3a도는 제2도의 3A-3A선에 따른 단면도, 제3b도는 제2도의 3B-3B선에 따른 단면도이다.

제1도에 나타낸 바와 같이, 제1실시예의 메모리셀의 등가회로도는 일반적으로 이용되는 메모리셀과 동일하다. 본 회로에 있어서, 비트선은, 예컨대 트랜지스터(T1)의 드레인에, 트랜지스터(T1)의 소스는 캐패시터(C1)에, 트랜지스터(T1)의 게이트는 워드선(WL)에 각각 접속된다.

제3a도 및 제3b도에 나타낸 메모리셀에 있어서, 비트선(30)은 종래 비트선과는 달리 게이트전극(6) 위가 아닌 SOI기판의 절연층(2) 아래 형성된다.

비트선(30)은 절연층(2)을 통해 여성된 매립전극(13)에 의해 트랜지스터의 확산층(8a; 소스 및 드레인)에 접속된다. 기판전극(40)은 기판전극(40)과의 사이에 캐패시터절연막(19)을 갖춘 축적전극(18)상에 형성됨으로써 축적캐패시터를 구성한다. 축적전극(18)은 트랜지스터의 다른 확산층(8b)에 접속된다.

제4a도 내지 제14a도 및 제4b도 내지 제14b도는 제1실시예에 따른 반도체 기억장치의 제조방법을 단계적으로 나타내는 단면도이다. 제4a도 내지 제14a도는 제2도의 3A-3A선에 따라 각각에 대응하는 도면이고, 제4b도 내지 제14b도는 제2도의 3B-3B선에 따라 각각에 대응하는 도면이다.

산화막(SiO_2)등의 절연층(28)이 실리콘기판과 같은 반도체기판(1)상에 형성된다. 텅스텐과 같은 비트선재료가 절연층(28)상에 퇴적됨에 따라 종래의 포토리소그래피 및 RIE(Reactive Ion Etching)와 같은 이방성에칭을 이용하여 비트선(30)을 형성한다. 절연막(29, 2)이 비트선(30)을 덮도록 산화막 등에 의해 형성되어, 절연막(2)의 표면이 평탄하게 된다(제4a도 및 제4b도).

또한, 절연층(28)상에 홈을 갖춘 절연막을 형성함과 더불어, 홈내에 비트선재료을 매립함으로써 비트선(30)이 얻어질 수 있게 된다.

실리콘기판(31)은 고착방법에 의해 절연막(2)상에 고착되고, 그 표면은 원하는 두께를 갖춘 소자형성영역(31)을 포함하는 SOI기판을 형성하도록 연마된다(제5a도 및 제5b도).

소자형성영역(31)의 부분이 제거되고, 산화막(SiO_2)과 같은 절연막이 제거된 부분에 매립되며, 결과적으로 절연막(2)에 도달하는 소자분리영역(4)이 형성됨과 더불어 막(2)과 영역(4)으로 에워싸인 섬형상의 소자영역(3)이 형성된다(제6a도 및 제6b도).

예컨대, 산화막(SiO_2)의 게이트절연막(50이 결과적인 구조상에 형성되고, 다결정실리콘막과 같은 전극재료와 실리콘질화막(SiN)과같은 절연막(7)이 다른 결과적인 구조상에 형성된다. 게이트전극(6)은 종래의 포토리소그라피 및 RIE와 같은 이방성에칭을 이용하여 얻어진다. 더욱이, n-형 확산층(8a, 8b)이 트랜지스터의 소스 및 드레인영역으로서 기능하도록, 예컨대 이온주입에 의해 형성된다(제7a도 및 제7b도).

실리콘질화막과 같은 절연막이 결과적인 구조상에 퇴적되고, 이어 RIE와 같은 이방성에칭에 의해 에칭됨으로써 게이트전극(6)의 측벽상에 절연막(9)이 형성된다(제8a도 및 제8b도).

예컨대, 산화막(SiO_2)의 층간절연막(10)이 게이트전극(6)상에 절연(질화)막(7)을 노출하도록 CMP(화학기계적연마)에 의해 퇴적 및 연막되고, 결과적으로 막(10)이 인접하는 게이트전극(6)간에 매립된다(제9a도 및 제9b도).

개구를 갖춘 레지스트막(11)이 확산층(8a)상에 형성된다. RIE와 같은 이방성에칭을 이용하여 비트선(30)이 노출되도록 확산층(8a) 및 절연막(2)을 에칭함으로써 개구(12)가 형성된다. 에칭조건이 에칭으로부터 질화막(7, 9)을 보호하도록 적절히 설정되면, 개구(12)는 게이트전극(6)과 함께 자기정렬된다(제10a도 및 제10b도).

레지스트막(11)이 제거된 후에, 예컨대 인을 함유하는 다결정실리콘막이 퇴적된다. 절연막(7)과 층간절연막(10)이, 예컨대 RIE를 이용하여 다결정실리콘막을 에칭함으로써 노출되어, 다결정실리콘막이 개구(12)내에 매립된다. 결과적으로, 매립전극(13)이 확산층(8a) 및 비트선(30)을 접속하도록 개구(12)에 형성된다(제11a도 및 제11b도).

산화막(SiO_2)등과 같은 층간절연막(15)이 결과적인 구조상에 퇴적된다(제12a도 및 제12b도).

확산층(8b) 위에 개구를 갖춘 레지스트막(16)이 층간절연막(15)상에 형성되고, 막(15, 10)이 확산층(8b)을 노출시키기 위해 에칭됨으로써 축적전극용 접속구멍(17)이 형성된다. 에칭조건이 에칭으로부터 질화막(7, 9)을 보호하도록 적절히 설정되면, 접속구멍(17)은 게이트전극(6)과 자기정렬된다(제13a도 및 제13b도).

레지스트막(16)이 제거되고, 인을 함유하는 다결정실리콘과 같은 축적전극 재료가 퇴적되며, 축적전극(18)이 통상적인 포토리소그래피 및 RIE와 같은 이방성에칭을 이용해서 형성된다. 예컨대, LPCVD(Low Pressure Chemical Vapor Deposition)를 이용하여 실리콘산화막과 실리콘질화막 및 실리콘질화막이 ONO(산화물-질화물-산화물)의 캐패시터절연막(19)을 형성하도록 퇴적된다(제14a도 및 제14b도).

예컨대, 다결정실리콘막이 기판전극(40)으로서 캐패시터절연막(19)상에 퇴적됨에 따라 제3a도 및 제3b도에서 나타낸 바와 같이 DRAM의 메모리셀이 완성된다.

DRAM은 종래 제조공정을 통해 층간절연막과, 배선층 등을 형성함으로써 완성된다.

상기한 제1실시예에 따르면, 비트선(30)이 게이트전극(6) 위에 형성되지 않고, 게이트전극(6) 아래의 절연층(2) 아래 형성되기 때문에, 축적전극(18)이 형성될 때 게이트전극(6)만이 축적전극(18) 및 확산층(18b) 사이에 배선층으로서 존재한다. 따라서, 제13a도 및 제13b도에 나타낸 바와 같이 접속구멍(17)이

단지 게이트전극(6)과 자기정렬되어, 축적전극(18)이 비트선(30)과 단락회로화 되는 것으로부터 용이하게 보호될 수 있다.

또한, 비트선(30)이 소자영역(3) 아래의 절연층(2) 아래 형성되기 때문에, 영역(3)에 형성된 배선층(2)은 종래의 장치와 비교해서 감소될 수 있다. 따라서, 접속구멍이 형성될 때, 층간절연막이 적어도 각각 게이트전극 및 비트선의 두께에 의해 통상적으로 에칭되어짐에도 불구하고, 에칭된 층간절연막은 비트선의 두께에 의해 얇아질 수 있게 된다. 에칭된 층간절연막의 두께가 감소되기 때문에, 접속구멍(17)은 게이트전극(6)과 용이하게 자기정렬될 수 있다.

제15도는 종래 메모리셀의 단면도이다. 제15도에 있어서, 게이트전극(6) 및 비트선(50)간의 레벨에서의 차이는 무시된다. 그러나, 본 발명의 제 1실시예에 따르면, 이 차이는 적어도 비트선의 두께에 의해 감소될 수 있기 때문에, 형성된 축적전극이 없는 곳, 즉 주변회로영역과 같은 영역이 용이하게 평탄화될 수 있음으로써, 배선층의 패터닝 및 에칭을 용이하게 한다. 제15도에 있어서, 참조부호 60은 기판전극을 나타내고, 제1실시예의 동일한 부분에는 동일한 참조부호를 부가한다.

종래의 메모리셀에 있어서, 비트선(50)이 작은 메모리셀영역내에 비트선(50)과 게이트전극(6) 및 축적전극(18)을 형성하기 위해 소자영역(3) 상에 형성된다. 따라서, 비트선(50)과 게이트전극(6)간, 또는 비트선(50)과 축적전극(18)간의 거리가 매우 짧아서 서로간의 노이즈를 만들거나 또는 메모리셀이 고장나도록 간섭한다.

그러나, 본 발명의 제1실시예에 따르면, 비트선(30)이 절연층(2) 아래 형성되어, 게이트전극(6) 또는 축적전극(18)과 분리된다. 따라서, 종래의 메모리셀과 비교해서 이들 전극은 비트선(30)에 의한 영향을 받기 어렵기 때문에 큰 동작마진을 갖춘 DRAM이 형성될 수 있다.

상기 제조방법에 따라, 확산층(8a)이 비트선(30)에 접속될 때, 확산층(8a)은 게이트전극(6)과 자기정렬화될 수 있고, 개구(12)는 게이트전극(6)과 자기 정렬화될 수 있다. 결과적으로, 새롭게 요구되는 마진이 없어, 메모리셀은 면적을 감소시킬 수 있게 된다.

제2실시예

이하, 본 발명의 제2실시예에 따른 반도체장치를 설명한다. 본 장치에 있어서, 캐패시터의 기판전극은 마찬가지로 비트선으로서 작용한다.

제16도는 제2실시예의 반도체 기억장치의 하나의 메모리셀의 등가회로도이고, 제17도는 메모리셀의 평면도이다. 그리고, 제18a도는 제17도의 18A~18A선에 따른 단면도이고, 제18b도는 제17도의 18B~18B 선에 따른 단면도이다.

제2실시예의 메모리셀에 있어서, 기판전극은 비트선의 기능을 갖추고, 도 16에 나타난 바와 같이 캐패시터의 축적전극은 선택트랜지스터(T1)의 일단(소스, 또는 드레인전극)에 접속된다. 트랜지스터(T1)의 타단은, 예컨대 고정된 전위(Vcc)에 접속된다. 트랜지스터(T1)의 게이트전극은 워드선(WL)에 접속된다.

제19a도 및 제19b도는 제1실시예의 메모리셀의 기록 및 독출모드에서 동작전압의 예를 나타낸다. 본 예에서 Vcc는, 예컨대 약 5V의 포지티브 전압이다.

제19a에 나타낸 바와 같이 '0'이 기록될 때, 선택된 셀의 비트선(BL)은 0V로 유지되고, 그 워드선(WL)은 8V를 유지한다. 따라서, 트랜지스터(T1)는 턴온되고, 축적전극의 전위는 약 5V로 된다.

워드선(WL)이 0V로 설정되고, 비트선(BL)이 Vcc, 즉 5V로 설정되면, 축적 전극의 전위는 약 9V로 상승하여, 캐패시터가 프리차지된다. '0'이 독출될 때, 워드선(WL)은 다시 8V로 설정되고, 따라서 비트선(BL)의 전위는 {5-5(9-5)×Cs/(Cs+Cb)}V로 된다. 여기서, Cs는 캐패시터(C1)의 캐패시턴스이고, Cb는 비트선(BL)의 개싱 캐패시턴스이다. 비트선(BL)의 전위가 감지증폭기등을 이용하여 기준전압과 비교되면, 데이터가 독출될 수 있다.

제19b도에 나타낸 바와 같이, '1'이 독출될 때, 선택된 셀의 비트선은 5V로 설정되고, 그 워드선(WL)은 8V로 설정된다. 따라서, 트랜지스터(T1)는 턴온되고, 축적전극의 전위는 약 5V로 된다.

워드선(WL)이 0V로 설정되고, 비트선(BL)이 Vcc, 즉 5V로 설정되면, 축적 전극은 전위가 변화하지 않고, '0'이 기록될 때와는 달리 약 5V로 프라차지된다. '1'이 독출될 때, 워드선(WL)은 다시 8V로 설정되지만, 비트선(BL)의 전위는 변함없이 5V로 유지된다.

제2실시예의 메모리셀의 구성에 대해 제17도와, 제18a도 및 제18b도를 참조해서 설명한다.

제2실시예의 메모리셀은 반도체기판(1)과 절연층(2) 및 반도체층(3; 소자 영역)으로 구성된 SOI기판을 포함한다. 게이트전극(6)과, 확산층(8a, 8b)을 갖춘 MOS트랜지스터(T1)는 SOI기판상에 형성된다. 확산층(8a)이 매립전극(13)을 매개로 반도체기판(1)에 접속되는 한편, 확산층(8b)은 축적전극(18)에 접속된다. 기판전극(19)이 그 사이에 절연막(19)을 갖춘 축적전극(18)상에 형성됨에 따라 캐패시터를 형성한다. 기판전극(20)은 비트선으로 가능하도록 패터닝 된다.

상기 메모리셀은 기판전극(20)이 비트선(20)으로서 기능하는 축적전극(18)위에 형성되고, 확산층(8a)이 매립전극(13)을 통해서 반도체기판(1)에 접속되는 것을 특징으로 하고 있다.

상기한 바와 같이, 층(20)은 각각 캐패시터의 비트선 및 기판전극으로서 기능하고, 비트선(20)은 축적전극(18)위에 형성된다. 따라서, 다음에 설명하는 바와 같이, 축적전극(18)이 형성될 때, 게이트전극(6)이 축적전극(18)과 확산층(8a)간의 배선층으로서 존재하기 때문에, 축적전극에 대한 접속구멍(17)은 게이트전극(6)과 자기정렬화 되어야 하고, 축적전극(18)은 게이트전극(6) 및 비트선(20)으로 자기정렬화 되는 것으로부터 쉽게 보호될 수 있다.

확산층(8a)은 종래 비트선과 같이 윗쪽 배선층에 접속되지 않고, 소자영역(3) 아래의 절연층(2) 아래 형성되기 때문에, 이 영역(3) 위에 형성된 배선층은 하나로 감소될 수 있다. 제1실시예에서와 같이, 접속구

멍(17)이 형성될 때, 에칭된 층간절연막은 박막화될 수 있고, 접속구멍(17)은 게이트전극(6)과 쉽게 자기정렬화될 수 있다.

더욱이, 제1실시예에서와 같이 레벨에서의 차이가 적어도 제1배선층의 두께에 의해 감소될 수 있기 때문에, 형성된 축적전극이 없는 곳에서 주변회로영역과 같은 영역이 쉽게 평탄화 될 수 있고, 배선층을 쉽게 패턴화 및 에칭할 수 있게된다.

제2실시예에 따르면, 확산층(8a)에 접속된 반도체기판(1)에 고정전위가 공급되면, 이는 요구된 고정전위가 요구된 곳에서 확산층(8a)에 쉽게 공급될 수 있다.

예컨대, SOI기판이 채용되지 않으면, 확산층(8a)에 접속하기 위한 배선층이 부가적으로 형성될 필요가 있고, 이는 축적전극(18)을 형성하기 어렵게 하고, 수평패터닝에 제한을 야기시킨다. 그러나, 제2실시예의 메모리셀은 패터닝을 위한 새로운 면적이 요구되지 않기 때문에 면적이 감소될 수 있다.

제1실시예에 있어서, 확산층(8a)의 전위가 고정되지 않거나, 비트선에 접속된 곳에서 비트선으로서 기능하는 배선층(30)은 패터닝되어진다. 그러나, 제2실시예에 있어서, 동일한 고정전위(예컨대, Vcc)는 모든 메모리셀의 확산층(8a)에만 공급된다. 따라서, 고정전위가 반도체기판(1)에 공급되면, 패너닝을 필요로 하지 않고, 따라서 셀영역의 감소 및 제조공정의 단순화를 용이하게 달성하게 된다.

제2실시예에 있어서, 트랜지스터가 SOI기판상에서 섬형상과 같은 분리된 소자영역상에 형성되기 때문에, 트랜지스터의 벌크영역(3a)의 전위는 고정되지 않는다. 이러한 실시예와 같이 세로히로를 형성하도록 종래의 기판상에 트랜지스터(T1)가 직접 형성되면, 벌크영역의 전위는 고정되고, 따라서 다음과 같은 문제가 발생하게 된다. 비트선의 전위가 예컨대 1/2Vcc 로 변화되면, 축적전극(18)의 전위는 축적캐패시터(C1)의 커플링을 통해서 낮아지게 되고, 확산층(8a)의 전위는 벌크영역의 전위에 관하여 순방향바이어스 전압이 되어, 축적된 전하는 벌크영역을 통해서 흐르게 된다. 그러나, 제2실시예에 있어서, 확산층(8b)과 벌크영역의 전위는 분리된 벌크영역의 전위가 확산층(8a)의 전위에 따라 낮아짐으로써 순방향바이어스를 만들지 않게 된다.

이하, 제2실시예에 따른 상기 메모리셀의 제조방법에 대해 설명한다.

제20a도 내지 제28a도 및 제20b도 내지 제28b도는 제조방법을 단계적으로 나타내는 단면도이다. 제20a도 내지 제28a도는 각각 제17도의 18A-18A선에 따른 단면도에 대응하고, 제20b도 및 제28b도는 각각 제17도의 18B-18B선에 따른 단면도에 대응한다.

예컨대, SiO_2의 절연층(2)은 n-형 실리콘기판과 같은 반도체기판상에 형성되고, 단결정 실리콘층(3)은 절연층(2)상에 형성된다. 이들 기판 및 층은 SOI기판을 구성한다. 층(3)의 일부가 제거되고, 산화막(SiO_2)과 같은 절연막이 제거된 부분에 매립되며, 결과적으로 절연층(2)에 이르는 소자분리영역(4)이 형성되어 층(2) 및 영역(4)으로 에워싸인 섬형상의 소자영역(3)이 된다(제20a도 및 제20b도).

제1실시예에서와 같이, 게이절연막(5)과, 게이트전극(6), 절연막(7), 소스 및 드레인확산층(8a, 8b 또는 8b, 8a)이 형성되고(제21a도), 절연막(9)은 게이트전극(6)의 측벽상에 형성되며(제22a도), 층간절연막(10)이 인접한 게이트전극(6)간에 매립된다(제23a도).

개구를 갖춘 레지스트막(11)이 확산층(8a)상에 형성된다. RIE와 같은 이방성에칭을 이용항, 층간절연막(10)과, 확산층(8a) 및, 절연층(2)이 개구를 형성하도록 에칭되고, 반도체기판(1)의 표면이 선택적으로 노출된다. 에칭되는 것으로부터 질화막(7, 9)을 보호하도록 에칭조건이 적절히 설정되면, 개구(12)는 게이트전극(6)과 자기정렬된다(제24a도 및 제24b도),

레지스트막(11)이 제거된 후, 예컨대 인을 함유하는 다결정실리콘막이 퇴적함과 더불어, 예컨대 RIE를 이용해서 에칭되고, 절연막(7) 및 층간절연막(10)이 노출된다. 다결정실리콘막이 매립전극(13)을 형성하도록 개구(12)내로 매립된다.

고농도로 도프된 층(14)이 다결정실리콘막으로부터 분순물의 확산에 의해 매립층(13)을 접촉하는 반도체기판의 표면상에 형성된다. 따라서, 확산층(8a) 및 반도체기판(1)이 매립전극(13)에 의해 접속된다(제25a도 및 제25b도). 고농도로 도프된 총(14)은 개구(12)가 형성된 후에 인등의 이온주입에 의해 형성될 수 있다.

산화막(SiO_2)과 같은 층간절연막(15)은 결과적인 구조상에 퇴적된다(제26a도 및 제26b도).

더욱이, 제1실시예에서와 같이 확산층(8b)위에 개구를 갖춘 레지스트막(16)은 층간절연막(15)상에 형성되고, 막(15, 10)은 확산층(8b)을 노출하도록 에칭되어 축적전극에 대해 접속구멍(17)을 형성한다. 에칭조건이 질화막(7, 9)을 보호하도록 적당히 설정되면, 접속구멍(17)은 게이트전극(6)과 자기정렬된다(제27a도 및 제27b도).

그 후, 제1실시예에 있어서와 같이 축적전극(18) 및 캐패시터절연막(19)을 형성하도록 레지스트막(16)이 제거된다(제28a도 및 제28b도).

다결정실리콘막과 같은 전극재료가 퇴적되고, 각각 비트선 및 캐패시터의 기판전극으로서 기능하는 층(20)이 RIE와 같은 종래의 포토리소그래피 및 이방성에칭을 이용해서 형성된다(제29a도 및 제29b도).

그 후, DRAM이 종래의 제조공정을 통해서 층간절연막과, 배선층 등을 형성함으로써 완성된다.

상기한 제2실시예에 따르면, 층(20)은 비트선 및 기판전극으로서 기능하고, 축적전극(18)이 형성된 후에 이루어진다. 따라서, 제27도에 나타낸 바와 같이, 접속구멍(17)이 형성될 때, 단지 게이트전극(6)만이 하부 배선층으로서 존재한다. 접속구멍(17)은 단지 게이트전극(6)과 자기정렬화 되어진다. 결과적으로, 축적전극(18)과 게이트전극(6) 및 비트선(20)이 단락회로화 될 가능성은 종래의 메모리셀에서 보다 크게 감소될 수 있고, 축적전극(18)과 게이트전극(16) 및 비트선(50)은 서로 자기정렬된다.

제1실시예에서와 같이, 제2실시예에 따르면, 확산층(8a)은 게이트전극(6)과 자기정렬될 수 있고, 층(8a)

이 반도체기판(1)에 접속될 때, 개구(12)는 게이트전극(6)과 자기정렬될 수 있다. 따라서, 새롭게 요구되는 마진이 없어, 셀영역이 감소될 수 있다. 제1실시예는 개구를 매칭하기 위한 마진과, 비트선(30)의 패터닝을 필요로 하는 반면, 제2실시예는 상기 마진을 필요로 하지 않고, 따라서 셀은 더욱 미세화될 수 있다.

상기한 제1 및 제2실시예에 있어서, 매리전극(13)은 인을 함유하는 다결정 실리콘으로 형성되지만, 텅스텐과 같은 고융점 금속으로 형성될 수도 있다. 제2실시예에 있어서, 이러한 금속을 이용하는 데에는 인등을 미리 개구(12)내로 이온주입함으로써 확산층(14)을 형성하는 것이 바람직하다. 매립전극(13)은 예컨대, 티타늄질화막이 장벽금속과 같은 확산층(14)상에 형성된 후에 금속을 개구(12)로 매립함으로서 역시 형성될 수 있다. Ti와 같은 고융점 금속의 실리콘층이 오믹 접촉을 이루도록 확산층(14)과 장벽금속간에 삽입되는 것이 바람직하다.

상기 실시예에 있어서, 다결정실리콘막 및 금속막과 같은 도전막이 개구(12) 및 절연막(7, 10) 도처에 도전막을 형성함으로써 개구(12)에 형성되고, 그 후 RIE 또는 CMP를 이용하여 절연막(7, 10)상에 형성된 도전막의 부분을 제거한다. 그러나, 도전막은 예컨대, 개구에 노출된 반도체기판(1), 또는 비트선(30)상에 만들어진 도전막을 선택적으로 성장함으로써 얻어질 수 있다.

상기 제1 및 제2실시예에 있어서, 매립전극(13)은 절연막(7)이 게이트전극(6)상에 형성돈 레벨에서 형성된다. 그러나, 확산층(8a)과 반도체기판(1)을 접속하는데 이용되어지기 때문에, 상기 레벨에서 형성될 필요는 없다. 예컨대, 제28a도 및 제28b도에서 설명한 바와 같이, 매립전극(13)은 단지 절연막(2)의 윗쪽 표면보다 높게 형성되어진다. 그러나, 제29a도 및 제29b도에 나타낸 바와 같이 접속저항을 줄이도록 적어도 단결정 기판(3)의 표면 위에 매립되는 것이 바람직하다.

제2실시예에 있어서, 확산층(14)은 매립전극(13)과 반도체기판(1)간에 양호한 접속을 이루도록 개구(12) 아래 반도체기판상에 형성된다. 그러나, 제31a도 및 제31b도에 나타낸 바와 같이 확산층(14a)은 반도체기판(1)의 전체 표면상에 형성될 수 있다. 그렇지 않으면, 제32a도 및 제32b도에 나타낸 바와 같이 반도체기판은 확실한 전위로 유지되는 금속기판(1a)으로 대치될 수 있다.

제3실시예

이하, 본 발명의 제3실시예에 따른 메모리셀의 제조방법에 대해 설명한다.

이 방법에 있어서, 매립전극(13) 및 소자영역(3)은 트랜지스터가 형성되기 전에 결정성장에 의해 동시에 형성된다. 제33a도 내지 제38a도 및 제33b도 및 제38b도는 제3실시예의 메모리셀의 제조단계를 설명하기 위한 단면도이다.

산화막(SiO_2)과 같은 절연층(2)은 실리콘기판과 같은 반도체기판(1)상에 형성되고, 개구(32)는 반도체기판(1)을 노출하도록 절연층(2)에 형성된다(제33a도 및 제33b도).

시드결정(seed crystal)과 같은 노출된 기판(1)의 단결정 표면을 이용해서, 매립전극(33) 및 단결정 기판(3)이 동시에 에피택셜 성장된다(제34a도 및 제34b도).

그 후, 제2실시예에서와 같이 소자분리영역(4)과, 게이트전극(6), 확산층(8a, 8b), 측벽 절연막(9) 및, 층간절연막(10)이 형성된다(제35a도 및 제35b도). 확산층(8a)은 매립전극(33)상에 형성된다.

이 때, 확산층(8a) 및 반도체기판(1)은 개구(12) 및 매립전극(13)을 형성함으로써 접속되어지는 제2실시예를 통해서 미리 서로 접속된다.

그 후, 확산층(8b) 위에 위치된 개구를 갖춘 레지스트막(16)이 형성되고, 층간절연막(10)이 에칭되며, 확산층(8b)이 노출되어 축적전극에 대한 접속구멍(17)을 형성한다. 질화막(7, 9)이 에칭되는 것을 방지하도록 에칭조건이 적당히 설정되면, 접속구멍(17)은 게이트전극(6)과 자기정렬된다(제36a도 및 제36b도).

그 후, 제2실시예에서와 같이 축적전극(18)과, 캐패시터절연막(19) 및, 기판전극과 비트선 양쪽으로 기능하는 층(20)이 형성된다(제37a도 및 제37b도).

상기한 바와 같이, 제3실시예에 있어서 매립전극(33) 및 단결정 기판(3)은 에피택셜성장에 의해 동시에 형성된다. 따라서, 이 단계는 기판(3) 및 층(2)을 통해서 형성되는 개구(12)와, 매립전극(13)이 그 속에 형성되는 제2실시예의 단계보다 더욱 단순하게 실행될 수 있다.

게이트전극(6)이 형성되기 전에 반도체기판(1) 및 단결정 기판(3)이 매립전극(33)에 의해 서로 접속되기 때문에, 게이트전극(6)이 형성되는 곳에서 매립전극과 게이트전극간의 단락회로는 제1 및 제2실시예에서보다 더욱 충분히 방지될 수 있고, 그 후 개구(12)가 바로 자기정렬된다.

제1 및 제2실시예에 있어서, 층간절연막(15)은 매립전극(13)과 축적전극(18)간에 단락회로를 방지하도록 형성되어야 한다. 제3실시예에 있어서는 게이트전극(6)간에 형성된 층간절연막(10)에 의해 절연될 수 있기 때문에, 막(15)을 형성하는 단계는 삭제될 수 있다.

제3실시예에 있어서, 요구되는 층간절연막이 없기 때문에, 접속구멍(17)이 형성될 때, 에칭된 절연막은 두께가 감소될 수 있고, 따라서 축적전극(18)과 게이트전극(6)간의 단락회로는 제2실시예에서 보다 더욱 확실하게 방지될 수 있다. 필요하면, 층간절연막(15)은 제38a도 및 제38b도에 나타낸 바와 같이 형성될 수 있다.

제3실시예에 따르면, 접속저항은 이온주입, 기판(1)으로부터의 자동도핑등에 의해 축적전극내로 불순물을 적당히 주입함으로써 낮아질 수 있다.

제3실시예에 있어서, 실리콘 단결정 성장시스템은 기판전극이 비트선으로서 이용되는 본 발명의 제2구성에 적용된다. 이 시스템은 제1구성에 적용될 수 있고, 비트선이 SOI절연막 아래 형성되며, 이런 경우에 비트선으로서 기능하는 실리콘 단결정에 대해 소정 도핑이 요구된다.

상기 3가지 실시예에 부가하여, 예컨대 게르마늄이 확산영역과 벌크영역(3a)간에서 헤테로접합을 형성하도록 트랜지스터(T1)의 소스/드레인 확산영역(8a, 8b)으로 이온주입되고, 따라서 트랜지스터의 펀치드로우 전류를 감소할 수 있게 된다. 소자영역의 두께와, 게이트전극의 재료, 게이트절연막의 재료 및 두께 및, 확산층 또는 벌크 영역의 불순물 분배 등을 적당히 설정함으로써, 트랜지스터는 실질적으로 개선될 수 있다.

발명의 효과

이상 설명한 바와 같이 본 발명의 반도체 기억장치에 따르면, 상당히 큰 캐패시터면적과, 충분히 높은 소자분리내압 및, 뛰어난 제어능력을 갖춘 트랜지스터를 포함하고, 축적전극이 게이트전극 및 비트선으로 단락회로되는 것으로부터 보호될 수 있다.

상기한 본 발명의 반도체 기억장치의 제조방법에 따르면, 상당히 큰 캐패시터면적과, 충분히 큰 소자분리내압 및, 뛰어난 제어능력을 갖춘 트랜지스터가 쉽게 달성될 수 있다.

(57) 청구의 범위

청구항 1

반도체기판과;

이 반도체기판상에 형성된 제1절연층;

이 제1절연층상의 한쪽 방향으로 배치됨과 더불어 다른쪽 방향으로부터 분리된 복수의 비트선;

이 복수의 비트선 전체면에 형성됨과 더불어 제2절연층을 통해 연장되는 복수의 개구를 갖춘 제2절연층;

적어도 상기 복수의 개구내에 매립된 복수의 경유도전층;

상기 제2절연층상에 형성된 소자분리영역;

이 소자분리영역에 의해 에워싸인 섬과 같이 형성된 반도체영역을 형성하는 복수의 소자 및;

반도체영역을 형성하는 상기 복수의 섬형상 소자에 형성된 복수의 트랜지스터를 구비하여 구성되고;

상기 각각의 복수의 트랜지스터가,

반도체영역을 형성하는 상기 복수의 섬형상 소자중 대응하는 하나에 절연적으로형성되고, 복수의 비트선을 가로지르는 방향으로 연장됨과 더불어 워드선으로 기능하는 게이트전극과;

상기 게이트전극의 2개의 대향하는 측벽의 각각의 위에 제공되는 게이트측벽 절연체;

반도체영역을 형성하는 상기 복수의 섬형상 소자중 하나에 형성되고, 상기 게이트전극의 2개의 대향하는 측벽중 하나에 인접됨과 더불어 상기 워드선을 가로지르는 방향으로 연장되며, 제1확산영역이 상기 복수의 경유도전층중 대응하는 하나를 통해 상기 복수의 비트선중 대응하는 하나에 접속되는 제1 및 제2확산영역 및;

상기 복수의 트랜지스터에 대응하는 복수의 캐패시터를 구비하여 구성되며;

이 각 복수의 캐패시터가,

상기 제2확산영역상에 형성되고, 상기 제2확산영역에 전기적으로 접속되는 축적전극과;

상기 축적전극상에 형성된 캐패시터 절연막 및;

상기 캐패시터절연막상에 형성되고, 상기 복수의 캐패시터에 공통으로 접속된 기판전극을 포함하고;

상기 각 복수의 개구가 상기 복수의 트랜지스터의 대응하는 하나의 대응하는 상기 게이트 측벽 절연체의 측벽과 수직으로 정렬된 부분을 갖춘 특벽을 갖는 것을 특징으로 하는 반도체 기억장치.

청구항 2

제1항에 있어서, 상기 복수의 비트선이 텅스텐으로 형성된 것을 특징으로 하는 반도체 기억장치.

청구항 3

제1항에 있어서, 상기 복수의 비트선이 단결정 실리콘으로 형성되고, 반도체영역을 형성하는 상기 복수의 소자와 상기 복수의 경유도전층이 단결정층으로서의 상기 복수의 비트선과 일체적으로 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 4

반도체기판과;

이 반도체기판상에 형성되고, 복수의 개구를 갖춘 절연층;

적어도 상기 복수의 개구에 매립된 복수의 경유도전층;

상기 절연층상에 형성된 소자분리영역;

이 소자분리영역에 의해 에워싸인 섬과 같이 형성된 반도체영역을 형성하는 복수의 소자 및;

반도체영역을 형성하는 상기 복수의 섬형상 소자에 형성된 복수의 트랜지스터를 구비하여 구성되고;

상기 각 복수의 트랜지스터가,

반도체영역을 형성하는 상기 복수의 소자중 대응하는 하나상에 형성되고, 소정 방향으로 연장되고 더불어, 워드선으로서 기능하는 게이트전극과;

반도체영역을 형성하는 상기 복수의 소자중 상기 대응하는 하나에 형성되고, 상기 게이트전극의 2개의 대향하는 측벽중 하나에 인접함과 더불어 워드선을 가로지르는 방향으로 연장되며, 제1확산영역이 상기 복수의 경유도전층중 대응하는 하나를 통해 상기 반도체기판에 접속되는 제1 및 제2확산영역 및;

상기 복수의 트랜지스터에 대응하는 복수의 캐패시터를 구비하여 구성되며;

상기 각 복수의 캐패시터가.

상기 제2확산영역상에 형성되고, 상기 제2확산영역에 전기적으로 접속된 축적전극과;

적어도 상기 축적전극상에 형성된 캐패시터 절연막;

상기 캐패시터절연막상에 형성되고, 워드선을 가로지르는 방향으로 연장되과 더불어 비트선으로서 기능하는 기판전극 및;

상기 게이트전극의 2개의 대향하는 특벽의 각각의 위에 제공된 게이트측벽 절연체를 구비하여 구성되고,

상기 각 복수의 개구가 상기 복수의 트랜지스터의 대응하는 하나의 대응하는 상기 게이트측벽 절연체의 외부표면과 수직으로 정렬되는 부분을 갖춘 측벽을 갖는 것을 특징으로 하는 반도체 기억장치.

청구항 5

제4항에 있어서, 상기 반도체기판이 실리콘으로 형성되고, 상기 복수의 경유도전층이 다결정시릴콘 및 텅스텐중 어느 하나로 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 6

제5항에 있어서, 제3확산영역이 상기 복수의 경유도전층중 상기 하나의 아래의 상기 반도체기판의 일부에 선택적으로 형성됨과 더불어 거기에 접속된 것을 특징으로 하는 반도체 기억장치.

청구항 7

제4항에 있어서, 상기 반도체기판이 단결정 실리콘으로 형성되고, 반도체영역을 형성하는 상기 복수의 소자 및 상기 복수의 경유도전층이 단결정 실리콘으로 형성되는 것을 특징으로 하는 반도체 기억장치.

청구항 8

그 사이에 제1절연층을 갖춘 반도체기판상에 복수의 비트선을 형성하는 단계와;

복수의 비트선의 전체면에 제2절연층을 형성하는 단계;

제2절연층상에 섬형상의 분리된 복수의 반도체영역을 형성하는 단계;

상기 각 복수의 반도체영역상에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측상과 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 복수의 비트선중 대응하는 하나를 노출하는 제1개구를 형성하도록 상기 복수의 반도체영역 및 상기 제2절연층중 대응하는 하나와, 상기 제1층간절연막을 선택적으로 제거하는 단계;

상기 복수의 비트선중 대응하는 하나와 상기 제1확산층을 접속하도록 도전재료를 제1개구에 매립하는 단계;

적어도 상기 도전재료상에 제2층간절연막을 형성하는 단계;

상기 제1층간절연막을 선택적으로 제거하고, 상기 MOS트랜지스터의 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 기판전극을 형성하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 9

제8항에 있어서, 상기 MOS트랜지스터의 상기 게이트전극의 상부표면 및 양측상에 제3절연층을 형성하는 단계를 더 구비하여 이루어지고, 상기 축적전극을 형성하는 상기 단계가 상기 제3절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 10

제8항에 있어서, 제1개구를 형성하는 단계 후에 노출된 상기 복수의 비트선중 상기하나의 표면상에 제3확산층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 11

제10항에 있어서, 상기 제3확산층을 형성하는 단계 후에 상기 제3확산층상에 장벽금속층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 12

제8항에 있어서, 제2절연층을 형성하는 상기 단계가 상기 복수의 비트선을 덮도록 절연막을 형성하고, 상기 절연막의 표면을 연마 및 평탄화하는 단계를 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 13

제9항에 있어서, 상기 제1개구를 형성하는 단계에서 상기 제1층간절연막이 상기 제3절연층을 실질적으로 에칭하는 것 없이 단지 제1층간절연막만 에칭되어지는 조건에서 에칭되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 14

제9항에 있어서, 제2개구를 형성하는 상기 단계에서 상기 제2 및 상기 제1층간절연막이 상기 제3절연층을 실질적으로 에칭하는 것 없이 단지 상기 제2 및 상기 제1층간절연막이 에칭되어지는 조건에서 에칭되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 15

반도체기판상에 형성된 제1절연층상에 섬형상으로 분리된 복수의 반도체영역을 형성하는 단계와;

상기 각 복수의 반도체영역상에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측상 및, 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 반도체기판을 노출하는 제1개구를 형성하도록 상기 복수의 반도체영역 및 상기 제1절연층중 대응하는 하나와, 상기 제1층간절연막을 선택적으로 제거하는 단계;

상기 제1확산층 및 상기 반도체기판을 접속하도록 도전재료를 상기 제1개구에 매립하는 단계;

적어도 상기 재료상에 제2층간절연막을 형성하는 단계;

상기 제1층간절연막을 선택적으로 제거하고, 상기 MOS트랜지스터의 상기 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

적어도 상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 복수의 비트선으로서 기능하는 복수의 기판전극을 형성하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 16

제15항에 있어서, 상기 MOS트랜지스터의 상기 게이트전극이 상부표면 및 양측상에 제2절연층을 형성하는 단계를 더 구비하고, 상기 축적전극을 형성하는 상기 단계가 상기 제2절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 17

제15항에 있어서, 상기 기판이 반도체기판이고, 상기 제1개구를 형성하는 단계 후에 노출된 상기 반도체기판의 표면상에 제3확산층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 18

제17항에 있어서, 상기 제3확산층을 형성하는 단계 후에 상기 제3확산층상에 장벽금속층을 형성하는 단계를 더 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 19

제16항에 있어서, 상기 제1개구를 형성하는 상기 단계에서 상기 제1층간절연막이 상기 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제1층간절연막이 에칭되는 조건에서 에칭되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 20

제16항에 있어서, 상기 제2개구를 형성하는 상기 단계에서 상기 제2 및 상기 제1층간절연막이 상기 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제2 및 상기 제1층간절연막이 에칭되는 조건에서 에칭되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 21

반도체기판상에 형성된 제1절연층을 선택적으로 제거하고, 상기 반도체기판을 노출하도록 제1개구를 형성하는 단계와;

상기 반도체기판에 접속되도록 상기 제1절연층상에 섬형상으로 분리된 복수의 반도체영역을 형성하는 단

계;

상기 각 복수의 반도체영역상에 절연적으로 형성된 게이트전극과, 이 게이트전극의 양측 및 상기 각 복수의 반도체영역상에 형성된 제1 및 제2확산층 및, 상기 제1개구를 통해서 상기 반도체기판에 접속된 제1확산층을 갖춘 MOS트랜지스터를 형성하는 단계;

상기 게이트전극의 주위를 매립하도록 제1층간절연막을 형성하는 단계;

상기 제1층간절연마을 선택적으로 제거하고, 상기 MOS트랜지스터의 상기 제2확산층을 노출하도록 제2개구를 형성하는 단계;

상기 제2확산층에 접속된 축적전극을 형성하는 단계;

적어도 상기 축적전극상에 캐패시터절연막을 형성하는 단계 및;

상기 캐패시터절연막상에 복수의 비트선으로서 기능하는 복수의 기판전극을 형성하는 단계를 구비하여 이루어진 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 22

제21항에 있어서, 상기 MOS트랜지스터의 상기 게이트전극의 상부표면 및 각측상에 제2절연층을 형성하는 단계를 더 구비하고, 상기 축적전극을 형성하는 상기 단계가 상기 제2절연층상에 상기 축적전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 23

제19항에 있어서, 상기 복수의 반도체영역을 형성하는 상기 단계에서 상기 반도체영역이 시드-결정(seed crystal)과 같이 노출된 상기 반도체기판을 이용해서 에피택셜 성장되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 24

제22항에 있어서, 상기 제2개구를 형성하는 상기 단계에서 상기 제1층간절연막이 제2절연층을 실질적으로 에칭하는 것 없이 단지 상기 제1층간절연막이 에칭되는 조건에서 에칭되는 것을 특징으로 하는 반도체 기억장치의 제조방법.

청구항 25

제1항에 있어서, 상기 각 복수의 경유도전층이 상기 복수의 트랜지스터의 대응하는 하나의 상기 제1확산영역에 접속된 상기 제2절연층의 상부 표면으로부터 돌출되는 부분을 갖추고, 상기 돌출부분이 상기 복수의 트랜지스터의 상기 대응하는 하나의 상기 대응하는 게이트 측벽 절연체의 상기 외부표면과 수직으로 정렬되는 부분을 갖춘 측벽을 갖는 것을 특징으로 하는 반도체 기억장치.

청구항 26

반도체기판과;

이 반도체기판상에 형성된 제1절연층;

이 제1절연층상의 한쪽 방향으로 배치됨과 더불어 다른쪽 방향으로부터 분리된 복수의 비트선;

이 복수의 비트선 전체면에 형성됨과 더불어 제2절연층을 통해 연장되는 복수의 개구를 갖춘 제2절연층;

적어도 상기 복수의 개구내에 매립된 부분과 상기 제2절연층의 상부 표면으로부터의 연장되는 돌출부분을 갖춘 복수의 경유도전층;

상기 제2절연층상에 형성된 소자분리영역;

이 소자분리영역에 의해 에워싸인 섬과 같이 형성된 반도체영역을 형성하는 복수의 소자 및;

반도체영역을 형성하는 상기 복수의 섬형상 소자에 형성된 복수의 트랜지스터를 구비하여 구성되고;

상기 각각의 복수의 트랜지스터가,

반도체영역을 형성하는 상기 복수의 섬형상 소자중 대응하는 하나에 절연적으로형성되고, 복수의 비트선을 가로지르는 방향으로 연장됨과 더불어 워드선으로 기능하는 게이트전극과;

상기 게이트전극의 2개의 대향하는 측벽의 각각의 위에 제공되는 게이트측벽 절연체;

반도체영역을 형성하는 상기 복수의 섬형상 소자중 하나에 형성되고, 상기 게이트전극의 2개의 대향하는 측벽중 하나에 인접됨과 더불어 상기 워드선을 가로지르는 방향으로 연장되며, 제1확산영역이 상기 복수의 경유도전층중 대응하는 하나의 대응하는 매립부분을 통해 상기 복수의 비트선중 대응하는 하나에 접속되는 제1 및 제2확산영역 및;

상기 복수의 트랜지스터에 대응하는 복수의 캐패시터를 구비하여 구성되며;

이 각 복수의 캐패시터가,

상기 제2확산영역상에 형성되고, 상기 제2확산영역에 전기적으로 접속되는 축적전극과;

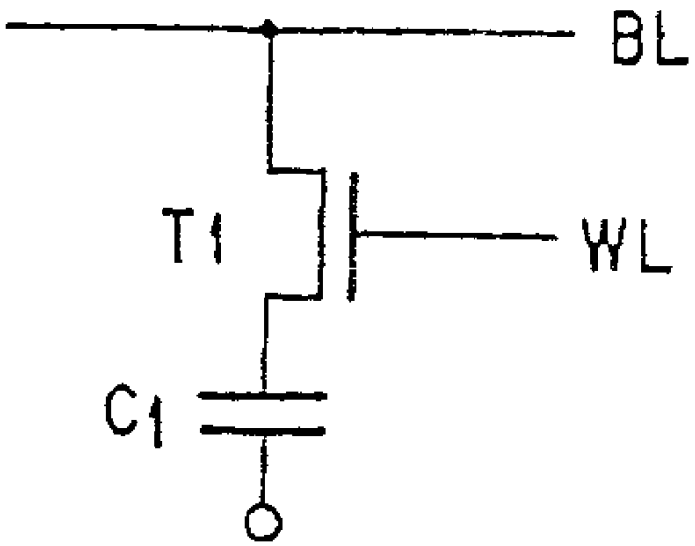
상기 축적전극상에 형성된 캐패시터 절연막 및;

상기 캐패시터절연막상에 형성되고, 상기 복수의 캐패시터에 공통으로 접속된 기판전극을 포함하고;

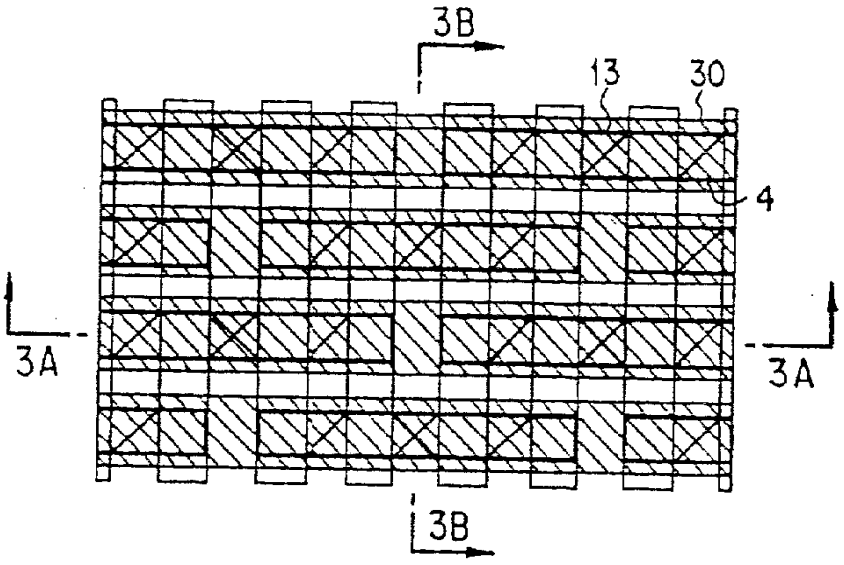
상기 각 복수의 경유도전층의 상기 돌출부분의 측부표면이 상기 각 복수의 트랜지스터의 상기 제1 및 제2 확산영역의 적어도 하나와 접촉되는 것을 특징으로 하는 반도체 기억장치.

도면

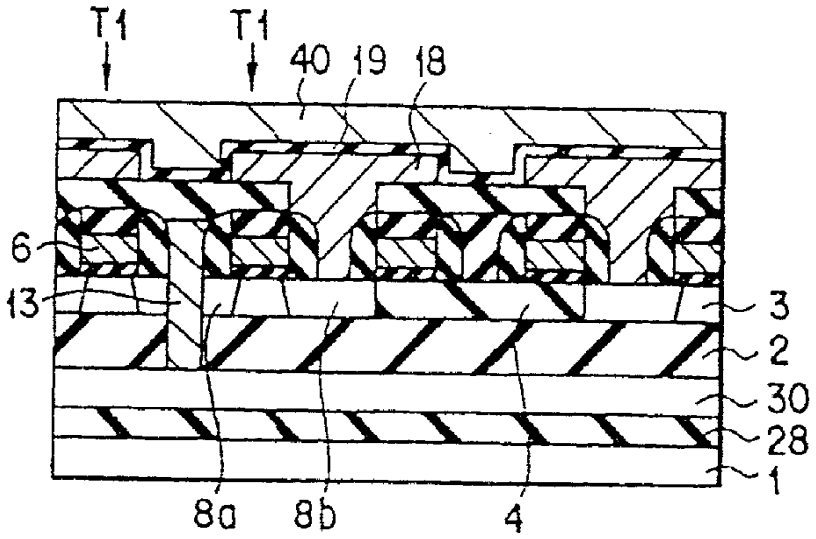
도면1



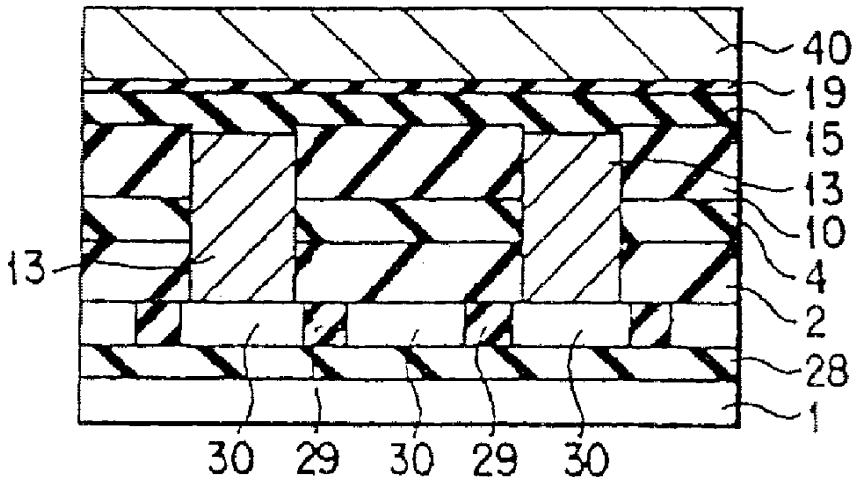
도면2



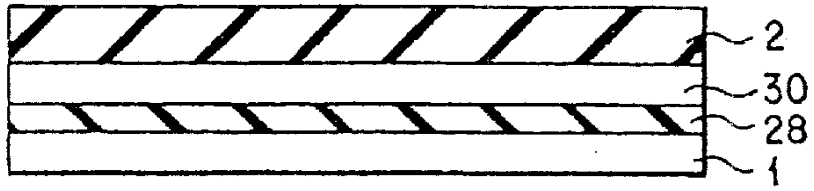
도면3a



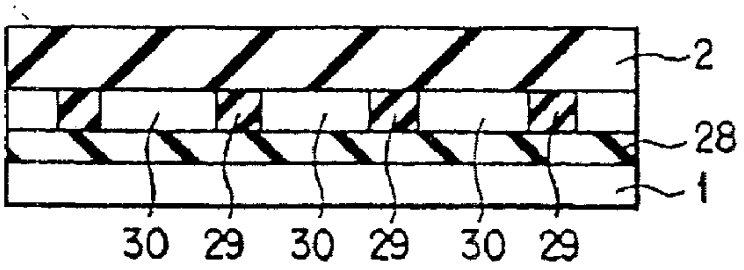
도면3b



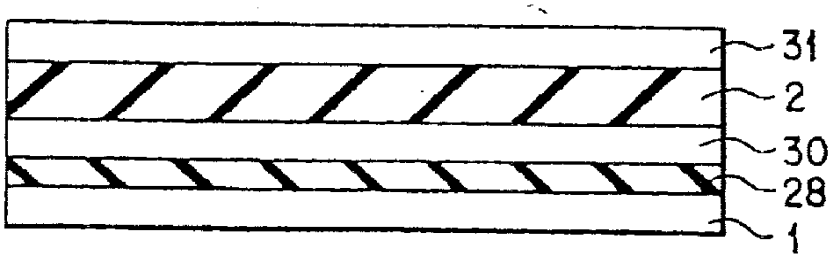
도면4a



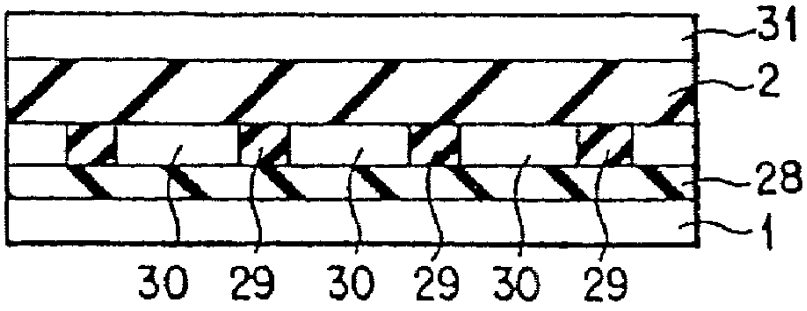
도면4b



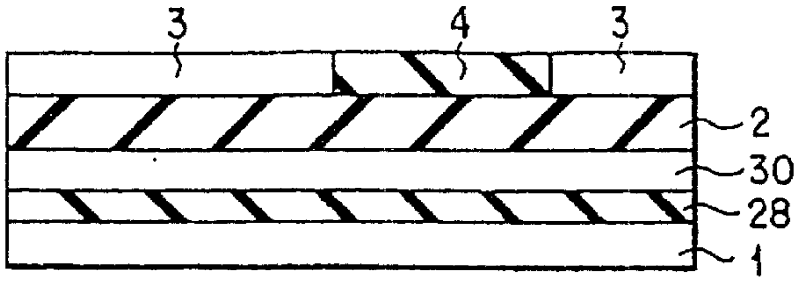
도면5a



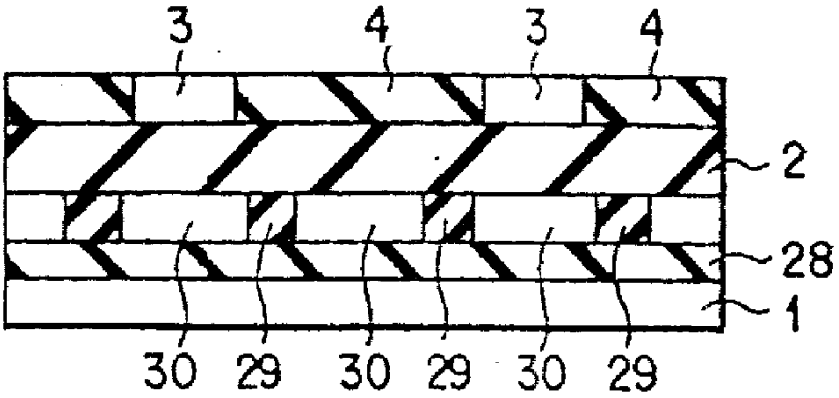
도면5b



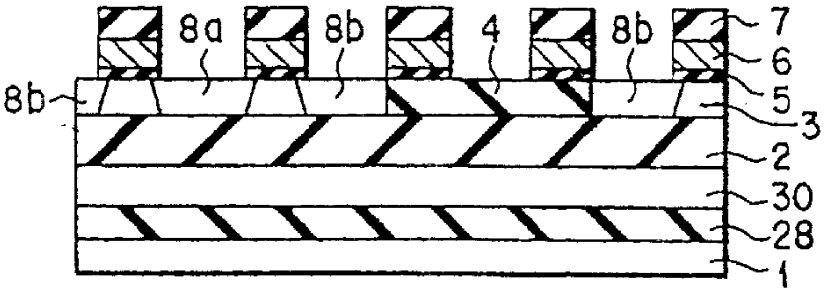
도면6a



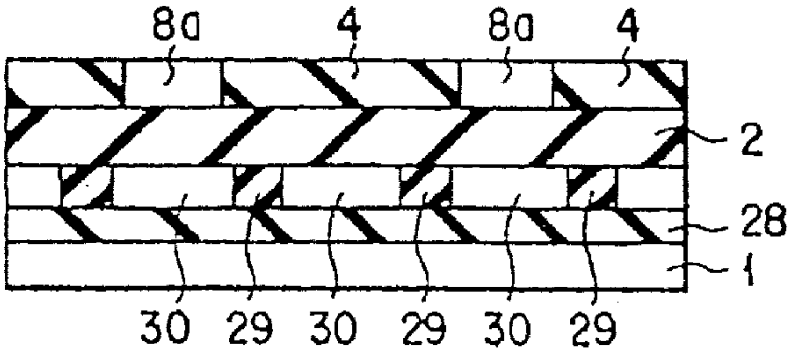
도면6b



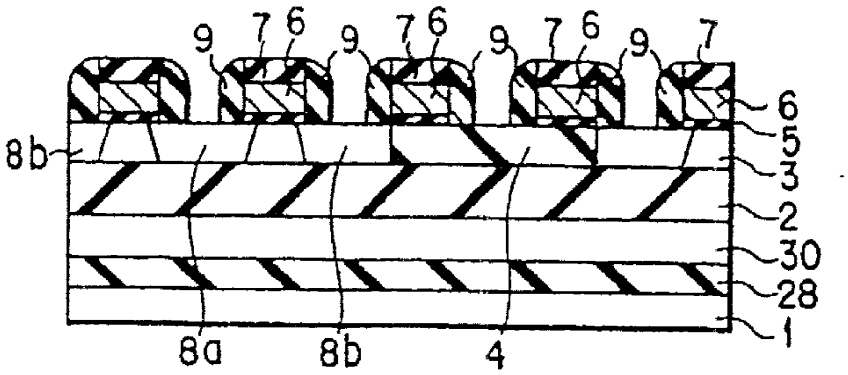
도면7a



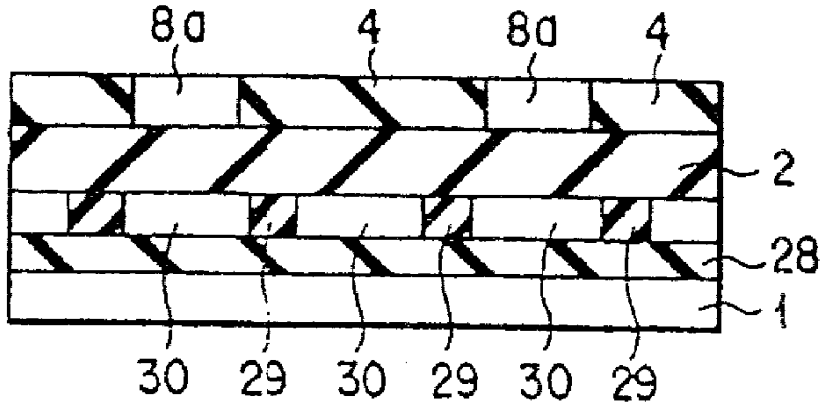
도면7b



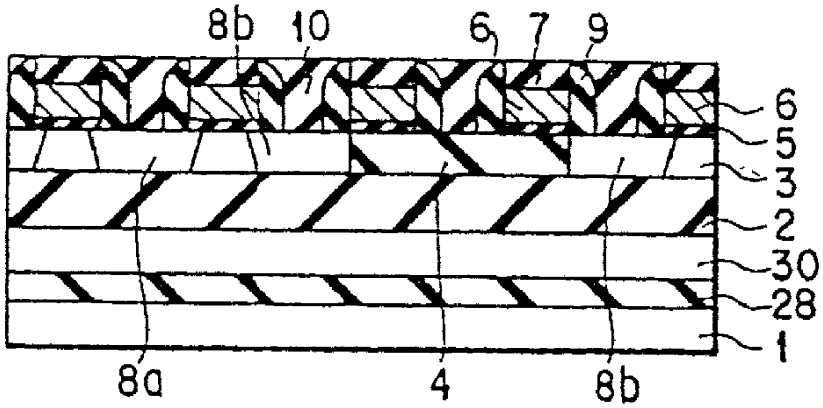
도면8a



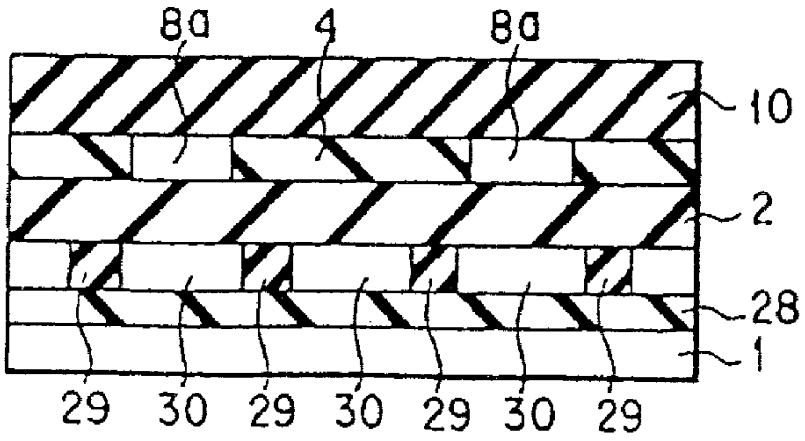
도면8b



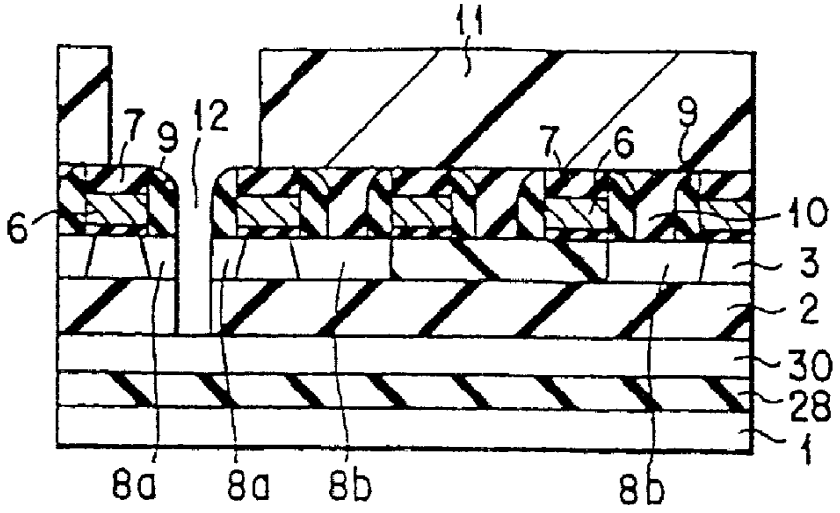
도면9a



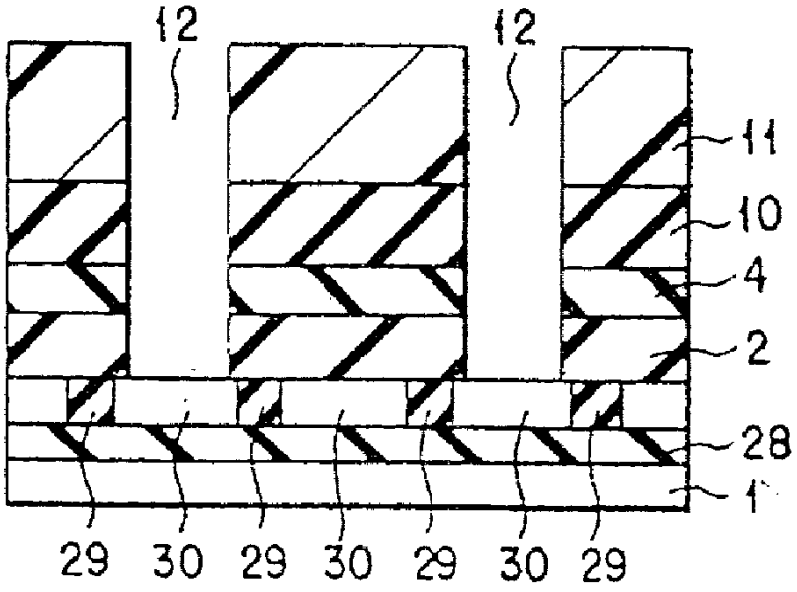
도면9b


8a
4
8a
10
2
28
1
29
30
29
30
29
30
29

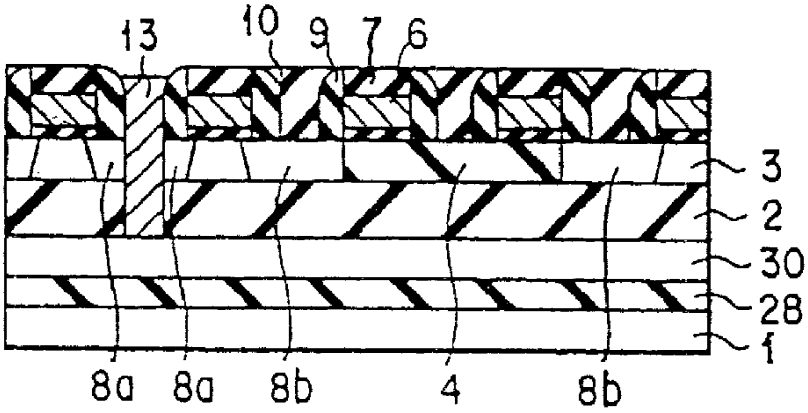
도면10a


11
7
9
12
7
6
9
6
10
3
2
30
28
1
8a
8a
8b
8b

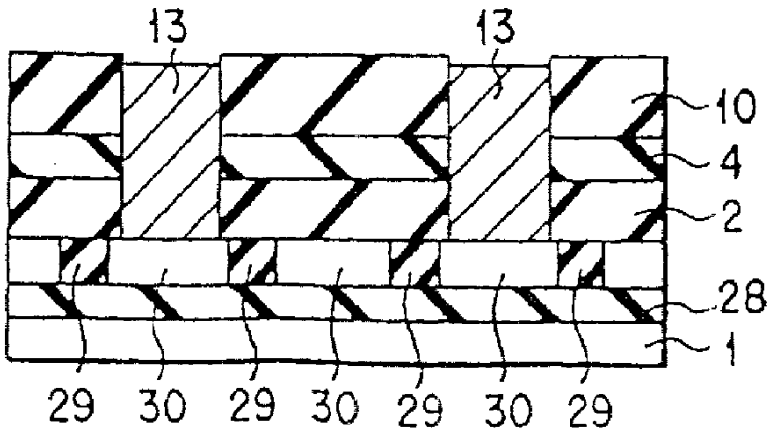
도면10b



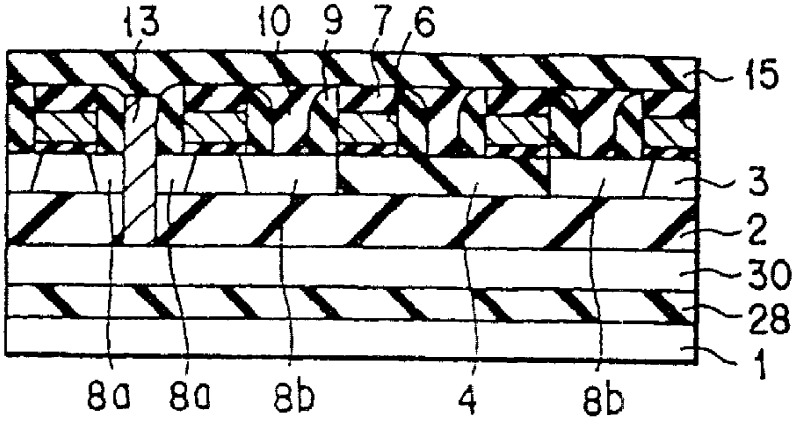
도면11a



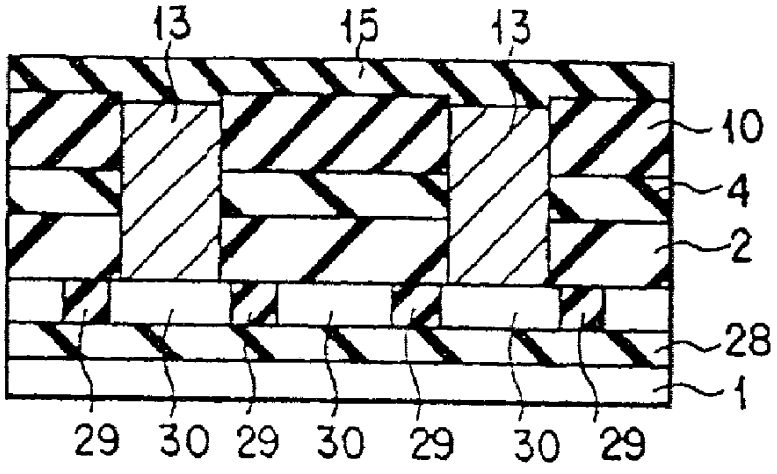
도면11b



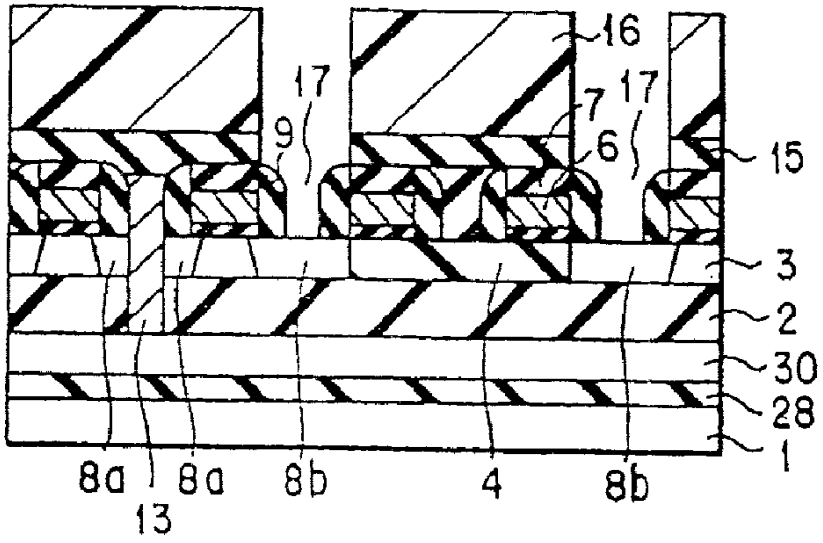
도면12a



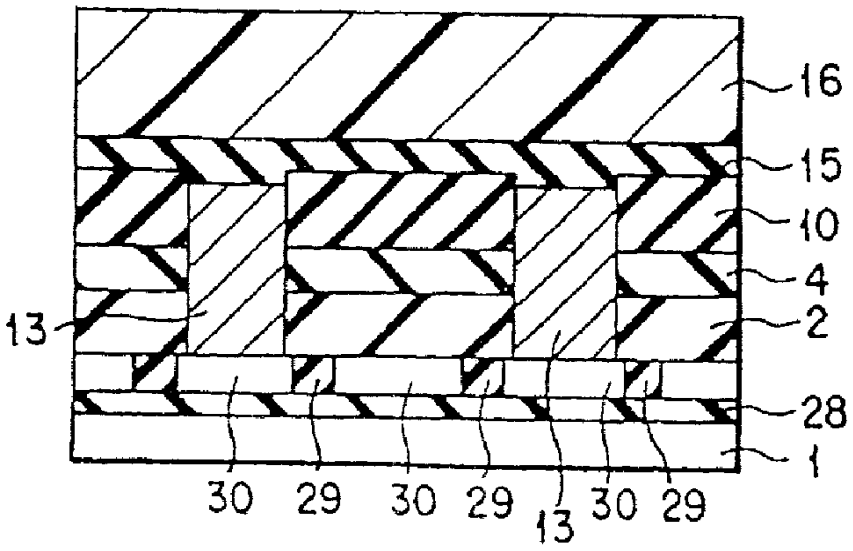
도면12b



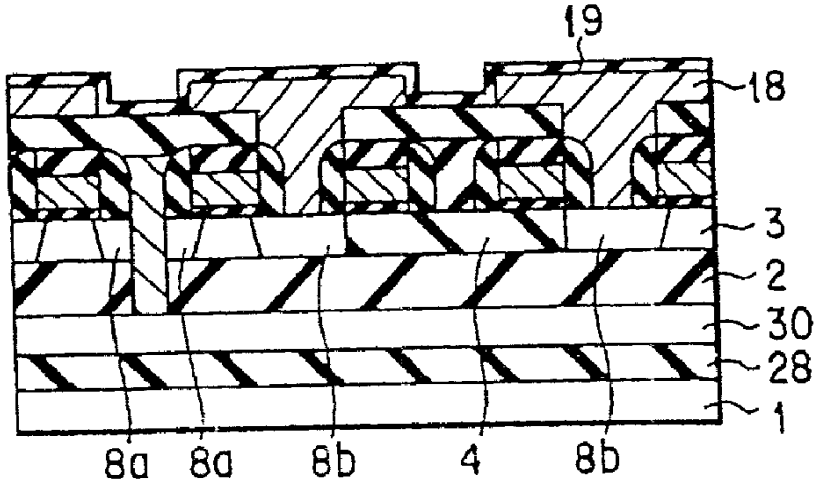
도면13a



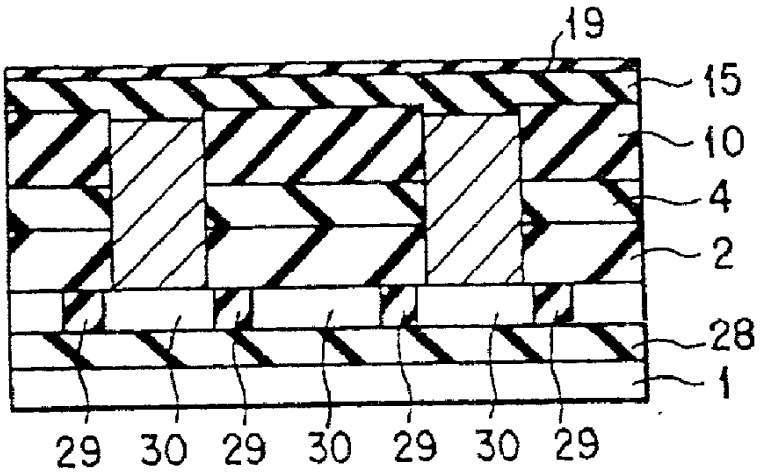
도면13b



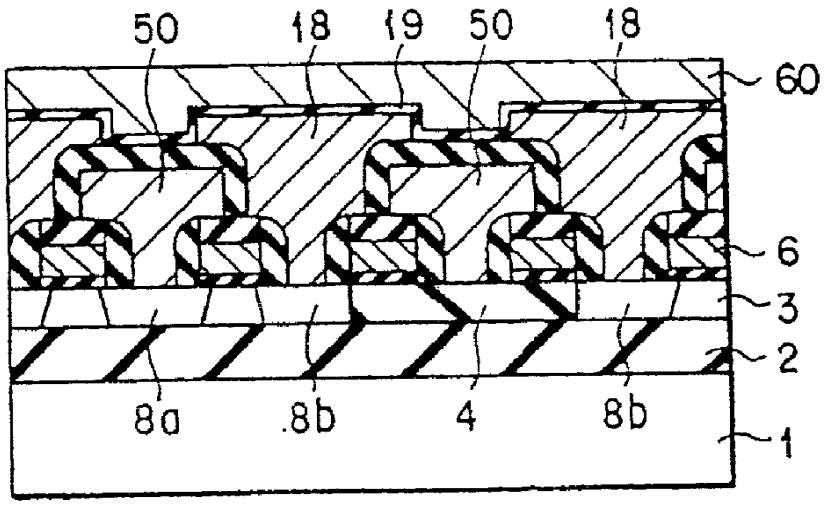
도면14a



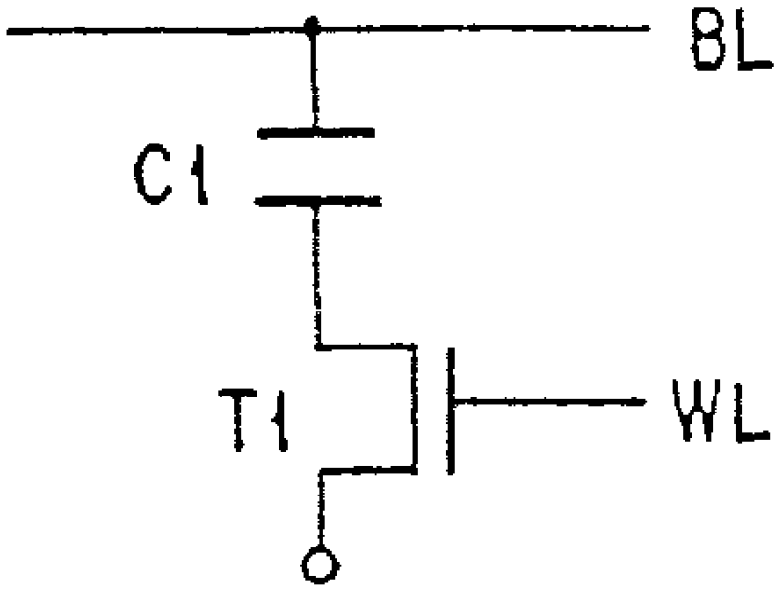
도면14b



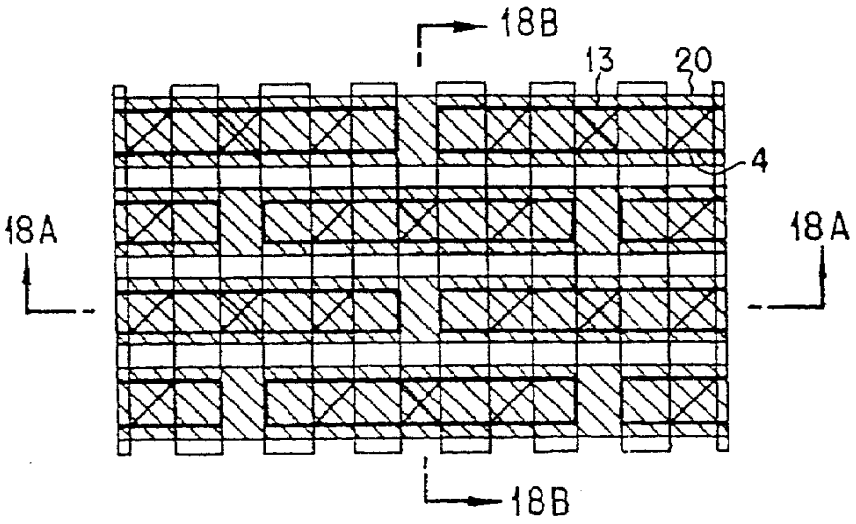
도면15a



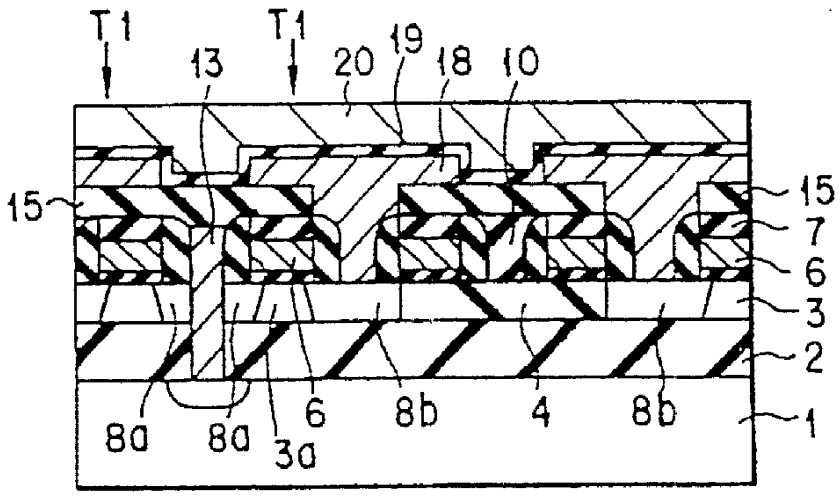
도면16



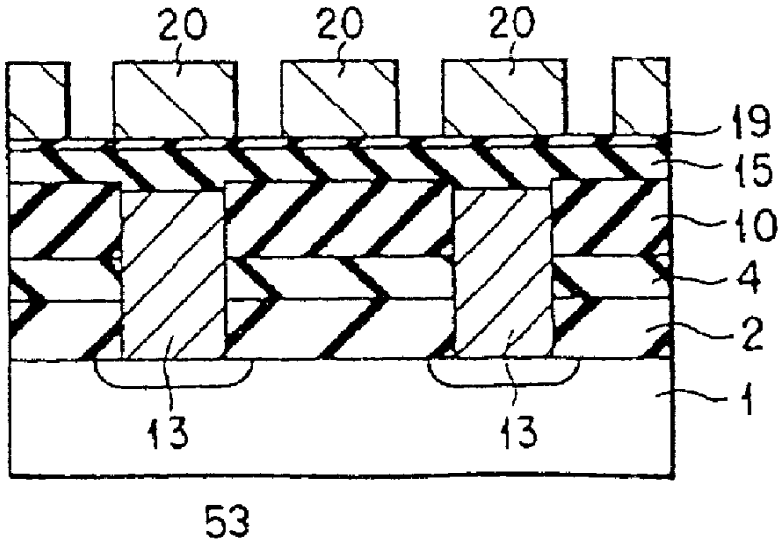
도면17



도면18a



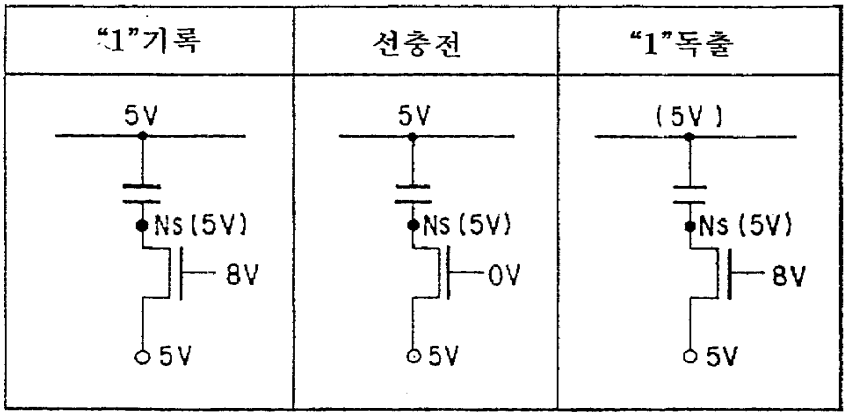
도면18b



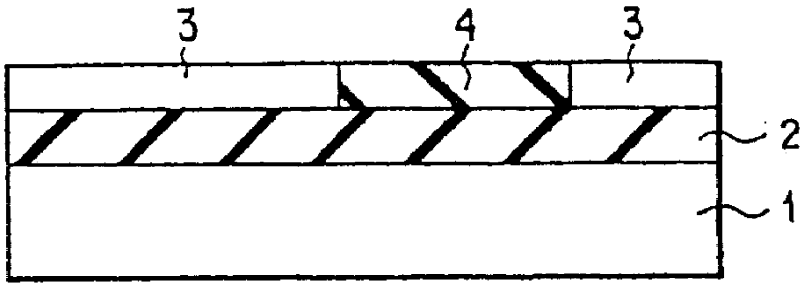
도면19a

"0"기록	선충전	"0"독출
0V Ns(5V) 8V 5V	5V Ns(9V) 0V 5V	Ns(5V) 8V 5V

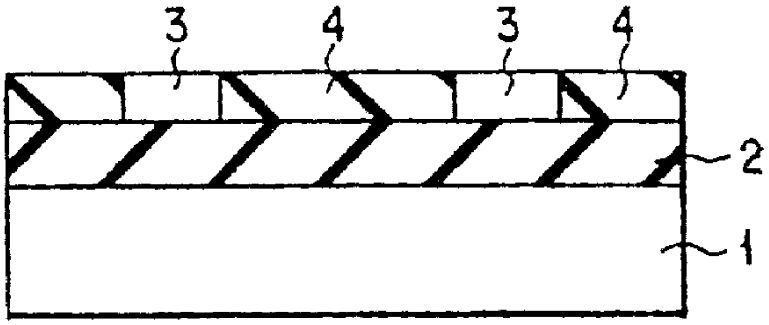
도면19b



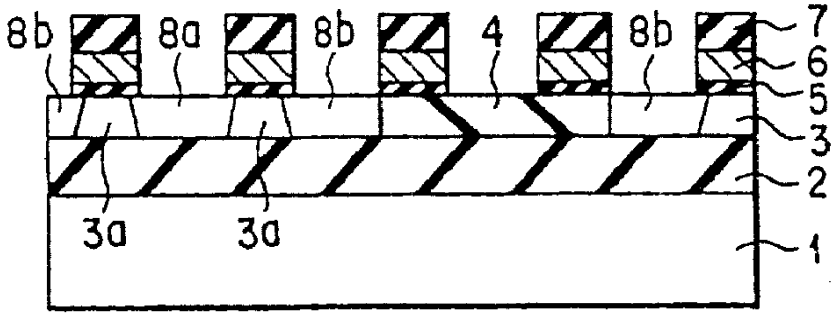
도면20a



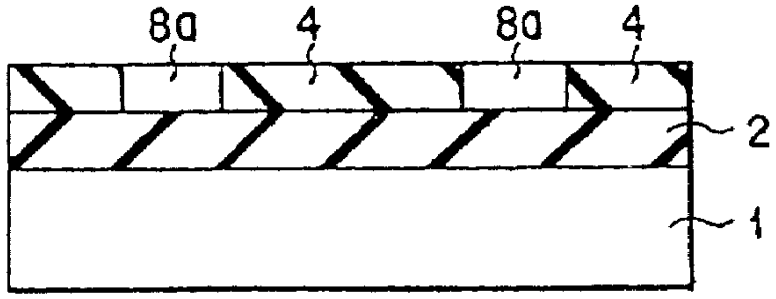
도면20b



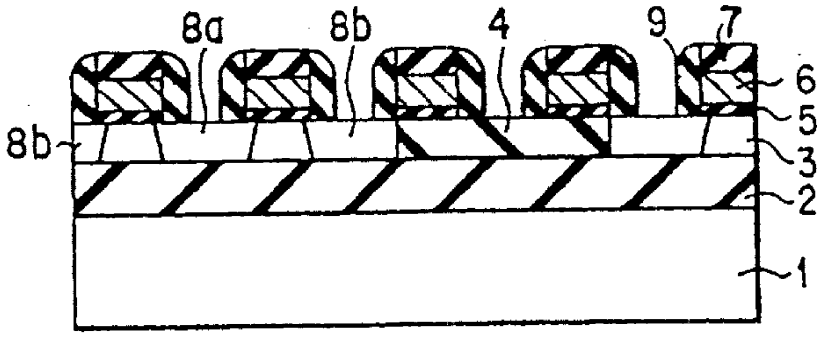
도면21a



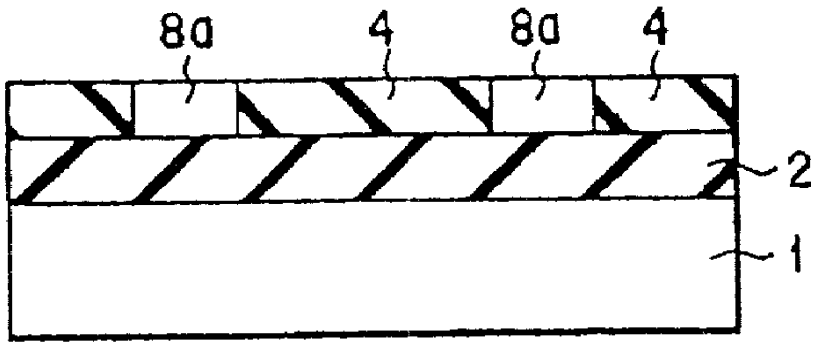
도면21b



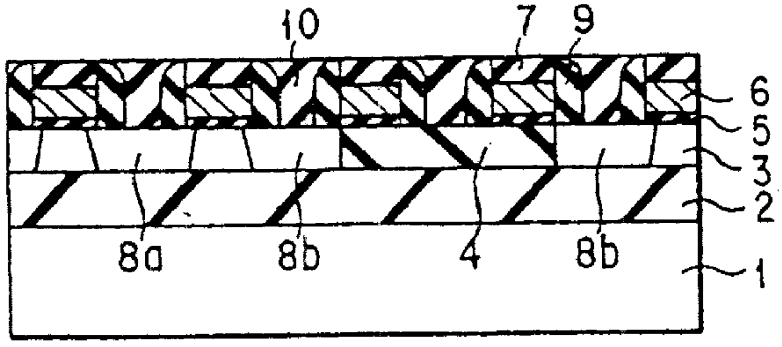
도면22a



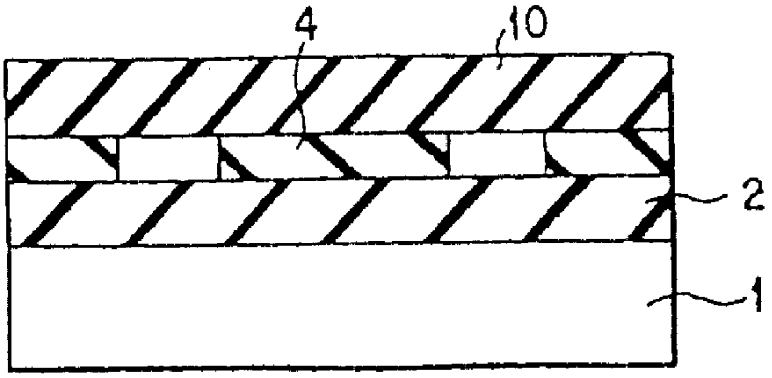
도면22b



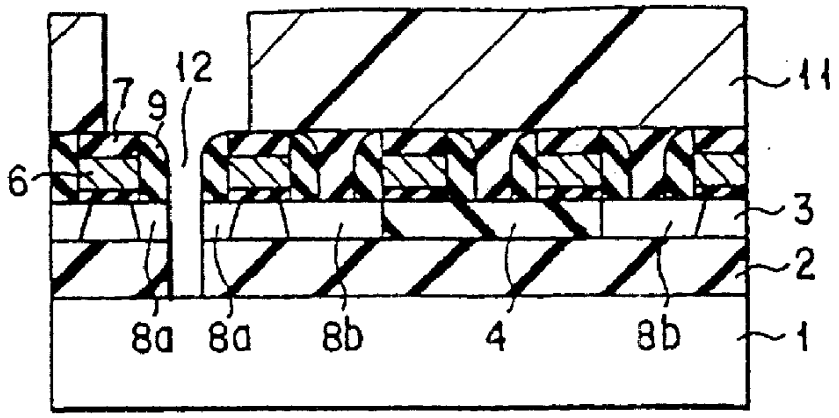
도면23a



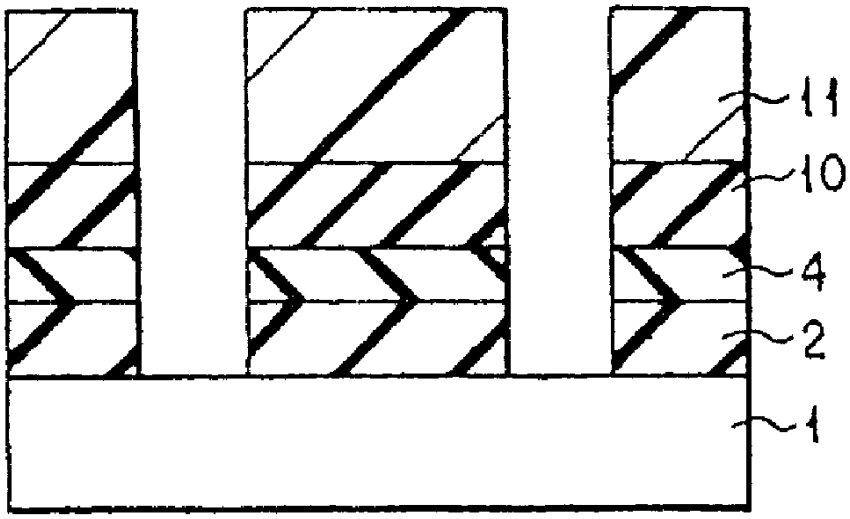
도면23b



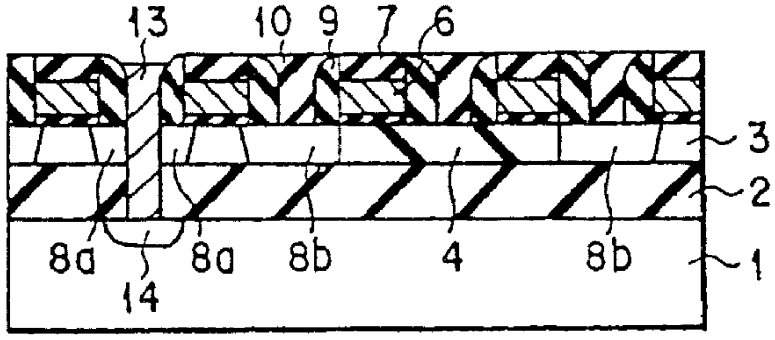
도면24a



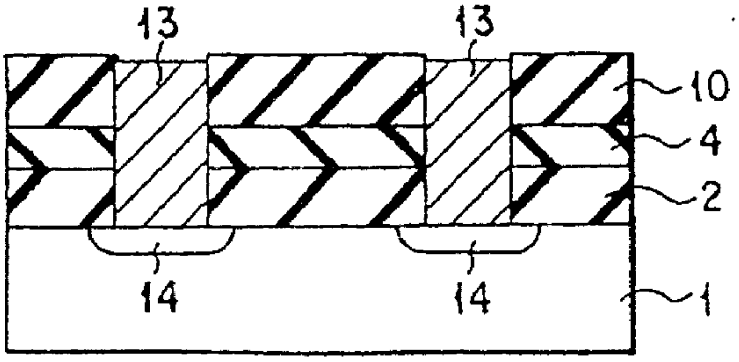
도면24b



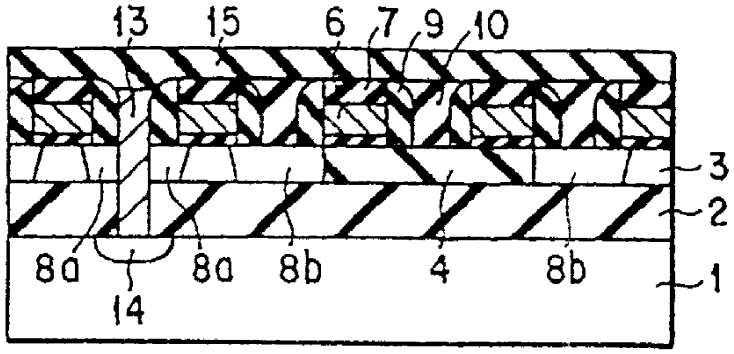
도면25a



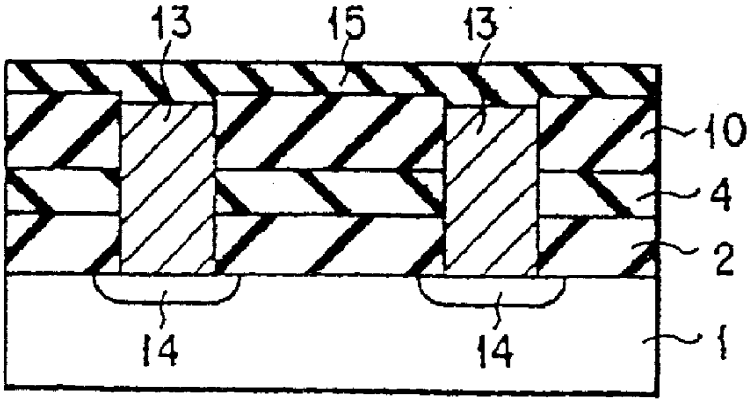
도면25b



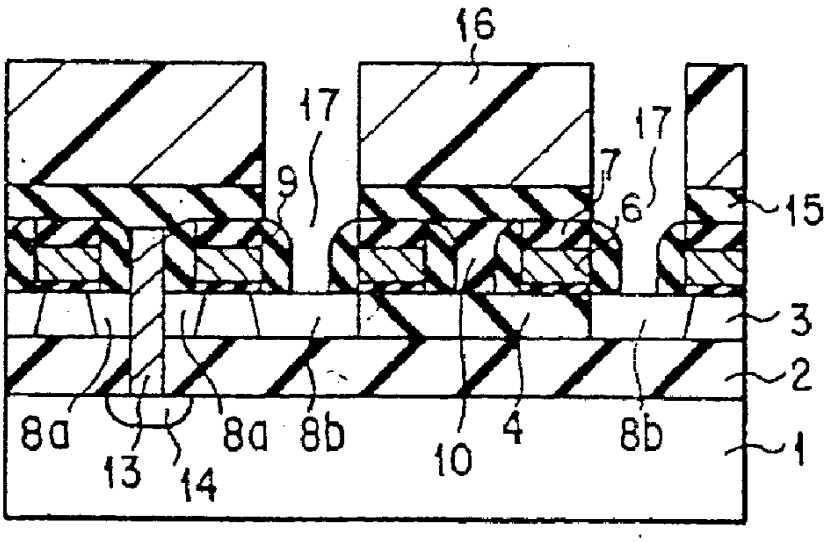
도면26a



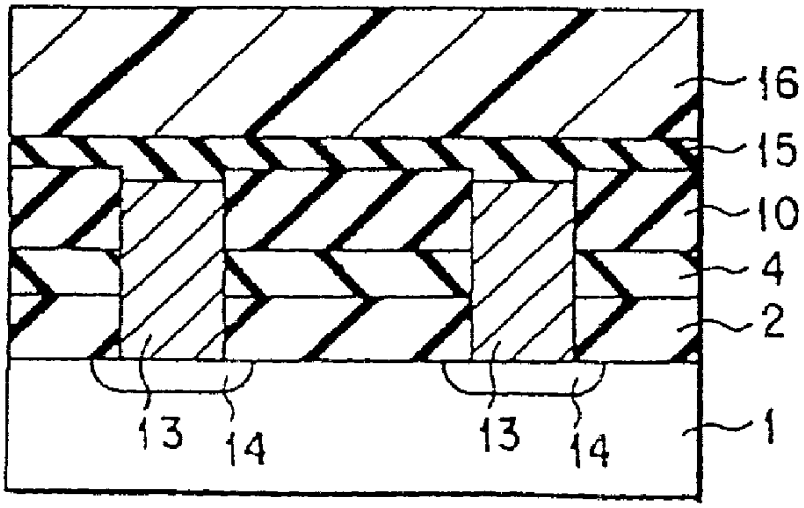
도면26b



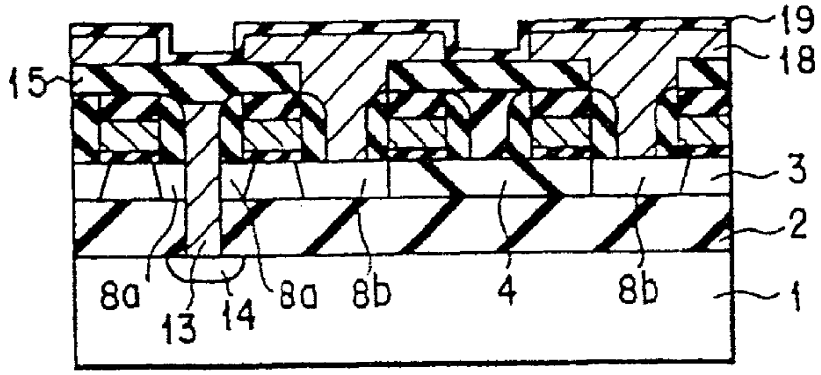
도면27a



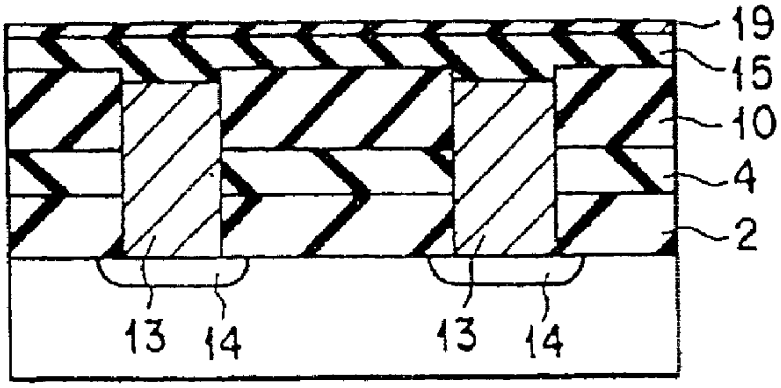
도면27b



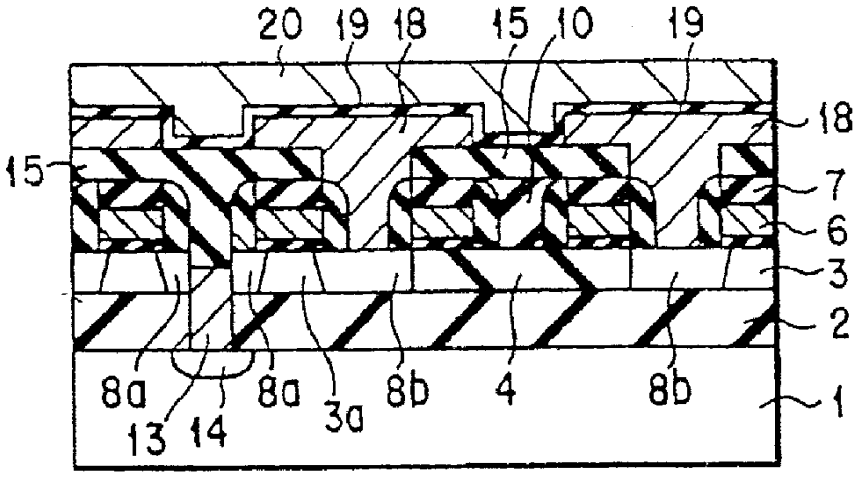
도면28a



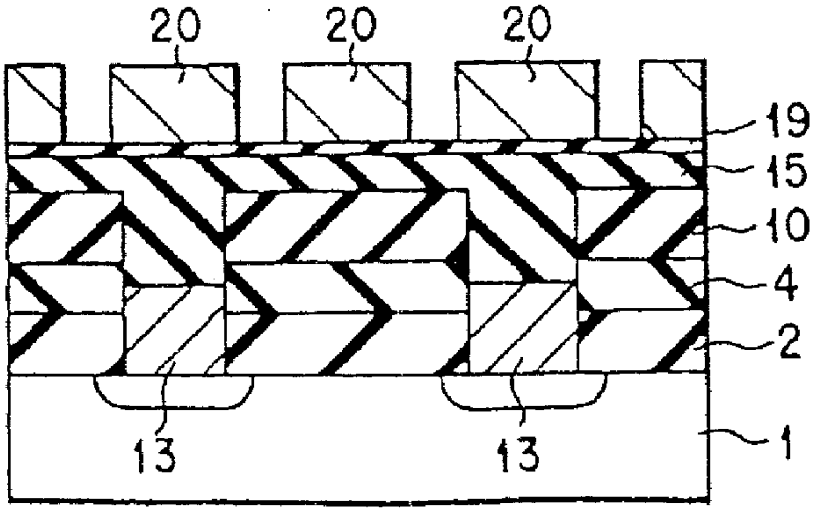
도면28b



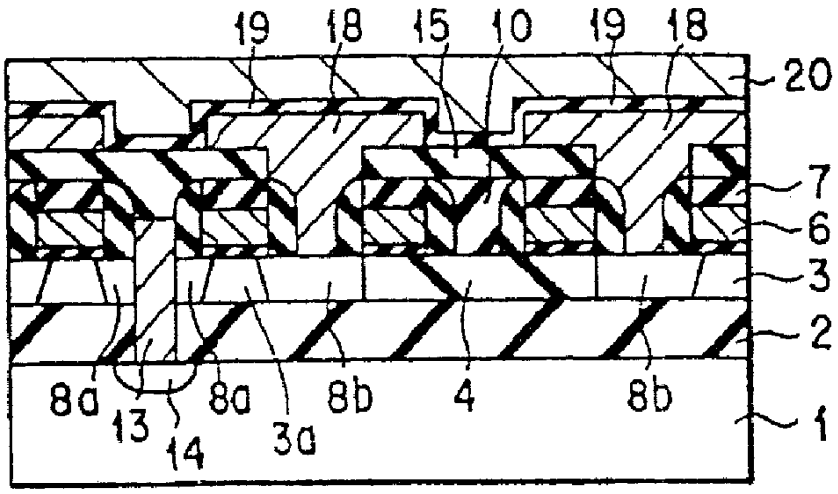
도면29a



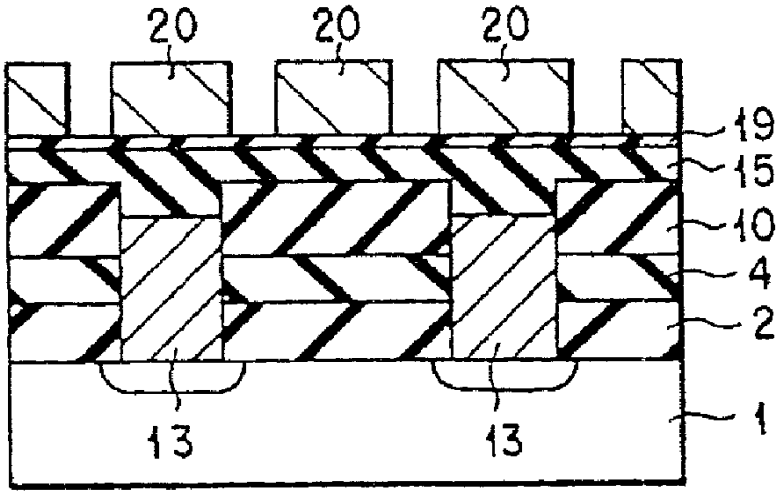
도면29b



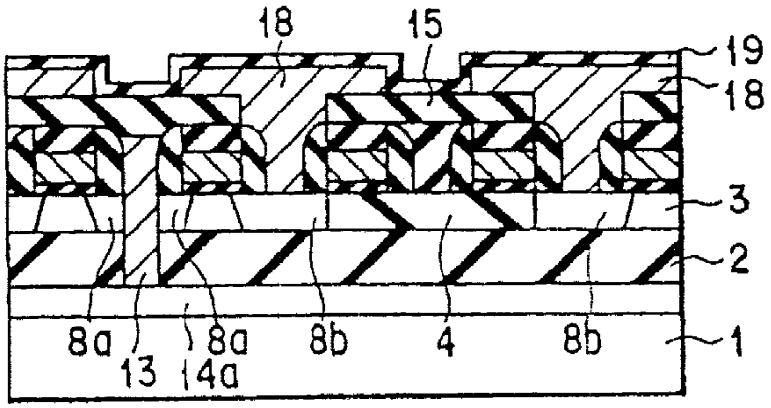
도면30a



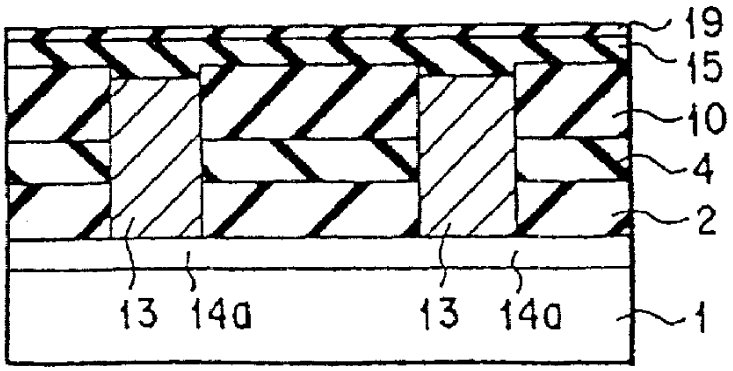
도면30b



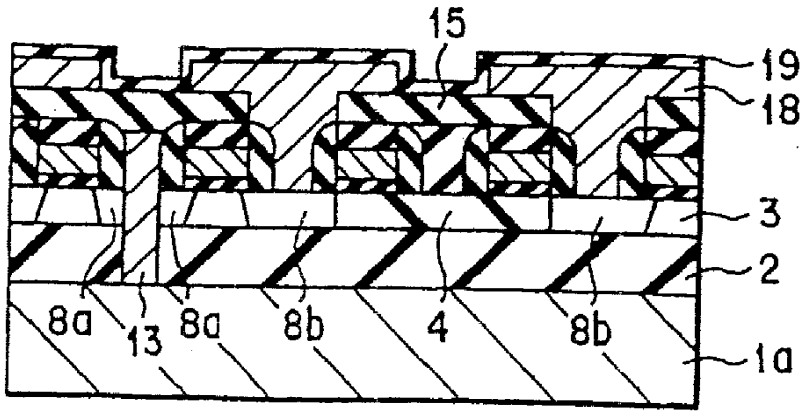
도면31a



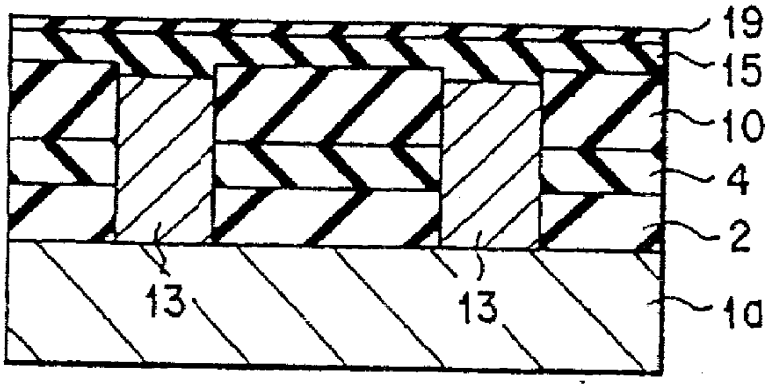
도면31b



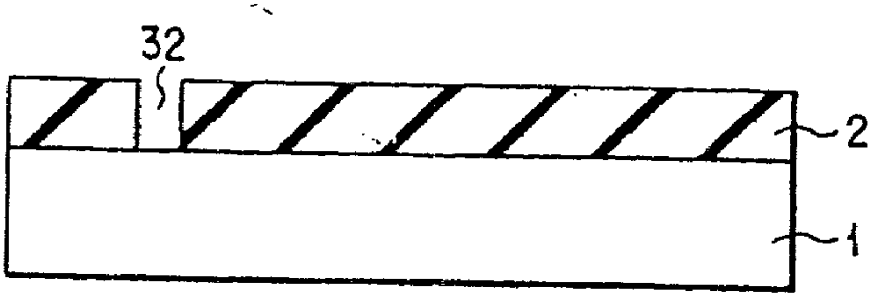
도면32a



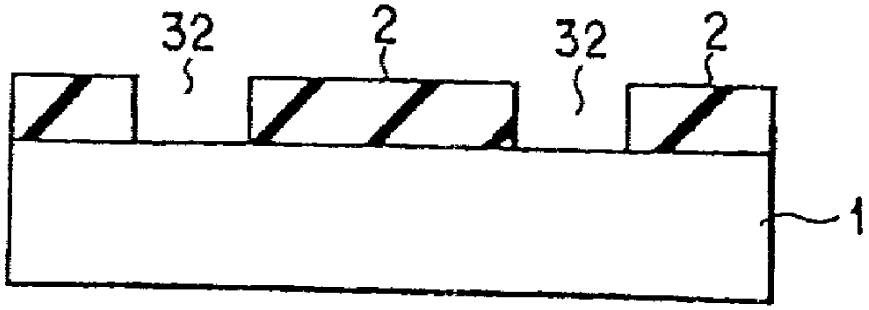
도면32b



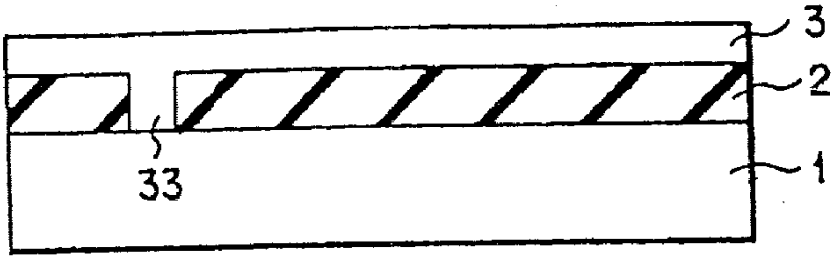
도면33a



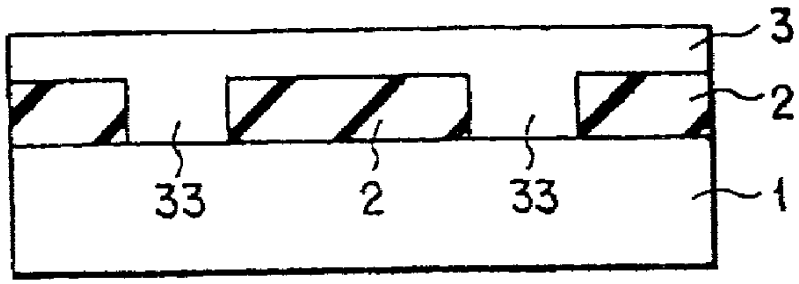
도면33b



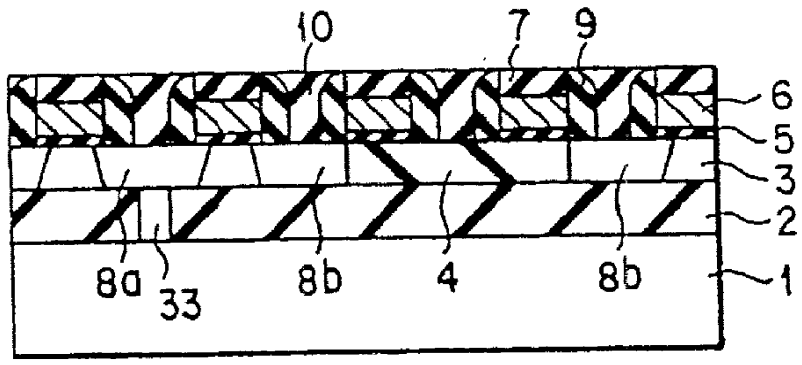
도면34a



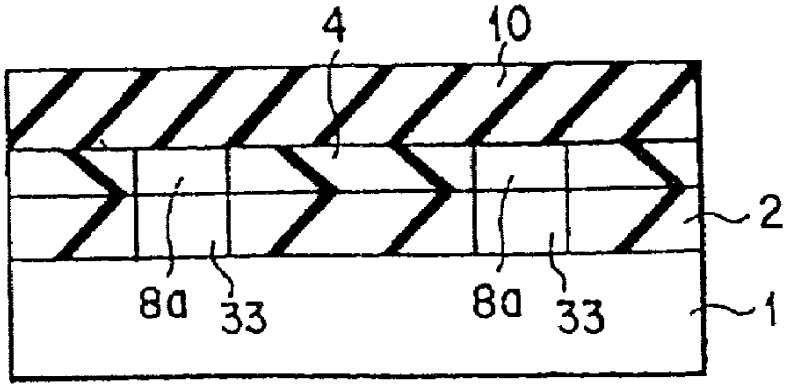
도면34b



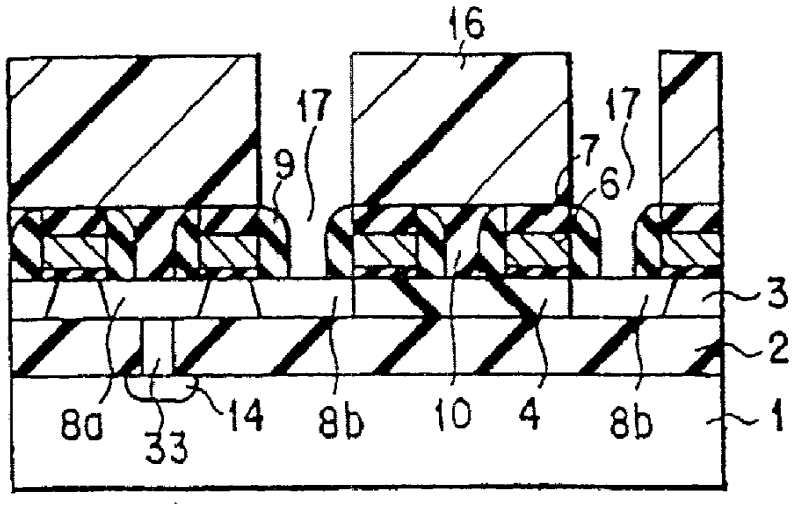
도면35a



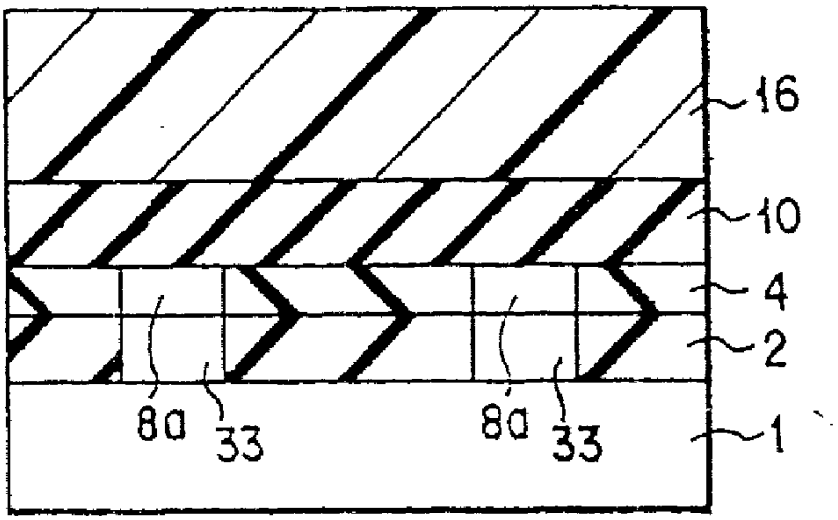
도면35b



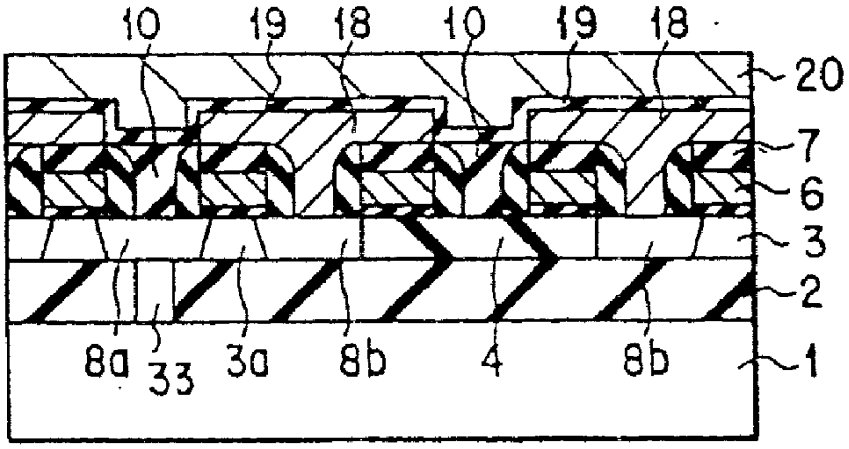
도면36a



도면36b



도면37a



도면37b

