(19) 대한민국특허청(KR)
(12) 특허공보(B1)

(51) Int. Cl.[6]
H01L 25/04

(45) 공고일자 1996년08월24일
(11) 공고번호 특1996-0011645

(21) 출원번호	특1992-0020762	(65) 공개번호	특1993-0011201
(22) 출원일자	1992년11월06일	(43) 공개일자	1993년06월23일

(30) 우선권주장 91-318550 1991년11월07일 일본(JP)
가부시끼가이샤 도시바 사또 후미오
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쬬 72반지
(73) 특허권자
일본국 가나가와껭 가와사끼시 사이와이꾸 호리까와쬬 72반지
(72) 발명자 쯔노다 데쯔지로
(74) 대리인 이상희, 구영창, 주성민

심사관 : 양희용 (책자공보 제4615호)

(54) 반도체 장치

요약

내용없음.

대표도

도1

명세서

[발명의 명칭]

반도체 장치

[도면의 간단한 설명]

제1도는 본 발명의 제1실시예의 반도체 장치의 단면도 및 그의 부분 평면도.

제2도는 본 발명의 제2실시예의 반도체 장치의 단면도.

제3도는 본 발명의 제2실시예의 반도체 장치 및 금속 베이스의 부분 평면도.

제4도는 본 발명의 제3실시예와 반도체 장치의 단면도 및 그의 부분 평면도.

제5도는 본 발명의 제3실시예의 반도체 장치의 실장 기판의 평면도.

제6도는 본 발명의 제4실시예의 반도체 장치의 단면도.

제7도는 본 발명의 제4실시예의 반도체 장치 및 금속 베이스의 부분 평면도.

제8도는 본 발명의 제5실시예의 반도체 장치의 실장 기판의 평면도.

제9도는 본 발명의 적용되는 인버터 회로를 도시한 회로도.

제10도는 종래 반도체 장치의 오동작을 도시한 특성도.

제11도는 제9도의 회로를 실장한 본 발명의 반도체 장치의 정상 동작을 도시한 특성도.

제12도는 종래 반도체 장치의 단면도 및 그의 부분 평면도.

제13도는 종래 반도체 장치의 단면도 및 그의 부분 평면도.

제14도는 종래 반도체 장치의 단면도 및 그의 부분 평면도.

* 도면의 주요부분에 대한 부호의 설명

1 : 금속 베이스 2 : 실장 기판

3 : 배선 패턴 4 : 전력 반도체 소자

5 : 제어 회로 소자 6 : 금속층

7 : 공극 8 : 본딩 와이어

9 : 히트스프레더 11 : 금속 베이스의 홈

12 : 금속 베이스의 절개부　　21 : 세라믹스 절연 기판

22,32 : 절연층　　23 : 전력 반도체 소자용 실장 기판

24 : 제어 회로 소자용 실장 기판　　31 : 실드패턴

33 : 전력 반도체 소자용 실장 기판 상의 배선 패턴

34 : 제어 회로 소자용 실장 기판 상의 배선 패턴

35 : 제어 회로부의 배선 패턴　　61 : 접지선

32 : 관통 홀

[발명의 상세한 설명]

본 발명은 고속으로 스위칭시키는 전력 반도체 소자와 그 제어 회로를 포함하는 고전압용 복합 반도체 장치에 관한 것이다.

종래 전력 반도체 소자와 함께 그 제어 회로 소자를 혼재하는 복합 반도체 장치에 이용되는 실장 기판은 주로 A1 등의 금속 베이스에 에폭시 수지 등의 절연층을 형성하고, 그 위에 배선 패턴을 형성한 회로 기판을 이용한다. 이런 구조의 실장 기판을 이용한 종래의 반도체 장치를 그 단면도 및 부분 평면도를 도시한 제12도를 참조하여 설명한다. 예를 들면, A1을 이용한 금속 베이스(1) 상에 절연층(22)으로서 에폭시 수지박막을 형성하고, 그위에 배선 패턴(3)을 접합하여 실장기판을 형성한다. 실장 기판에는 예를 들면, Cu로 이루어지는 히트 스프레더(9)에 장착된 전력 반도체 소자(4)나 제어 회로 소자(5)를 실장하여 본딩 와이어(8)을 이용해서 전력 반도체 소자나 제어회로 소자 등의 반도체 소자와 배선 패턴 사이를 전기적으로 접속한다. 열 분산기는 전력 반도체 소자 등의 발열성이 높은 소자를 실장할 때의 필수 부품이다. 이러한 종류의 복합 반도체 장치에서는 전력 반도체 소자의 발열이 크기 때문에 금속 베이스를 다른 별도의 방열판에 붙여서 사용한다. 전력 반도체 소자의 방열 특성을 좋게 하기 위해 절연층(22)으로서 사용되고 있는 에폭시 수지의 두께는 얇은 편이 바람직하다. 그러나, 일반적으로 필요로 하는 절연 내압인 3kV~5kV를 얻기 위해 절연층의 두께는 수 10~100㎛ 정도가 필요하다. 이와같은 구성의 복합 반도체 장치는 도면에 도시된 바와 같이, 배선 패턴(3)과 금속 베이스(1) 사이에 절연층을 사이에 두고 기생 용량이 형성되어 있다. 이 용량은 배선 패턴(3)의 모든 블럭과 금속 베이스(1) 사이에 형성되어 있기 때문에 임의의 2개의 패턴 사이에서 용량이 직렬 접속된 형태로 되어 있다. 따라서, 전력 반도체 소자와 제어 회로간에도 용량 커플링이 생긴다.

이 커플링 용량이 큰 경우, 전력 반도체 소자에 고전압을 고속으로 스위칭시키는, 즉 높은 dV/dt 상태를 일으키면 제어 회로가 오동작을 일으킨다. 형성되는 용량(C)는 배선 패턴의 면적(S), 절연층의 유전율(ε), 절연층의 두께(d)에 의해 결정되고, C=ε×S/d로 표시된다. 이러한 종래예의 경우, 절연층인 에폭시 수지의 유전율(ε)은 작지 않고, 또 절연층의 두께(D)는 전력 반도체 소자의 방열 문제 때문에 얇은 것이 사용되기 때문에 형성되는 용량은 비교적 커진다. 따라서, 이와 같은 구성의 반도체 장치의 경우, 고전압을 고속으로 스위칭하고자 하면, 전력반도체 소자의 급격한 전압 변화에 의한 전력 반도체 소자와 제어 회로에 형성되어 있는 커플링 용량의 영향으로 제어 회로 패턴 상에 미분 전압이 발생해서 제어회로에 오동작이 생긴다.

이와같은 기생 용량의 영향을 작게 하기 위해 제13도 도시된 바와 같은 구조가 고려되고 있다. 이것은 배선 패턴을 다층 구조로 함으로써, 앞의 종래 예의 결점을 개선하고 있다. 금속 베이스(1) 상에 절연층(22)로서 에폭시 수지의 박막을 형성하는 것은 앞의 예와 동일하다. 이 절연층(22) 상의 전력 반도체 소자부에는 배선 패턴(3)을 형성하고, 그 위에 Cu로 이루어지는 히트 스프레더(9)에 장착된 전력 반도체 소자(4)를 실장한다. 한편, 제어 회로부에서는 절연층(22) 상에 실드 패턴(31)을 형성하고, 그 위에 유리 섬유로 절연층(32)를 형성하며, 그 위에 다시 제어부 회로의 배선 패턴(3)을 형성한다. 그리고, 이 배선 상에 제어회로소자(5)를 실장한다. 실드 패턴(31)은 통상 회로의 접지선(61)에 관통 홀(62) 등의 수단으로 접속된다. 이와같은 구성이면, 제어부 하부의 실드 패턴(31)의 전위가 접지로 고정되어 있기 때문에, 전력 반도체 소자(5)에 급격한 전압 변화가 있어도 제어부 패턴의 접지에 대한 전위는 영향을 받기 어렵다. 따라서, 오동작이 발생되기 어렵다. 그러나, 이러한 구성인 경우, 실장용 기판이 복잡한 다층 구조로 되어 있어 비용이 높아지는 결점이 있다. 또, 상기 종래예와 같이 절연층으로서 에폭시 수지등의 유기물을 사용하는 공통의 결점이 있다. 또, 상기 종래예와 같이 절연층으로서 에폭시 수지등의 유기물을 사용하는 공통의 결점이 있다. 첫째는 전력 반도체 소자의 방열 특성이 절연층에 알루미나 또는 질화 알루미늄등의 세라믹스를 사용하는 것에 비해 나쁘다는 점이다. 따라서, 이러한 기판을 사용하는 경우, 방열 특성을 개선하기 위해 전력 반도체 소자 하부에 이것보다 면적이 큰 금속판을 접속하여, 발생하는 열을 넓은 면적으로 분산시켜서 기판으로 방열하는 수단이 필요해진다. 둘째는 절연층이 유기물이기 때문에, 조립 공정에 있어서의 열처리 온도가 260℃ 이하로 제한되는 결점이 있다.

다음에, 절연층으로서 세라믹 기판을 사용해서 지금까지 결점이었던 전력 반도체 소자의 제어 회로의 커플링 용량을 개선해서 전력 반도체 소자의 방열 특성 및 조립 공정의 열처리 온도를 개선하는 더욱 개량된 종래예는 제14도를 참조하여 설명한다. 제14도는 반도체 장체의 단면도와 부분적인 평면도를 도시한 것이다. 예를 들면, Cu로 이루어지는 금속 베이스(1) 상에 알루미나등의 세라믹 기판(21)의 양면에 Cu 등으로 이루어지는 금속층(6) 및 Cu로 이루어지는 배선 패턴(3)을 형성한 실장 기판(2)를 납땜 등으로 접속한다. 실장 기판(2) 이면의 금속층(6)은 Cu 베이스(1)과 접속하기 위한 납땜 영역인 알루미나 기판(21)의 주변부를 제외한 거의 전면에 형성되어 있다. 한편, 실장 기판(2) 표면의 배선 패턴(3)에는 전력 반도체 소자(4)나 제어 회로 소자(5) 등의 실장 부품이 탑재되어 있다. 알루미나 기판(21)은 실장부의 배선 패턴(3)과 Cu의 금속 베이스(1)과의 절연을 위해 사용된다. 알루미나 기판(21)의 두께는 얇을수록 전력 반도체 소자의 방열에 유리하나, 반도체 장치에 내장된 알루미나 기판의 기계적 파괴 강도를 고려해야 하므로 0.6~0.8㎜ 정도의 두께로 하고 있다. 실장 기

판(2)의 표면에 형성되어 있는 Cu의 배선 패턴의 두께는 대전류를 취급하기 때문에, 현재 0.3~0.5㎜ 정도이다. 실장 기판의 이면에 형성된 Cu로 이루어지는 금속층은 실장 기판의 온도 변화에 따른 스트레스를 저감하기 위해 표면에 형성된 상기 배선 패턴의 Cu와 거의 같은 0.3~0.5㎜의 두께를 갖는다.

이와같은 구성의 반도체 장치에 있어서, 배선 패턴(3)과 금속 베이스(1) 사이에 알루미나 기판을 사이에 두고 기생 용량이 형성된다. 이 용량은 배선 패턴(3)의 모든 블럭과 금속 베이스(1) 사이에 형성되어 있기 때문에, 임의의 2개의 패턴 사이에서 용량이 직렬 접속된 형태로 되어 있다. 따라서, 전력 반도체 소자와 제어 회로 사이에도 용량의 커플링이 생긴다. 이 커플링 용량이 큰 경우, 전력 반도체 소자에 고전압을 고속으로 스위칭시키면, 즉 높은 dV/dt 상태를 발생시키면, 제어 회로에 오동작이 생긴다.

상기 종래예의 경우, 알루미나의 유전율은 작지 않고, 또 알루미나 기판의 두께는 전력 반도체 소자의 방열을 고려하면 두꺼운 것을 사용할 수 없기 때문에 형성되는 용량은 비교적 커진다. 따라서, 이와같은 구성의 반도체 장치는 고전압을 고속으로 스위칭시키려면, 전력 반도체 소자의 급격한 전압 변화 때문에 전력 반도체 소자와 제어 회로에 형성되어 있는 커플링 용량의 영향으로 제어 게이트 전극 회로 패턴 상에 미분전압이 발생하여 제어 회로에 오동작이 생긴다.

상기 종래예에 있어서, 절연층으로서 사용하고 있는 알루미나 기판의 두께를 두껍게 하면, 커플링 용량은 감소하나 전력 반도체 소자의 방열 특성이 악화되므로 실제로 사용되지 않는다. 이러한 알루미나 기판의 두께는 종래 에폭시 수지의 절연층 두께의 6~8배이고, 또 알루미나 유전율은 에폭시 수지와 거의 동일(비유전율이 8전후)하므로, 이러한 구성으로 형성되는 기생 용량은 수지 절연층을 이용했을 때의 1/6~1/8 정도로 된다. 따라서, 전력 반도체 소자의 급격한 전압 변화에 대한 제어 회로의 오동작은 일어나지 않게 된다. 그러나, 회로 구성이나 동작 조건에 따라서는 오동작에 대한 레벨은 충분하지 않고, 또 커플링 용량을 줄일 필요가 있다. 또, 절연층으로서 열전도가 양호한 세라믹 기판을 이용하고 있어서, 전력 반도체 소자의 방열 특성은 히트 스프레더를 사용하지 않아도 수지 절열층을 이용한 종래예와 동등 이상의 특성이 얻어지고, 또 조립 공정에서의 열처리 온도도 400℃ 전후까지 견딜 수 있다.

이상과 같이 상기 종래예에 있어서, 기생 용량을 작게 하기 위해 수지 절연층이나 알루미나 기판의 두께를 두껍게 하면, 커프링 용량은 감소하나 전력 반도체 소자의 방열 특성이 악화되는 문제가 있었다. 본 발명은 이와같은 사정에 따라 이루어진 것으로, 전력 반도체 소자의 방열 특성을 저하시키지 않고, 전력 반도체 소자와 제어 회로의 커플링 용량을 저감시킨 반도체 장치를 제공하는 것을 목적으로 한다.

본 발명은 복합 반도체 장치의 제어부의 배선 패턴 일부의 바로 아래의 절연판과 금속 베이스 사이에 공극을 형성한 것을 특징으로 한다. 즉, 본 발명의 반도체 장치는 금속 베이스와 상기 금속 베이스 상에 형성되고, 배선 패턴을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층을 그 제2주면에 형성한 세라믹 절연 기판으로 이루어지는 실장 기판과, 상기 실장 기판 상에 탑재되어 상기 배선 패턴과 전기적으로 접속되는 전력 반도체 소자와 제어 회로 소자를 포함하는 반도체 소자 및 상기 금속 베이스 사이에 있고, 또 상기 제어 회로 소자를 포함하는 제어 회로 아래에 형성되어 있는 공극을 구비하는 것을 제1특징으로 한다. 또, 금속 베이스와, 상기 금속 베이스 상에 형성되어 배선 패턴을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층을 그 제2주면에 형성한 세라믹 절연 기판으로 이루어지는 실장 기판과, 상기 절연 기판상에 탑재되어 있는 배선 패턴과 전기적으로 접속되는 전력 반도체 소자와 제어회로 소자를 포함하는 반도체 소자 및 상기 제어 회로 소자를 포함하는 제어 회로 아래에 형성된 상기 금속 베이스의 절개부를 구비하고, 상기 실장 기판의 상기 금속 베이스의 절개부에서 노출되는 부분에는 상기 금속층이 형성되어 있지 않은 것을 제2특징으로 한다.

또, 금속 베이스와, 상기 금속 베이스 상에 형성되어 배선 패턴을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층을 그 제2주면에 형성한 세라믹 절연 기판으로 이루어지는 실장 기판과, 상기 실장 기판 상에 탑재되어 상기 배선 패턴과 함께 인버터 회로를 구성하는 전력 반도체 소자와 상기 배선 패턴과 함께 그 제어 회로를 구성하는 제어 회로 소자를 포함하는 반도체 소자 및 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분 위에 설치되고, 상기 절연기판과 상기 금속 베이스 사이에 있으며, 또 상기 제어 회로의 입력 부분 아래에 형성되어 있는 공극을 구비하는 것을 제3특징으로 한다. 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분에는 홈을 설치하여 상기 공극을 두껍게 할 수 있다. 상기 실장 기판은 각각 상기 금속층이 적어도 부분적으로 형성된 복수개로 분할 가능하고, 상기 복수개로 분할된 실장 기판 각각의 배선 패턴을 서로 전기적으로 접속되어 있다. 상기 세라믹 절연 기판의 제2주면에 형성된 상기 금속층은 복수개로 분할되어 있고, 상기 금속 베이스의 상기 제어 회로 소자를 포함하는 제어 회로 아래에 형성된 부분에는 상기 분할된 금속층이 형성되어 있지 않도록 할 수 있다.

제어 회로부 배선 패턴의 적어도 일부 아래 부분의 절연 기판과 금속 베이스 사이에 형성한 공극은 전력 반도체 소자와 제어 회로 소자의 커플링 용량을 현저히 저감시킨다.

이하 도면을 참조하여 본 발명의 실시예를 설명한다. 먼저, 제1도를 참조하여 제1실시예를 설명한다. 제1도는 반도체 장치의 단면도 및 그의 부분의 평면도이다. 금속 베이스(1)은 예를 들면, Cu를 주된 구성재료로 한다. 그 두께는 약 3㎜이다. 상기 금속 베이스(1) 상에는 실장 기판(2)가 부착되어 있다. 실장 기판(2)는 절연 기판이 예를 들면, 알루미나 등의 두께 0.635㎜ 정도의 세라믹 기판(21)로 이루어지고, 그 알루미나 기판 양면에 Cu등으로 이루어지는 금속층(6) 및 Cu 등으로 이루어지는 배선 패턴(3)를 형성하여 이루어진다. 금속층(6) 및 배선 패턴(3)의 두께는 모두 0.3㎜ 정도이다. 금속층(6)은 금속 베이스(1)과 접합되어 있다. 실장 기판(2) 표면의 배선 패턴(3)은 부품 실장과 배선에 이용하는 것으로 전력 반도체 소자(4)나 제어 회로 소자(5) 등이 실장되어 있다. 그리고, 전력 반도체 소자(4)는 방열성을 좋게 하기 위해 칩 상태로 실장하고 있다. 한편, 제어 회로부는 주로 표면 실장 부품을 사용한다. 실장 기판(2) 이면의 금속층(6)은 이 기판을 금속 베이스

(1)에 납땜등으로 고정하기 위해 형성되어 있다. 여기서, 실장 기판(2)의 제어 회로 소자가 탑재되는 제어 회로부의 배선패턴(35) 바로 아래의 적어도 일부는 이면에 금속층(6)이 없는 구조로 되어 있다. 따라서, 이 부분에는 알루미나 기판(21)과 금속 베이스(1) 사이에 공급(7)이 존재한다. 제어 회로는 소자는 발열이 적어서 제어 회로 소자(5)가 부착되어 있는 배선패턴(35) 하부의 알루미나 기판(21) 하부에 금속층(6)이 없어도 발열성에 특별한 문제는 없다. 상기 실장 기판(2) 이면의 금속층(6)이 없는 부분을 제어 회로부의 임피던스가 높은 부분이나 배선 면적이 큰 부분에 형성하는 것이 효과적이다. 왜냐하면, 임피던스가 높은 부분은 커플링에 의한 영향을 받기 쉽고, 또 배선 면적이 큰 부분은 커플링 용량 자체가 크게되어 있기 때문이다.

이와 같은 구성이면, 전력 반도체 소자(4)와 제어 회로 소자가 탑재되어 있는 제어 회로부의 배선패턴(35)에 형성되는 커플링 용량을 현저히 저감할 수 있다. 이 이유는 이하에 설명한다. 전력 반도체 소자와 제어 회로부에 형성되는 커플링 용량(C)는 전력 반도체 소자와 금속 베이스에 형성되는 용량(C1) 및 제어 회로부의 배선 패턴과 금속 베이스에 형성되는 용량(C2)를 직접 접속한 용량이다. 일반적으로, 전력 반도체 소자의 실장부(전력 소자부)의 배선 패턴 면적은 제어 회로부의 배선 패턴의 1블럭 면적보다도 훨씬 크기 때문에,

C1C2……(1)

이다. 그리고, C1과 C2를 직접 접속한 커플링 용량(C)는

C=C1×C2/(C1+C2)=C2/(1+C2/C1)……(2)

이다. 여기서 C1C2 이므로, (2)식은

C=C2……(3)

으로 된다. 따라서, 커플링 용량(C)를 저감하기 위해서는 용량(C2)를 저감하면 된다. 상기와 같은 구성에 따르면, 공구(7)의 존재로 용량(C2)를 현저히 저감할 수 있으므로, 커플링 용량(C)를 대폭 저감할 수 있다. 다음에, 상기 실시예의 구성에 의해 용량(C2)가 어느정도 저감되는지를 설명한다.

알루미나등의 세라믹 기판에 의해 형성되는 용량을 C2A로 하고, 공극(7)에 의해 형성되는 용량을 C2B로 하면, 제어 회로부의 배선 패턴과 금속 베이스 사이에 형성되는 용량(C2)는 C2A와 C2B를 직렬 접속한 용량이므로,

C2=C2A×C2B/(C2A+C2B) ……(4)

로 표시된다. 따라서, 공극이 없는 경우의 용량(C2A)와의 비, 즉 C2/C2A는

C2/C2A=C2B/(C2A+C2B) ……(5)

로 된다. 여기서, 알루미나 기판에 의해 형성되는 용량(C2A)는 문제로 되는 제어 회로부의 배선 패턴의 면적을 S로 하면, 알루미나의 비유전율이 8.5이고, 알루미나 기판의 두께가 0.635㎜이므로, 상기와 같이 C=ε×S/d이므로,

$C2A=8.5\times \varepsilon o\times S/(0.635\times 10^{-3})$ ……(6)

이다(εo는 진공중의 유전율). 한편, 알루미나 기판과 금속 베이스 사이의 공극에 의해 형성되는 용량(C2B)는 공기의 비유전율이 1.0이고, 공극(7)의 두께가 0.3㎜ 이므로,

$C2B=1.0\times \varepsilon o\times S/(0.3\times 10^{-3})$……(7)

이다. (6) 및 (7) 식에서 (5) 식은

C2/C2A=0.20 ……(8)

로 된다. 이 식에서 나타난 바와 같이, 공극의 존재에 의해 커플링 용량을 1/5로 저감할 수 있다.

다음에, 제2도 및 제3도를 참조하여 제2실시예를 설명한다. 제2도는 반도체 장치의 장면도이고, 제3도는 그것의 부분 평면도 및 금속 베이스의 부분 평면도이다. 이러한 반도체 장치는 제1도와 마찬가지로 Cu를 구성 재료로 하는 두께가 약 3㎜인 금속 베이스(1), 금속 베이스(1)에 접합한 실장 기판(2) 및 실장 기판(2)에 탑재된 전력 반도체 소자(4)나 제어 회로 소자(5) 등의 반도체 소자로 구성된다. 상기 실장 기판(2)는 절연 기판으로서 두께 0.635㎜인 알루미나 기판(21)을 이용하여 그 양면에 금속 베이스(1)과 접하는 Cu를 구성 재료로 하는 두께 약 0.3㎜인 금속층(6) 및 반도체 소자기 탑재되는 Cu를 구성 재료로 하는 두께 약 0.3㎜의 배선 패턴(3)이 형성되어 있다. 상기 배선 패턴(3)은 부품 실장과 배선에 이용하는 것으로, 전력 반도체 소자(4)나 제어 회로 소자(5) 등이 실장된다. 전력 반도체 소자(4)는 방열 특성을 좋게하기 위해 칩 상태로 실장된다. 한편, 제어 회로 소자(5)는 주로 표면 실장 부품을 사용한다. 실장 기판(2) 이면의 금속층(6)은 이 실장 기판을 금속 베이스(1)에 납땜등으로 고정하기 위해 형성되어 있다. 여기서도 실장 기판(1)의 제어 회로 소자가 탑재되는 제어 회로부의 배선 패턴(35)바로 아래의 일부는 금속층이 없는 구조로 되어 있다. 또 이 부분 아래의 금속 베이스(1)은 1~2㎜ 정도 도려내어 홈(11)이 형성된 구조로 되어 있다.

따라서, 이 부분의 알루미나 기판(21)과 금속 베이스(1) 사이에는 앞의 실시예보다 두꺼운 공극(7)이 존재한다. 제어 회로부는 소자의 발열이 적어서 배선패턴(35)의 알루미나 기판(21) 아래에 공극(7)이 있어도 문제는 없다. 상기 금속 베이스의 홈(11) 부분은 제어 회로부의 임피던스가 높은 부분이나 배선 면적이 큰 부분에 형성하면 보다 효과적이다.

이상과 같이 구성하면, 상기 제1실시예와 같은 이유로 전력 반도체 소자와 제어 회로부의 배선 패턴(35)에 형성되는 커플링 용량을 현저히 저감할 수 있다. 본 실시예의 경우, 공극(7)에 의해 형성되는 용량은 도려낸 부분의 깊이가 1.0㎜이면, 공극의 두께는 1.3㎜로 증가하므로 제1실시예와 같은

계산으로 커플링 용량을 공극이 없는 경우의 약 1/18로 저감할 수 있다.

다음에, 제4도 및 제5도를 참조하여 제3실시예를 설명한다. 제4도는 반도체 장치의 단면도 및 그 부분의 평면도이고, 제5도는 실장 기판의 평면도이다. 이상, 상술한 실시예에서는 어느것이나 실장 기판으로서 전력 소자부와 제어 회로부가 한장의 세라믹 절연 기판 상에 형성되어 있다. 그러나, 1장의 금속 베이스상에 형성되는 것이면, 실장 기판을 복수개의 절연 기판으로 분할할 수도 있다.

이 경우, 각 실장 기판은 전력 반도체 소자 또는 제어 회로 소자의 전용 기판이라도 좋고, 이들을 혼재한 기판이라도 좋다. 또, 기판은 몇개라도 좋다. 이들 기판의 배선 패턴 사이를 전기 접속하려면 예를 들어 본딩 와이어(8)을 이용할 수 있다. 본 실시예에 있어서는 금속 베이스(1) 위에 전력 소자용 실장 기판(23) 및 제어 회로 소자용 실장 기판(24)의 2개의 실장 기판을 이용하고 있고, 양자의 배선 사이는 본딩 와이어(8)로 전기적으로 접속되어 있다. 전력 반도체 소자용 실장 기판(23)에서 금속층(6)은 배선 패턴(33)의 반대의 이면 거의 전면에 형성되어 있으나, 제어 회로 소자용 실장 기판(24)에는 그 이면에 금속층(6)이 거의 형성되어 있지 않고, 제어 회로부의 배선 패턴(34) 하부의 금속층(6)이 형성되어 있지 않은 부분은 공극(7)이 형성되어 있다. 상기한 바와 같이 금속층(6)은 실장 기판을 금속 베이스에 납땜등으로 고정하기 위해 필요한 것으로, 본 실시예와 같이 복수의 실장 기판을 이용하는 경우에도 각 기판에 부착해야 한다. 특히, 제어 회로소자용 실장 기판(24)에는 공극(7)도 설치해야 하므로, 금속층의 형상이나 배치에는 개발이 필요하다. 제4도는 그 몇가지 예를 나타내는 것으로, 본 발명의 이러한 예로 한정되는 것은 아니다.

다음에, 제6도 및 제7도를 참조하여 제4실시예를 설명한다. 제6도는 반도체 장치의 단면도이고, 제7도는 그의 부분 평면도 및 금속 베이스의 부분 평면도이다. 앞의 실시예에서는 복수의 실장 기판을 이용했으나, 본 실시예에서는 금속 베이스 구조를 개선하고 있다. 이러한 반도체 장치는 제1도와 마찬가지로 Cu를 구성 재료로 하는 두께 약 3㎜인 금속 베이스(1), 금속 베이스(1)에 접합한 실장기판(2) 및 상기 실장 기판(2)에 탑재된 전력 반도체 소자(4)나 제어 회로 소자(5)등의 반도체 소자로 구성된다. 상기 실장 기판(2)는 절연 기판으로서 두께 0.635㎜인 알루미나 기판(21)을 이용하여 그 양면에 금속 베이스(1)과 접하는 Cu를 구성 재료로 하는 두께 약 0.3㎜의 금속층(6) 및 반도체 소자가 탑재되는 Cu를 구성 재료로 하는 두께 약 0.3㎜의 배선 패턴(3)이 형성되어 있다. 상기 배선 패턴(3)은 부품 실장과 배선에 이용하는 것으로, 전력 반도체 소자(4)나 제어 회로 소자(5) 등이 실장된다. 전력 반도체 소자(4)는 방열 특성을 좋게 하기 위하여 칩 상태로 실장하고 있다. 한편, 제어 회로 소자(5)는 주로 표면 실장 부품을 사용한다. 실장 기판(2) 이면의 금속층(6)은 상기 실장 기판(2)를 금속 베이스(1)에 납땜 등으로 고정하기 위해 형성되어 있다. 여기에서도, 실상 기판(1)의 제어 회로 소자가 탑재되는 제어 회로부의 배선 패턴(35) 바로 아래의 일부는 금속층이 존재하지 않는 구조로 되어 있다.

이것은 실장 기판의 제어 회로부 아래에 공극(7)을 형성하기 위해 실장 기판(2)에서 금속층(8)을 부분적으로 제거할 뿐만 아니라, 공극이 형성되는 부분의 금속 베이스를 일부 절개하여 절개부(12)를 형성하는 것이 특징이다. 제2도의 반도체 장치에서, 금속 베이스는 공극이 형성되는 부분에 홈(11)이 형성되어 있고, 그 만큼 커플링 용량이 감소하도록 되어 있다. 그러나, 본 실시예에서는 이 공극이 형성되는 부분의 금속 베이스는 절개부(12)로 되어 있으므로, 금속 베이스를 도려냄으로써 더욱 커플링 용량이 감소해서 가공이 용이해진다. 제어 회로부는 소자의 발열이 적으므로, 기판 아래에 금속 베이스가 없어도 문제는 없다. 금속 베이스가 존재하지 않는 부분은 제어 회로부의 임피던스가 높은 부분이나 배선 면적이 큰 부분에 형성하는 것이 효과적이다. 이와같은 구성으로 하면, 이 부분의 제어회로 패턴과 금속 베이스 사이에는 금속 베이스에서 직렬 접속된 커플링 용량이 거의 존재하지 않고, 전력 반도체 소자와 제어 회로부의 배선 패턴에 형성되는 커플링 용량을 거의 없앨 수 있다. 그러나, 이러한 구성인 경우, 실장 기판의 일부가 금속 베이스에 접해있지 않는 구조로 되므로, 실장 기판을 반도체 장치의 외부로 노출시키지 않도록 하는 최종적인 패키징에 충분히 주의해야 한다.

다음에, 제8도를 참조하여 제5실시예를 설명한다. 제8도는 반도체 장치의 실장 기판의 이면측을 도시한 부분 평면도이다. 실장 기판을 구성하는 세라믹 기판(21)의 한 주면에는 금속 베이스와 접착시키기 위한 금속층(6)을 형성한다. 지금까지의 실시예에서, 금속층(6)은 1개의 실장 기판에 1개가 형성되는 것이 일반적이었다. 그러나, 기판 전면에 금속층이 형성된 경우, 기판은 세라믹스이므로 금속과는 열팽창 계수가 다르므로, 환경 변화에 따라 기판 또는 금속층이 파손될 우려도 있다.
그래서, 제8도에 도시된 바와 같이 열스트레스를 완화하기 위해 금속층을 몇개로 분할했다. 본 실시예는 이와같은 금속층에 적용되는 것으로, 구체적으로 복수개의 분할된 금속층(본 실시예에서는 4개)중 1개를 제거해서 이 부분을 제어 회로부로 하고, 여기에 공극을 설치한 것이다. 물론, 1 분할분을 모두 제거할 필요는 없고, 그 중 1부분만으로 되며, 그 제거한 부분을 제어 회로부로 해도 좋다. 또, 그 분할수에도 제한은 없고, 필요에 따라 임의의 수로 분할가능하며, 각 형상도 사각형으로 제한하지 않고, 원형, 타원형 또는 각 형상이 고르지 않아도 좋다.

본 발명에 적용할 수 있는 전력 회로에는 특별한 제한은 없으나, 제9도에 도시된 인버터 회로를 실장 기판 상에 형성하여 이루어지는 예를 참조하여 본 발명의 효과를 설명한다. 이러한 회로는 전력 반도체 소자로서 IGBT(Insulated Gate Bipolar Transi ton; u~z)를 사용하고, 그 구동 회로 및 과전류 검출 회로 등이 제어 회로(5) 내에 포함된다. 종래의 실장 기판과 본 발명의 실장 기판을 이용하여 회로 동작 시험을 실행한 결과가 제10도 및 제11도에 각각 도시되어 있다. 도면에는 IGBT의 턴온시의 +Vcc 라인을 흐르는 전류 파형과 IGBT의 게이트 전압 파형을 도시하고 있다. 시험은 입력 펄스를 하나의 상(예를 들면 Z상)에 공급하면서 Vcc를 0V에서 800V까지 상승시켜 IGBT의 턴온이 정상적으로 행해지는지를 확인했다. 종래의 실장 기판을 사용한 반도체 장치의 경우, Vcc가 약 400V에 도달할 때 제어 회로에 오동작이 일어나고, Vcc-GND 사이에 IGBT에 의해 단락되어 과전류가 흘러버렸다(제10도 참조). 본래는 Z상에만 IGBT가 동작하여 단락에 의한 과전류는 흐르지 않았다. 그러나, Z상 출력단의 턴온시의 급격한 전압 변화에 의해 출력단과 제어 회로부의 용량 커플링에 의해 다른 상의 제어 회로부에 미소 전압이 발생하여 제어 회로가 오동작했다. 그 결과, U상-X상, V상-Y상, W상-Z상 중 어떤 상하 2상의 IGBT가 양쪽 모두 동작하여 단락 전류가 흘렀다. 제10도에서 단락 전류

가 일정 시간 후에 감소하는 것은 제어 회로의 과전류 보호 기능이 작용하는 IGBT의 게이트 전압을 저감시키기 때문이다.

한편, 본 발명의 실장 기판을 이용한 반도체 장치의 경우, Vcc가 800V에 도달했을 때에도 제어 IC는 오동작하지 않고, 정상적인 턴온 동작이 행해졌다(제11도 참조). 여기서, 본 발명의 세라믹 기판과 금속 베이스 사이의 공극이 존재하는 부분은 제어 회로부 내의 커플링 영향을 받기 쉬운 임피던스가 높은 제어 회로의 입력 부분에 설치된다(제9도의 점선으로 포위된 부분).

본 발명의 반도체 장치의 반도체 재료는 Si, Ge, GaAs등의 기존 재료중 특정한 것에 한정되지 않고, 모든 재료를 이용할 수 있다. 금속 베이스는 Cu에 한정되지 않고, Al이나 Fe등의 다른 금속을 이용할 수도 있다. 세라믹 기판은 알루미나 이외에도 AlN이나 베릴리아(BeO) 등의 기계적 강도가 높은 것이나 열 전도성이 좋은 것이 이용된다. 상기 세라믹 기판 상에 형성되는 배선 패턴이나 금속층에는 Cu나 Mo등의 세라믹 기판이나 금속 베이스의 열팽창 계수에 근사한 것을 이용하는 편이 유리하다. 본 발명의 반도체 장치의 용도는 인버터 에어콘, 범용인터버, AC 서보 및 무정전 전원등으로 광범위하다.

또, 본원 청구 범위의 각 구성 요건에 병기한 도면 참조 번호는 본원 발명의 이해를 용이하게 하기 위한 것으로, 본원 발명의 기술적 범위를 도시한 실시예로 한정하는 의도로 병기한 것은 아니다.

이상 상술한 바와 같이, 본 발명은 전력 반도체 소자와 제어 회로와의 커플링 용량을 저감할 수 있어서, 전력 반도체 소자로 고전압을 고속으로 스위칭시키는 경우, 즉 높은 dV/dt 동작의 경우에 있어서도 제어회로의 오동작이 일어나지 않게 하기 위한 복합 반도체 장치를 제공할 수 있다.

(57) 청구의 범위

청구항 1

금속 베이스(1), 상기 금속 베이스 상에 형성되어 배선 패턴(3)을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층(6)을 제2주면에 형성한 세라믹 절연 기판(21)로 이루어지는 실장 기판(2), 상기 실장 기판 상에 탑재되어 상기 배선 패턴과 전기적으로 접속되는 전력 반도체 소자(4)와 제어 회로 소자(5)를 포함하는 반도체 소자 및 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분의 상부에 설치되어 상기 세라믹 절연 기판과 상기 금속 베이스 사이에 있고, 상기 제어 회로 소자를 포함하는 제어 회로의 하부에 형성되어 있는 공구(1)을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 2

제1항에 있어서, 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분에는 홈(11)을 설치하여 상기 공극을 두껍게 하는 것을 특징으로 하는 반도체 장치.

청구항 3

제1항에 있어서, 상기 실장 기판은 각각 상기 금속층이 적어도 부분적으로 형성된 복수개로 분할되어 있고, 상기 복수개로 분할된 실장 기판 각각의 배선 패턴은 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 4

제1항에 있어서, 상기 세라믹 절연 기판의 제2주면에 형성된 상기 금속층은 복수개로 분할되어 있고, 상기 금속 베이스의 상기 제어 회로 소자를 포함하는 제어 회로의 하부에 형성된 부분에는 상기 분할된 금속층이 형성되어 있지 않은 것을 특징으로 하는 반도체 장치.

청구항 5

금속 베이스(1), 상기 금속 베이스 상에 형성되어 배선 패턴(3)을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층(6)을 그 제2주면에 형성된 세라믹 절연 기판(21)로 이루어지는 실장 기판(2), 상기 실장 기판 상에 탑재되어 상기 배선 패턴과 전기적으로 접속되는 전력반도체 소자(4)와 제어 회로 소자(5)를 포함하는 반도체 소자 및 상기 제어 회로 소자를 포함하는 제어 회로의 하부에 형성된 상기 금속 베이스의 절개부를 구비하고, 상기 실장 기판의 상기 금속 베이스의 절개부에서 노출되는 부분에는 상기 금속층이 형성되어 있지 않은 것을 특징으로 하는 반도체 장치.

청구항 6

제5항에 있어서, 상기 실장 기판은 각각 상기 금속층이 적어도 부분적으로 형성된 복수개로 분할되어 있고, 상기 복수개로 분할된 실장 기판 각각의 배선 패턴을 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 7

제5항에 있어서, 상기 세라믹 절연 기판의 제2주면에 형성된 상기 금속층은 복수개로 분할되어 있고, 상기 금속 베이스의 상기 제어 회로 소자를 포함하는 제어 회로의 하부에 형성된 부분에는 상기 분할된 금속층이 형성되어 있지 않은 것을 특징으로 하는 반도체 장치.

청구항 8

금속 베이스(1), 상기 금속 베이스 상에 형성되어 배선 패턴(3)을 그 제1주면에 형성하고, 상기 금속 베이스에 접합되는 금속층(6)을 그 제2주면에 형성한 세라믹 절연 기판(21)로 이루어지는 실장 기판(2), 상기 실장 기판 상에 탑재되어 상기 배선 패턴과 함께 인버터 회로를 구성하는 전력 반도

체 소자(U~Z) 및 상기 배선 패턴과 함께 그 제어 회로를 구성하는 제어 회로 소자(5)를 포함하는 반도체 소자 및 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분의 상부에 설치되어 상기 절연 기판과 상기 금속 베이스 사이에 있고, 또 상기 제어 회로의 입력 부분의 하부에 형성되어 있는 공극을 구비하는 것을 특징으로 하는 반도체 장치.

청구항 9

제8항에 있어서, 상기 금속 베이스의 상기 금속층이 형성되어 있지 않은 부분에는 홈을 설치하여 상기 공극을 두껍게 하는 것을 특징으로 하는 반도체 장치.

청구항 10

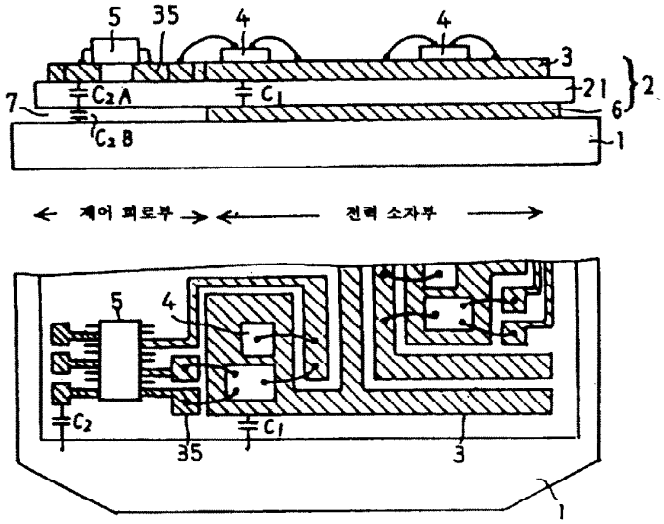
제8항에 있어서, 상기 실장 기판은 각각 상기 금속층이 적어도 부분적으로 형성된 복수개로 분할되어 있고, 이 복수개로 분할된 실장 기판 각각의 배선 패턴을 서로 전기적으로 접속되어 있는 것을 특징으로 하는 반도체 장치.

청구항 11

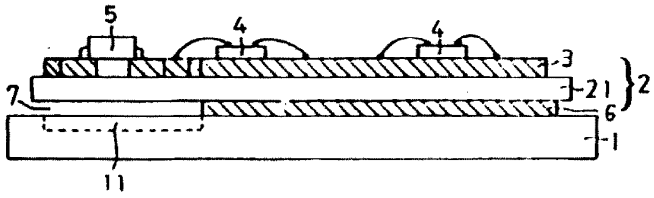
제8항에 있어서, 상기 세라믹 절연 기판의 제2주면에 형성된 상기 금속층은 복수개로 분할되어 있고, 상기 금속 베이스의 상기 제어 회로 소자를 포함하는 제어 회로의 하부에 형성된 부분에는 상기 분할된 금속층이 형성되어 있지 않는 것을 특징으로 하는 반도체 장치.

도면

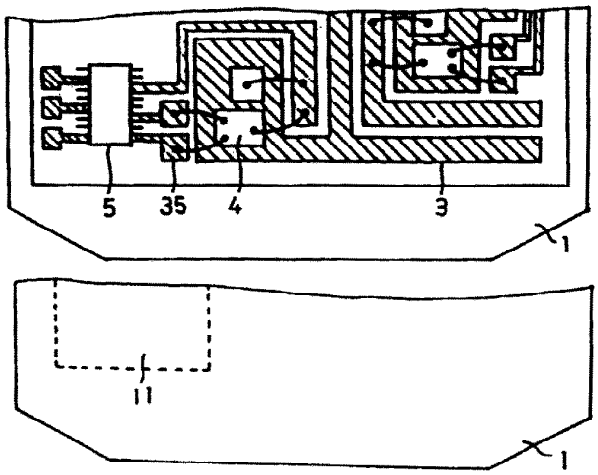
도면1



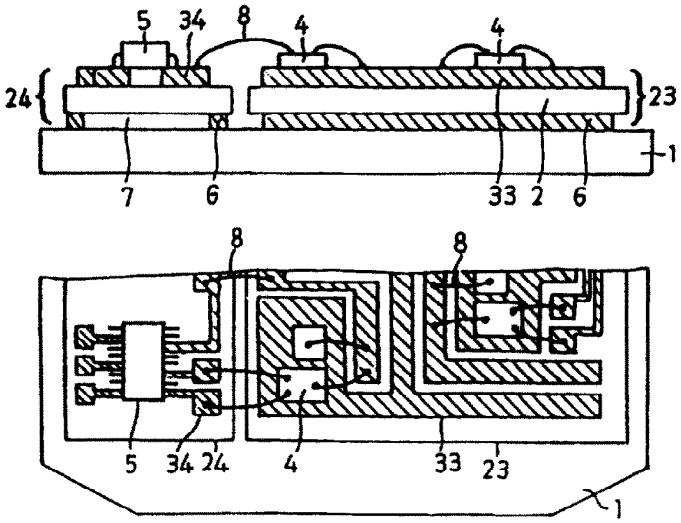
도면2



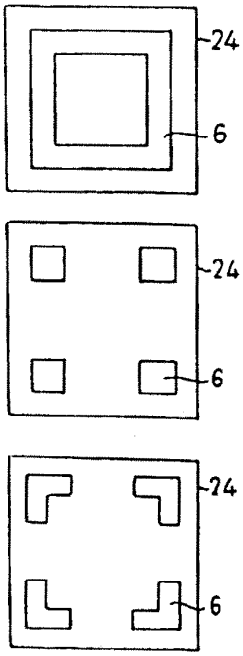
도면3



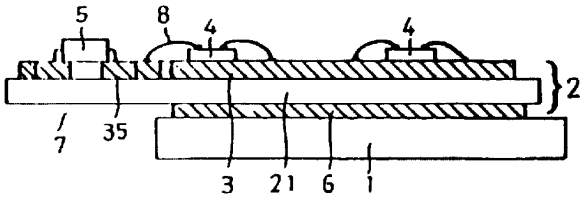
도면4



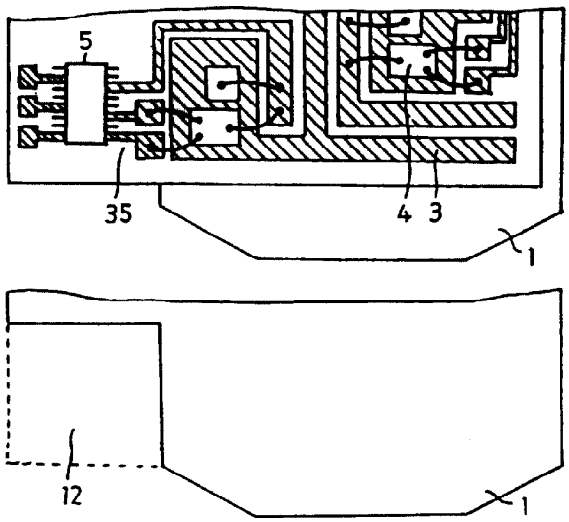
도면5



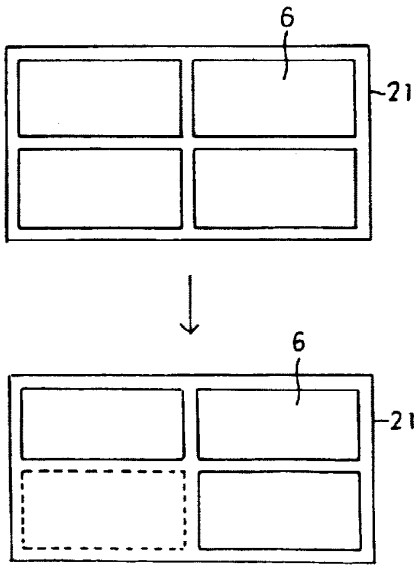
도면6



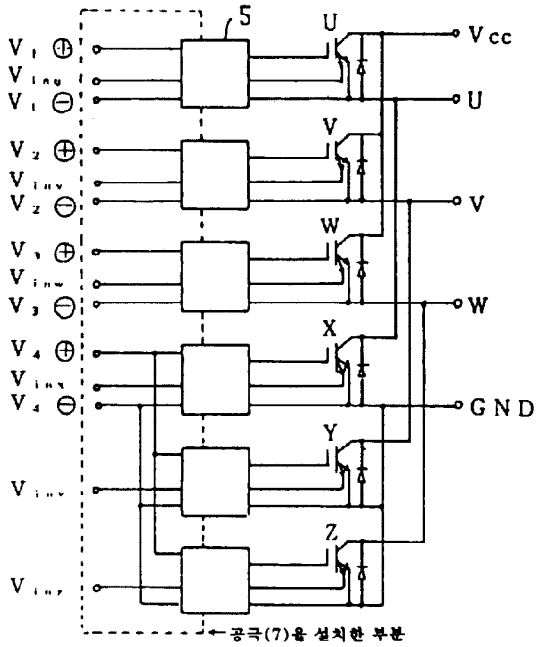
도면7



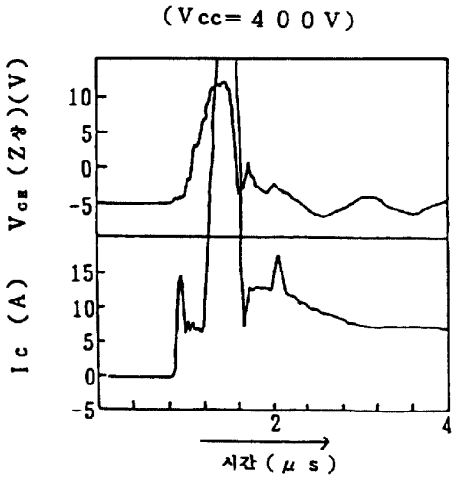
도면8



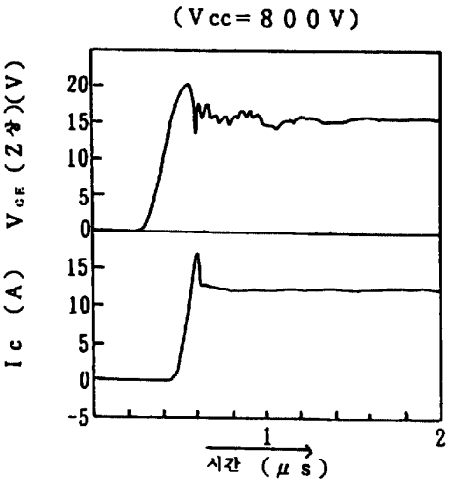
도면9



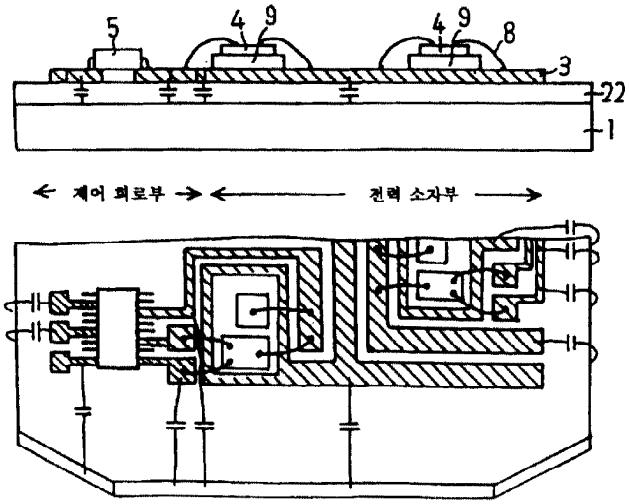
도면10



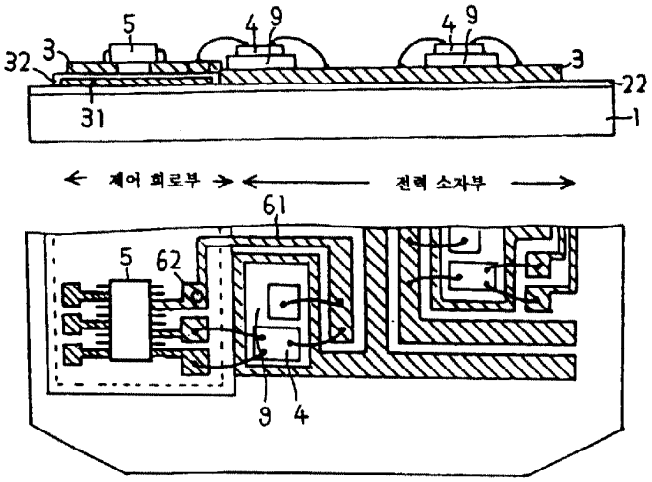
도면11



도면12



도면13



도면14

