

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 19 mars 1984.

30 Priorité :

43 Date de la mise à disposition du public de la
demande : BOPI « Brevets » n° 38 du 20 septembre 1985.

60 Références à d'autres documents nationaux appa-
rentés :

71 Demandeur(s) : COMPAGNIE INDUSTRIELLE DES TELE-
COMMUNICATIONS CIT-ALCATEL, société anonyme. —
FR.

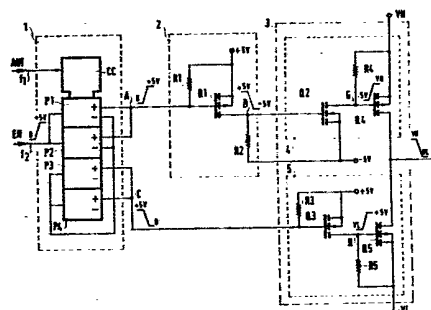
72 Inventeur(s) : Paul Le Janne et Jean-Claude Larreur.

73 Titulaire(s) :

74 Mandataire(s) : René Vatinel.

54 Translateur de niveaux logiques.

57 Le translateur comporte un circuit d'entrée 1, un transla-
teur intermédiaire 2 et un translateur de sortie 3. Le translateur
intermédiaire est relié à une sortie directe A du circuit d'en-
trée; un premier circuit de sortie 4 du translateur de sortie est
relié au translateur intermédiaire, et un deuxième circuit de
sortie 5 est relié à une sortie inverse C du circuit d'entrée. Le
premier circuit de sortie est relié à une source de tension
haute VH et le deuxième circuit de sortie est relié à une
source de tension basse VL, les deux tensions haute et basse
étant réglables indépendamment. Les deux circuits de sortie
sont reliés à une sortie S du translateur.



Translateur de niveaux logiques

L'invention est du domaine des translateurs de niveaux logiques, fréquemment utilisés en électronique chaque fois que l'on doit passer d'une famille de circuits logiques à une autre de caractéristiques différentes, par exemple d'une famille TTL à une famille ECL, ou d'une
5 famille ECL à une famille CMOS à 12 volts. Le translateur de niveaux logiques constitue donc une interface entre deux familles de circuits logiques de caractéristiques différentes.

Il existe des circuits spécialisés pour ce genre de fonction et dont l'usage se limite exclusivement à la liaison entre deux familles de
10 circuits logiques. Or dans les machines de test il est intéressant de pouvoir attaquer les circuits en test par des circuits de commande (drivers) programmables en niveaux et en courants de façon à limiter le nombre des adaptations électroniques entre la machine et la
15 carte en test.

Il existe sur le marché un circuit de commande, le D169 de SILICONIX, pour transistors VMOS complémentaires. L'excursion en tension de circuit est suffisante, 33 volts, mais la vitesse de commutation (70 nanosecondes sans les transistors de l'étage final) reste trop faible
20 pour certaines applications, et en particulier pour une application au niveau des broches des machines de test, telle que par exemple la machine de test STAR 1000.

L'invention a pour but de permettre de passer des niveaux logiques d'une famille de circuits logiques à des niveaux compatibles avec d'autres familles logiques, tout en conservant des caractéristiques de
25 transfert et de transition pour ces familles.

L'invention a pour objet un translateur de niveaux logiques comportant un circuit d'entrée, un translateur intermédiaire et un translateur de sortie constitué par un premier circuit de sortie et un
30 deuxième circuit de sortie, le circuit d'entrée recevant un signal d'entrée et délivrant sur une première sortie un signal de même sens que le signal d'entrée et sur une deuxième sortie un signal inverse du signal d'entrée, le translateur intermédiaire étant relié à la première sortie du circuit d'entrée, le premier circuit de sortie étant relié au
35 translateur intermédiaire, le deuxième circuit de sortie étant relié à

la deuxième sortie du circuit d'entrée, les premier et deuxième circuits de sortie ayant une sortie commune, le premier circuit de sortie étant relié à une source de tension haute et le deuxième circuit de sortie étant relié à une source de tension basse, lesdites tensions haute et basse étant ajustables indépendamment.

L'invention va être décrite à l'aide d'exemples de réalisation illustrés par les figures annexées dans lesquelles :

- la figure 1 représente une première forme de réalisation d'un translateur de l'invention,
- les figures 2 et 3 représentent une deuxième forme de réalisation d'un translateur de l'invention ; dans la figure 2 on a donné l'allure des signaux en différents points du translateur pour une transition montante à l'entrée, alors que dans la figure 3 l'allure des signaux correspond à une transition descendante à l'entrée.

La figure 1 représente une première forme de réalisation d'un translateur de niveaux logiques de l'invention. Le circuit d'entrée 1, qui est par exemple un circuit du type 26LS31, commercialisé par AMD, TEXAS, est un amplificateur de ligne choisi pour son fort courant de sortie, sa rapidité et ses sorties directes et inverses. Le circuit d'entrée 1 comporte un circuit de commande CC, et quatre portes P1, P2, P3, P4. Le circuit de commande a une entrée d'autorisation reliée à un fil f1, par lequel elle reçoit un signal d'autorisation AUT (enable) ; les entrées des deux portes P1 et P2 sont réunies entre elles et reliées à un fil f2 par lequel elles reçoivent un signal d'entrée EN ; les sorties positives des portes P1 et P2 sont reliées entre elles en un point A ; les sorties négatives des portes P1 et P2 sont reliées entre elles et reliées à l'entrée de chacune des portes P3 et P4 ; les sorties positives des portes P3 et P4 sont reliées entre elles en un point C. Les deux premières portes P1 et P2 sont montées en parallèle afin d'augmenter la puissance de sortie au point A . Un translateur intermédiaire 2 comprend un transistor Q1 et deux résistances R1 et R2. Le transistor Q1 et un transistor VMOS du type P, dont la grille est reliée par la résistance R1 à une tension positive + 5V, et directement au point A à la sortie positive des portes P1 et P2 du circuit d'entrée. La source et le drain du transistor Q1 sont reliés à la tension positive + 5V, et par la résistance R2 à une tension négative - 5V, respectivement.

Un translateur de sortie 3 comporte un premier circuit de sortie 4 et un deuxième circuit de sortie 5. Dans le premier circuit de sortie 4, un transistor Q2, VMOS de type N a sa grille reliée au drain du transistor Q1, sa source reliée à la tension négative -5V et son drain relié d'une part à la grille d'un transistor Q4, VMOS de type P, et d'autre part à une source de tension haute VH par une résistance R4. La source du transistor Q4 est reliée à la tension haute VH, le drain étant relié à la sortie S du translateur de sortie. Dans le deuxième circuit de sortie 5, un transistor Q3, VMOS de type P, a sa grille reliée d'une part au point C, à la sortie des portes P3 et P4 du circuit d'entrée, et d'autre part à la tension positive + 5V par une résistance R3, sa source reliée à la tension positive + 5V, et son drain relié d'une part à une source de tension basse VL par une résistance R5, et d'autre part à la grille d'un transistor Q5, VMOS de type N. Le transistor Q5 a son drain relié à la sortie S du translateur de sortie, et sa source reliée à la source de tension basse VL.

Les transistors sont par exemple du type BS250 pour les transistors Q1, Q3 et Q4 et du type BS170 pour les transistors Q2 et Q5, ces types de transistors ayant une faible capacité d'entrée, favorable à la rapidité de commutation, et une résistance source drain faible à l'état passant (il s'agit bien entendu de la résistance source drain lorsque le transistor est complètement débloqué).

Les valeurs des résistances sont, par exemple

$R1 = R2 = 470 \text{ ohms}$

$R3 = R4 = R5 = 4700 \text{ ohms}$

Les deux portes P1 et P2 et les deux portes P3 et P4 du circuit d'entrée ont leurs sorties positives en parallèle afin de fournir la puissance nécessaire pour charger et décharger rapidement la capacité de grille des transistors Q1 et Q3. Une transition montante du signal d'entrée EN en supposant que le signal AUT a la valeur 1, se traduit par une transition montante amplifiée en courant, au point A, et une transition descendante au point C ; ces transitions correspondent à la charge de la capacité grille du transistor Q1 et à la décharge de la capacité grille du transistor Q3. Les transistors Q1 à Q5 se comportent comme des interrupteurs fermés lorsque, pour les transistors de type N, Q2, Q5, la diffé-

rence de potentiel grille source est positive et pour les transistors de type P, Q1, Q3, Q4, la différence de potentiel grille source est négative.

Lorsque l'entrée est à 0 les transistors Q1, Q2, Q4 sont passants, et les transistors Q3 et Q5 sont bloqués ; la sortie S est alors à la tension haute VH. Lorsque l'entrée est à + 5V, les transistors Q1, Q2, Q4 sont bloqués et les transistors Q3 et Q5 sont passants ; la sortie S est alors à la tension basse VL.

Si donc on applique à l'entrée une transition montante 0 à + 5V, la sortie S passe de la tension haute VH à la tension basse VL, et si l'on applique à l'entrée une transition descendante, + 5V à 0, la sortie S passe de la tension basse VL à la tension haute VH.

Sur la figure on a représenté en différents points, A, B, C, G, H et S les signaux obtenus lorsque l'on applique un signal de transition montante, 0 à + 5V, à l'entrée du circuit d'entrée 1. Au point A on obtient un signal ayant une transition montante ; le transistor Q1 qui était passant se bloque et la capacité de grille du transistor Q2 se décharge à travers la résistance R2 ; on obtient au point B un signal + 5V/- 5V. On remarquera que le transistor Q1 effectue une translation du niveau TTL en niveau + 5V/-5V, niveau nécessaire pour attaquer le translateur de sortie 3.

Les signaux appliqués au translateur de sortie sont ceux des points B et C ; ces signaux sont en phase, le signal en B étant un signal + 5V/- 5V à transition descendante et le signal en C étant un signal + 5V/0 à transition descendante ; ce signal est donc l'inverse de celui au point A. Ces signaux de transition descendante en B et C provoquent le blocage du transistor Q2 et le passage du courant entre source et drain pour le transistor Q3 ; la grille du transistor Q5 se trouve polarisée à + 5V, rendant ce transistor passant à condition que la tension VL soit inférieure à + 2 volts, la tension de seuil du transistor Q5 étant de 3 volts, et la grille du transistor Q4 étant portée à VH, ce transistor se bloque, à condition que la tension VH soit supérieure à la tension de seuil -3V du transistor Q4. La sortie S passe donc de la tension haute VH à la tension basse VL pour une transition 0/+ 5V à l'entrée.

Le fonctionnement est analogue sur une transition descendante + 5 V/0 à l'entrée. On obtient une transition descendante + 5 V/0 au point A, une transition montante -5V/+ 5V au point B et une transition montante 0/+5V au point C, cette transition étant l'inverse de celle au pont A ; le signal en B provoque le passage du courant dans le transistor Q2 et le signal en C bloque le transistor Q3. La grille du transistor Q4 se trouve polarisée à -5 volts, ce qui rend ce transistor passant ; la grille du transistor Q5 étant portée à + 5 volts ce transistor se bloque. La sortie S passe donc de la tension basse VL à la tension haute VH pour une transition + 5 V/0 à l'entrée.

La valeur des résistances R2, R4, R5 dépend de la rapidité que l'on veut obtenir, mais ceci se fait au détriment de la consommation.

En effet, lorsque, par exemple le transistor Q1 est passant, on trouve une différence de potentiel de 10 volts aux bornes de la résistance R2. Avec par exemple une valeur de 1000 ohms pour la résistance R2, ce qui donne une puissance dissipée de 100 milliwatts dans la résistance R2, une valeur de 1000 ohms pour chacune des résistances R2, R4, R5 permet de monter à une fréquence de 500 kHz en se limitant à une différence de 20 volts entre les tensions VH et VL.

On remarquera que VH peut devenir négatif jusqu'à - 2 volts, et que VL peut devenir positif jusqu'à + 2 volts, les valeurs des seuils de tension grille source pour les transistors Q4 et Q5 étant de - 3 volts et + 3V respectivement. Les résistances R1 et R3 servent à polariser les grilles des transistors Q1 et Q3 de manière à les bloquer dans le cas où le signal d'autorisation AUT du circuit de commande CC est au niveau logique 0 ce qui a pour effet de mettre à l'état haute impédance les sorties des portes P1 à P4 du circuit d'entrée. Lorsque les transistors Q1 et Q3 sont bloqués, les transistors Q2, Q4 et Q5 le sont également et la sortie S se trouve à l'état haute impédance.

La figure 2 représente une deuxième forme de réalisation d'un translateur de niveaux logiques de l'invention, permettant un fonctionnement à plus haute fréquence que le translateur de la figure 1.

Le translateur de la figure 2 comprend un circuit d'entrée 1 identique à celui de la figure 1, un translateur intermédiaire 10, et un translateur de sortie 11 comportant un premier circuit de sortie 12 et un deuxième circuit de sortie 13.

Le translateur intermédiaire comprend un transistor Q1, VMOS de type P, ayant sa source reliée à une tension positive + 5V, directement au point A en sortie du circuit d'entrée, et à une tension négative -5V par un condensateur C1 en série avec une résistance R6, et son drain
5 relié d'une part à la tension négative -5V par une résistance R2, et d'autre part au collecteur d'un transistor Q6 de type NPN ; le transistor Q6 à sa base reliée à un point D commun du condensateur C1 et à la résistance R6, et son émetteur relié à la tension négative - 5V. Par rapport au translateur intermédiaire 2 de la figure 1, le translateur
10 intermédiaire 10 comporte en plus : le transistor Q6, le condensateur C1 et la résistance R6.

Le premier circuit de sortie 12 comprend un transistor Q2, VMOS de type N, ayant sa source reliée à la tension négative -5V, sa grille reliée d'une part au drain du transistor Q1 et d'autre part à une tension
15 haute VH par un condensateur C2 en série avec une résistance R7, et son drain relié au collecteur d'un transistor Q7, de type PNP, à la tension haute VH par une résistance R4, et à la grille d'un transistor Q4, VMOS de type P. Le transistor Q7 a sa base reliée à un point E commun au condensateur C2 et à la résistance R7, et son émetteur relié à la tension
20 haute VH. Le transistor Q4 a sa source reliée à la tension haute VH et son drain relié à la sortie S. Par rapport au premier circuit de sortie 4 de la figure 1, le premier circuit de sortie 12 comporte en plus le transistor Q7, le condensateur C2 et la résistance R7.

Le deuxième circuit de sortie 13 comprend un transistor Q3, VMOS de type P, ayant sa source reliée à la tension positive + 5V, sa grille
25 reliée à la tension positive + 5V par une résistance R3, à la sortie C des portes P3 et P4 du circuit d'entrée 1, et à une tension basse VL par un condensateur C3 en série avec une résistance R8, et son drain relié à la grille d'un transistor Q5, VMOS de type N, à la tension basse VL par
30 une résistance R5, et au collecteur d'un transistor Q8 de type NPN. Le transistor Q8 à sa base reliée à un point F commun au condensateur C3 et à la résistance R8, et son émetteur relié à la tension basse VL. Le transistor Q5 a sa source reliée à la tension basse VL et son drain relié à la sortie S. Par rapport au deuxième circuit de sortie 5 de la
35 figure 1, le deuxième circuit de sortie 13 comporte en plus le transistor Q8, le condensateur C3 et la résistance R8.

Dans cette figure 2 on a représenté en différents points A, B, C, D, E, F, G, H et S les signaux obtenus lorsque l'on applique un signal de transition montante, 0 à + 5V, à l'entrée du circuit d'entrée 1.

5 La figure 3 est identique à celle de la figure 2, sauf que les signaux aux différents points A, B, C, D, E, F, G, H et S correspondent à un signal de transition descendante, + 5 V à 0, à l'entrée du circuit d'entrée 1.

10 Lorsque l'entrée est à 0, les transistors Q1, Q2, Q4 sont passants, et les transistors Q3 et Q5 sont bloqués ; la sortie S est alors à la tension haute VH (figure 2).

Si l'entrée passe à + 5V, les transistors Q1, Q2 et Q4 se bloquent et les transistors Q3 et Q5 deviennent passants ; la sortie S passe à la tension basse VL (figure 2).

15 Lorsque l'entrée est à + 5V, les transistors Q1, Q2, Q4 sont bloqués et les transistors Q3 et Q5 sont passants ; la sortie S est à la tension basse VL (figure 3). Si l'entrée passe à 0, les transistors Q1, Q2 et Q4 deviennent passants et les transistors Q3 et Q5 se bloquent ; la sortie S passe à la tension haute VH.

20 Le translateur de niveaux logiques de la figure 2 permet d'obtenir des vitesses de commutation supérieures à celles du translateur de la figure 1, et cela sans dégrader la puissance dissipée. Dans la figure 1, les résistances absorbent un courant à l'état repos, et si l'on veut obtenir une vitesse de commutation élevée il faut augmenter les courants de décharge des capacités des transistors ainsi que les courants de grille des transistors, donc diminuer la valeur des résistances ;
25 la consommation du translateur de niveaux logiques peut alors devenir prohibitive.

30 Une solution à ce problème consiste, comme représenté figure 2, à disposer en parallèle sur les résistances de polarisation R2, R4, R5, un transistor qui présentera une faible impédance entre émetteur et collecteur seulement lors des transitions ; les résistances de polarisation peuvent ainsi garder une valeur élevée et garantir de ce fait une faible consommation statique.

35 Pour une transition montante à l'entrée, figure 2, les transistors Q6 et Q7 deviennent passant lors des transitions qui sont appli-

quées à l'entrée des montages de ces transistors, c'est-à-dire aux points A et B, respectivement.

La transition montante au point A se traduit par une impulsion montante au point D qui rend le transistor Q6 passant pendant la durée de cette impulsion ; le transistor Q6 court-circuite la résistance R2 pendant la durée de l'impulsion, et la capacité de grille du transistor Q2 se décharge rapidement. Une transition montante au point A donne une transition descendante au point B qui se traduit par une impulsion descendante au point E ; l'impulsion au point E rend le transistor Q7 passant pendant la durée de cette impulsion et le transistor Q7 qui court-circuite la résistance R4, permet à la capacité de grille du transistor Q4 de se décharger rapidement. La transition montante à l'entrée donne une transition descendante au point C qui se traduit par une impulsion descendante au point F : l'impulsion au point F confirme le blocage du transistor Q8.

Pour une transition descendante à l'entrée, figure 3, le transistors Q6 et Q7 restent bloqués, et le transistor Q8 devient passant lors de la transition appliquée au point C. La transition descendante à l'entrée donne une transition descendante au point A qui se traduit par une impulsion descendante au point D ; cette impulsion au point D confirme le blocage du transistor Q6. La transition descendante au point A donne une transition montante au point B qui se traduit par une impulsion montante au point E ; cette impulsion montante au point E confirme le blocage du transistor Q7. La transition descendante à l'entrée donne une transition montante au point C qui se traduit par une impulsion montante au point F ; l'impulsion au point F rend le transistor Q8 passant pendant la durée de cette impulsion, et le transistor Q8 qui court-circuite la résistance R5 permet à la capacité de grille du transistor Q5 de se décharger.

A titre d'exemple, dans les figures 2 et 3 on a :

$$C1 = C2 = C3 = 100 \text{ pF}$$

$$R1 = R3 = R6 = 470 \text{ ohms}$$

$$R2 = R4 = R5 = 4700 \text{ ohms}$$

$$R7 = 100 \text{ ohms}$$

$$R8 = 270 \text{ ohms}$$

Q1, Q3, Q4 sont des transistors du type BS 250.

Q2 et Q5 sont des transistors du type BS 170.

Q6 et Q8 sont des transistors du type 2N 2222A.

Q7 est un transistor du type 2N 2907A.

5 La tension haute VH et la tension basse VL sont choisies en fonction des niveaux de tension désirés à la sortie S, c'est-à-dire en fonction des circuits en essais. Pratiquement la tension haute VH pourra être réglée à une valeur quelconque entre -2 volts et +15 volts, et la tension basse VL pourra être réglée à une valeur quelconque entre + 2
10 volts et -15 volts.

Le tableau ci-après donne les performances du translateur de niveaux logiques des figures 2 et 3 pour différentes valeurs des tensions haute (VH) et basse (VL).

15 On observe que le temps de montée maximum est de 43 ns, et que le temps descente maximum est de 40 ns. La fréquence maximum est supérieure à 1 MHz, pour des transitions de 30 volts (VL = -15V, VH = + 15V) et de 10 MHz pour des transitions égales ou inférieures à 10 volts (VL = - 5V, VH = +5V).

20 Ce tableau donne également les courants délivrés par la source de tension haute I (VH), la source de tension basse I (VL), et les deux sources de + 5V et -5V, I (+ 5V) et I (-5V).

25 Le translateur de niveaux logiques de l'invention permet donc le passage des niveaux logiques délivrés à l'entrée à des niveaux logiques en sortie compatibles avec ceux d'une famille d'un autre type ; les tensions haute VH et basse VL étant réglables indépendamment, le translateur permet donc de délivrer des niveaux logiques compatibles avec
30 différentes familles de circuits.

35

- 10 -

	Tension de sortie		Fré- quence	Temps de montée à la sortie 10% 90%		Temps de descente à la sortie 90% 10%		Consommation alimentations à F = 1 MHz, à vide			
	VL	VH		TP		TP		I(VH)	I(VL)	*	
	volts		Fmax MHz	LH ns		HL ns		mA	mA	I(+5V) mA	I(-5V) mA
5				A vide	Charge 100ohms	A vide	Charge 100ohms				
10	0	+2	10	39	39	33	34	6	5	76	11
	-2	0	10	41	37	31	32	4	6	11	10
15	0	+5	10	38	38	34	34	9	7	11	13
	-5	0	10	41	37	30	31	5	9	78	10
20	-5	+5	10	37	37	31	32	11	12	11	10
					Charge 500ohms		Charge 500ohms				
25	0	+12	7	37	37	37	38	17	10	82	18
	-12	0	10	42	42	29	30	6	14	82	10
30	-12	+12	5	37	38	31	33	25	31	82	10
	0	+15	3	37	37	39	40	20	12	82	20
35	-15	0	7	43	42	29	30	6	16	84	10
	-15	+15	1	38	38	31	33	34	40	84	10

* consommation du boîtier 26LS31 incluse (50 mA environ)

REVENDICATIONS

1/ Translateur de niveaux logiques, caractérisé par le fait qu'il comporte un circuit d'entrée (1), un translateur intermédiaire (2) et un translateur de sortie (3) constitué par un premier circuit de sortie (4) et un deuxième circuit de sortie (5), le circuit d'entrée recevant un signal d'entrée (EN) et délivrant sur une première sortie (A) un signal de même sens que le signal d'entrée et sur une deuxième sortie (C) un signal inverse du signal d'entrée, le translateur intermédiaire (2) étant relié à la première sortie (A) du circuit d'entrée, le premier circuit de sortie (4) étant relié au translateur intermédiaire, le deuxième circuit de sortie (5) étant relié à la deuxième sortie (C) du circuit d'entrée, les premier et deuxième circuits de sortie ayant une sortie (S) commune, le premier circuit de sortie étant relié à une source de tension haute (VH) et le deuxième circuit de sortie étant relié à une source de tension basse (VL), lesdites tensions haute et basse étant ajustables indépendamment.

2/ Translateur de niveaux logiques selon la revendication 1, caractérisé par le fait que le translateur intermédiaire (2) comporte un transistor (Q1) ayant une source reliée à une tension positive (+ 5V), une grille reliée par une première résistance (R1) à la tension positive, et un drain relié par une deuxième résistance (R2) à une tension négative (- 5V), que le premier circuit de sortie (4) comporte un premier transistor (Q2) et un deuxième transistor (Q4), le premier transistor (Q2) ayant une grille reliée au drain du transistor (Q1) du translateur intermédiaire, un drain relié d'une part à une grille du deuxième transistor (Q4) et d'autre part à la source de tension haute (VH) par une première résistance (R4), et une source reliée à la tension négative (-5V), le deuxième transistor (Q4) ayant une source reliée à la source de tension haute (VH) et un drain relié à la sortie (S), et que le deuxième circuit de sortie (5) comporte un premier transistor (Q3) et un deuxième transistor (Q5), le premier transistor ayant une grille reliée d'une part à la deuxième sortie (C) du circuit d'entrée et d'autre part à la tension positive (+ 5V) par une première résistance (R3), une source reliée à la tension positive (+ 5V) et un drain relié d'une part à une grille du deuxième transistor (Q5) et d'autre part à la source de tension

basse (VL) par une deuxième résistance (R5), le deuxième transistor (Q5) ayant une source reliée à la source de tension basse (VL) et un drain relié à la sortie (S).

- 3/ Translateur de niveaux logiques selon la revendication 2, caractérisé
- 5 par le fait que le translateur intermédiaire (10) comporte également un deuxième transistor (Q6), ayant un collecteur relié au drain du premier transistor (Q1), un émetteur relié à la tension négative (- 5V) et un circuit constitué par un condensateur (C1) en série avec une troisième
- 10 résistance (R6), le condensateur étant relié à la première sortie (A) du circuit d'entrée, la troisième résistance (R6) étant reliée à la tension négative (- 5V) et un point commun (D) au condensateur et à la troisième résistance étant relié à la base du deuxième transistor (Q6), que le
- 15 premier circuit de sortie (12) comporte également un troisième transistor (Q7) ayant un collecteur relié au drain du premier transistor (Q2), un émetteur relié à la source de tension haute (VH) et un circuit constitué par un condensateur (C2) en série avec une deuxième résistance (R7),
- le condensateur étant relié à la grille du premier transistor (Q2), la deuxième résistance (R7) étant reliée à la source de tension haute (VH), et un point commun (E) au condensateur et à la deuxième résistance étant
- 20 relié à la base du troisième transistor (Q7), et que le deuxième circuit de sortie (13) comporte également un troisième transistor (Q8) ayant un collecteur relié au drain du premier transistor (Q3), un émetteur relié à la source de tension basse (VL), et un circuit constitué par un condensateur (C3) en série avec une troisième résistance (R8), le condensateur
- 25 étant relié à la deuxième sortie (C) du circuit d'entrée, la troisième résistance (R8) étant reliée à la source de tension basse (VL), et un point commun (F) au condensateur et à la troisième résistance (R8) étant relié à la base du troisième transistor (Q8).

1/3

