

# 公告本

申請日期	89.3.7
案 號	89104028
類 別	H01L 21/66

A4  
C4

(以上各欄由本局填註)

449847

## 發明專利說明書

一、發明 名稱	中 文	半導體元件測試裝置
	英 文	
二、發明 創作人	姓 名	大滝 幹雄
	國 籍	日本
三、申請人	住、居所	日本東京都港區虎ノ門1丁目7番12號
	姓 名 (名稱)	沖電氣工業股份有限公司
	國 籍	日本
	住、居所 (事務所)	日本東京都港區虎ノ門1丁目7番12號
	代 表 人 姓 名	篠塚 勝正

裝

訂

線

449847

(由本局填寫)

承辦人代碼：
大類：
IPC分類：

A6  
B6

本案已向：

國(地區) 申請專利, 申請日期：

案號：

, 有 無主張優先權

日本

1999/03/12

11-066621

有關微生物已寄存於：

, 寄存日期：

, 寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

## 五、發明說明( | )

本發明是有關於一種半導體元件測試裝置。

習知積體電路插座(IC socket)是用以測試新開發之元件，並與欲測試元件之外型尺寸配合。積體電路插座用以與欲測試元件電性連接，並作為欲測試元件與周邊元件電性訊號傳遞之媒介。

請參照第 29、30 及 31 圖，用以說明積體電路插座與測試元件及欲測試元件間的連接。

第 29 圖所繪示為欲測試元件 1 及積體電路插座 3 固定於電路板 5 的剖面圖，並繪示其間的連接關係。積體電路插座 3 具有多個接點 3a，並以接點 3a 焊接於電路板 5。欲測試元件 1 藉由一夾持裝置 7 押入積體電路插座 3，並與接點 3a 電性連接。

第 30 圖會是欲測試元件 1 的透視圖，顯示形成電極的表面。欲測試元件 1 為一晶片尺寸構裝(CSP)，利用晶片尺寸封裝技術製成。欲測試元件 1 具有多個電極 1a，輸入及輸出電子訊號與電源均可藉由其傳輸。積體電路插座 3 之各個接點 3a 擺置的位置使得其與對應之電極 1a 連接。

第 31 圖繪示為電路板 5 的平面圖，其上已固定有欲測試元件 1 及積體電路插座 3。電路板 5 可以透過連接端子 5a、5b 接收周邊元件(未繪示)的電子訊號，周邊元件比如是積體電路測試器(IC tester)，及老化測試裝置(burn-in apparatus)。

如前述欲測試元件 1、積體電路插座 3 及電路板 5 的建構方式，電子訊號從周邊元件經由連接端子 5a、5b 輸

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(2)

入電路板；而電源電壓(source voltage)經由積體電路插座3的接點3a及電極1a供應至欲測試元件1。此外，欲測試元件1的輸出電子訊號係藉由反向路徑傳遞至週邊元件。如此之電性連結使欲測試元件可進行功能性測試。

有別於利用積體電路插座進行的功能測試，對於晶圓級元件(wafer-level device)的功能測試，係藉由探針連接晶圓焊墊，以構成訊號輸入/輸出電極與元件來源電極。

由於藉由探針進行功能測試時，探針與晶圓的接觸次數十分頻繁，因此探針的耐久度是十分重要的課題。如果探針的接觸耐久度較差，勢必使得功能測試的成本增加，並使得元件本身的價格提高。基於此種理由，一般探針都採用硬度較高的材質製成，比如鎢及鈹銅合金。

第32圖繪示具有探針11之探針卡13。在探針卡13上形成有一特定印刷電路對應欲測試元件，並透過連接端子13a、13b接收週邊元件(未繪示)的電子訊號。

第33圖繪示欲測試元件為晶圓15，其與探針卡13位置的相對關係。週邊元件的電子訊號係透過連接端子13a、13b及探針卡13上的電路，輸入探針卡13，並達到探針11。接著，電子訊號從探針11施予晶圓15上的焊墊。另外，晶圓15輸出的電子訊號則經由反向路徑傳輸至週邊元件。上述之結構即可達成晶圓15的功能測試。

然而，有關於利用積體電路插座進行之功能測試，及利用探針進行之功能測試，下列仍有一些問題尚需解決。

## 五、發明說明(3)

現今積體電路插座接點的最小間距是 0.65mm。同時，近幾年構裝之尺寸已逐漸縮小，以晶片尺寸構裝(CSP)為典型例子，元件電極之間距以縮減至 1.27mm 到 0.8mm 或 0.5mm。電極間距的縮減使得積體電路插座接點的間距是必須要隨之縮減。

然而，為了縮減積體電路插座接點的間距至 0.65mm 或更小，積體電路插座製作的加工精度必須提昇。可預期地，積體電路插座的製造成本將因此增加，而也將造成元件價格的提高。

此外，積體電路插座的尺寸對於安裝於電路板的插座數目，將造成限制。此種安裝於電路板插座數目的限制，終究會限制一次功能測試中所能測試的元件數目。因此，習知技術中利用積體電路插座的功能測試並非十分有效率。

藉由探針之功能測試，為了提高效率，必須將固定於探針卡上的探針數量增加，以讓更多的元件可以同時進行測試。然而，習知探針係利用樹脂之類的材質固定於探針卡上，若遇確保穩固性則需較大的空隙。因此，若欲增加探針數量，而不增加探針卡尺寸是很困難的。

另外，高積集度的元件愈來愈普遍，相對地探針欲連接的元件焊墊間距也愈來愈小。焊墊的間距縮減，迫使探針連接於探針卡上的間距也必須對應地縮減。然而，就習知的結構，欲縮減探針間距是十分困難的。

本發明的目的之一就是在解決上述習知問題，提出

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(4)

一種半導體元件測試裝置，可以運用於測試具有小電極間距的半導體元件，並具有較高的耐久度。本發明的另一目的在於提供一種半導體元件測試裝置，可以批次測試大量半導體元件。

為達成本發明之上述和其他目的，提出一種半導體元件測試裝置，可以測試一或多個半導體元件，每一半導體元件具有多個電極。根據本發明之半導體元件測試裝置特徵在於：提供一電路板，其具有對應半導體元件之電路，並具有多個電極，分別對應於半導體元件上個別之電極；以及一接合板，其具有多個導電部分，以一對一地電性連接半導體元件上的電極，及電路板上的電極。此結構使得半導體元件得以透過接合板電性連接電路板。周邊元件可以藉由電路板輸入各種電子訊號，以驅動半導體元件；而半導體元件輸出的各種電子訊號也可以傳送至周邊元件。此外，藉由接合板具有多個導電部分，以電性連接半導體元件上的電極及電路板上的電極，使得裝置可以藉由極簡單的結構而實現。

每一個導電部分分別形成於接合板上多個貫穿孔的其中之一。縱使半導體元件之電極是以小間距的陣列方式排列，仍可以藉由縮減電路板上電極之間距及貫穿孔之間距，而得以很容易地測試半導體元件。

一導電彈性體分別一對一地電性連接接合板上的導電部分及半導體元件的電極，而且配置於接合板與半導體元件之間。藉由採用此結構，當半導體元件與接合板彼此

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(5)

電性連接時，接合板之導電部分施予半導體元件個別之電極的壓力得以降低。比如當半導體元件的電極為球狀電極時，此種結構可以有效地運用。

此外，可提供一定位件，以固定半導體元件。比如，定位件可以由一具有依據半導體元件形狀的貫穿部分的平板構成。如此結構，使得半導體元件可以藉由簡單的結構而固定。此外，固持半導體元件的空間也得以縮小。

再則，電路板、接合板及定位件可以形成一整合單元，或者電路板、接合板、導電彈性體及定位件可以形成一整合單元。此種結構免除在測試半導體元件時，電路板、接合板及定位件的組裝動作，以獲得更具效率的測試。

藉由一夾持件將半導體元件壓在接合板上，使得半導體元件之位置得以固定，且可獲得半導體元件與電路板間更可靠的電性連接。

夾持件與半導體元件間接觸的部分還需配置一緩衝件。藉由此緩衝件，夾持件施予的壓力可以均勻地分配，並正確地施予半導體元件。

藉由使用薄膜以建構接合板，可以獲得極薄之接合板。此外，由於薄膜組成之接合板可以自由地被彎折，電路板電極與半導體元件個別電極間的電性連接變得更具可靠性。

此外，印刷電路板亦可用以構成接合板。應用印刷電路板與薄膜接合板相較，製造成本上可以顯著降低。

另外，根據本發明一種半導體元件測試裝置，可以

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明 (b)

測試一或多個半導體元件，每一半導體元件具有多個電極，其特徵在於：具有一探針夾持件，多個探針配置於探針夾持件，使得探針的尖端分別一對一地對應半導體元件的電極，而探針尖端的另一端則暴露出來。藉此結構，當所需區域較小時，可用以固定多個探針，得以應用於具有較小電極間距的半導體元件。

藉由形成多個凹口部分於探針夾持件中，探針可以更可靠地被探針夾持件固定住。

此外，藉由導電彈性部份分別對應一探針，探針尖端與半導體元件之接觸可以更具可靠度。

本發明中鍍金層至少需要形成於探針欲接觸導電彈性體的區域。此鍍金層可避免氧化層的形成，確保探針與導電彈性體間的電性連續性，使得微小之電流亦可以通過。

再則，根據本發明晶片或晶圓均可以作為欲測試半導體元件。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

### A. 圖式之簡單說明：

第 1 圖為第一實施例之半導體元件測試裝置的結構透視圖。

第 2 圖為對應第 1 圖之半導體元件測試裝置剖面圖。

第 3 圖為對應第 2 圖半導體元件測試裝置剖面圖的

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 五、發明說明(7)

部份放大圖。

第 4 圖為第二實施例之半導體元件測試裝置結構剖面圖。

第 5 圖為對應第 4 圖半導體元件測試裝置剖面圖的部份放大圖。

第 6 圖為第三實施例之半導體元件測試裝置結構剖面圖。

第 7 圖為第四實施例之半導體元件測試裝置的結構透視圖。

第 8 圖為對應第 7 圖之半導體元件測試裝置剖面圖。

第 9 圖為對應第 7 圖半導體元件測試裝置剖面圖的部份放大圖。

第 10 圖為第四實施例之半導體元件測試裝置結構剖面圖。

第 11 圖為對應第 10 圖半導體元件測試裝置剖面圖的部份放大圖。

第 12 圖為第六實施例之半導體元件測試裝置結構剖面圖。

第 13 圖為第七實施例之半導體元件測試裝置的結構透視圖。

第 14 圖為以對應第 13 圖之半導體元件測試裝置進行測試之欲測試晶圓的平面圖。

第 15 圖為對應第 14 圖中欲測試晶圓上之晶片尺寸構裝的剖面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(8)

第 16 圖為第 14 圖中欲測試晶圓插入第 13 圖之半導體元件測試裝置前的剖面圖。

第 17 圖為第 14 圖中欲測試晶圓插入第 13 圖之半導體元件測試裝置的剖面圖。

第 18 圖為對應第 17 圖半導體元件測試裝置剖面圖的部份放大圖。

第 19 圖為第八實施例之半導體元件測試裝置的結構透視圖。

第 20 圖為以對應第 19 圖之半導體元件測試裝置進行測試之欲測試晶圓的平面圖。

第 21 圖為對應第 20 圖中欲測試晶圓上之晶片尺寸構裝的剖面圖。

第 22 圖為第 20 圖中欲測試晶圓插入第 19 圖之半導體元件測試裝置前的剖面圖。

第 23 圖為第 20 圖中欲測試晶圓插入第 19 圖之半導體元件測試裝置的剖面圖。

第 24 圖為對應第 23 圖半導體元件測試裝置剖面圖的部份放大圖。

第 25 圖為第九實施例之半導體元件測試裝置的結構透視圖。

第 26 圖為對應第 25 圖半導體元件測試裝置剖面圖的部份放大圖。

第 27 圖為以對應第 25 圖之半導體元件測試裝置進行測試之欲測試積體電路晶片的平面圖。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(9)

第 28 圖為第 27 圖之積體電路晶片與第 25 圖之半導體元件測試裝置連接的剖面圖。

第 29 圖為習知欲測試元件、積體電路插座及電路板的連接剖面圖。

第 30 圖為對應第 29 圖之欲測試元件的透視圖，以繪示其形成電極之表面。

第 31 圖為電路板連接第 29 圖之欲測試元件及積體電路插座的平面圖。

第 32 圖為習知具有探針之探針卡 13 的平面圖。

第 33 圖為晶圓與第 32 圖之探針卡連接的剖面圖。

### 圖式標號說明

1、201、202：欲測試元件

3：積體電路插座

5、103、303、503：電路板

3a：接點

7：夾持裝置

1a、201a、105c、103c、115c、202a、106b、106c、116b、116c、411b、303c、305c、412b、306b、306c、503a：

電極

5a、5b、13a、13b、103a、103b、303a、303b：連接

端子

11、511：探針

13、521：探針卡

15：晶圓

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(10)

e1、e2、e3、e4、e5、e6、e7、e8、e9：半導體元件

### 測試裝置

105、106、305、306：薄膜

107、307：定位板

109、309：夾持板

105a、107a、109a、106a、131a、305a、307a、309a、

306a、331a：參考定位孔

111、311：定位銷

107b、105d、115d、106d、116d、305d、307b、306d：

### 貫穿孔

113、313：緩衝件

105b、115b、305b：凸塊

115、116：印刷電路板

121、141：第一單元

122、142：第二單元

121a、141a：元件固持部份

131、331、531：橡膠片

131b、331b、531b：異方性導電膠部份

401、402：欲測試晶圓

309b：通風貫穿孔

411、412：晶片尺寸構裝

411a：元件主體

511a：接觸部份

511b：V型凹槽

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明( // )

601：積體電路晶片

601a：焊墊

601b：保護薄膜

### 實施例

下文係為依照本發明之較佳實施例，一種半導體元件測試裝置，並配合所附圖示作詳細說明。值得一提的是，下列說明及所附圖式中，相同標號代表實施上具有相同功能及結構特徵的構件，因而無須重複的贅述。

#### (第一實施例)

如第 1 圖所示，本發明第一實施例中的半導體元件測試裝置 e1 採用的結構包括電路板 103、薄膜 105、定位板 107 及夾持板 109。

電路板 103 藉由連接端子 103a、103b 連接周邊元件(未繪示)，使各種電子訊號及源電壓得以輸入輸出。電路板 103 亦可以由比如多層基板構成。

薄膜 105、定位板 107 及夾持板 109，分別具有參考定位孔 105a、107a、109a 分別位於四個角落，而藉由定位銷 111 固定於電路板 103。

定位板 107 具有多個貫穿孔 107b，以構成定位構件，用以定位欲測試元件 201。貫穿孔 107b 之形狀，係對應於欲測試元件 201 的外型。

第 2 圖所繪示為第一實施例中半導體元件測試裝置 e1 的剖面圖，而多個欲測試元件 201 安裝於半導體元件測試裝置 e1，以進行各種功能測試。欲測試元件 201 分別插入

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(12)

定位板 107 中的貫穿孔 107b，並由夾持板 109 及對應之薄膜 105 所夾持。另外，緩衝件 113 配置於每一欲測試元件 201 及夾持板 109 之間，以確保夾持板 109 施予欲測試元件之壓力，均勻且正確地分布。另外，薄膜 105 藉由夾持板 109 施予的壓力支撐於電路板 103 上。

接著，請參照第 3 圖，其繪示對應第 2 圖的部份放大圖，以顯示欲測試元件 201、薄膜 105 與電路板 103 間的連接關係。

在電路板 103 上形成有多個電極 103c，分別對應位於欲測試元件 201 表面之電極 201a。

凸塊 105b 形成於薄膜 105 表面，而面向欲測試元件 201，並對應位於欲測試元件 201 表面之電極 201a。凸塊 105b 可以作為施予源電壓(source voltage)及各種輸入/輸出電子訊號的接點，而且藉由電解電鍍形成半球型形狀。凸塊 105b 比如係以銅為材質，且其表面經過電鍍金的處理。此外，可以利用蝕刻的方法形成突出部以取代凸塊。

電極 105c 形成於薄膜 105 表面，而面向電路板 103，分別對應位於電路板 103 表面之電極 103c。凸塊 105b 及電極 105c 分別形成於薄膜 105 對應之二表面，並藉由貫穿孔 105d 電性連接。

當欲測試元件 201 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 103a、103b 輸入電路板 103，並經由電路板 103 上的電路跡線而到達電極 103c。如第 2 圖及第 3 圖所示，電極 103c

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(13)

藉由電極 105c 及薄膜 105 上之凸塊 105b 電性連接欲測試元件 201 之電極 201a。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試元件 201，並電性驅動欲測試元件 201。此外，各種電子訊號藉由欲測試元件 201 輸出，並經由凸塊 105b 及薄膜 105 上之電極 105c，且經由電極 103c 進入電路板 103，進而傳送至周邊元件。

當如第一實施例所述之半導體元件測試裝置 e1 使用時，由於其並未如習知積體電路插座，須利用加工形成接點，因此可以支撐間距較小之欲測試元件 201 上的電極 201a。例如：縱使電極間距小於等於 0.5mm，功能性測試亦可以與欲測試元件 201 連接。

此外，第一實施例中半導體元件測試裝置 e1 具有定位板 107，可以在同一批次中，同時定位多個欲測試元件 201，而無須每一欲測試元件 201 配置一積體電路插座。因此，可以免除積體電路插座的花費。再則，與習知相較，以習知積體電路插座在電路板 103 上佔用的相同面積，應用於本發明可以使更多的欲測試元件 201 固定於電路板 103 上，因此在同一次功能測試中，可以同時測試較多的欲測試元件。

### (第二實施例)

第 4 圖所繪示為第二實施例中半導體元件測試裝置 e2 的剖面圖，而多個欲測試元件 201 安裝於半導體元件測試裝置 e2，以進行各種功能測試。如第 4 圖所示，第二實施例中半導體元件測試裝置 e2 所採用的結構，係將第一實

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 五、發明說明(14)

施例中半導體元件測試裝置 e1 中的薄膜 105 以印刷電路板 115 取代。

欲測試元件 201 分別插入定位板 107 中的貫穿孔 107b，並由夾持板 109 及對應之印刷電路板 115 所夾持。另外，緩衝件 113 配置於每一欲測試元件 201 及夾持板 109 之間，以確保夾持板 109 施予欲測試元件之壓力，均勻且正確地分布。另外，印刷電路板 115 藉由夾持板 109 施予的壓力支撐於電路板 103 上。

接著，請參照第 5 圖，其繪示對應第 4 圖的部份放大圖，以顯示欲測試元件 201、印刷電路板 115 與電路板 103 間的連接關係。

凸塊 115b 形成於印刷電路板 115 表面，而面向欲測試元件 201，並對應位於欲測試元件 201 表面之電極 201a。凸塊 115b 可以作為施予源電壓(source voltage)及各種輸入/輸出電子訊號的接點，而且藉由電解電鍍形成半球型形狀。凸塊比如係以銅為材質，且其表面經過電鍍金的處理。此外，可以利用蝕刻的方法形成突出部以取代凸塊。

電極 115c 形成於印刷電路板 115 表面，而面向電路板 103，分別對應位於電路板 103 表面之電極 103c。凸塊 115b 及電極 115c 分別形成於印刷電路板 115 對應之二表面，並藉由貫穿孔 115d 電性連接。

當欲測試元件 201 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 103a、103b 輸入電路板 103，並經由電路板 103 上的電路

(請先閱讀背面之注意事項再填寫本頁)

訂  
線



## 五、發明說明 (15)

跡線而到達電極 103c。如第 4 圖及第 5 圖所示，電極 103c 藉由電極 115c 及印刷電路板 115 上之凸塊 115b 電性連接欲測試元件 201 之電極 201a。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試元件 201，並電性驅動欲測試元件 201。此外，各種電子訊號藉由欲測試元件 201 輸出，並經由凸塊 115b 及印刷電路板 115 上之電極 115c，且經由電極 103c 進入電路板 103，進而傳送至周邊元件。

如上所述，第二實施例中半導體元件測試裝置 e2 的優點與第一實施例中半導體元件測試裝置 e1 類似。

此外，第二實施例中半導體元件測試裝置 e2，採用印刷電路板 115 電性連接欲測試元件 201 及電路板 103，相較於第一實施例中半導體元件測試裝置 e1 採用的薄膜 105，可以降低成本。

### (第三實施例)

如第 6 圖所示，依照本發明第三實施例之半導體元件測試裝置 e3 採用的結構包括電路板 103、印刷電路板 115、定位板 107、夾持板 109 及緩衝件 113，如第二實施例中構成半導體元件測試裝置 e2 的構件。

然而，第三實施例之半導體元件測試裝置 e3 中，電路板 103、印刷電路板 115 及定位板 107 整合構成第一單元 121，而夾持板 109 及緩衝件 113 整合構成第二單元 122。

當欲測試元件 201 連接功能性測試，每一欲測試元件 201 插入元件固持部份 121a 中，其係由第一單元 121 中定位板 107 的貫穿孔 107b 所構成。欲測試元件 201 藉

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(16)

由第二單元 122 向下押入，以與第一單元 121 中的印刷電路板 115 電性連接。此外，由於印刷電路板 115 已與電路板 103 電性連接，因此周邊元件的電子訊號及源電壓均可以輸出至欲測試元件 201，且欲測試元件 201 的電子訊號輸出亦可以傳遞至周邊元件。

如上所述，第三實施例中半導體元件測試裝置 e3 的優點與第二實施例中半導體元件測試裝置 e2 類似。

此外，由於第三實施例中半導體元件測試裝置 e3，係整合電路板 103、印刷電路板 115 及定位板 107，以構成第一單元 121；而整合夾持板 109 及緩衝件 113，構成第二單元 122。因此測試欲測試元件 201 時無須組裝電路板 103、印刷電路板 115、定位板 107、夾持板 109 及緩衝件 113，所以將欲測試元件連接功能測試的步驟，很相似習知採用積體電路插座的方式。因此，使得功能性測試進行得更有效率，並可降低測試成本。

值得一提的是，第三實施例中半導體元件測試裝置 e3 的印刷電路板 115 可以由第一實施例中半導體元件測試裝置 e1 的薄膜 105 取代。

### (第四實施例)

如第 7 圖所示，第四實施例中半導體元件測試裝置 e4 採用的結構包括：電路板 103、薄膜 106、橡膠片 131，定位板 107 及夾持板 109。第四實施例中半導體元件測試裝置 e4 採用的結構中係以薄膜 106 取代第一實施例中半導體元件測試裝置 e1 的薄膜 105，並增加橡膠片 131。

(請先閱讀背面之注意事項再填寫本頁)

表  
訂  
線

## 五、發明說明(17)

薄膜 106 與橡膠片 131 在四個角落分別具有參考定位孔 106a、131a，而藉由定位銷 111 與定位板 107 及夾持板 109 一起固定於電路板 103。

值得注意的是第 7 圖中所繪示的欲測試元件 202。相似於前述的欲測試元件 201，欲測試元件 202 亦為晶片尺寸構裝(CSP)，而且為球格陣列式構裝(Ball Grid Array, BGA)。定位板 107 具有多個貫穿孔 107b 構成定位部份，用以定位欲測試元件 202。貫穿孔 107b 之形狀，係對應於欲測試元件 202 的外型。

第 8 圖所繪示為第四實施例中半導體元件測試裝置 e4 的剖面圖，而多個欲測試元件 202 安裝於半導體元件測試裝置 e4，以進行各種功能測試。欲測試元件 202 分別插入定位板 107 中的貫穿孔 107b，並由夾持板 109 及對應之橡膠片 131 所夾持。另外，緩衝件 113 配置於每一欲測試元件 202 及夾持板 109 之間，以確保夾持板 109 施予欲測試元件之壓力，均勻且正確地分布。另外，橡膠片 130 藉由夾持板 109 施予的壓力支撐於薄膜 106 上，而薄膜 106 固定於電路板 103。

接著，請參照第 9 圖，其繪示對應第 8 圖的部份放大圖，以顯示欲測試元件 202、橡膠片 131、薄膜 106 與電路板 103 間的連接關係。

如前所述，欲測試元件 202 為球格陣列式構裝，因而具有多個焊接球構成電極 202a。

在電路板 103 上形成有多個電極 103c，分別對應位

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(18)

於欲測試元件 202 表面之電極 202a。

電極 106b 形成於薄膜 106 表面，而面向橡膠片 131。在薄膜 106 面對電路板 103 的表面，具有電極 106c 分別對應位於電路板 103 表面之電極 103c。電極 106b 及電極 106c 分別形成於薄膜 106 對應之二表面，並藉由貫穿孔 106d 電性連接。

橡膠片 131 具有異方性導電膠部份 131b，位於對應薄膜 106 之電極 106b 及欲測試元件 202 之電極 202a。

當欲測試元件 202 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 103a、103b 輸入電路板 103，並經由電路板 103 上的電路跡線而到達電極 103c。如第 8 圖及第 9 圖所示，電極 103c 藉由電極 106c 及薄膜 106 上之凸塊 106b 電性連接嵌入於橡膠片 131 之異方性導電膠部份 131b。此外，異方性導電膠部份 131b 電性連接欲測試元件 202 上之電極 202a。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試元件 202，並電性驅動欲測試元件 202。各種電子訊號藉由欲測試元件 202 輸出，並經由嵌入於橡膠片 131 中的異方性導電膠部份 131b、薄膜 106 上之電極 106b、106c，且經由電極 103c 進入電路板 103，進而傳送至周邊元件。

當如第四實施例所述之半導體元件測試裝置 e4 使用時，由於其並未如習知積體電路插座 3，須利用加工形成接點，因此可以支撐間距較小之欲測試元件 202 上的電極 202a，如同第一實施例中的半導體測試元件 e1。例如：縱

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(19)

使電極 202a 間距小於等於 0.5mm，功能性測試亦可以與欲測試元件 202 連接。

此外，第四實施例中半導體元件測試裝置 e4 具有定位板 107，可以在同一批次中，同時定位多個欲測試元件 202，而無須每一欲測試元件 202 配置一積體電路插座。因此，可以免除積體電路插座的花費。再則，與習知相較，以習知積體電路插座在電路板 103 上佔用的相同面積，應用於本發明可以使更多的欲測試元件 202 固定於電路板 103 上，因此在同一次功能測試中，可以同時測試較多的欲測試元件。

值得一提的是，當如欲測試元件 202 之球格陣列式構裝進行各種測試時，球狀電極可能的變形現象是必須列入考量的。第四實施例中半導體元件測試裝置 e4 具有橡膠片 131，由於其具有彈性，所以使得欲測試元件 202 之電極 202a 只在厚度方向形成電性連接，而不會產生變形。而橡膠片 131 中的異方性導電膠 131b，由於具有彈性，因此可以提供欲測試元件 202 中球狀電極 202a 較大的接觸面積。因此，運用第四實施例的半導體元件測試裝置 e4，各個欲測試元件 202 均能可靠地電性連接周邊元件，使得功能性測試可以更準確地進行。

(第五實施例)

第 10 圖所繪示為本發明第五實施例中半導體元件測試裝置 e5 的剖面圖，而多個欲測試元件 202 安裝於半導體元件測試裝置 e5，以進行各種功能測試。如第 10 圖所

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(20)

示，第五實施例中半導體元件測試裝置 e5 所採用的結構，係將第四實施例中半導體元件測試裝置 e4 中的薄膜 106 以印刷電路板 116 取代。

欲測試元件 202 分別插入定位板 107 中的貫穿孔 107b，並由夾持板 109 固定於橡膠片 131。另外，緩衝件 113 配置於每一欲測試元件 202 及夾持板 109 之間，以確保夾持板 109 施予欲測試元件 202 之壓力，均勻且正確地分布。另外，橡膠片 131 藉由夾持板 109 施予的壓力固定於印刷電路板 116 上，而印刷電路板 116 固定於電路板 103。

接著，請參照第 11 圖，其繪示對應第 10 圖的部份放大圖，以顯示欲測試元件 202、橡膠片 131、印刷電路板 116 與電路板 103 間的連接關係。

電極 116b 形成於印刷電路板 116 表面，而面向橡膠片 131。電極 116c 形成於印刷電路板 116 面對電路板 103 之表面，並對應位於電路板 103 之電極 103c。電極 116b 及電極 116c 分別形成於印刷電路板 116 對應之二表面，並藉由貫穿孔 116d 電性連接。

橡膠片 131 具有異方性導電膠部份 131b，位於對應印刷電路板 116 之電極 116b，及欲測試元件 202 之電極 202a。

當欲測試元件 202 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 103a、103b 輸入電路板 103，並經由電路板 103 上的電路

(請先閱讀背面之注意事項再填寫本頁)

訂

線

## 五、發明說明(2/)

跡線而到達電極 103c。如第 10 圖及第 11 圖所示，電極 103c 藉由印刷電路板 116 上之電極 116c、116b 電性連接橡膠片 131 之異方性導電膠部份 131b。此外，異方性導電膠部份 131b 電性連接欲測試元件 202 之電極 202a。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試元件 201，並電性驅動欲測試元件 201。此外，各種電子訊號藉由欲測試元件 201 輸出，並經由嵌於橡膠片 131 之異方性導電膠部份 131b 及印刷電路板 116 上之電極 116b、116c，且經由電極 103c 進入電路板 103，進而傳送至周邊元件。

如上所述，第五實施例中半導體元件測試裝置 e5 的優點與第四實施例中半導體元件測試裝置 e4 類似。

此外，第五實施例中半導體元件測試裝置 e5，採用印刷電路板 116 電性連接欲測試元件 202 及電路板 103，相較於第四實施例中半導體元件測試裝置 e4 採用的薄膜 106，可以降低成本。

### (第六實施例)

如第 12 圖所示，依照本發明第六實施例之半導體元件測試裝置 e6 採用的結構包括電路板 103、印刷電路板 116、橡膠片 131、定位板 107、夾持板 109 及緩衝件 113，如第五實施例中構成半導體元件測試裝置 e5 的構件。

然而，第六實施例之半導體元件測試裝置 e6 中，電路板 103、印刷電路板 116、橡膠片 131 及定位板 107 整合構成第一單元 141，而夾持板 109 及緩衝件 113 整合構成第二單元 142。

(請先閱讀背面之注意事項再填寫本頁)

訂  
線

## 五、發明說明(22)

當欲測試元件 202 連接功能性測試，每一欲測試元件 202 插入元件固持部份 141a 中，其係由第一單元 141 中定位板 107 的貫穿孔 107b 所構成。欲測試元件 202 藉由第二單元 142 向下押入，以與第一單元 141 中的橡膠片 131 電性連接。此外，由於橡膠片 131 已與印刷電路板 116 電性連接；印刷電路板 116 已與電路板 103 電性連接，因此周邊元件的電子訊號及源電壓均可以輸出至欲測試元件 202，且欲測試元件 202 的電子訊號輸出亦可以傳遞至周邊元件。

如上所述，第六實施例中半導體元件測試裝置 e6 的優點與第五實施例中半導體元件測試裝置 e5 類似。

此外，由於第六實施例中半導體元件測試裝置 e6，係整合電路板 103、印刷電路板 116、橡膠片 131 及定位板 107，以構成第一單元 141；而整合夾持板 109 及緩衝件 113，構成第二單元 142。因此測試欲測試元件 202 時無須組裝電路板 103、印刷電路板 116、橡膠片 131、定位板 107、夾持板 109 及緩衝件 113，所以將欲測試元件連接功能測試的步驟，很相似習知採用積體電路插座的方式。因此，使得功能性測試進行得更有效率，並可降低測試成本。

值得一提的是，第六實施例中半導體元件測試裝置 e6 的印刷電路板 116 可以由第四實施例中半導體元件測試裝置 e4 的薄膜 106 取代。

(第七實施例)

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線



## 五、發明說明(23)

如第 13 圖所示，本發明第七實施例中的半導體元件測試裝置 e7 採用的結構包括電路板 303、薄膜 305、定位板 307 及夾持板 309。

電路板 303 藉由連接端子 303a、303b 連接周邊元件(未繪示)，使各種電子訊號及源電壓得以輸入輸出。電路板 303 可以由比如多層基板構成。

薄膜 305、定位板 307 及夾持板 309，分別具有參考定位孔 305a、307a、309a 分別位於四個角落，而藉由定位銷 311 固定於電路板 303。

定位板 307 具有一貫穿孔 307b，以構成一定位構件，用以定位一欲測試晶圓 401(a wafer to be measured)。貫穿孔 307b 之形狀，係對應於欲測試晶圓 401 的外型。

夾持板 309 具有多個通風貫穿孔 309b(ventilating through hole)。此通風貫穿孔使得欲測試晶圓 401 暴露於空氣中，比如當欲測試晶圓 401 進行老化測試(burn-in)時，可以與傳送之熱風形成對流。值得一提的是，若非進行老化測試，通風貫穿孔 309b 是可以省略的。

接著，請參照第 14 圖，其繪示利用第七實施例中之半導體元件測試裝置 e7 進行各種功能測試之欲測試晶圓 401。

欲測試晶圓 401 經過樹脂塗佈後，最後將分割成多個晶片尺寸構裝 411。第 15 圖所繪示為對應第 14 圖中晶片尺寸構裝 411 沿剖面線 A-A' 的剖面視圖。元件主體 411a 表面具有多個電極 411b。電極 411b 為平板形態的電極(如

(請先閱讀背面之注意事項再填寫本頁)

表

訂

線

## 五、發明說明(24)

平板格狀陣列構裝 land grid array, LGA), 具有一平坦之表面。

第 16 圖所繪示為第七實施例中半導體元件測試裝置 e7 及欲測試晶圓 401 的剖面圖, 且為欲測試晶圓 401 安裝於半導體元件測試裝置 e7, 以進行各種功能測試前的剖面結構圖。緩衝件 313 配置於夾持板 309 面對欲測試晶圓 401 的表面。此外, 如第 16 圖所示, 較佳是預先組裝電路板 303、薄膜 305 及定位板 307 以構成一整合組合作。

如第 17 圖所示, 接著欲測試晶圓 401 安裝於第七實施例中的半導體元件測試裝置 e7。欲測試晶圓 401 插入定位板 307 中的貫穿孔 307b, 並藉由夾持板 309 與薄膜 305 壓合。藉由夾持板 309 上的緩衝件 313, 使得夾持板 309 施予欲測試晶圓 401 的壓力均勻且正確地分布。另外, 薄膜 305 藉由夾持板 309 施予的壓力支撐於電路板 303 上。

接著, 請參照第 18 圖, 其繪示對應第 17 圖的部份放大圖, 以顯示欲測試晶圓 401、薄膜 305 與電路板 303 間的連接關係。

在電路板 303 上形成有多個電極 303c, 分別對應位於欲測試晶圓 401 表面之電極 411b。

凸塊 305b 形成於薄膜 305 表面, 而面向欲測試晶圓 401, 並對應位於欲測試晶圓 401 表面之電極 411b。凸塊 305b 可以作為施予源電壓及各種輸入/輸出電子訊號的接點, 而且藉由電解電鍍形成半球型形狀。凸塊比如係以銅為材質, 且其表面經過電鍍金的處理。此外, 可以利用蝕

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(25)

刻的方法形成突出部以取代凸塊。

電極 305c 形成於薄膜 305 表面，而面向電路板 303，分別對應位於電路板 303 表面之電極 303c。凸塊 305b 及電極 305c 分別形成於薄膜 305 對應之二表面，並藉由貫穿孔 305d 電性連接。

當欲測試晶圓 401 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 303a、303b 輸入電路板 303，並經由電路板 303 上的電路跡線而到達電極 303c。如第 17 圖及第 18 圖所示，電極 303c 藉由電極 305c 及薄膜 305 上之凸塊 305b 電性連接欲測試晶圓 401 之電極 411b。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試晶圓 401，並電性驅動欲測試晶圓 401。此外，各種電子訊號藉由欲測試晶圓 401 輸出，並經由凸塊 305b 及薄膜 305 上之電極 305c，且經由電極 303c 進入電路板 303，進而傳送至周邊元件。

當如第七實施例所述之半導體元件測試裝置 e7 使用時，由於其並未如習知積體電路插座 3，須利用加工形成接點，因此可以支撐間距較小之欲測試晶圓 401 上的電極 411b。例如：縱使電極 411b 間距小於等於 0.5mm，功能性測試亦可以與欲測試晶圓 401 連接。

此外，第七實施例中的半導體元件測試裝置 e7 可以進行各種晶圓級(wafer level)測試，而無須將晶圓切割成晶片。因此，無須個別晶片的積體電路插座，可以免除積體電路插座的花費。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(26)

再則，藉由第七實施例中半導體元件測試裝置 e7，以連接具有樹脂塗佈層晶片尺寸構裝的晶圓，可以作為習知功能測試及老化測試的裝置，使得功能測試及老化測試可在同一批次中進行。

須注意的是，半導體元件測試裝置 e7 中的薄膜 305 亦可以由印刷電路板取代。

### (第八實施例)

如第 19 圖所示，本發明第八實施例中半導體元件測試裝置 e8 採用的結構包括：電路板 303、薄膜 306、橡膠片 331，定位板 307 及夾持板 309。換句話說，第八實施例中半導體元件測試裝置 e8 採用的結構中係以薄膜 306 取代第七實施例中半導體元件測試裝置 e7 的薄膜 305，並增加橡膠片 331。

薄膜 306 與橡膠片 331 在四個角落分別具有參考定位孔 306a、331a，而藉由定位銷 311 與定位板 307 及夾持板 309 一起固定於電路板 303。

定位板 307 具有一貫穿孔 307b，以構成一定位構件，用以定位一欲測試晶圓 402。貫穿孔 307b 之形狀，係對應於欲測試晶圓 402 的外型。

接著，請參照第 20 圖，其繪示利用第八實施例中之半導體元件測試裝置 e8 進行各種功能測試之欲測試晶圓 402。

欲測試晶圓 402 經過樹脂塗佈後，最後將分割成多個晶片尺寸構裝 412。第 21 圖所繪示為對應第 20 圖中晶

(請先閱讀背面之注意事項再填寫本頁)

訂 線

## 五、發明說明(27)

片尺寸構裝 412 沿剖面線 B-B' 的剖面視圖。元件主體 412a 表面具有多個電極 412b。電極 412b 為球形的電極，而晶片尺寸構裝元件 412 形成如球格陣列式構裝(ball grid array, BGA)的結構。

第 22 圖所繪示為第八實施例中半導體元件測試裝置 e8 及欲測試晶圓 402 的剖面圖，且為欲測試晶圓 402 安裝於半導體元件測試裝置 e8，以進行各種功能測試前的剖面結構圖。緩衝件 313 配置於夾持板 309 面對欲測試晶圓 402 的表面。此外，如第 22 圖所示，較佳是預先組裝電路板 303、薄膜 305、橡膠片 331 及定位板 307 以構成一整合組件。

如第 23 圖所示，接著欲測試晶圓 402 安裝於第八實施例中的半導體元件測試裝置 e8。欲測試晶圓 402 插入定位板 307 中的貫穿孔 307b，並藉由夾持板 309 與橡膠片 331 壓合。藉由夾持板 309 上的緩衝件 313，使得夾持板 309 施予欲測試晶圓 402 的壓力均勻且正確地分布。另外，橡膠片 331 藉由夾持板 309 施予的壓力固定於薄膜 306，而薄膜 306 與電路板 303 壓合。

接著，請參照第 24 圖，其繪示對應第 23 圖的部份放大圖，以顯示欲測試晶圓 402、橡膠片 331、薄膜 305 與電路板 303 間的連接關係。

如前所述，欲測試晶圓 402 為球格陣列式構裝結構，其具有多個焊接球以構成電極 412b。

在電路板 303 上形成有多個電極 303c，分別對應位

(請先閱讀背面之注意事項再填寫本頁)

裝 · · · · · 訂 · · · · · 線

## 五、發明說明(28)

於欲測試晶圓 402 表面之電極 412b。

電極 306b 形成於薄膜 306 表面，而面向橡膠片 331。  
電極 306c 形成於薄膜 306 表面，而面向電路板 303，分別對應位於電路板 303 表面之電極 303c。電極 306b 及電極 306c 分別形成於薄膜 306 對應之二表面，並藉由貫穿孔 306d 電性連接。

橡膠片 331 具有異方性導電膠部份 331b，位於對應薄膜 306 之電極 306b，及欲測試元件 402 之電極 412b。

當欲測試晶圓 402 連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓係藉由連接端子 303a、303b 輸入電路板 303，並經由電路板 303 上的電路跡線而到達電極 303c。如第 23 圖及第 24 圖所示，電極 303c 藉由電極 306c 及薄膜 306 上之電極 306b 電性連接嵌入於橡膠片 331 之異方性導電膠部份 331b。此外，異方性導電膠部份 331b 電性連接欲測試晶圓 402 上之電極 412b。接著，各種電子訊號藉由周邊元件輸出，而源電壓施予欲測試晶圓 402，並電性驅動欲測試晶圓 402。各種電子訊號藉由欲測試晶圓 402 輸出，並經由嵌入於橡膠片 331 中的異方性導電膠部份 331b、薄膜 106 上之電極 306b、306c，且經由電極 303c 進入電路板 303，進而傳送至周邊元件。

如上所述，第八實施例中半導體元件測試裝置 e8 的優點與第七實施例中半導體元件測試裝置 e7 類似。

值得一提的是，當如欲測試晶圓 402 之球格陣列式構裝進行各種測試時，球狀電極可能的變形現象是必須列

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(29)

入考量的。第八實施例中半導體元件測試裝置 e8 具有橡膠片 331，由於其具有彈性，所以使得欲測試晶圓 402 之電極 412b 只在厚度方向形成電性連接，而不會產生變形。而橡膠片 331 中的異方性導電膠 331b，由於具有彈性，因此可以提供欲測試晶圓 402 中球狀電極 412b 較大的接觸面積。因此，運用第八實施例的半導體元件測試裝置 e8，欲測試晶圓 402 能可靠地電性連接周邊元件，使得功能性測試可以更準確地進行。

須注意的是，第八實施例半導體元件測試裝置 e8 中的薄膜 306 亦可以由印刷電路板取代。

### (第九實施例)

如第 25 圖所示，本發明第九實施例之半導體元件測試裝置 e9 採用之結構包括：電路板 503、探針 511、探針板 521 及橡膠片 531。

電路板 503 連接周邊元件(未繪示)，提供各種電子訊號及源電壓的輸入及輸出。

探針 511 由鎢或鈹銅製成。此外，探針 511 的接觸部份 511a，與橡膠片 531 連接，並在其表面鍍上一鍍金層，以避免其氧化，確保連接之品質。值得注意的是，鍍金處理並不只侷限於接觸部份 511a，亦可以針對整個探針 511 表面進行鍍金處理。

探針板 521 可以由具有阻熱特性的橡膠片構成，或者由玻璃纖維/聚亞醯胺的薄膜片所構成。另外，如第 26 圖所示，每一探針 511 分別嵌入探針板 521 中，且分別具

(請先閱讀背面之注意事項再填寫本頁)

衣  
訂  
線

## 五、發明說明(30)

有V型凹槽511b，以確保探針511不會與探針板521脫離。

橡膠片531具有異方性導電膠部份531b，以電性連接電路板503之多個電極503a，及多個探針511的接觸部份511a。

接著，說明運用第九實施例之半導體元件測試裝置e9，對欲測試晶圓進行多種功能性測試。如第27圖所示，為便於說明，以欲測試晶圓中之一切割區域的積體電路晶片601為例。積體電路晶片601具有多個焊墊601a。通常焊墊601a之材質為鋁。另外，整個積體電路晶片601表面中，焊墊601a以外的區域(特別是具有線路的區域)均具有一保護薄膜601b(resist film)，以與外界空氣隔離。

如第28圖所示，當利用第九實施例之半導體元件測試裝置e9，對積體電路晶片601進行各種功能性測試時，各個探針511分別接觸對應之焊墊601a。如上所述，由於焊墊601a表面未配置保護薄膜601b，因此焊墊601a與探針511形成電性連接。

當積體電路晶片601連接功能性測試，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓輸入電路板503，並經由電路板503上的電路跡線而到達電極503a。如第25圖所示，在此製程中，電極503a藉由橡膠片531之異方性導電膠部份531a與探針511電性連接。接著，經由探針511，各種電子訊號藉由周邊元件(未繪示)輸出，而源電壓輸入積體電路晶片601，並電性驅動積體電路晶片601。此外，各種電子訊號由積體電路晶片601輸出，並

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線



## 五、發明說明(3|)

經由探針 511 及嵌入於橡膠片 531 中的異方性導電膠部份 531a，且經由電極 503a 進入電路板 503，進而傳送至周邊元件。

此外，縱使各個焊墊間具有些微高度差異，比如由於積體電路晶片 601 所採用的積層結構造成，而這些高度差異可以由橡膠片 531 及探針板 521 所吸收，因此探針 511 可與積體電路晶片 601 之焊墊 601a 相當可靠地接觸。再則，由於此結構，在製造第九實施例之半導體元件測試裝置 e9 時，關於探針 511 前端對準的精度，可以獲得較大的製造裕度。

如上所述，第九實施例之半導體元件測試裝置 e9 具有由錫或鈹銅構成之探針 511，以與測試物體接觸，因此與習知探針卡 13 相較，具有較佳之接觸耐久度。因此，在半導體元件研發階段，可以運用第九實施例之半導體元件測試裝置 e9 進行產品檢測製程，及功能性測試。

另外，半導體元件測試裝置 e9 採用探針結構，探針 511 前端以垂直方式與測試物體接觸，因此可以應用於焊墊間距較小之測試物體(比如電極間距小於等於 0.5mm)。而探針 511 可以同時與測試物體的所有焊墊接觸。同時，探針 511 可以藉由自動化製程嵌入探針板 521 中，以降低量產時的製造成本。

再則，第九實施例之半導體元件測試裝置 e9 可以與晶圓級測試/老化測試裝置結合。因此，可以降低半導體元件成品測試用機台的投資成本，進而降低測試成本及元

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

## 五、發明說明(32)

件成本。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

如前所述，依照本發明，對於具有較小間距電極之半導體元件測試，可以提供較便利且低成本的測試。另外，半導體元件測試裝置對於重複性測試的耐久度得以提升。再則，由於更多的半導體元件可以同時進行批次測試，因此可以提高測試效率。

本發明已揭露於日本第 1166621 號專利申請案中，申請日為 1999 年三月 12 日，包括說明、申請專利範圍、圖式及摘要均參照之。

(請先閱讀背面之注意事項再填寫本頁)

裝  
訂  
線

四、中文發明摘要(發明之名稱: )

## 半導體元件測試裝置

一種半導體元件測試裝置，包括一電路板 103 及一薄膜 105。多個電極 103c 配置於電路板 103，對應並面向欲測試元件 201 的電極 201a；而凸塊 105b 配置於薄膜 105 表面，對應並面向欲測試元件 201 的電極 201a；電極 105c 配置於薄膜 105 表面，對應並面向電路板 103 之電極 103c。凸塊 105b 形成於薄膜 105 之一面，而電極 105c 形成於薄膜 105 之另一面，並透過貫穿孔 105d 彼此電性連接，而可與具有較小間距電極之半導體元件連接，並改善耐久性。

英文發明摘要(發明之名稱: )

(請先閱讀背面之注意事項再填寫本頁各欄)

訂  
線

## 六、申請專利範圍

1. 一種半導體元件測試裝置，應用於至少一半導體元件之測試，該半導體元件具有複數個電極，該半導體元件測試裝置包括：

一電路板，具有一電路對應該半導體元件，及複數個電極，分別對應該半導體元件之該些電極；以及

一連接板，具有複數個導電部份，以一對一方式分別電性連接該半導體元件之該些電極及該電路板之該些電極。

2. 如申請專利範圍第 1 項所述之半導體元件測試裝置，其中該連接板具有複數個貫穿孔，該些導電部份分別配置於該些貫穿孔中。

3. 如申請專利範圍第 1 項所述之半導體元件測試裝置，更包括複數個導電彈性體，配置於該連接板與該半導體元件之間，並以一對一的方式分別電性連接連接板之該些導電部份，及該半導體元件之該些電極。

4. 如申請專利範圍第 1 項所述之半導體元件測試裝置，更包括一定位構件，以定位該半導體元件。

5. 如申請專利範圍第 2 項所述之半導體元件測試裝置，更包括一定位構件，以定位該半導體元件。

6. 如申請專利範圍第 3 項所述之半導體元件測試裝置，更包括一定位構件，以定位該半導體元件。

7. 如申請專利範圍第 4 項或第 5 項所述之半導體元件測試裝置，其中該電路板、該連接板及該定位構件整合成一體。

## 六、申請專利範圍

8.如申請專利範圍第 6 項所述之半導體元件測試裝置，其中該電路板、該連接板、該些導電彈性體及該定位構件整合成一體。

9.如申請專利範圍第 1 項所述之半導體元件測試裝置，更包括一夾持構件，以施壓該半導體元件朝向該連接板。

10.如申請專利範圍第 9 項所述之半導體元件測試裝置，其中該夾持構件具有一緩衝件，配置於與該半導體元件接觸的部份。

11.如申請專利範圍第 1 項所述之半導體元件測試裝置，其中該連接板由一薄膜所構成。

12.如申請專利範圍第 1 項所述之半導體元件測試裝置，其中該連接板由一印刷電路板所構成。

13.如申請專利範圍第 1 項所述之半導體元件測試裝置，其中該半導體元件為一晶片。

14.如申請專利範圍第 3 項所述之半導體元件測試裝置，其中該半導體元件為一晶圓。

15 一種半導體元件測試裝置，應用於至少一半導體元件之測試，該半導體元件具有複數個電極，該半導體元件測試裝置包括：

一探針夾持件，具有複數個探針嵌入其中，並暴露出其尖端，且該些尖端以一對一方式分別對應該半導體元件之該些電極。

16.如申請專利範圍第 15 項所述之半導體元件測試裝

(請先閱讀背面之注意事項再填寫本頁)

衣  
訂  
線

## 六、申請專利範圍

置，其中每一該些探針於該探針夾持件中的部份具有一 V 型凹槽。

17.如申請專利範圍第 15 項所述之半導體元件測試裝置，更包括複數個導電膠部份，以一對一方式分別對應該些探針。

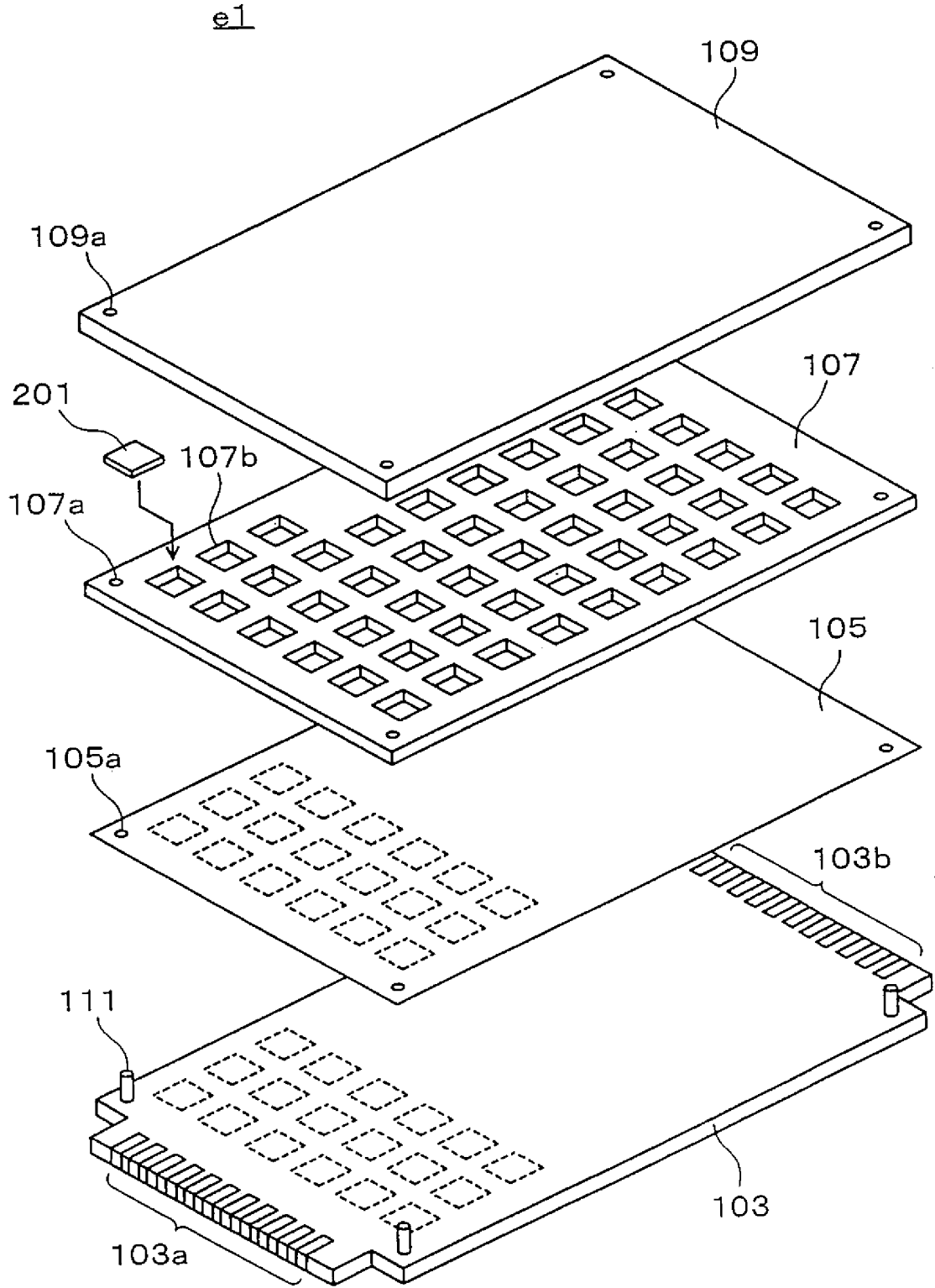
18.如申請專利範圍第 17 項所述之半導體元件測試裝置，其中該些探針至少於其與該些導電膠部份接觸的位置具有一鍍金層。

19.如申請專利範圍第 15 項所述之半導體元件測試裝置，其中該半導體元件為一晶片。

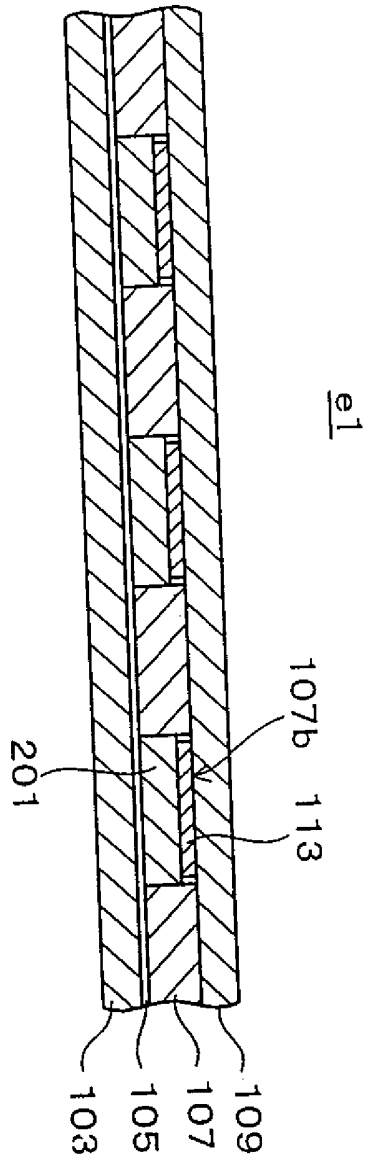
20.如申請專利範圍第 15 項所述之半導體元件測試裝置，該半導體元件為一晶圓。

(請先閱讀背面之注意事項再填寫本頁)

衣  
訂  
線

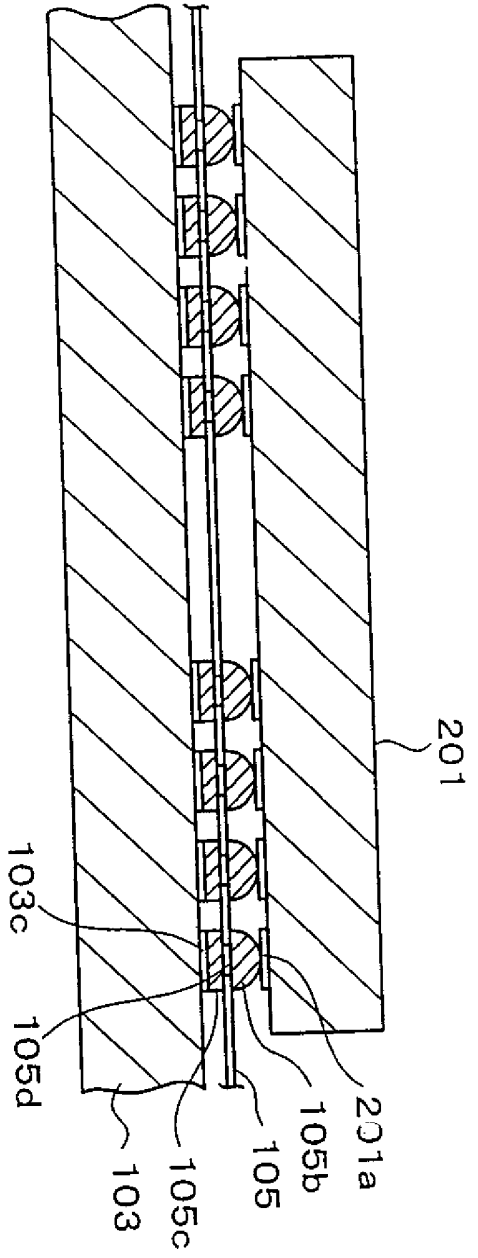


第 1 圖



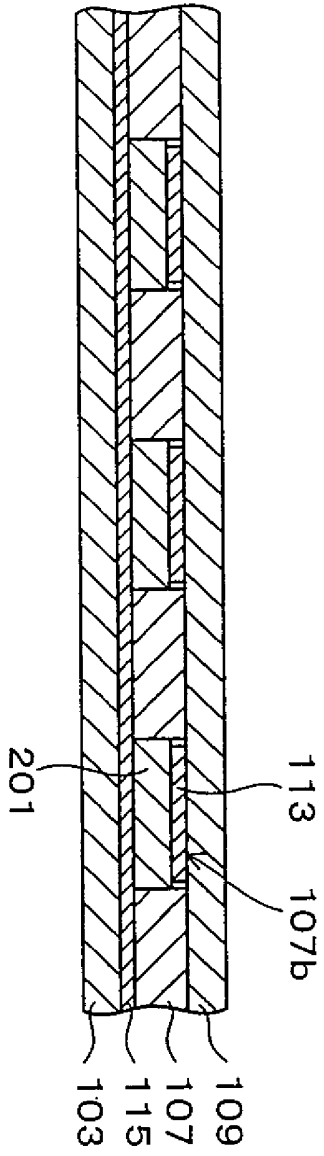
第 2 圖



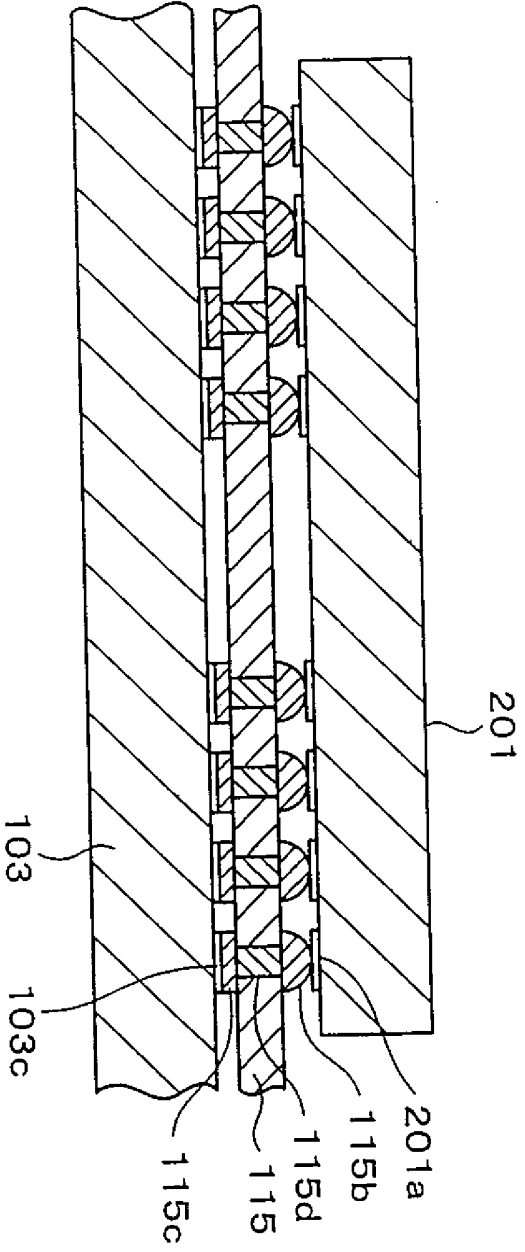


第 3 圖

e2

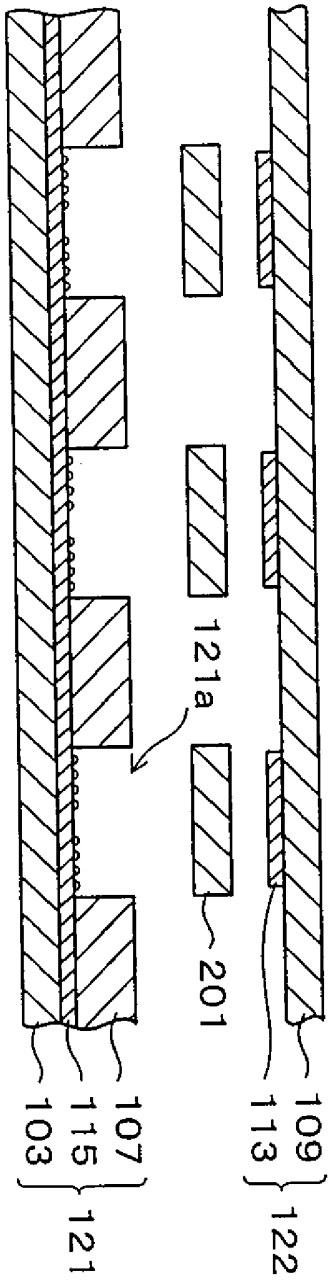


第 4 圖

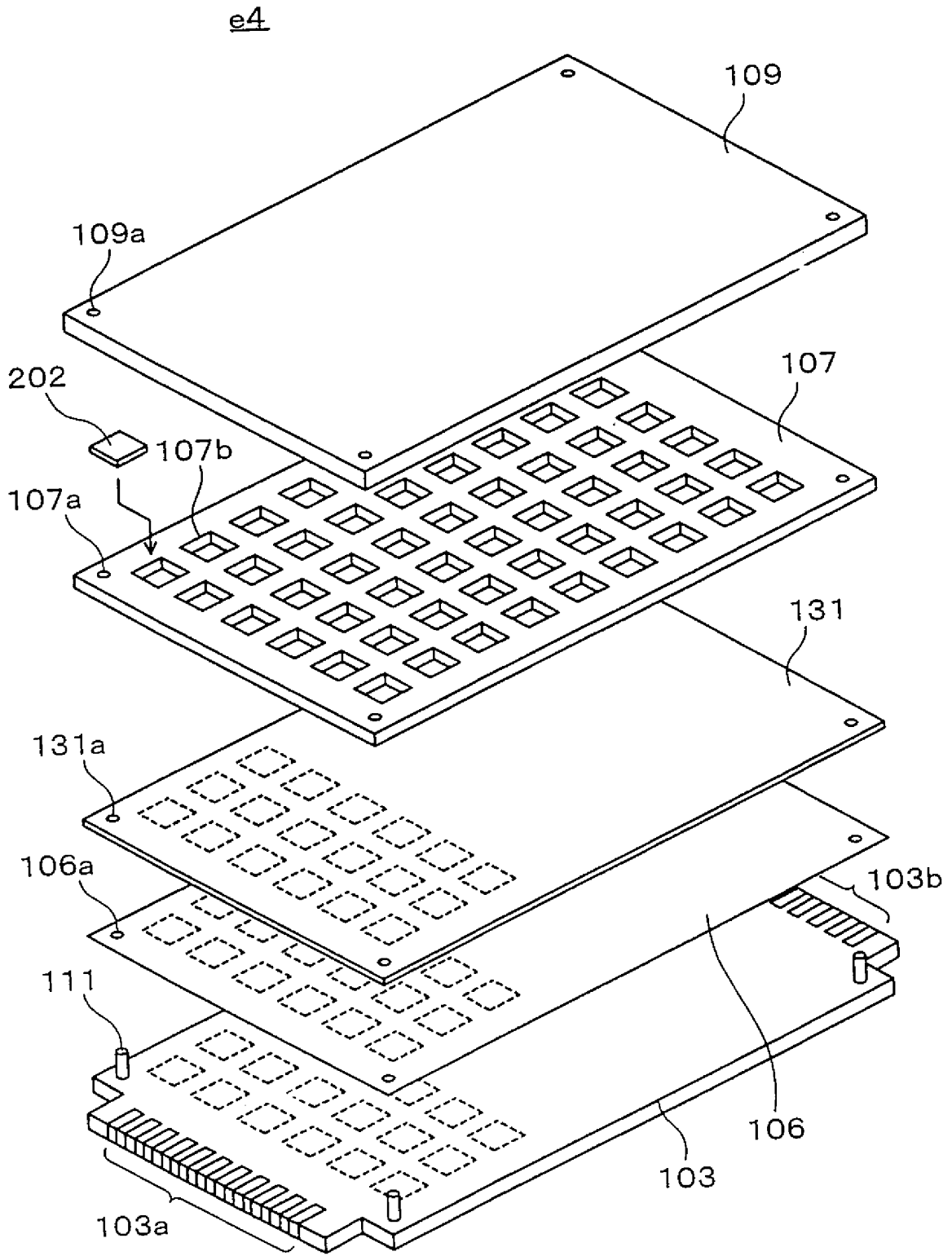


第 5 圖

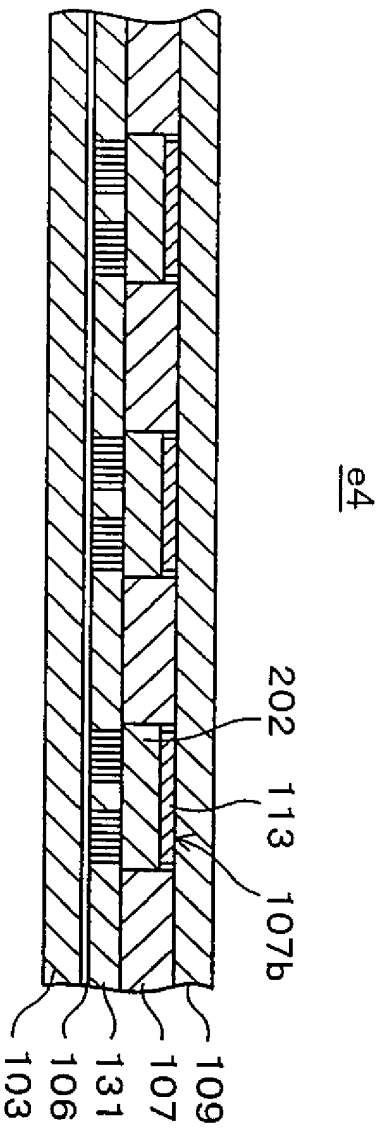
e3



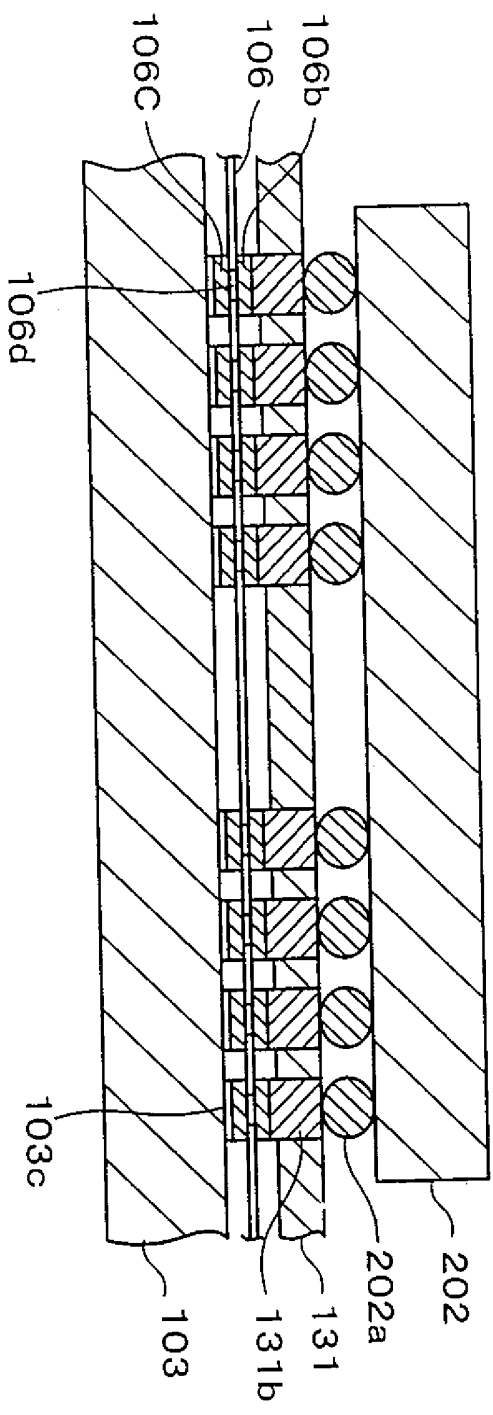
第 6 圖



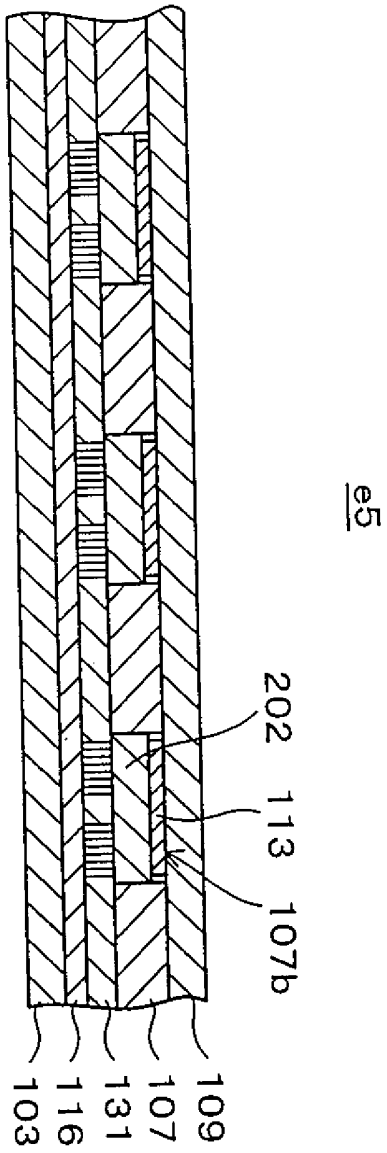
第 7 圖



第 8 圖

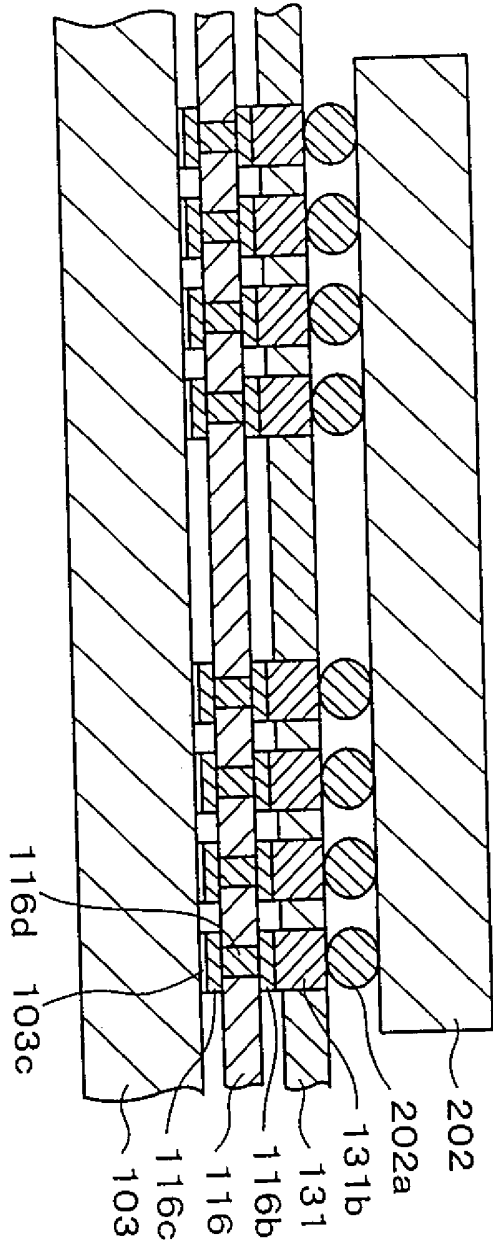


第 9 圖



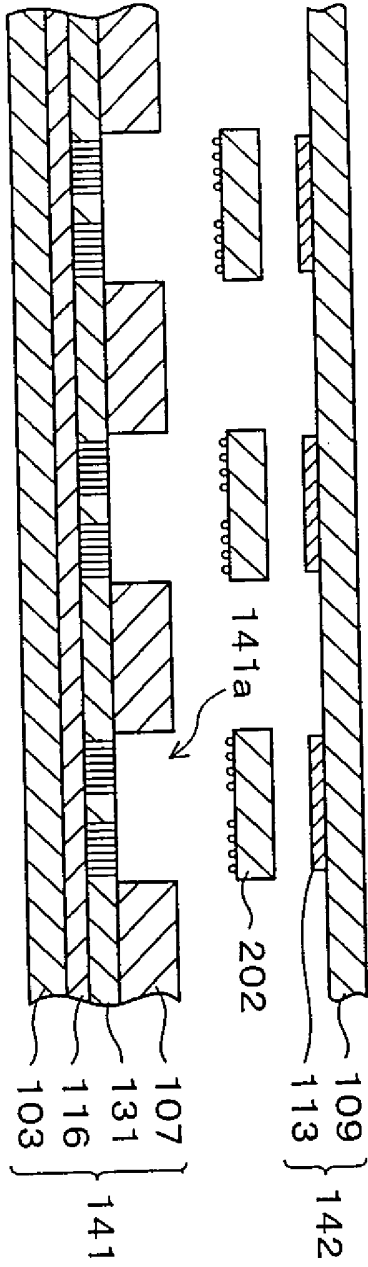
第10圖



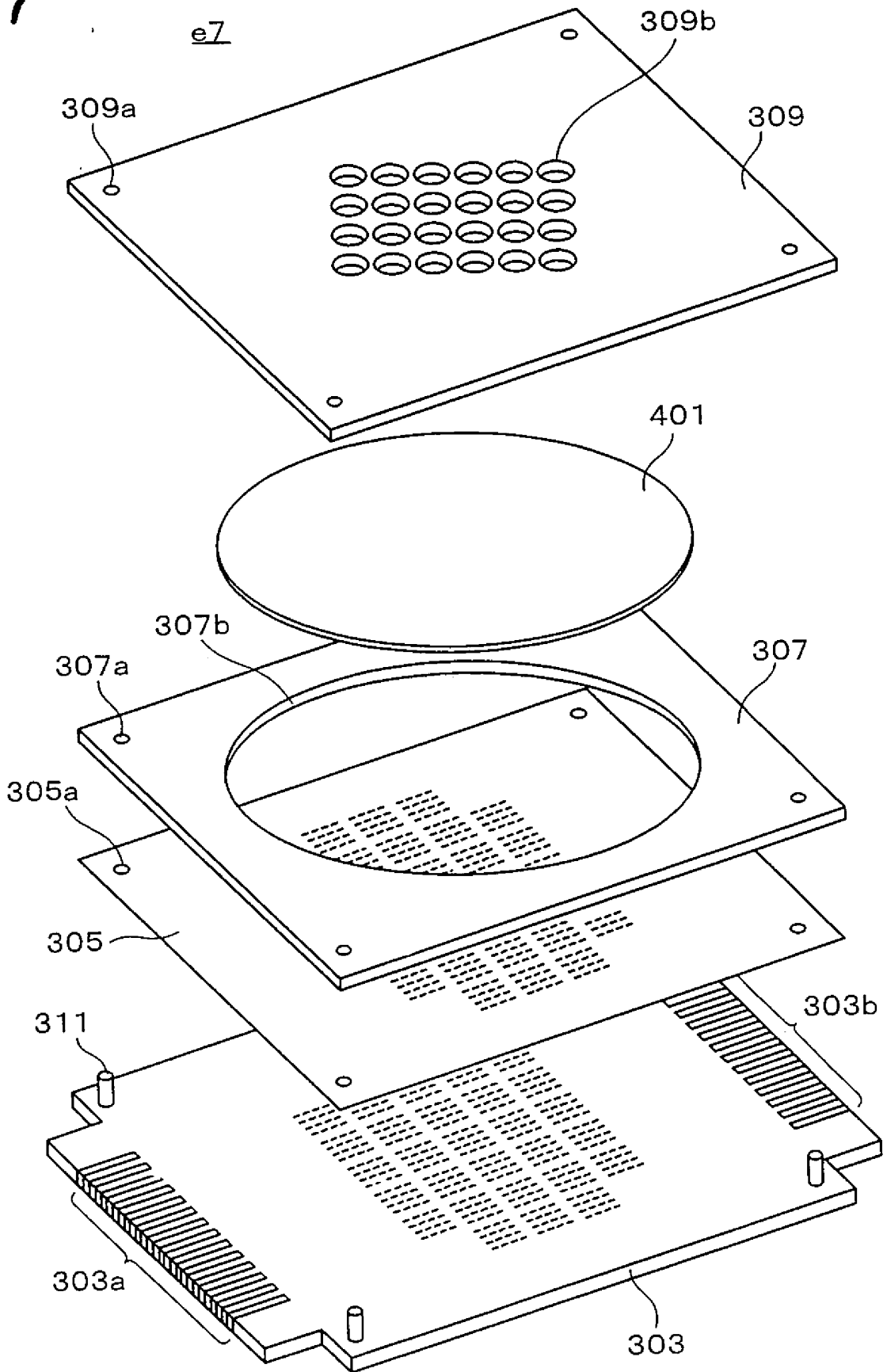


第11圖

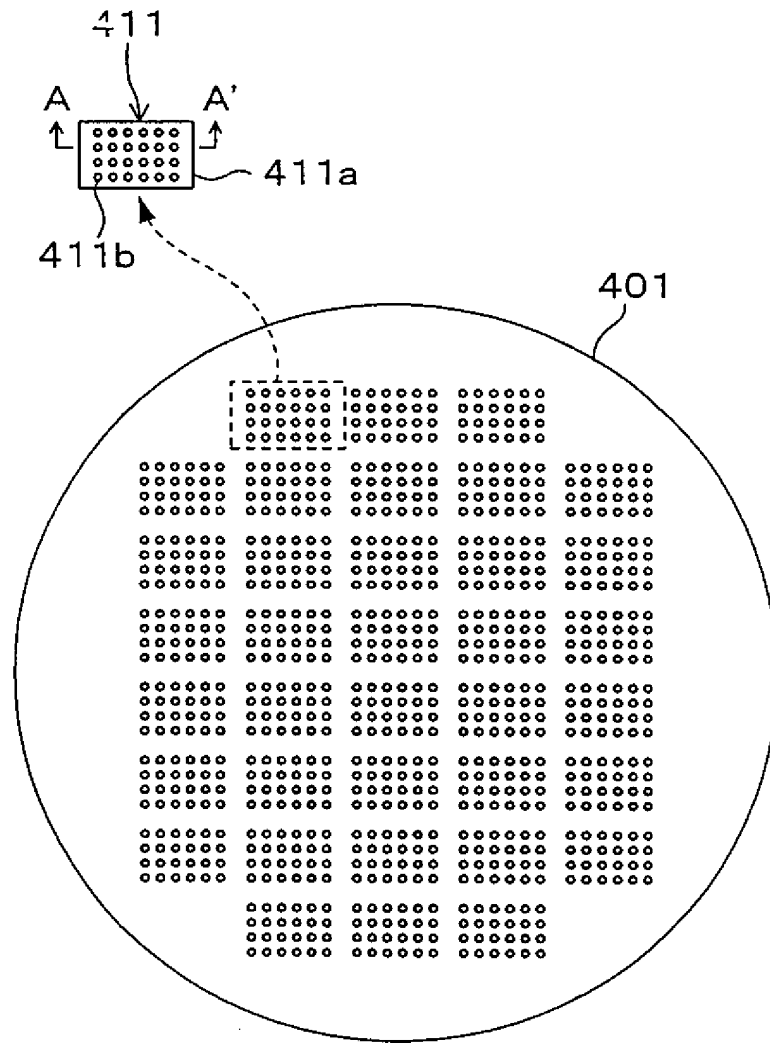
e6



第12圖



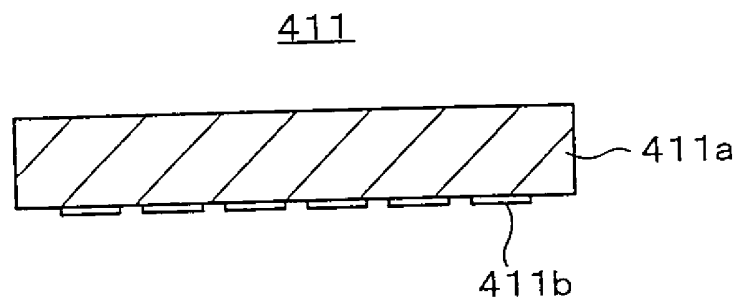
第13圖



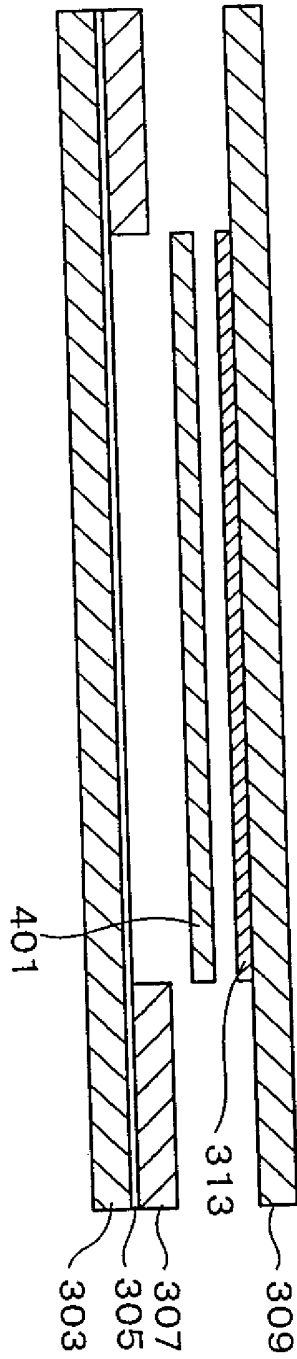
第 14 圖

or wafer

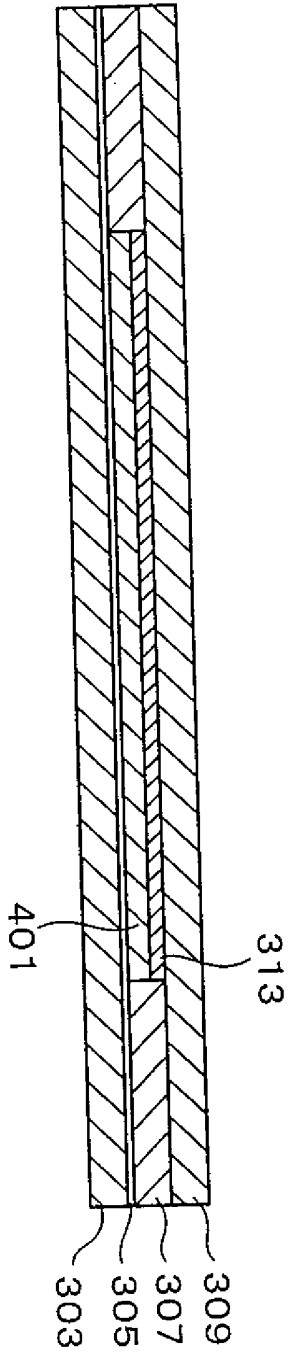
449847



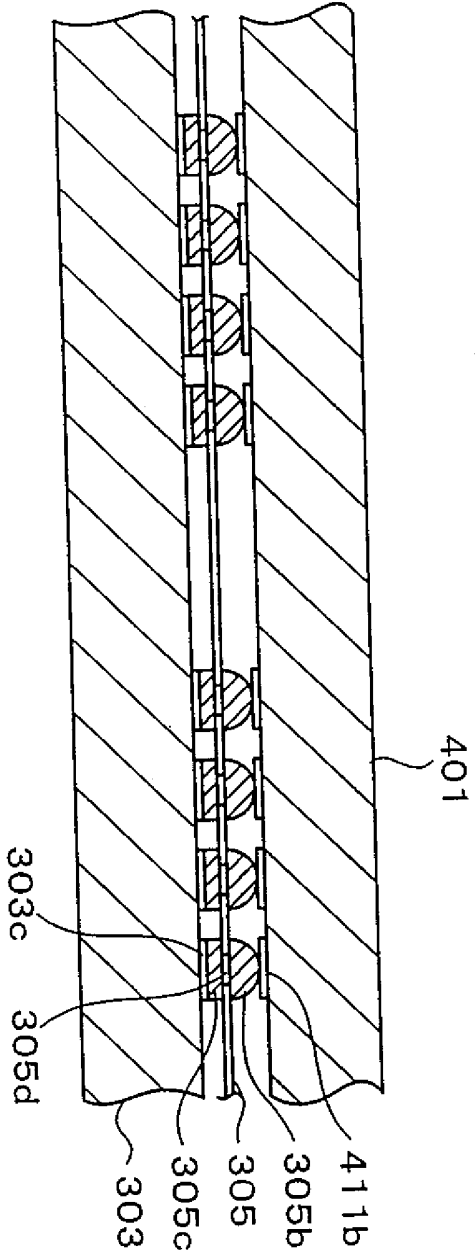
第 15 圖



第16圖

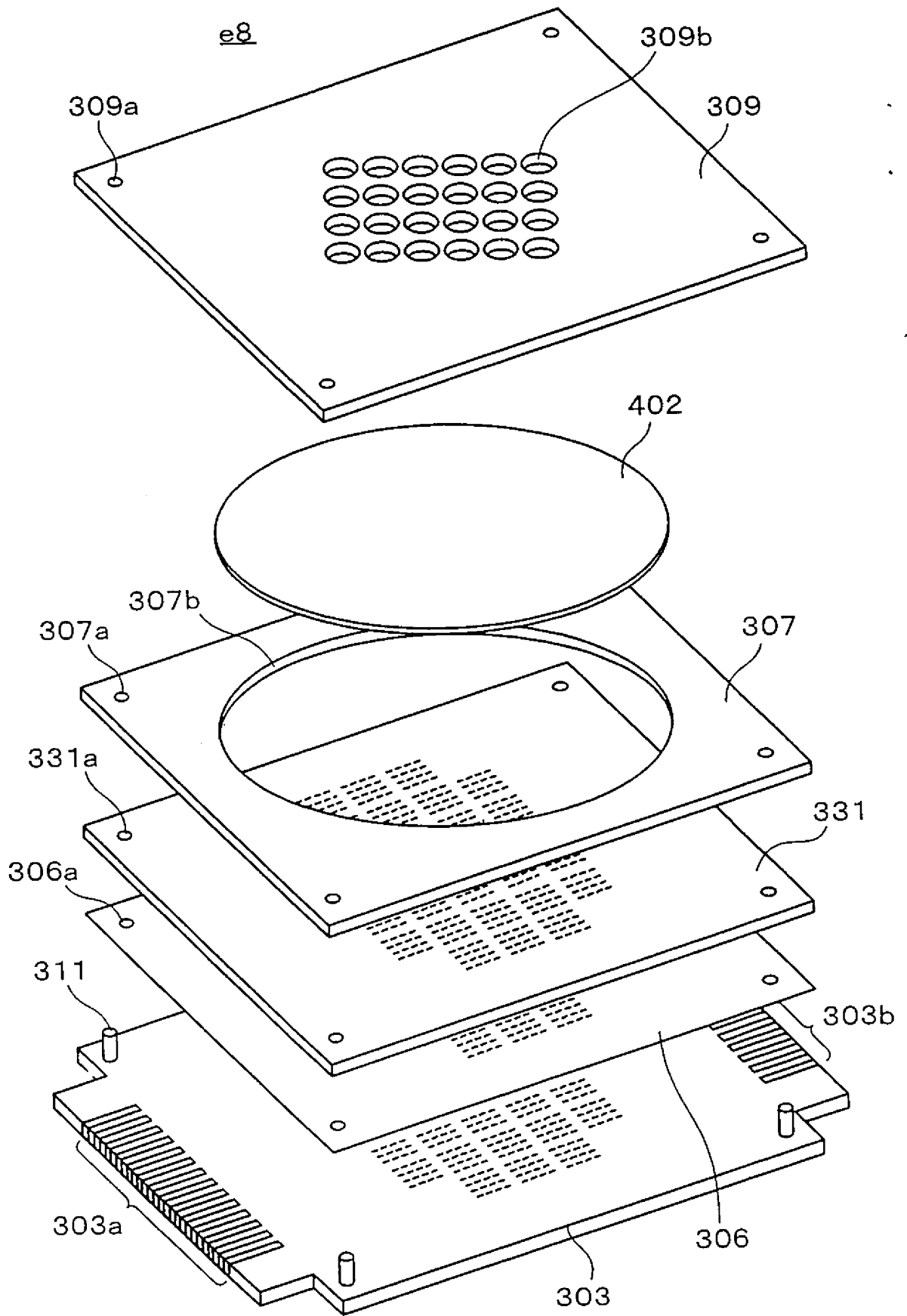


第17圖

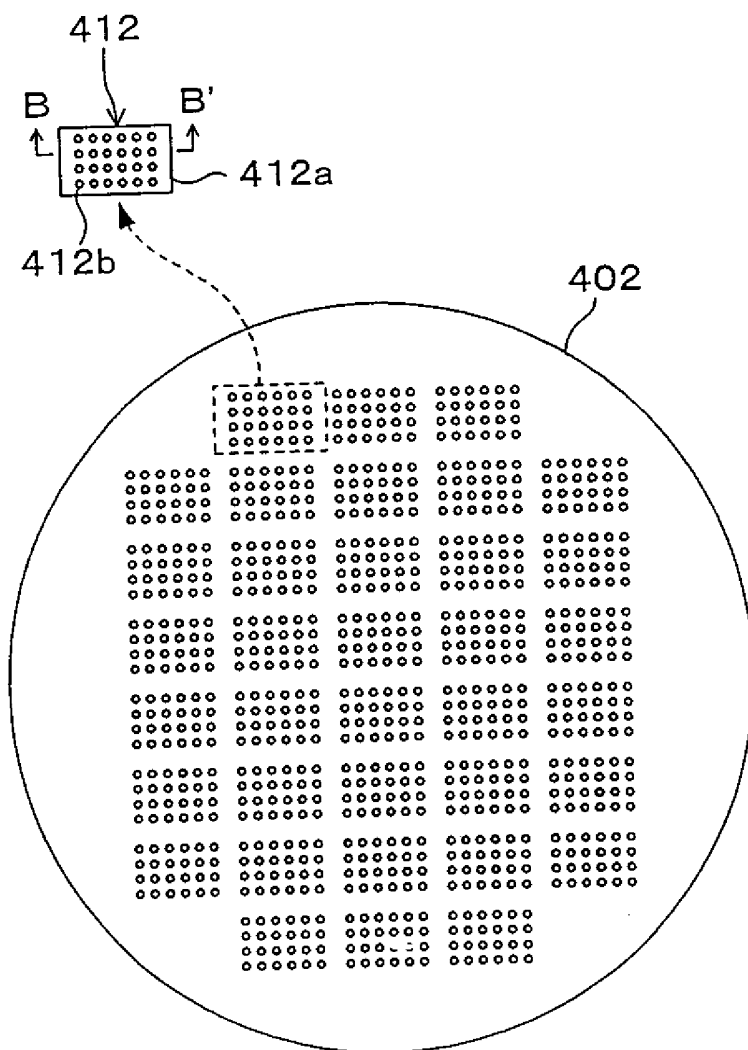


第18圖



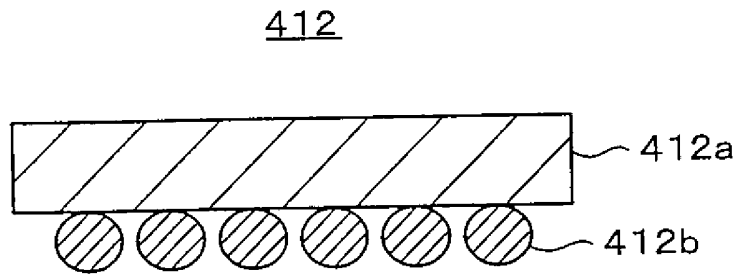


第19圖

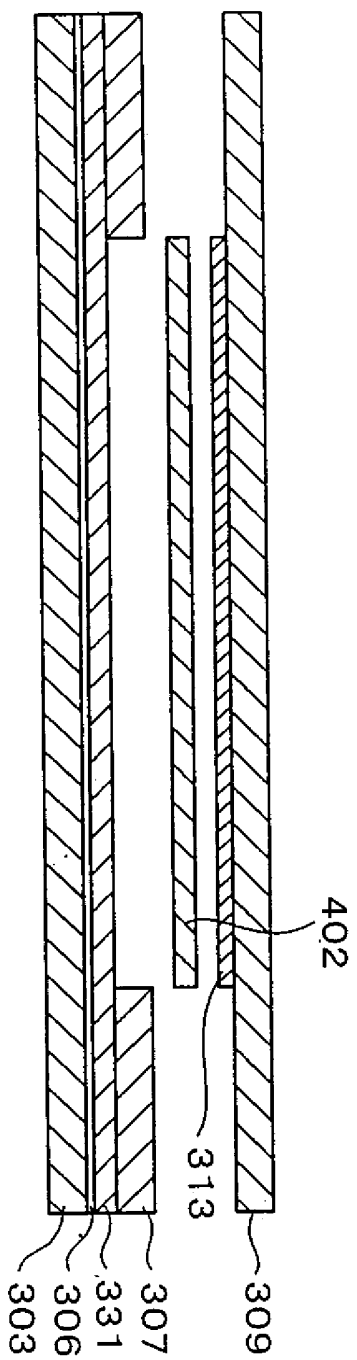


第20圖

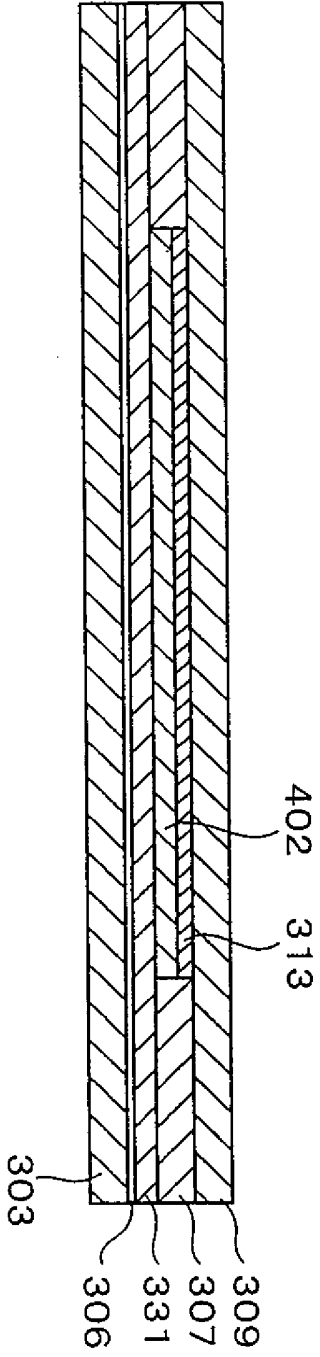
449847



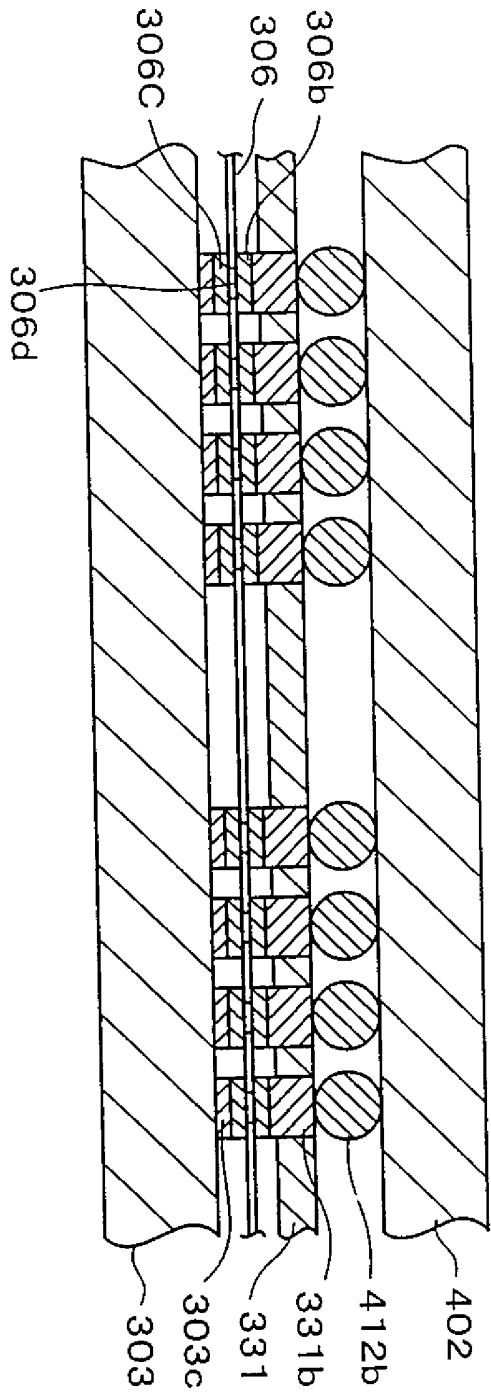
第21圖



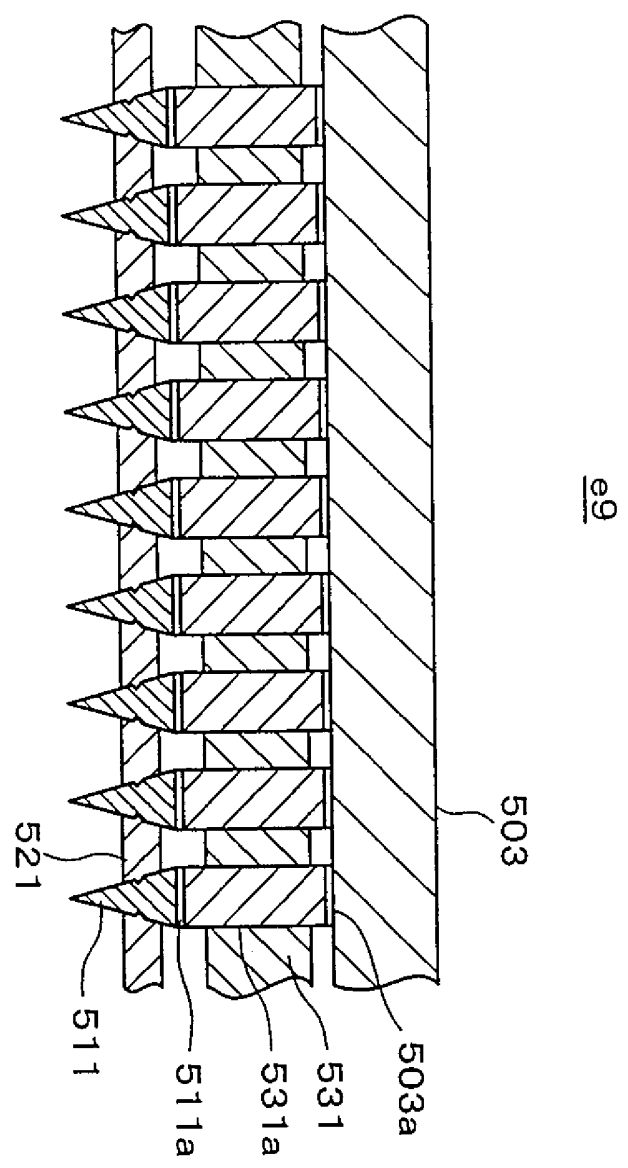
第22圖



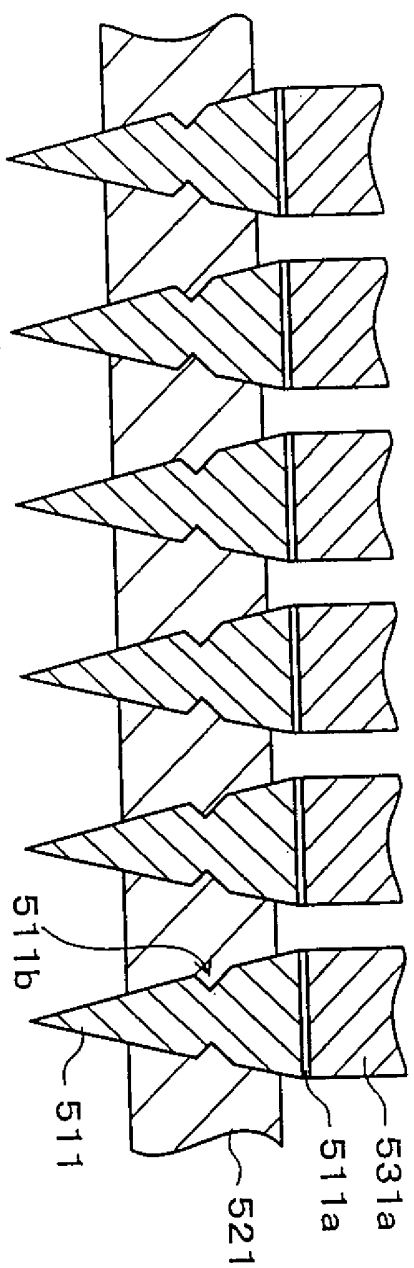
第23圖



第24圖



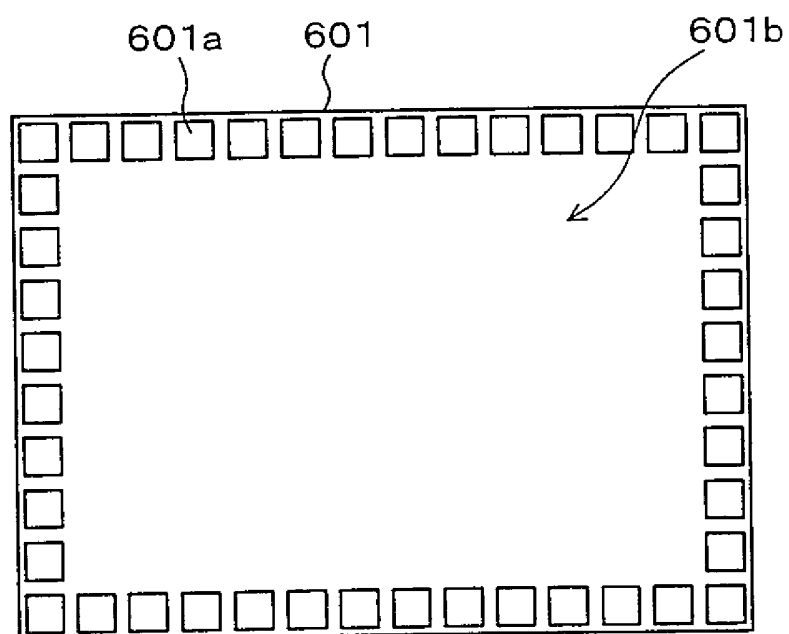
第 25 圖



第26圖

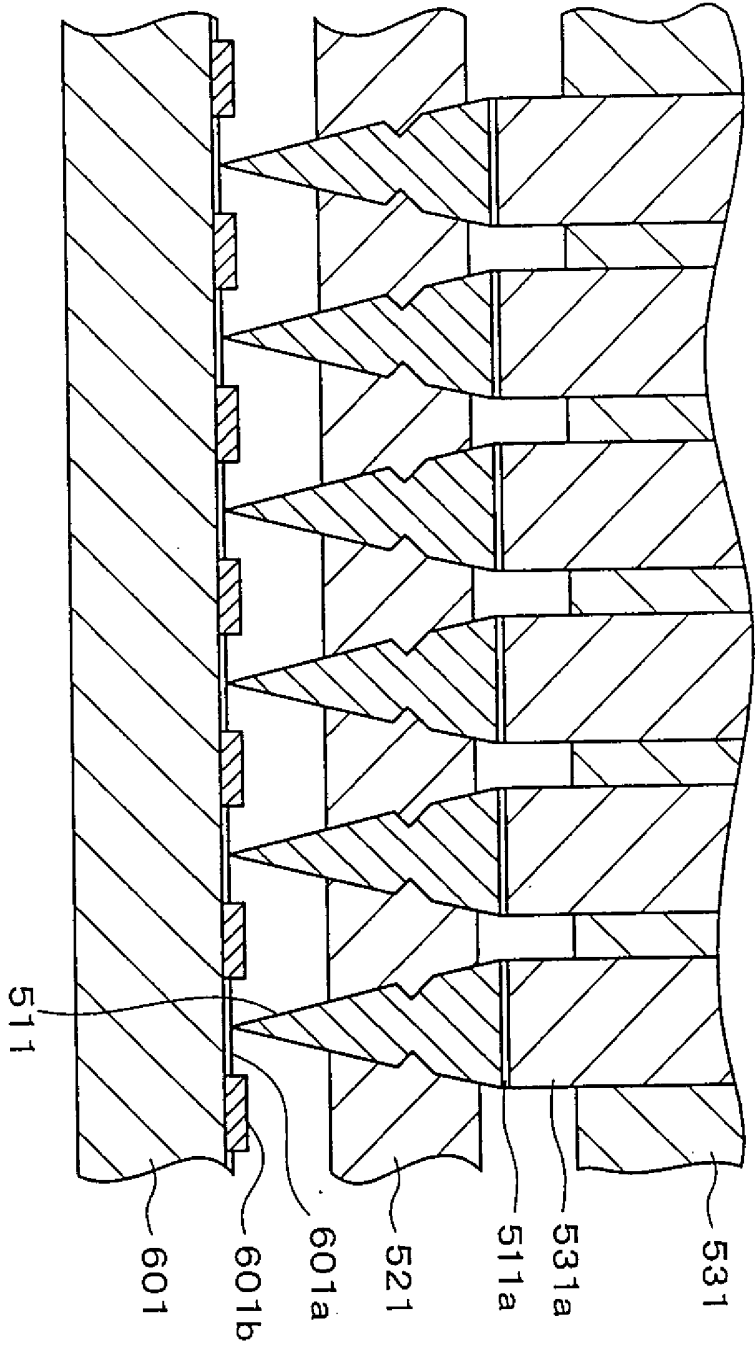


449847



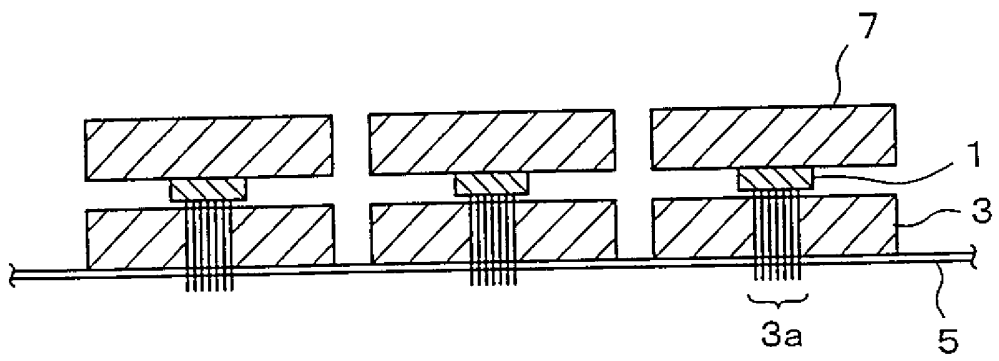
第27圖

449847  
9847



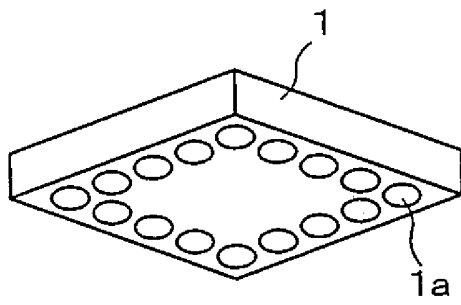
第28圖

449847



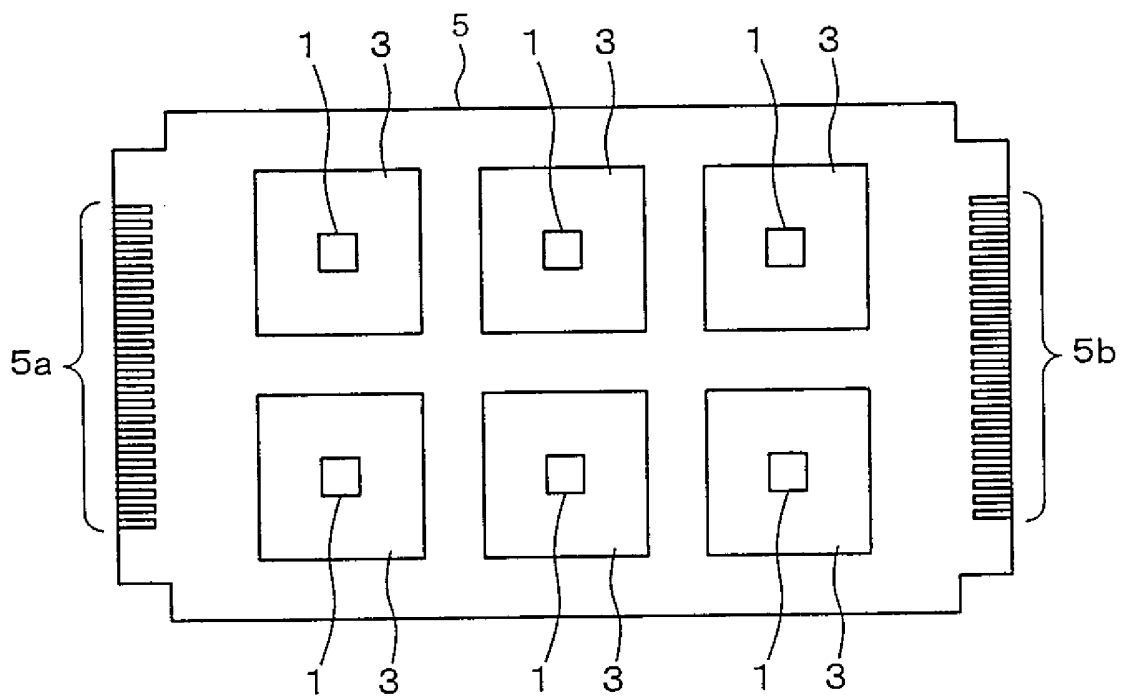
第29圖

449847



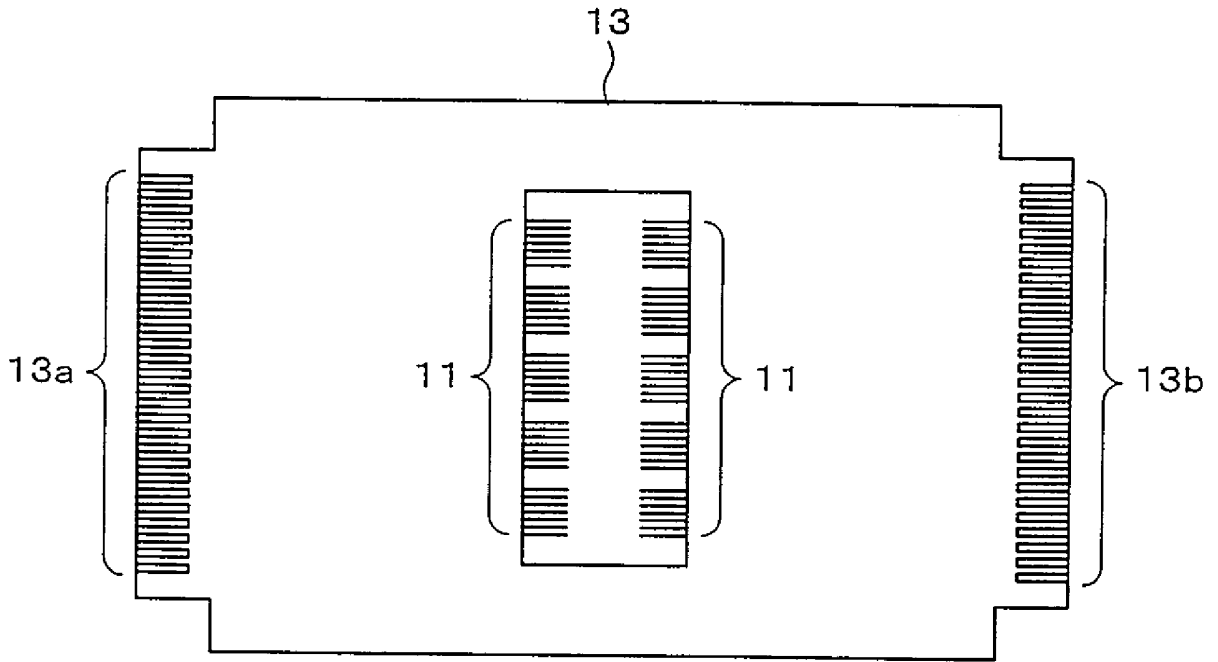
第 30 圖

449847

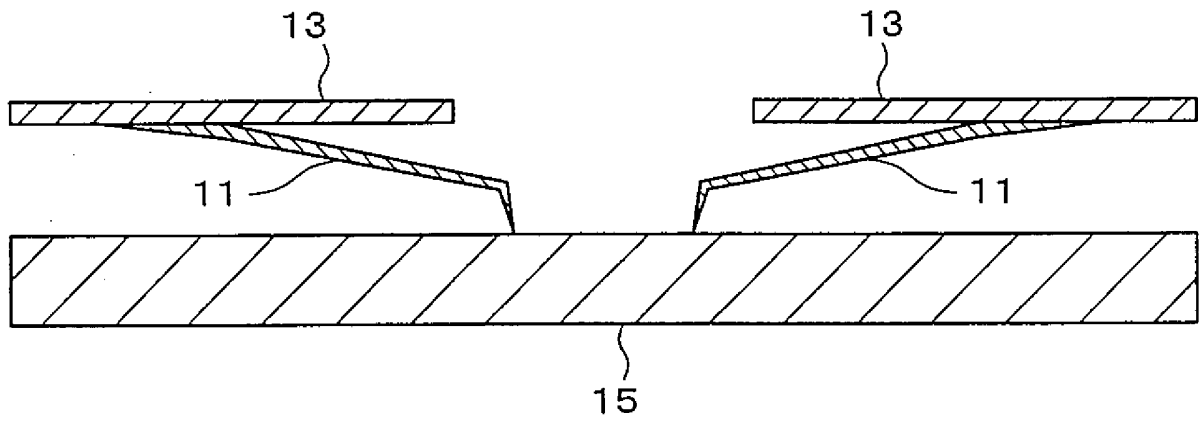


第31圖

449847



第 32 圖



第33圖