(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0043083
(43) 공개일자 2018년04월27일

(51) 국제특허분류(Int. Cl.)
G06F 7/501 (2006.01)
(52) CPC특허분류
G06F 7/501 (2013.01)
(21) 출원번호 10-2016-0135953
(22) 출원일자 2016년10월19일
심사청구일자 2016년10월19일

(71) 출원인
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
이정아
광주광역시 북구 첨단과기로 123, 교수아파트 C동 1202호(오룡동)
아리핀 투바
신드, 카라치, 클리프턴 블럭2, 클리프턴 콘도미니엄 플랫 424
(뒷면에 계속)
(74) 대리인
특허법인아이엠

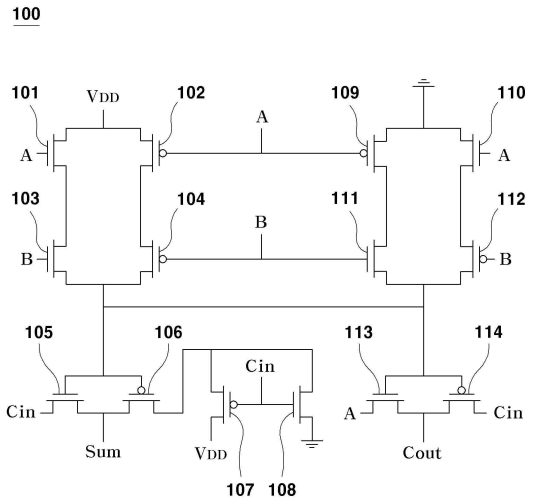
전체 청구항 수 : 총 3 항

(54) 발명의 명칭 **14개의 트랜지스터로 구성되는 정확한 전가산기 회로 및 그 전가산기 회로가 집적된 디지털 신호 처리 장치**

(57) 요 약

본 발명은 정확한 전가산기 회로 및 디지털 신호 처리 장치에 관한 것으로, 보다 구체적으로는 14개의 트랜지스터만으로 에러가 없는 정확한 캐리 아웃 신호 및 합 신호를 출력할 수 있는 정확한 전가산기 회로 및 그 전가산기 회로가 집적된 디지털 신호 처리 장치에 관한 것이다.

대 표 도 - 도3



(72) 발명자

하싼 압두스 사미

이슬라마바드, 제다 타운 스트리트 5, 하우스 41

호세인 무라디안사드로우디

광주광역시 동구 지산로38번길 19, 일성원룸 1-303호(지산동)

이 발명을 지원한 국가연구개발사업

과제고유번호 1711038564

부처명 미래창조과학부

연구관리전문기관 한국연구재단

연구사업명 개인연구지원(중견연구)

연구과제명 애플리케이션 오류 허용 특성에 따른 로직 변환 및 연산기 간소화 기법: 에너지 효율적인, 충분히 정확한 컴퓨팅 연산기 설계와 응용

기 여 율 1/1

주관기관 조선대학교 산학협력단

연구기간 2016.06.01 ~ 2017.05.31

명 세 서

청구범위

청구항 1

가수(addend) 신호, 피가수(augend) 신호 및 입력 캐리(input carry) 신호를 입력받아, 가산연산을 수행하고, 출력 캐리(output carry) 신호 및 합(sum) 신호을 출력하는 전가산기 회로로써,

상기 출력 캐리 신호와 상기 합 신호는 반전되지 않는 정확한(accurate) 합 신호이며, 총 14개의 트랜지스터로 구성되는 것을 특징으로 하는 전가산기 회로.

청구항 2

제 1 항에 있어서,

상기 트랜지스터들:은,

드레인 단은 동작 전원에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제1 N형 트랜지스터;

소스 단은 상기 동작 전원에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제1 P형 트랜지스터;

드레인 단은 상기 제1 N형 트랜지스터의 소스 단에 연결되고, 게이트 단으로 상기 피가수 신호를 입력받는 제2 N형 트랜지스터;

소스 단은 상기 제1 P형 트랜지스터의 드레인 단에 연결되고, 게이트 단으로 상기 피가수 신호를 입력받는 제2 P형 트랜지스터;

드레인 단은 입력 캐리 신호 단과 연결되고, 소스 단은 상기 합 신호를 출력하며, 게이트 단은 상기 제2 N형 트랜지스터의 소스 단과 상기 제2 P형 트랜지스터의 드레인 단에 연결되는 제3 N형 트랜지스터;

드레인 단은 상기 제3 N형 트랜지스터의 소스 단과 연결되고, 게이트 단은 상기 제3 N 형 트랜지스터의 게이트 단과 연결되는 제3 P형 트랜지스터;

드레인 단은 상기 제3 P형 트랜지스터의 소스 단에 연결되고, 소스 단은 상기 동작 전원에 연결되며, 게이트 단으로 상기 입력 캐리 신호를 입력받는 제4 P형 트랜지스터;

드레인 단은 상기 제4 P형 트랜지스터의 드레인 단에 연결되고, 소스 단은 접지 단에 연결되며, 게이트 단으로 상기 입력 캐리 신호를 입력받는 제4 N형 트랜지스터;

드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제5 P형 트랜지스터;

드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제5 N형 트랜지스터;

소스 단은 상기 제5 P형 트랜지스터의 소스 단과 연결되고, 드레인 단은 상기 제2 P형 트랜지스터의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호를 입력받는 제6 N형 트랜지스터;

드레인 단은 상기 제5 N형 트랜지스터의 소스 단과 연결되고, 소스 단은 상기 제6 N형 트랜지스터의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호를 입력받는 제6 P형 트랜지스터;

드레인 단은 가수 신호 단과 연결되고, 소스 단으로 상기 출력 캐리 신호를 출력하며, 게이트 단은 상기 제6 N형 트랜지스터의 드레인 단과 상기 제6 P형 트랜지스터의 소스 단에 연결되는 제7 N형 트랜지스터; 및

드레인 단은 상기 제7 N형 트랜지스터의 소스 단과 연결되고, 소스 단은 입력 캐리 신호 단에 연결되며, 게이트 단은 상기 제7 N형 트랜지스터의 게이트 단과 연결되는 제7 P형 트랜지스터;를 포함하는 것을 특징으로 하는 전가산기 회로.

청구항 3

제 1 항 또는 제 2 항의 전가산기 회로가 집적되며 아날로그 신호를 디지털로 변환하여 처리하는 디지털 신호 처리 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 정확한 전가산기 회로 및 디지털 신호 처리 장치에 관한 것으로, 보다 구체적으로는 14개의 트랜지스터만으로 에러가 없는 정확한 캐리 아웃 신호 및 합 신호를 출력할 수 있는 정확한 전가산기 회로 및 그 전가산기 회로가 집적된 디지털 신호 처리 장치에 관한 것이다.

배 경 기 술

[0003] 전가산기(Full adder)란 가수(added), 피가수(augend) 및 캐리(carry;올림수)를 입력받아 가산 연산한 후, 합(sum)과 캐리를 출력하는 회로이다.

[0004] 이 전가산기는 반가산기(half-adder)에서는 고려되지 않았던 하위의 가산 결과를 캐리로 입력받아 처리할 수 있다.

[0005] 또한, 상기 전가산기는 복수의 트랜지스터의 조합으로 구현되는데 이러한 트랜지스터의 조합을 트랜지스터 레벨(transistor-level) 또는 CMOS 레벨이라고 한다.

[0006] 도 1은 종래의 전가산기 회로를 보여주는 도면이다.

[0007] 종래의 전가산기 회로(10)는 총 28개의 트랜지스터로 구성되며, 가수 신호(A), 피가수 신호(B), 입력 캐리 신호(C_{in})를 입력받아 가산연산을 수행한 후, 합 신호(Sum)와 출력 캐리 신호(C_{in})을 출력한다.

[0008] 이 종래의 전가산기 회로(10)는 정확한 합 신호와 출력 캐리 신호를 출력하는 회로로써, 총 에러 거리(TED;Total Error Distance)가 '0'이다.

[0009] 그러나 종래의 전가산기 회로는 많은 개수의 트랜지스터로 구성되므로 디지털 신호 처리 장치(DSP:digital signal processor)등에 집적할 경우 전력 소모가 큰 문제점이 있다.

[0010] 이러한 문제점을 해결하기 위해 트랜지스터의 개수는 줄이고 합 신호와 출력 캐리 신호를 반전하여 출력하는 미러 전가산기(MA;mirror adder)가 개발된 바 있다.

[0011] 도 2는 종래의 미러 전가산기 회로를 보여주는 도면이다.

[0012] 종래의 미러 전가산기 회로(20)는 총 24개의 트랜지스터만으로 정확한 합 신호와 출력 캐리 신호를 출력할 수 있으며, 총 에러 거리(TED;Total Error Distance)가 '0'이다.

[0013] 또한, 상기 미러 전가산기 회로(20)는 반전(미러링)된 합 신호와 출력 캐리 신호를 출력하지만 모든 경우에 있어 반전된 합 신호와 출력 캐리 신호를 출력한다면, 에러가 없는 것과 동일한 것으로 볼 수 있다.

[0014] 따라서, 상기 미러 전가산기 회로(20)는 종래의 전가산기 회로(10)와 비교하여 트랜지스터 개수를 줄일 수 있으므로 전력 소모를 줄일 수 있는 장점이 있다.

[0015] 그러나 상기 종래의 미러 전가산기 회로(20) 역시 24개의 트랜지스터로 구성되므로 전력 소모를 줄이는데 한계가 있다.

[0016] 따라서, 트랜지스터의 개수를 줄여 전력 소모를 최소화할 수 있는 정확한 전가산기 회로의 요구가 있다.

선행기술문헌

비특허문헌

[0017] (비특허문헌 0001) [1] V. Gupta, D. Mohapatra, A. Raghunathan, and K. Roy, “Low-power digital signal processing using approximate adders,” IEEE Transactions on Computer Aided Design of Integrated

Circuits and Systems, vol. 32, no. 1, pp. 124-137, Jan. 2013

발명의 내용

해결하려는 과제

[0018] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로 본 발명의 목적은 최소한의 트랜지스터만으로 정확한 합과 캐리를 출력할 수 있는 전가산기 회로 및 그 전가산기 회로가 집적된 디지털 신호 처리 장치를 제공하는 것이다.

과제의 해결 수단

[0020] 상기의 목적을 달성하기 위하여 본 발명은 가수(addend) 신호, 피가수(augend) 신호 및 입력 캐리(input carry) 신호를 입력받아, 가산연산을 수행하고, 출력 캐리(output carry) 신호 및 합(sum) 신호을 출력하는 전가산기 회로로써, 상기 출력 캐리 신호와 상기 합 신호는 반전되지 않는 정확한(accurate) 합 신호이며, 총 14개의 트랜지스터로 구성되는 것을 특징으로 하는 전가산기 회로를 제공한다.

[0021] 바람직한 실시예에 있어서, 상기 트랜지스터들:은, 드레인 단은 동작 전원에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제1 N형 트랜지스터; 소스 단은 상기 동작 전원에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제1 P형 트랜지스터; 드레인 단은 상기 제1 N형 트랜지스터의 소스 단에 연결되고, 게이트 단으로 상기 피가수 신호를 입력받는 제2 N형 트랜지스터; 소스 단은 상기 제1 P형 트랜지스터의 드레인 단에 연결되고, 게이트 단으로 상기 피가수 신호를 입력받는 제2 P형 트랜지스터; 드레인 단은 입력 캐리 신호 단과 연결되고, 소스 단은 상기 합 신호를 출력하며, 게이트 단은 상기 제2 N형 트랜지스터의 소스 단과 상기 제2 P형 트랜지스터의 드레인 단에 연결되는 제3 N형 트랜지스터; 드레인 단은 상기 제3 N형 트랜지스터의 소스 단과 연결되고, 게이트 단은 상기 제3 N 형 트랜지스터의 게이트 단과 연결되는 제3 P형 트랜지스터; 드레인 단은 상기 제3 P형 트랜지스터의 소스 단에 연결되고, 소스 단은 상기 동작 전원에 연결되며, 게이트 단으로 상기 입력 케리 신호를 입력받는 제4 P형 트랜지스터; 드레인 단은 상기 제4 P형 트랜지스터의 드레인 단에 연결되고, 소스 단은 접지 단에 연결되며, 게이트 단으로 상기 입력 케리 신호를 입력받는 제4 N형 트랜지스터; 드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제5 P형 트랜지스터; 드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호를 입력받는 제5 N형 트랜지스터; 소스 단은 상기 제5 P형 트랜지스터의 소스 단과 연결되고, 드레인 단은 상기 제2 P형 트랜지스터의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호를 입력받는 제6 N형 트랜지스터; 드레인 단은 상기 제5 N형 트랜지스터의 소스 단과 연결되고, 소스 단은 상기 제6 N형 트랜지스터의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호를 입력받는 제6 P형 트랜지스터; 드레인 단은 가수 신호 단과 연결되고, 소스 단으로 상기 출력 캐리 신호를 출력하며, 게이트 단은 상기 제6 N형 트랜지스터의 드레인 단과 상기 제6 P형 트랜지스터의 소스 단에 연결되는 제7 N형 트랜지스터; 및 드레인 단은 상기 제7 N형 트랜지스터의 소스 단과 연결되고, 소스 단은 입력 캐리 신호 단에 연결되며, 게이트 단은 상기 제7 N형 트랜지스터의 게이트 단과 연결되는 제7 P형 트랜지스터;를 포함한다.

[0022] 또한, 본 발명은 상기 전가산기 회로가 집적되며 아날로그 신호를 디지털로 변환하여 처리하는 디지털 신호 처리 장치를 더 제공한다.

발명의 효과

[0024] 본 발명은 다음과 같은 우수한 효과를 가진다.

[0025] 본 발명의 전가산기 회로 및 디지털 신호 처리 장치에 의하면, 14개의 트랜지스터만으로 총 에러 거리가 '0'인 정확한 합 신호와 캐리 신호를 출력할 수 있으므로 전력 소모를 매우 줄일 수 있는 장점이 있다.

도면의 간단한 설명

[0027] 도 1은 종래의 전가산기 회로를 보여주는 도면,

도 2는 종래의 미러 전가산기 회로를 보여주는 도면,

도 3은 본 발명의 일 실시예에 따른 전가산기 회로를 보여주는 도면,

도 4는 본 발명의 일 실시예에 따른 전가산기 회로의 진리표이다.

발명을 실시하기 위한 구체적인 내용

[0028] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.

[0029] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.

[0030] 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.

[0032] 도 3을 참조하면, 본 발명의 일 실시예에 따른 전가산기 회로는 전가산 연산을 수행하는 전가산기 회로(100)이며, 총 14개의 트랜지스터로 구성된다.

[0033] 또한, 도 3에서는 싱글 비트(single bit)의 가산 연산을 수행하는 전가산기 회로(100)를 도시하였으나 상기 전가산기 회로(100)가 다수 개 구비될 경우 멀티 비트(multi bits)의 전가산 연산을 수행할 수 있다.

[0034] 또한, 본 발명의 전가산기 회로(100)는 디지털 신호 처리 장치(DSP:digital signal processor)에 집적될 수 있으며, 본 발명의 전가산기 회로(100)는 상기 디지털 신호 처리 장치의 형태로 제공될 수 있다.

[0035] 또한, 상기 디지털 신호 처리 장치는 멀티미디어 장치, 이동통신장치 또는 아날로그 신호를 입력받아 디지털 신호처리를 수행하는 각종 임베디드 장치에 이용될 수 있다.

[0037] 이하에서는 본 발명의 전가산기 회로(100)의 구성을 상세히 설명한다.

[0038] 본 발명의 전가산기 회로(100)는 가수 신호(A), 피가수 신호(B) 및 입력 캐리 신호(C_{in})를 입력받아 가산연산을 수행하고, 그 결과인 합 신호(Sum)와 출력 캐리 신호(C_{out})를 출력한다.

[0039] 또한, 상기 합 신호(Sum)와 상기 출력 캐리 신호(C_{out})는 미리링되지 않은 정확한 신호이며, 총 에러 거리가 '0'이다.

[0040] 또한, 상기 총 에러 거리는 전가산기의 모든 경우의 출력에 대해 부정확한 출력의 개수이다.

[0041] 한편, 상기 총 에러 거리가 '1' 이상인 전가산기 회로는 어림 가산기(approximate adder)라고 하며, 이 어림 가산기는 주로 에러 허용 장치(error tolerant applications)에 이용된다.

[0042] 또한, 본 발명의 일 실시예에 따른 전가산기 회로(100)는 총 14개의 트랜지스터로 구성되며, 더욱 자세하게는 7개의 P형 트랜지스터와 7개의 N형 트랜지스터로 구성된다.

[0043] 또한, 도 3에서는 상기 트랜지스터들이 MOSFET 트랜지스터인 것으로 도시하였으나 동일한 기능을 수행하는 다른 종류의 트랜지스터로 대체될 수 있다.

[0044] 또한, 상기 전가산기 회로(100)는 드레인 단은 동작 전원(V_{DD})에 연결되고, 게이트 단으로 상기 가수 신호(A)를 입력받는 제1 N형 트랜지스터(101), 소스 단은 상기 동작 전원(V_{DD})에 연결되고, 게이트 단으로 상기 가수 신호(A)를 입력받는 제1 P형 트랜지스터(102), 드레인 단은 상기 제1 N형 트랜지스터(101)의 소스 단과 연결되고, 게이트 단으로 상기 피가수 신호(B)를 입력받는 제2 N형 트랜지스터(103), 소스 단은 상기 제1 P형 트랜지스터(102)의 드레인 단에 연결되고, 게이트 단으로 상기 피가수 신호를 입력받는 제2 P형 트랜지스터(104), 드레인 단은 입력 캐리 신호(C_{in}) 단과 연결되고, 소스 단은 상기 합 신호(Sum)를 출력하며, 게이트 단은 상기 제2 N형 트랜지스터(103)의 소스 단과 상기 제2 P형 트랜지스터(104)의 드레인 단에 연결되는 제3 N형 트랜지스터(105),

드레인 단은 상기 제3 N형 트랜지스터(105)의 소스 단과 연결되고, 게이트 단은 상기 제3 N 형 트랜지스터(105)의 게이트 단과 연결되는 제3 P형 트랜지스터(106), 드레인 단은 상기 제3 P형 트랜지스터(106)의 소스 단에 연결되고, 소스 단은 상기 동작 전원에 연결되며, 게이트 단으로 상기 입력 케리 신호(C_{in})를 입력받는 제4 P형 트랜지스터(107), 드레인 단은 상기 제4 P형 트랜지스터(107)의 드레인 단에 연결되고, 소스 단은 접지 단에 연결되며, 게이트 단으로 상기 입력 케리 신호(C_{in})를 입력받는 제4 N형 트랜지스터(108), 드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호(A)를 입력받는 제5 P형 트랜지스터(109), 드레인 단은 접지 단에 연결되고, 게이트 단으로 상기 가수 신호(A)를 입력받는 제5 N형 트랜지스터(110), 소스 단은 상기 제5 P형 트랜지스터(109)의 소스 단과 연결되고, 드레인 단은 상기 제2 P형 트랜지스터(104)의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호(B)를 입력받는 제6 N형 트랜지스터(111), 드레인 단은 상기 제5 N형 트랜지스터(110)의 소스 단과 연결되고, 소스 단은 상기 제6 N형 트랜지스터(111)의 드레인 단과 연결되며, 게이트 단으로 상기 피가수 신호(B)를 입력받는 제6 P형 트랜지스터(112), 드레인 단은 가수 신호(A) 단과 연결되고, 소스 단으로 상기 출력 캐리 신호(C_{out})를 출력하며, 게이트 단은 상기 제6 N형 트랜지스터(111)의 드레인 단과 상기 제6 P형 트랜지스터(112)의 소스 단에 연결되는 제7 N형 트랜지스터(113) 및 드레인 단은 상기 제7 N형 트랜지스터(113)의 소스 단과 연결되고, 소스 단은 입력 캐리 신호(C_{out}) 단에 연결되며, 게이트 단은 상기 제7 N형 트랜지스터(113)의 게이트 단과 연결되는 제7 P형 트랜지스터(114)를 포함하여 이루어진다.

[0045] 또한, 도 4는 종래의 전가산기 회로(28 transistor), 종래의 미러 전가산기 회로(mirror adder) 및 본 발명의 전가산기 회로(proposed adder)의 진리표를 보여주는 것으로 세가지 회로 모두 에러가 없는 합 신호(Sum)와 출력 캐리 신호(C_{out})를 출력하는 것을 알 수 있다.

[0046] 따라서, 본 발명의 일 실시예에 다른 전가산기 회로(100)에 의하면 단 14개의 트랜지스터만으로 에러가 없는 합 신호와 출력 캐리 신호를 출력할 수 있으므로 전력 소모를 매우 줄일 수 있는 장점이 있다.

[0048] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

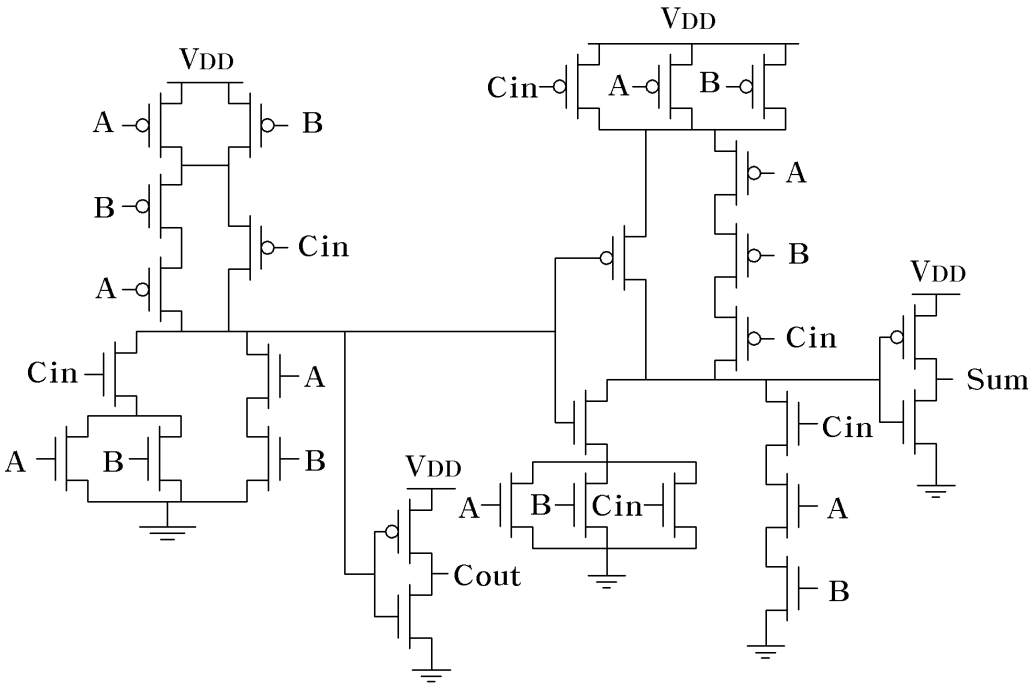
부호의 설명

[0050] 100:전가산기 회로

도면

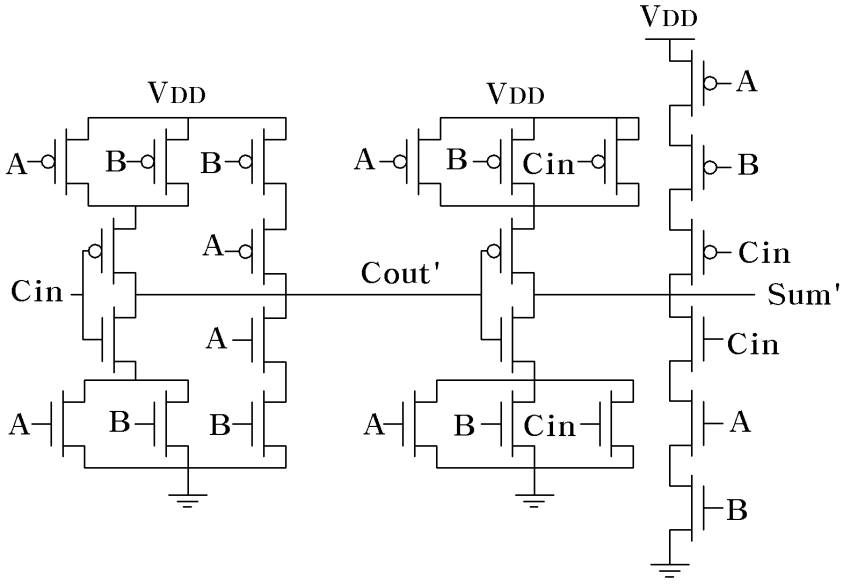
도면1

10

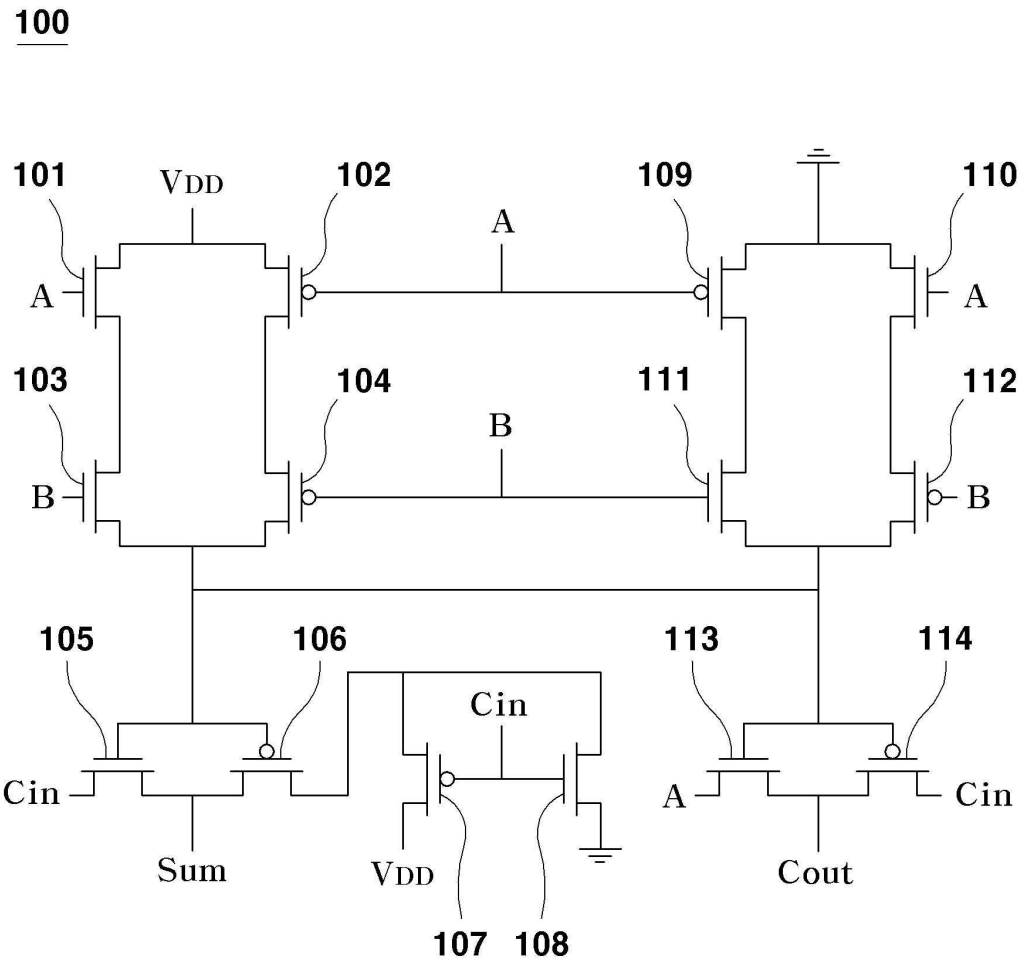


도면2

20



도면3


100
101
VDD
102
A
109
110
A
A
103
104
B
111
112
B
B
105
106
Cin
113
114
Cin
A
Cin
Sum
VDD
Cout
107
108

도면4

입력신호			진리표					
			Accurate Output (28 transistor)		Accurate Output (mirror adder)		Accurate Output (proposed adder)	
A	B	Cin	Sum	Cout	Sum	Cout	Sum	Cout
0	0	0	0	0	0	0	0	0
0	0	1	1	0	1	0	1	0
0	1	0	1	0	1	0	1	0
0	1	1	0	1	0	1	0	1
1	0	0	1	0	1	0	1	0
1	0	1	0	1	0	1	0	1
1	1	0	0	1	0	1	0	1
1	1	1	1	1	1	1	1	1