

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公开说明书

[21] 申请号 200610072347.2

[51] Int. Cl.

H03K 5/003 (2006.01)

H03K 5/08 (2006.01)

H03L 7/08 (2006.01)

[43] 公开日 2006 年 10 月 18 日

[11] 公开号 CN 1848682A

[22] 申请日 2006.4.14

[21] 申请号 200610072347.2

[30] 优先权

[32] 2005.4.15 [33] JP [31] 117753/2005

[71] 申请人 株式会社瑞萨科技

地址 日本东京都

[72] 发明人 川本高司 小久保优 大岛俊

[74] 专利代理机构 北京市金杜律师事务所

代理人 季向冈

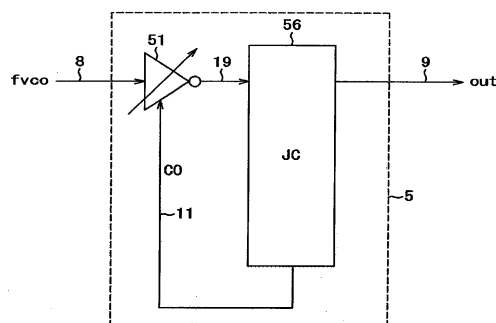
权利要求书 5 页 说明书 41 页 附图 35 页

[54] 发明名称

逻辑电平转换电路和使用了它的相位同步电路

[57] 摘要

本发明提供一种即使存在阈值变动因素(工艺、温度、电源电压),也生成使后续的逻辑电路正确动作的输出信号的逻辑电平转换电路、和使用了它的相位同步电路。在逻辑电平转换电路(5)中,相位同步电路的电压控制振荡器的输出信号(8)被输入到阈值可变反相器(51)。通过低通滤波器(52)取出阈值可变反相器(51)的输出信号(19)的直流成分(10)。直流成分(10)被输入到比较器(53),在比较器(53)中与比较电压进行比较。基于比较结果,将阈值设定信号(11)输出到阈值可变反相器(51)。阈值可变反相器(51)的阈值根据阈值设定信号(11)被变更,输出信号(8)被转换成输出信号(19)。在比较结果变成预定的状态后,保持阈值设定信号(11)的值,将输出信号(19)作为输出信号(9)输出。



1.一种逻辑电平转换电路，其特征在于，包括：

阈值可变反相器，被输入第 1 信号和第 2 信号，根据由上述第 2 信号设定的阈值，将上述第 1 信号转换成第 3 信号；以及

判断电路，使上述第 2 信号成为预定的值后，以预定状态为基准判断上述第 3 信号，使用判断结果新生成上述第 2 信号，并且，将上述第 3 信号作为第 4 信号输出；

其中，上述判断电路，在上述第 3 信号处于上述预定状态时，保持上述第 2 信号的值。

2.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述阈值可变反相器，

包括多个串联电路，其中，该串联电路是将栅极相互连接、并将漏极相互连接起来的 PMOS 晶体管和 NMOS 晶体管的串联电路，该串联电路在上述 PMOS 晶体管的源极与电源电压之间具有由上述第 2 信号控制的第 1 开关，在上述 NMOS 晶体管的源极与接地之间具有由上述第 2 信号控制的第 2 开关，

通过将上述多个串联电路的栅极相互连接作为输入端子，将上述多个串联电路的漏极相互连接作为输出端子，上述多个串联电路被并联连接，

对上述输入端子输入上述第 1 信号，从上述输出端子输出上述第 3 信号。

3.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述阈值可变反相器，包括经由开关输入上述第 1 信号的、阈值相互不同的多个反相器，

上述开关由第 2 信号控制，

多个反相器，分别在上述开关处于接通状态时输出第 3 信号。

4.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述判断电路，包括低通滤波器和比较器，其中，该低通滤波器

输出上述第 3 信号的直流成分；该比较器将上述直流成分与对应于上述预定状态的比较电压进行比较，生成比较结果，

上述比较器将上述比较结果作为上述预定结果来使用，新输出上述第 2 信号。

5.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述判断电路包括对上述第 3 信号进行预定期间的计数的计数器，

上述计数器将对应于上述预定状态的计数结果作为上述判断结果来使用，新生成上述第 2 信号。

6.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述判断电路，包括衰减器和测试器，其中

该衰减器在芯片外部以预定状态为基准测量上述第 3 信号，并输出设定信号；

该测试器将上述设定信号作为上述判断结果来使用，新生成上述第 2 信号。

7.根据权利要求 1 所述的逻辑电平转换电路，其特征在于：

上述判断电路，包括被输入上述第 3 信号、输出第 4 信号的开关，上述开关在上述第 3 信号处于上述预定状态时成为接通状态。

8.一种逻辑电平转换电路，其特征在于，包括：

反相器，被输入第 1 信号和第 2 信号，将上述第 1 信号转换成第 3 信号；以及

判断电路，通过在上述第 1 信号上累加上述第 2 信号，上述第 1 信号的直流成分发生变化，在使上述第 2 信号成为预定的值后，以预定状态为基准判断上述第 3 信号，使用判断结果新生成上述第 2 信号，并且，将上述第 3 信号作为第 4 信号输出；

其中，上述判断电路，在上述第 3 信号处于上述预定状态时，保持上述第 2 信号的值。

9.根据权利要求 8 所述的逻辑电平转换电路，其特征在于：

上述判断电路，包括低通滤波器和比较器，其中，

该低通滤波器输出上述第 3 信号的直流成分;

该比较器将上述直流成分与对应于上述预定状态的比较电压进行比较, 生成比较结果;

上述比较器将上述比较结果作为上述预定结果来使用, 经由数字模拟转换电路新输出上述第 2 信号。

10.根据权利要求 8 所述的逻辑电平转换电路, 其特征在于:

上述判断电路, 包括对上述第 3 信号进行预定期间的计数的计数器,

上述计数器将对应于上述预定状态的计数结果作为上述判断结果来使用, 经由数字模拟转换电路新生成上述第 2 信号。

11.根据权利要求 8 所述的逻辑电平转换电路, 其特征在于:

上述判断电路, 包括衰减器和测试器, 其中,

该衰减器在芯片外部以预定状态为基准测量上述第 3 信号, 并输出设定信号;

该测试器将上述设定信号作为上述判断结果来使用, 经由数字模拟转换电路新生成上述第 2 信号。

12.根据权利要求 8 所述的逻辑电平转换电路, 其特征在于:

上述判断电路, 包括被输入上述第 3 信号、输出第 4 信号的开关, 上述开关在上述第 3 信号处于上述预定状态时成为接通状态。

13.一种相位同步电路, 其特征在于, 包括:

相位比较器, 比较所输入的基准信号与参照信号, 输出相位差;

电荷泵, 将上述相位差转换成电流;

环路滤波器, 取出上述电荷泵所输出的上述电流的低频成分, 将取出的上述电流的低频成分转换成控制电压进行输出;

电压控制振荡器, 根据上述控制电压改变振荡频率, 将振荡输出作为第 1 信号输出;

分频器, 对上述第 1 信号进行分频, 输出上述参照信号; 以及

逻辑电平转换电路, 被输入上述第 1 信号, 输出第 4 信号;

其中, 上述逻辑电平转换电路包括

阈值可变反相器，被输入上述第 1 信号和第 2 信号，根据由上述第 2 信号设定的阈值，将上述第 1 信号转换成第 3 信号；以及

判断电路，使上述第 2 信号成为预定的值后，以预定状态为基准判断上述第 3 信号，使用判断结果新生成上述第 2 信号，并且，将上述第 3 信号作为上述第 4 信号输出，

其中，上述判断电路，在上述第 3 信号处于上述预定状态时，保持上述第 2 信号的值。

14.根据权利要求 13 所述的相位同步电路，其特征在于：

上述电压控制振荡器包括

电压电流转换电路，被输入上述控制电压，输出控制电流；

电流控制振荡器，根据上述控制电流改变振荡频率，将振荡输出作为差动振荡信号输出；以及

差动单端转换电路，将上述差动振荡信号转换成单相的上述第 1 信号。

15.根据权利要求 13 所述的相位同步电路，其特征在于：

上述阈值可变反相器，

包括多个串联电路，其中，该串联电路是将栅极相互连接、并将漏极相互连接起来的 PMOS 晶体管和 NMOS 晶体管的串联电路，该串联电路在上述 PMOS 晶体管的源极与电源电压之间具有由上述第 2 信号控制的第 1 开关，在上述 NMOS 晶体管的源极与接地之间具有由上述第 2 信号控制的第 2 开关，

通过将上述多个串联电路的栅极相互连接作为输入端子，将上述多个串联电路的漏极相互连接作为输出端子，上述多个串联电路被并联连接，

对上述输入端子输入上述第 1 信号，从上述输出端子输出上述第 3 信号。

16.根据权利要求 13 所述的相位同步电路，其特征在于：

上述阈值可变反相器，包括经由开关输入上述第 1 信号的、阈值相互不同的多个反相器，

上述开关由第 2 信号控制，

多个反相器，分别在上述开关处于接通状态时输出第 3 信号。

17.根据权利要求 13 所述的相位同步电路，其特征在于：

上述判断电路，包括低通滤波器和比较器，其中，该低通滤波器输出上述第 3 信号的直流成分；该比较器将上述直流成分与对应于上述预定状态的比较电压进行比较，生成比较结果，

上述比较器将上述比较结果作为上述预定结果来使用，新输出上述第 2 信号。

18.根据权利要求 13 所述的相位同步电路，其特征在于：

上述判断电路包括对上述第 3 信号进行预定期间的计数的计数器，

上述计数器将对应于上述预定状态的计数结果作为上述判断结果来使用，新生成上述第 2 信号。

19.根据权利要求 13 所述的相位同步电路，其特征在于：

上述判断电路，包括衰减器和测试器，其中

该衰减器在芯片外部以预定状态为基准测量上述第 3 信号，并输出设定信号；

该测试器将上述设定信号作为上述判断结果来使用，新生成上述第 2 信号。

20.根据权利要求 13 所述的相位同步电路，其特征在于：

上述判断电路，包括被输入上述第 3 信号、输出第 4 信号的开关，上述开关在上述第 3 信号处于上述预定状态时成为接通状态。

逻辑电平转换电路和使用了它的相位同步电路

技术领域

本发明涉及将振幅随着频率升高而降低、且直流电平发生变化的信号转换成逻辑电平的逻辑电平转换电路、以及使用了该逻辑电平转换电路的相位同步电路，尤其涉及适合应用于以低电源电压在从低频带到 GHz 带的宽频率范围内进行动作的半导体集成电路装置的逻辑电平转换电路、以及使用了该逻辑电平转换电路的相位同步电路。

背景技术

在磁盘装置(以下称作“HDD: Hard Disk Drive”)、以 CD(Compact Disc)、DVD(Digital Versatile Disc)为代表的光盘装置、或者无线通信便携式终端等中，为了生成用于使逻辑电路动作的时钟信号而使用相位同步电路。相位同步电路，一般与外围电路一起作为半导体集成电路装置而构成。近年，这些信息设备的高速化显著发展，相位同步电路的动作频率已经达到了 GHz 带。

作为适合以半导体集成电路装置来构成的高速动作的相位同步电路的例子，在专利文献 1 和专利文献 2 中，公开了作为其主要构成电路之一的可变频率振荡电路，使用将延迟量因电流而发生变化的延迟电路连接成多段环状而构成的振荡电路的例子。

此外，在数字信号分析装置中，如果频率升高，则容易出现以下情况：所输入的数字信号振幅降低，直流电平发生变化，即 DC 偏置(Offset)。进行这样的数字信号的波形整形、对振幅变化和 DC 偏置进行校正的校正电路的例子，已经在专利文献 3 中公开。

〔专利文献 1〕日本特开平 11-298302 号公报

〔专利文献 2〕日本特开 2001-358565 号公报

〔专利文献 3〕日本特开平 5-7135 号公报

由于可变频率振荡电路一般是由模拟电路构成的，因而输出数字信号的相位同步电路一般是被模拟数字混合信号处理 LSI (Large Scale Integrated Circuit: 大规模集成电路) (以下，称作“模数混合 LSI”) 集成的。因此，在模数混合 LSI 的相位同步电路中，作为可变频率振荡电路的电压控制振荡器 (以下称作“VCO”)，与将模拟的 VCO 输出信号转换成数字信号的逻辑电平转换电路相连接。

尤其是近年模数混合 LSI 的低耗电化和高速化显著发展，VCO 输出信号变得更为高速，因此，需要逻辑电平转换电路也实现低耗电化和宽带化。

在此，将在专利文献 1、2 中公开的 VCO 的例子表示为图 30。VCO24 包括：将控制电压 v_c 转换成电流的电压电流转换电路 (VIC) 241；接收用于复制电压电流转换电路 241 所生成的电流的电压 v_{cont} ，通过所复制的电流调节延迟量的电流控制振荡器 (ICO) 247；以及将电流控制振荡器 247 的模拟的差动输出信号转换成数字的单信号 (单相信号) 的差动单端转换电路 (DSC) 246。差动单端转换电路 246 还作为逻辑电平转换电路发挥作用。而且，电流控制振荡器 247，采用将由驱动电流调整延迟量的延迟电路连接成环状的结构。在图 30 中，电流控制振荡器 247，将延迟电路 (DL) 242a ~ 242c 连接成奇数段 (3 段) 而构成。

图 31 表示延迟电路 242 的结构例。延迟电路 242 包括：由晶体管 M1、M3 构成差动对的一方的第 1 放大器；同样地，由晶体管 M2、M4 构成差动对的另一方的第 2 放大器；由晶体管 M6、M7 构成、输出与输入相互连接的第 3、第 4 放大器；以及基于晶体管 M5 的可变电流源。第 1 和第 2 放大器构成差动式，向该差动式放大器输入差动信号 v_{i1} 、 v_{i2} ，输出差动信号 v_{o1} 、 v_{o2} 。

延迟电路 242，是通过由第 1 和第 3 放大器共用负载、由第 2 和第 4 放大器共用负载，来削减晶体管数量，降低延迟电路的负载容量的延迟电路。而且，延迟电路 242 是为了对应低电源电压，而仅由晶体管 M5 一方驱动可变电流源的非对称的延迟电路。因此，特别是在

高速动作中，延迟电路 242 的输出信号偏置于接地侧。将偏置于该接地侧的高速的差动信号 vo1、vo2 转换成单信号的电路，是差动单端转换电路 246。

图 32 表示差动单端转换电路 246 的电路例。差动单端转换电路 246 包括驱动晶体管 M2、M3；基于向驱动晶体管 M2、M3 供给驱动电流的晶体管 M1 的电流源；分别成为驱动晶体管 M2、M3 的负载的负载晶体管 M4、M5。

在高频的情况下，前级的延迟电路 242c 的输出信号偏置于接地侧地被输出，因此，输入到差动单端转换电路 246 的差动信号 vi1、vi2 成为偏置于接地侧的信号。此时，作为差动单端转换电路 246 的输出信号的 fvco，偏置于电源电压侧地被输出。因此，接收差动单端转换电路 246 的输出信号 (fvco) 8 的后续的逻辑电路（未图示），就不得不处理偏置于电源电压侧的高速信号。

另一方面，近年，由于工艺（process）的微细化，由阈值变动因素（工艺、温度、电源电压）造成的阈值变动正在变大。因此，在模数混合 LSI 中，可能出现由于阈值变动因素的原因造成逻辑电路的阈值发生变动，无法正确识别偏置了的模拟信号的现象。由于工艺越微细化，阈值变动就变得越大，因此，在要求高速动作的、由微细工艺构成的模数混合 LSI 中，尤其是在模拟信号与数字信号的传输部分，容易发生错误动作。

接下来，图 33 表示安装于模数混合 LSI 的相位同步电路的例子。相位同步电路包括相位频率比较器（PFD）1、电荷泵（charge pump）（CP）2、环路滤波器（LF）3、VCO4、以及对 VCO4 的输出频率进行分频的分频器（MMD）6。VCO4 的输出信号 (fvco) 8 被输入到后续的逻辑电路（未图示）。输出信号 8 是与逻辑电平（例如，电压为 0～电源电压 Vdd）的数字信号同等的信号。

在相位同步电路中，分频器 6 对 VCO4 的输出信号 8 进行分频。通过该分频获得的比较信号 (fdiv) 32，向相位比较器 1 反馈。相位比较器 1 检测基准信号 (fref) 31 与比较信号 32 的相位差，将与该相

位差对应的脉冲宽度的电压脉冲输出到电荷泵 2。

电荷泵 2，对应于上述电压脉冲，成为电荷的放电、充电、或者高阻中的某一状态，将电荷泵 2 的输出电流输出到环路滤波器 3。该电荷泵 2 的输出电流通过环路滤波器 3 变得平滑，被进行电压转换，成为 VCO4 的控制电压。

安装了相位同步电路和逻辑电路的模数混合 LSI，有时由于阈值变动因素（工艺、温度、电源电压）而造成输出信号 8 发生变动，导致收到该输出信号 8 的逻辑电路无法正确地进行动作，而成为错误动作的结果。即，如果频率变高，VCO4 由于阈值变动因素而导致 VCO4 的输出信号 8 的直流电平、信号振幅发生大的变动。另一方面，被输入了输出信号 8 的逻辑电路，也由于阈值变动因素而造成阈值发生大的变动。此时，在某种条件下，可能会发生所输入的输出信号 8 的直流电平无法控制逻辑电路的阈值这样的情况。如果发生了这种情况，逻辑电路将进行错误动作。这样，随着工艺的微细化的推进，在模数混合 LSI 中，不可避免地出现成品率和生产效率的降低，阻碍了模数混合 LSI 的低价格化。

因此，在具有安装了相位同步电路的模数混合 LSI 的接口装置、HDD/DVD 存取（access）的记录再现装置中，随着工艺的细微化的推进，不仅制造成品率降低，而且发生动作不良的可能性变大，无法避免发生可靠性和生产性的下降。另外，在具有安装了相位同步电路的模数混合 LSI 的无线通信终端设备中，通信动作发生错误动作的可能性变大，无法避免可靠性的下降。

对于上述问题，以往，采取了扩大差动单端转换电路的增益和带宽的对策，但却无法避免伴随宽带化而产生的耗电增大。而且，伴随近年逻辑电路的高速化，安装具有所需的带宽的差动单端转换电路变得困难。另外，对于在 DVD 存取等记录再现装置中使用的相位同步电路，要求能够支持从低频到高频的宽范围的频率。因此，具有切断低频，使高频通过的特性的专利文献 3 的校正电路，为了通过低频，所使用的电容面积变大，因此难以安装到大规模集成电路中。而且，

接口装置、记录再现装置、无线通信终端设备，其使用环境都是多种各样的，从而助长了可靠性的降低。

发明内容

本发明的目的在于，提供一种即使存在阈值变动因素（工艺、温度、电源电压），也生成使后续的逻辑电路正确动作的输出信号的逻辑电平转换电路，或者使用了该逻辑电平转换电路的相位同步电路。

用于达成上述目的的本发明的逻辑电平转换电路的特征在于，包括：阈值可变反相器，被输入第1信号和第2信号，根据由上述第2信号设定的阈值，将上述第1信号转换成第3信号；以及判断电路，使上述第2信号成为预定的值后，以预定状态为基准判断上述第3信号，使用判断结果新生成上述第2信号，并且，将上述第3信号作为第4信号输出；其中，上述判断电路，在上述第3信号处于上述预定状态时，保持上述第2信号的值。

通过上述逻辑电平转换电路，第1信号的直流电平与上述阈值可变反相器的阈值被调整为大体一致，由此，第1信号的振幅和直流电平被调整为逻辑电平，因此，即使存在阈值变动因素（工艺、温度、电源电压），也能够生成使后续的逻辑电路正确动作的第1信号，即输出信号。

用于达成上述目的的本发明的相位同步电路的特征在于，包括：相位比较器，比较所输入的基准信号与参照信号，输出相位差；电荷泵，将上述相位差转换成电流；环路滤波器，取出上述电荷泵所输出的上述电流的低频成分，将取出的上述电流的低频成分转换成控制电压进行输出；电压控制振荡器，根据上述控制电压改变振荡频率，将振荡输出作为第1信号输出；分频器，对上述第1信号进行分频，输出上述参照信号；以及逻辑电平转换电路，被输入上述第1信号，输出第4信号。

由于从配置于上述相位同步电路的输出级的逻辑电平转换电路输出使后续的逻辑电路正确动作的第1信号，因此，能够将相位同步

电路应用于处理宽带信号的广大领域。作为这样的领域，例如，存在以 CD 和 DVD 为代表的光盘装置、用于连接 HDD 和计算机的接口装置、或者在 HDD、光盘装置的内部使用的记录再现装置、或者无线通信便携式终端等。

根据本发明，输出信号的振幅和直流电平通过逻辑电平转换电路被调整为逻辑电平，因此，即使存在阈值变动因素（工艺、温度、电源电压），被输入上述输出信号的后续的逻辑电路也能够正确动作。

附图说明

图 1 是用于说明本发明的逻辑电平转换电路和使用了该逻辑电平转换电路的相位同步电路的实施例 1 的框图。

图 2 是用于说明在图 1 的相位同步电路中使用的第 1 逻辑电平转换电路的例子的框图。

图 3 是用于说明在图 2 的第 1 逻辑电平转换电路中使用的第 1 判断电路的例子的框图。

图 4 是用于说明在图 3 的逻辑电平转换电路中使用的计算机的例子的框图。

图 5 用于说明图 4 的计算机的输入输出特性的图。

图 6 是用于说明在图 2 的逻辑电平转换电路中使用的第 1 阈值可变反相器的例子的框图。

图 7 是用于说明图 2 的逻辑电平转换电路的动作的例子的图。

图 8 是用于说明在图 2 的第 1 逻辑电平转换电路中使用的第 2 判断电路的例子的框图。

图 9 是用于说明在图 2 的第 1 逻辑电平转换电路中使用的第 3 判断电路的例子的框图。

图 10 是用于说明在图 2 的第 1 逻辑电平转换电路中使用的第 4 判断电路的例子的框图。

图 11 是用于说明在图 2 的第 1 逻辑电平转换电路中使用的第 5 判断电路的例子的框图。

图 12 是用于说明在图 2 的逻辑电平转换电路中使用的第 2 阈值可变反相器的例子的框图。

图 13 是用于说明本发明的逻辑电平转换电路和使用了该逻辑电平转换电路的相位同步电路的实施例 2 的框图。

图 14 是用于说明在图 13 的相位同步电路中使用的 VCO 的例子的框图。

图 15 是用于说明在图 14 的 VCO 中使用的电流控制振荡器的例子的电路图。

图 16 是用于说明在图 14 的 VCO 中使用的差动单端转换电路的例子的电路图。

图 17A 是用于说明与图 16 的差动单端转换电路连接的、在图 13 的相位同步电路中使用的逻辑电平转换电路的例子的框图。

图 17B 是用于说明与图 16 的差动单端转换电路连接的逻辑电平转换电路的其他例子的框图。

图 18 是用于说明在图 17 的逻辑电平转换电路中使用的第 1 判断电路的例子的框图。

图 19 是用于说明在图 17 的逻辑电平转换电路中使用的第 2 判断电路的例子的框图。

图 20 是用于说明在图 17 的逻辑电平转换电路中使用的第 3 判断电路的例子的框图。

图 21 是用于说明在图 17 的逻辑电平转换电路中使用的第 4 判断电路的例子的框图。

图 22 是用于说明本发明的接口装置的实施例 3 的框图。

图 23 是用于说明在图 22 的接口装置中使用的相位同步电路的阈值设定的动作的流程图。

图 24 是用于说明本发明的记录再现装置的实施例 4 的框图。

图 25 是用于说明在图 24 的记录再现装置中使用的相位同步电路的阈值设定的动作的流程图。

图 26 是用于说明本发明的无线通信终端设备的实施例 5 的框图。

图 27 是用于说明在实施例 5 中使用的相位同步电路的例子的框图。

图 28 是用于说明在实施例 5 中使用的相位同步电路的例子的其他框图。

图 29 是用于说明在图 26 的无线通信终端设备中使用的相位同步电路的阈值设定的动作的流程图。

图 30 是用于说明在以往的相位同步电路中使用的电压控制振荡器的例子的框图。

图 31 是用于说明在图 25 的电压控制振荡器中使用的延迟电路的例子的电路图。

图 32 是用于说明在图 25 的电压控制振荡器中使用的差动单端转换电路的例子的电路图。

图 33 是用于说明以往的相位同步电路的例子的框图。

图 34 是用于说明在本发明的实施例 3 中使用的相位同步电路的其他例子的框图。

具体实施方式

以下，参照附图所示的数个实施例，对本发明的逻辑电平转换电路和使用了该逻辑电平转换电路的相位同步电路、以及使用了该相位同步电路的接口装置、记录再现电路和无线通信终端设备，进行更为详细的说明。另外，在用于说明的所有附图中，相同的标号表示相同或者类似的结构。

〈实施例 1〉

图 1 和图 2 表示本发明的实施例 1。本实施例是最充分地表现了本发明的特征的逻辑电平转换电路和使用了该逻辑电平转换电路的相位同步电路（PLL）。

如图 1 所示，本实施例的相位同步电路，包括相位频率比较器（PFD）1、电荷泵（CP）2、环路滤波器（LF）3、电压控制振荡器（以下记为“VCO”）4、将 VCO4 的输出信号（fvco）8 转换成后续

的逻辑电路（未图示）能正确识别的数字的输出信号（out）9的逻辑电平转换电路（LCC）5、对输出信号8进行分频的分频器（MMD）6。

VCO4例如采用图30所示的VCO24。在图30中，VCO24包括：将控制电压vc转换成电流的电压电流转换电路（VIC）241；接收用于复制电压电流转换电路241所生成的电流的电压vcont，通过所复制的电流调节延迟量的电流控制振荡器（ICO）247；以及将电流控制振荡器247的模拟的差动输出信号转换成数字的单信号（单相信号）的差动单端转换电路（DSC）246。电流控制振荡器247，采用将通过驱动电流调整延迟量的延迟电路（DL）242a~242c连接成环状的结构。延迟电路242，例如采用图31所示的电路。图31的延迟电路242包括：由晶体管M1、M3构成差动对的一方的第1放大器；同样地，由晶体管M2、M4构成差动对的另一方的第2放大器；由晶体管M6、M7构成、输出与输入相互连接的第3、第4放大器；以及基于晶体管M5的可变电流源。第1和第2放大器构成差动式，该差动式放大器被输入差动信号vi1、vi2，输出差动信号vo1、vo2。将差动信号vo1、vo2转换成单信号的电路是差动单端转换电路246。差动单端转换电路246，例如采用图32所示的电路。图32的差动单端电路246包括：基于生成驱动电流的晶体管M1的电流源；驱动晶体管M2、M3；以及负载晶体管M4、M5。差动单端转换电路246，将差动信号vo1、vo2作为差动信号vi1、vi2输入，输出作为单信号的输出信号8。

在图1的相位同步电路中，分频器6对VCO4的输出信号8进行分频。通过该分频获得的比较信号（fdiv）32，向相位比较器1反馈。相位比较器1检测基准信号（fref）31与比较信号32的相位差，将对应于该相位差的脉冲宽度的电压脉冲向电荷泵2输出。

电荷泵2，对应于上述电压脉冲，成为电荷的放电、充电、或者高阻中的某一状态，将电荷泵输出电流输出到环路滤波器3。该电荷泵输出电流通过环路滤波器3变得平滑，被进行电压转换，成为电压控制振荡器4的控制电压。

接着,使用图2说明逻辑电平转换电路5的结构例和动作。逻辑电平转换电路5包括阈值可变反相器51和判断电路56,其中,该阈值可变反相器51被输入VCO4的输出信号8(第1信号)和阈值设定信号(co)11(第2信号),以由阈值设定信号11设定的阈值,处理输出信号8,输出信号19(第3信号);该判断电路56被输入信号19,判断所输入的信号19,基于判断结果输出相位同步电路的输出信号(out)9(第4信号)和阈值设定信号11。

图3表示图2所示的判断电路56的第1结构例。第1判断电路56,包括低通滤波器(LPF)52和比较器(COMP)53,其中,该低通滤波器(LPF)52以信号19作为输出信号9输出,进而,输入信号19而输出信号19的直流成分(lo)10;比较器(COMP)53被输入直流成分10,根据与比较电压的比较结果输出阈值设定信号11。

图4表示比较器53的结构例。比较器53包括比较器531、比较器532、以及逻辑电路(LOGIC)533,其中,该比较器531被输入比较电压Vr1和直流成分10,输出比较信号;该比较器532被输入比较电压Vr2和直流成分10,输出比较信号;该逻辑电路(LOGIC)533被输入比较器531所输出的比较信号和比较器532所输出的比较信号,生成比较结果,基于比较结果输出阈值设定信号11。

图5表示比较器53的输入输出特性。在直流成分10比比较电压Vr1小时,比较结果为-1。此时,比较器53输出使阈值可变反相器51的阈值升高一级的阈值设定信号11。在直流成分10比比较电压Vr1大、比Vr2小时,比较结果为0。此时,比较器53输出保持阈值可变反相器51的阈值的阈值设定信号11。在直流成分10比比较电压Vr2大时,比较结果变成1。此时,比较器53输出使阈值可变反相器51的阈值降低一级的阈值设定信号11。进行该动作直到比较结果变成0为止。比较结果变成0后,比较器53进行保持阈值设定信号11的动作。比较器53的结构只要是实现上述动作的结构,也可以与上述说明的方式不同。

在此,当信号19处于比较结果变成0的状态时,称信号19处于

预定的状态。因此，判断电路 56 以预定的状态为基准判断信号 19，使用该结果生成阈值设定信号 11。

图 6 表示输入图 2 所示的输出信号 8 和阈值设定信号 11、输出信号 19 的第 1 阈值可变反相器 51 的结构例，并说明其动作。第 1 阈值可变反相器 51 包括：从栅极输入输出信号 8，从漏极输出信号 19 的 PMOS 晶体管 514、515、516；NMOS 晶体管 517、518、519；由阈值设定信号 11 控制的、插入在电源电压和 PMOS 晶体管之间的开关 511、512、513（第 1 开关）；以及同样由阈值设定信号 11 控制的、插入在接地和 NMOS 晶体管之间的开关 51A、51B、51C（第 2 开关）。另外，第 1 阈值可变反相器 51，只要能通过阈值设定信号 11 进行动作的控制，也可以是与上述结构不同的结构。

图 7 表示本实施例的逻辑电平转换电路 5 的动作波形，使用该动作波形说明逻辑电平转换电路 5 的动作。

在时刻 t_0 ，VCO4 的输出信号 8 被输入逻辑电平转换电路 5。作为初始设定，阈值设定信号 11 是表示为 M 的信号。通过表示为 M 的阈值设定信号 11，在阈值可变反相器 51 中，开关 511 和 51A 变成接通（ON），其他所有的开关变成断开（OFF）。基于导通状态的晶体管 514、517 的阈值为 V_{thc1} 。在此，假设阈值 V_{thc1} 比输出信号 8 的电压高，不与输出信号 8 相交。此时，逻辑电平转换电路 5 的输出信号 9 被固定为高电平（High）。由此，低通滤波器 52 输出的直流成分 10 变成高电平，作为比较器 53 的内部信号的比较结果变成 1。

结果，在时刻 t_1 ，从比较器 53 向阈值可变反相器 51 输出使阈值降低一级的表示为 M-1 的阈值设定信号 11。接收了表示为 M-1 的阈值设定信号 11 的阈值可变反相器 51，在时刻 t_1 ，不仅使开关 511 和 51A 为接通，还使开关 51B 也成为接通。结果，阈值从 V_{thc1} 变更为 V_{thc2} 。

由此，阈值 V_{thc2} 变得能与输出信号 8 相交，逻辑电平转换电路 5 的输出信号 9 变成振幅为 V_{dd} 的时钟信号，即逻辑电平的时钟信号。此时，低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$ ，作为比较器

53 的内部信号的比较结果变成 0。结果，比较器 53 进行使阈值设定信号 11 保持为 M-1 的动作，逻辑电平转换电路 5 的动作结束。另外，如果即使阈值变更也不发生与输出信号 8 的相交，就进一步进行阈值的变更。阈值的变更一直持续到发生与输出信号 8 的相交为止。

在此，说明输出信号 8 的电压比阈值 V_{thc1} 高，动作与上述相反的情况。作为初始设定，阈值设定信号 11 为 M。通过作为 M 的阈值设定信号 11，在阈值可变反相器 51 中，开关 511 和 51A 变成接通，其他所有的开关变成断开。基于导通状态的晶体管 514、517 的阈值为 V_{thc1} 。在此，假设阈值 V_{thc1} 比输出信号 8 的电压低，不与输出信号 8 相交。因此，逻辑电平转换电路 5 的输出信号 9 被固定为低电平（Low）。由此，低通滤波器 52 输出的直流成分 10 变成低电平，作为比较器 53 的内部信号的比较结果变成 -1。

结果，从比较器 53 向阈值可变反相器 51 输出使阈值升高一级的表示为 M+1 的阈值设定信号 11。接收了表示为 M+1 的阈值设定信号 11 的阈值可变反相器 51，不仅使开关 511 和 51A 变成接通，还使开关 512 变成接通。结果，阈值被从 V_{thc1} 变更为 V_{thc3} 。

由此，变成阈值 V_{thc3} 能与输出信号 8 相交，逻辑电平转换电路 5 的输出信号 9 成为振幅为 V_{dd} 的时钟信号、即逻辑电平的时钟信号。此时，低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$ ，作为比较器 53 的内部信号的比较结果变成 0。结果，比较器 53 进行使阈值设定信号 11 保持为 M+1 的动作，逻辑电平转换电路 5 的动作结束。另外，与上述同样地，如果即使阈值变更也没有发生与输出信号 8 的相交，就进一步进行阈值的变更。阈值的变更一直持续到发生与输出信号 8 的相交为止。

通过以上本实施例的逻辑电平转换电路 5，振荡频率变高，VCO4 的输出信号 8 的振幅降低，并且，即使电压电平发生变化，作为输出信号 9，也能够始终输出振幅为 V_{dd} 的时钟信号。

另外，判断电路 56 和阈值可变反相器 51 分别可以进行多种变形，通过使用这些变形，能够实现多种不同结构的逻辑电平转换电路 5。

图 8 表示判断电路 56 的第 2 结构例。第 2 判断电路 56 包括低通滤波器 52、比较器 53、以及开关 (SW) 57, 其中, 该低通滤波器 52 被输入信号 19, 输出信号 19 的直流成分 10; 比较器 53 被输入直流成分 10, 根据与比较电压的比较结果, 输出阈值设定信号 11 和动作判断信号 20; 开关 (SW) 57 被输入信号 19 和动作判断信号 20, 由动作判断信号 20 控制, 输出输出信号 9。

以下, 说明使用了图 8 的第 2 判断电路 56 的逻辑电平转换电路 5 的动作。

在某个时刻, VCO4 的输出信号 8 被输入逻辑电平转换电路 5。作为初始设定, 阈值设定信号 11 为 M, 由此, 在图 6 的阈值可变反相器 51 中, 开关 511 和 51A 变成接通, 其他所有的开关变成断开。基于导通状态的晶体管 514、517 的阈值为 V_{thc1} 。而且, 作为初始设定, 通过动作判断信号 20 进行控制, 使得开关 57 变成断开。在此, 阈值 V_{thc1} 假设是电压比输出信号 8 高, 不与输出信号 8 相交。此时, 阈值可变反相器 51 的输出信号 19 被固定为高电平。由此, 低通滤波器 52 输出的直流成分 10 变成高电平, 作为比较器 53 的内部信号的比较结果变成 1。

结果, 从比较器 53 向阈值可变反相器 51 输出使阈值降低一级的表示为 M-1 的阈值设定信号 11。接收了表示为 M-1 的阈值设定信号 11 的阈值可变反相器 51, 不仅使开关 511 和 51A 接通, 还使开关 51B 变成接通, 使阈值从 V_{thc1} 变更为 V_{thc2} 。

由此, 变成阈值 V_{thc2} 能与输出信号 8 相交, 阈值可变反相器 51 输出的信号 19 的振幅变成 Vdd。此时, 低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$, 作为比较器 53 的内部信号的比较结果变成 0。结果, 比较器 53 进行使阈值设定信号 11 保持为 M-1 的动作。进而, 比较器 53 输出使开关 57 变成接通的动作判断信号 20。变成了接通状态的开关 57, 将信号 19 作为输出信号 9 输出, 逻辑电平转换电路 5 的动作结束。

在此, 说明输出信号 8 的电压比阈值 V_{thc1} 高, 动作与上述相反

的情况。作为初始设定，阈值设定信号 11 为 M。通过作为 M 的阈值设定信号，在第 1 阈值可变反相器 51 中，开关 511 和 51A 变成接通，其他所有的开关变成断开。基于导通状态的晶体管 514、517 的阈值为 V_{thc1} 。而且，作为初始设定，通过动作判断信号 20 进行控制，使得开关 57 变成断开。在此，阈值 V_{thc1} 比输出信号 8 的电压高，不与输出信号 8 相交。因此，阈值可变反相器 51 的输出信号 19 被固定为低电平。由此，低通滤波器 52 输出的直流成分 10 变成低电平，作为比较器 53 的内部信号 10 的比较结果变成 -1。

结果，从比较器 53 向阈值可变反相器 51 输出使阈值升高一级的表示为 $M+1$ 的阈值设定信号 11。接收了该阈值设定信号 11 的阈值可变反相器 51，不仅使开关 511 和 51A 接通，还使开关 512 变成接通。结果，阈值被从 V_{thc1} 变更为 V_{thc3} 。

由此，变成阈值 V_{thc3} 能与输出信号 8 相交，阈值可变反相器 51 输出的信号 19 的振幅变成 V_{dd} 。此时，低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$ ，作为比较器 53 的内部信号 10 的比较结果变成 0。结果，比较器 53 进行使阈值设定信号 11 保持为 $M+1$ 的动作。进而，比较器 53 输出使开关 57 变成接通的动作判断信号 20。成为接通状态的开关 57，将信号 19 作为输出信号 9 输出，逻辑电平转换电路 5 的动作结束。

在第 2 判断电路 56 中，由于不将在上述初始动作中固定为高电平的信号或者固定为低电平的信号作为输出信号 9 输出，因此被输入输出信号 9 的逻辑电路的接通顺序（power on sequence）的控制变得容易。

接着，图 9 表示判断电路 56 的第 3 结构例。图 9 所示的第 3 判断电路 56 除了将信号 19 作为输出信号 9 输出之外，还包括计数器（CTR）55，该计数器（CTR）55 在输入信号 19 后进行一定期间的计数，基于计数结果输出阈值设定信号 11。计数器 55 对计数结果与表示预定状态的目标计数值进行比较，并变更阈值设定信号 11 直到获得适当的计数结果为止，输出该阈值设定信号 11。

以下,说明使用了图9的第3判断电路56的逻辑电平转换电路5的动作。

VCO4的输出信号8被输入阈值可变反相器51。作为初始设定,阈值设定信号11为M,由此,在图6的阈值可变反相器51中,开关511和51A变成接通,其他所有的开关变成断开。基于导通状态的晶体管514、517的阈值为 V_{thc1} 。在此,假设阈值 V_{thc1} 比输出信号8的电压高,不与输出信号8相交。此时,阈值可变反相器51的输出信号19被固定为高电平。进行这样的处理,信号19被输入计数器55。由于输出信号19被固定为高电平,因此,计数结果比目标计数值少。

由于计数器55不区分输出信号19的高、低电平地进行计数,因此,首先作为初始动作设定,输出将阈值可变反相器51的阈值升高一级的阈值设定信号11。此时,阈值设定信号11变成 $M+1$ 。接收了 $M+1$ 的阈值设定信号11的阈值可变反相器51,不仅使开关511和51A变成接通,还使开关512接通,使阈值升高一级,再次处理输出信号8,输出信号19。信号19被输入计数器55。计数器55对输出信号9进行一定期间的计数,将计数结果与目标计数值进行比较。在比较的结果为计数结果再次比目标计数值少的情况下,输出将第1阈值可变反相器51的阈值再升高一级的阈值设定信号11。此时,阈值设定信号11变成 $M+2$ 。

如果设定了阈值可变反相器51所能够设定的最大阈值,仍无法获得适当的计数结果,则阈值设定信号11就被设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号11的阈值可变反相器51,不仅使开关511和51A变成接通,还使开关51B变成接通,使阈值降低一级再次处理输出信号8,输出信号19。信号19被输入计数器55。计数器55对输出信号9进行一定期间的计数,将计数结果与目标计数值进行比较。在比较的结果为计数结果再次比目标计数值少的情况下,输出使第1阈值可变反相器51的阈值再降低一级的阈值设定信号11。此时,阈值设定信号11变成 $M-2$ 。

这样,依次降低阈值可变反相器51的阈值,在获得表示预定的

状态的适当的计数结果时，计数器 55 结束计数动作，并保持此时的阈值设定信号 11。另外，显然如果在升高阈值的阶段获得了适当的计数结果，则计数器 55 就在该时刻结束计数动作，并保持此时的阈值设定信号 11。

以上的第 3 判断电路 56 仅由逻辑电路构成，因此，在通过微细工艺进行集成化的情况下，安装面积变小，能够降低电流消耗。

接着，图 10 表示判断电路 56 的第 4 结构例。图 10 所示的第 4 判断电路 56 包括计数器 55 和开关 57，其中，该计数器 55 在被输入信号 19 后进行一定期间的计数，基于计数结果输出阈值设定信号 11 和动作判断信号 20；该开关 57 通过动作判断信号 20 控制接通、断开，在接通时将信号 19 作为输出信号 9 输出。

以下，说明使用了图 10 的第 4 判断电路 56 的逻辑电平转换电路 5 的动作。

VCO4 的输出信号 8 被输入到阈值可变反相器 51。作为初始设定，阈值设定信号 11 为 M，由此，在图 6 的阈值可变反相器 51 中，开关 511 和 51A 变成接通，其他所有的开关变成断开。基于导通状态的晶体管 514、517 的阈值为 V_{thc1} 。而且，作为初始设定，通过动作判断信号 20 进行控制，使得开关 57 变成断开。在此，假设阈值 V_{thc1} 比输出信号 8 的电压高，不与输出信号 8 相交。此时，阈值可变反相器 51 的输出信号 19 被固定为高电平。进行这样的处理，信号 19 被输入到计数器 55。由于输出信号 19 被固定为高电平，所以计数结果比目标计数值少。

由于计数器 55 不区分输出信号 19 的高、低电平地进行计数，因此，首先作为初始动作设定，输出使阈值可变反相器 51 的阈值升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M+1$ 。接收了 $M+1$ 的阈值设定信号 11 的阈值可变反相器 51，不仅使开关 511 和 51A 接通，还使开关 512 变成接通，使阈值升高一级，再次处理输出信号 8，输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较

的结果是计数结果再次比目标计数值少的情况下，输出使阈值可变反相器 51 的阈值再升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M+2$ 。

如果设定了阈值可变反相器 51 所能够设定的最大阈值，仍无法获得适当的计数结果，则阈值设定信号被设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号 11 的阈值可变反相器 51，不仅使开关 511 和 51A 接通，还使开关 51B 变成接通，使阈值降低一级，再次处理输出信号 8，输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下，输出使第 1 阈值可变反相器 51 的阈值再降低一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M-2$ 。

这样，依次降低阈值可变反相器 51 的阈值，在获得表示预定的状态的适当的计数结果时，计数器 55 结束计数动作，并保持此时的阈值设定信号 11。另外，显然如果在依次升高阈值的阶段获得了适当的计数结果，则计数器 55 就在这一时刻结束计数动作，并保持此时的阈值设定信号 11。在计数器 55 因获得了适当的计数结果而结束计数动作的时刻，计数器 55 输出使开关 57 变成接通的动作判断信号 20。变成接通状态的开关 57，将信号 19 作为输出信号 9 输出，逻辑电平转换电路 5 的动作结束。

在以上的第 4 判断电路 56 中，由于不将在上述初始动作中固定为高电平的信号或固定为低电平的信号作为输出信号 9 输出，因此被输入输出信号 9 的逻辑电路的通电时序的控制变得容易。并且，第 4 判断电路 56 仅由逻辑电路构成，因此，在通过微细工艺进行集成化的情况下，安装面积变小，能够降低电流消耗。

接着，图 11 表示判断电路 56 的第 5 结构例。图 11 所示的第 5 判断电路 56 除了将信号 19 作为输出信号 9 输出之外，还包括芯片外的衰减器 (PAD) 58A 和测试器 (TST) 58，其中，该衰减器 58A 在芯片外测量输出信号 9，基于该测量结果向测试器 58 输出设定信号；

该测试器 (TST) 58 被输入上述设定信号, 输出阈值设定信号 11。

以下, 说明第 5 判断电路 56 的动作。通过衰减器 58A 在芯片外测量输出信号 9, 在测量结果为高电平固定信号的情况下, 为使阈值可变反相器 51 的阈值降低一级, 从衰减器 58A 向测试器 58 输出设定信号。接收了该设定信号的测试器 58, 设定使阈值可变反相器 51 的阈值降低一级的阈值设定信号 11。设定了阈值设定信号 11 后, 再次在芯片外部测量输出信号 9。如此设定阈值设定信号 11, 使得在可设定阈值可变反相器 51 的阈值的范围内, 输出信号 9 变成占空比 (duty) 最佳的信号, 即变成预定的状态。在此, 所谓占空比, 是以百分率表示高电平信号的区间相对于信号 1 周期的区间的比率。

接着, 图 12 表示输入输出信号 8 和阈值设定信号 11 而输出信号 19 的图 2 所示的阈值可变反相器 51 的第 2 结构例。第 2 阈值可变反相器 51 包括: 输出信号 19 的反相器 501、502、503、504、505; 存在于输出信号 8 和反相器 501、502、503、504、505 之间, 由阈值设定信号 11 控制的开关 506、507、508、509、50A。

第 2 阈值可变反相器 51, 被输入输出信号 8 和阈值设定信号 11, 分别将反相器 501、502、503、504、505 的输出信号作为信号 19 输出。反相器 501、502、503、504、505 被设定为阈值各不相同。

以下, 说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 3 所示的第 1 判断电路 56 的、图 2 所示的逻辑电平转换电路 5 的动作。

在时刻 t_0 , 输出信号 8 被输入到逻辑电平转换电路 5。作为初始设定, 阈值设定信号 11 为 M, 由此, 在第 2 阈值可变反相器 51 中, 开关 508 为接通, 其他所有的开关变成断开。在此, 假设与开关 508 连接的反相器 503 的阈值比输出信号 8 的电压高, 阈值没有与输出信号 8 相交。此时, 信号 19 被固定为高电平。由此, 低通滤波器 52 输出的直流成分 10 变成高电平, 作为比较器 53 的内部信号的比较结果变成 1。

结果, 从比较器 53 向第 2 阈值可变反相器 51 输出使阈值降低一级的表示为 M-1 的阈值设定信号 11。接收了 M-1 的阈值设定信号 11

的第2阈值可变反相器51,使开关508断开,使开关509变成接通。

由此,变成与开关509连接的反相器504的阈值能与输出信号8相交,逻辑电平转换电路5的输出信号9成为振幅为 V_{dd} 的逻辑电平的时钟信号。此时,低通滤波器52输出的直流成分10变成 $1/2V_{dd}$,作为比较器53的内部信号的比较结果变成0。结果,比较器53进行使阈值设定信号11保持为M-1的动作,作为逻辑电平转换电路5的动作结束。

在此,说明输出信号8的电压比反相器503的阈值高,动作与上述相反的情况。作为初始设定,阈值设定信号为M。通过作为M的阈值设定信号,在第2阈值可变反相器51中,开关503接通,其他所有的开关变成断开。假设反相器503的阈值比输出信号8的电压低,没有与输出信号8相交。因此,信号19被固定为低电平。由此,低通滤波器52输出的直流成分10变成低电平,作为比较器53的内部信号的比较结果变成-1。

结果,从比较器53向阈值可变反相器51输出使阈值升高一级的M+1的阈值设定信号11。接收了M+1的阈值设定信号11的第2阈值可变反相器51,使开关508变成断开,使开关507变成接通。由此,变成与开关507连接的反相器502的阈值能与输出信号8相交,逻辑电平转换电路5的输出信号9变成振幅为 V_{dd} 的逻辑电平的时钟信号。此时,低通滤波器52输出的直流成分10变成 $1/2V_{dd}$,作为比较器53的内部信号的比较结果变成0。结果,比较器53进行使阈值设定信号11保持为M+1的动作,逻辑电平转换电路5的动作结束。

接着,说明使用了图12所示的第2阈值可变反相器51和图8所示的第2判断电路56的、图2的逻辑电平转换电路5的动作。

在某个时刻输出信号8被输入到逻辑电平转换电路5。作为初始设定,阈值设定信号11为M,进而,通过动作判断信号20进行控制,使开关57变成断开。在该状态下,在第2阈值可变反相器51中,开关508变成接通,其他所有的开关变成断开。在此,假设反相器503的阈值比输出信号8的电压高,没有与输出信号8相交。此时,第2

阈值可变反相器 51 的输出信号 19 被固定为高电平。由此，低通滤波器 52 输出的直流成分 10 成为高电平，作为比较器 53 的内部信号的比较结果成为 1。

结果，从比较器 53 向第 2 阈值可变反相器 51 输出使阈值降低一级的 $M-1$ 的阈值设定信号。接收了 $M-1$ 的阈值设定信号 11 的第 2 阈值可变反相器 51，使开关 508 变成断开，使开关 509 变成接通。

由此，在与开关 509 连接的反相器 504 中，其阈值变成能够与输出信号 8 相交，逻辑电平转换电路 5 的输出信号 9 成为振幅为 V_{dd} 的逻辑电平的时钟信号。此时，低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$ ，作为比较器 53 的内部信号的比较结果变成 0。结果，比较器 53 进行使阈值设定信号 11 保持为 $M-1$ 的动作。进而，比较器 53 输出使开关 57 接通的动作判断信号 20。变成了接通状态的开关 57，将信号 19 作为输出信号 9 输出，作为逻辑电平转换电路 5 的动作结束。

在此，说明反相器 503 的阈值比输出信号 8 的电压低，动作与上述相反的情况。作为初始设定，阈值设定信号 11 为 M ，进而，通过动作判断信号 20 进行控制，使开关 57 变成断开。在该状态下，在第 2 阈值可变反相器 51 中，开关 508 变成接通，其他所有的开关变成断开。在此，反相器 503 的阈值比输出信号 8 的电压低，不与输出信号 8 相交。因此，信号 19 被固定为低电平。由此，低通滤波器 52 输出的直流成分 10 变成低电平，作为比较器 53 的内部信号的比较结果变成 -1。

结果，从比较器 53 向第 2 阈值可变反相器 51 输出使阈值升高一级的 $M+1$ 的阈值设定信号 11。接收了该阈值设定信号 11 的第 2 阈值可变反相器 51，使开关 508 变成断开，使开关 507 变成接通。结果，变成反相器 504 的阈值能与输出信号 8 相交，第 2 阈值可变反相器 51 输出的信号 19 的振幅变成 V_{dd} 。此时，低通滤波器 52 输出的直流成分 10 变成 $1/2V_{dd}$ ，作为比较器 53 的内部信号的比较结果变成 0。结果，比较器 53 进行使阈值设定信号 11 保持为 $M+1$ 的动作。进而，

比较器 53 输出使开关 57 变成接通的动作判断信号 20。变成了接通状态的开关 57，将信号 19 作为输出信号 9 输出，逻辑电平转换电路 5 的动作结束。

以下，说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 8 所示的第 2 判断电路 56 的、图 2 的逻辑电平转换电路 5 的第 2 动作。

在某个时刻 VCO4 的输出信号 8 被输入到逻辑电平转换电路 5。作为初始设定，开关 506、507、508、509、50A 全部接通。而且，作为初始设定，通过动作判断信号 20 进行控制，使开关 57 变成断开。此时，被输入输出信号 8 的反相器 501、502、503、504、505 各自输出信号 19。被输入了所有的输出信号 19 的低通滤波器 52，输出各输出信号 19 的直流成分 10。比较器 53 将各直流成分 10 与比较电压进行比较，输出阈值设定信号 11，其中，该阈值设定信号 11 进行控制使得只选择比较结果变成 0 的反相器，而使其他的反相器不进行动作。进而，比较器 53 输出使开关 57 接通的动作判断信号 20，逻辑电平转换电路 5 的动作结束。

接着，说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 9 所示的第 3 判断电路 56 的、图 2 的逻辑电平转换电路 5 的动作。

VCO4 的输出信号 8 被输入到第 2 阈值可变反相器 51。作为初始设定，阈值设定信号 11 为 M，由此，在第 2 阈值可变反相器 51 中，开关 508 接通，其他所有的开关变成断开。在此，假设与开关 508 连接的反相器 503 的阈值比输出信号 8 的电压高，不与输出信号 8 相交。此时，第 2 阈值可变反相器 51 输出的信号 19 被固定为高电平。接受了这样的处理的信号 19 被输入到计数器 55。由于输出信号 19 被固定为高电平，所以计数结果比目标计数值少。

由于计数器 55 不区分输出信号 19 的高、低电平地进行计数，因此，首先作为初始设定，输出使第 2 阈值可变反相器 51 的阈值升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 M+1。接收了 M+1 的阈值设定信号 11 的第 2 阈值可变反相器 51，使开关 508 变成断开，使开关 507 变成接通。第 2 阈值可变反相器 51 象这样再次处

理输出信号 8，输出信号 19。信号 19 被输入到计数器 55。计数器 55 对信号 19 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较的结果为计数结果再次比目标计数值少的情况下，输出使第 2 阈值可变反相器 51 的阈值再升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M+2$ 。接收了 $M+2$ 的阈值设定信号的第 2 阈值可变反相器 51，使开关 507 断开，使开关 506 接通。

如果设定了第 2 阈值可变反相器 51 所能够设定的最大阈值，也无法获得适当的计数结果，则接下来将阈值设定信号 11 设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号的第 2 阈值可变反相器 51，象这样再次处理输出信号 8，输出信号 19。信号 19 被输入到计数器 55。计数器 55 对信号 19 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下，输出使第 2 阈值可变反相器 51 的阈值再降低一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M-2$ 。

如此，依次降低阈值可变反相器 51 的阈值，在获得适当的计数结果时，计数器 55 结束计数动作，并保持此时的阈值设定信号 11。另外，如果在升高阈值的阶段获得了适当的计数结果，则计数器 55 在该时刻结束计数动作，并保持此时的阈值设定信号 11。

接着，说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 10 所示的第 4 判断电路 56 的、图 2 的逻辑电平转换电路 5 的动作。

VCO4 的输出信号 8 被输入到第 2 阈值可变反相器 51。作为初始设定，阈值设定信号 11 为 M ，由此，在图 12 的第 2 阈值可变反相器 51 中，开关 508 接通，其他所有的开关断开。而且，作为初始设定，通过动作判断信号 20 进行控制，使开关 57 为断开。在此，假设与开关 508 连接的反相器 503 的阈值比输出信号 8 的电压高，不与输出信号 8 相交。此时，第 2 阈值可变反相器 51 的输出信号 19 被固定为高电平。进行了这样的处理后，信号 19 被输入到计数器 55。由于输出信号 19 被固定为高电平，因此计数结果比目标计数值少。

由于计数器 55 不区分输出信号 19 的高、低电平地进行计数，因

此, 首先作为初始动作设定, 输出使阈值可变反相器 51 的阈值升高一级的阈值设定信号 11。此时, 阈值设定信号 11 变成 $M+1$ 。接收了 $M+1$ 的阈值设定信号 11 的第 2 阈值可变反相器 51, 使开关 508 变成断开, 使开关 507 变成接通。第 2 阈值可变反相器 51 象这样再次处理输出信号 8, 输出信号 19。信号 19 被输入到计数器 55。计数器 55 对信号 19 进行一定期间的计数, 将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下, 输出使第 2 阈值可变反相器 51 的阈值再升高一级的阈值设定信号 11。此时, 阈值设定信号 11 变成 $M+2$ 。接收了 $M+2$ 的阈值设定信号 11 的第 2 阈值可变反相器 51, 使开关 507 断开, 使开关 506 接通。

如果设定了第 2 阈值可变反相器 51 所能够设定的最大阈值, 仍无法获得适当的计数结果, 则接下来将阈值设定信号 11 设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号 11 的第 2 阈值可变反相器 51, 使开关 506 变成断开, 使开关 509 变成接通。如此, 第 2 阈值可变反相器 51 再次处理输出信号 8, 输出信号 19。信号 19 被输入到计数器 55。计数器 55 对信号 19 进行一定期间的计数, 将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下, 输出使第 2 阈值可变反相器 51 的阈值再降低一级的阈值设定信号 11。此时, 阈值设定信号 11 变成 $M-2$ 。

如此, 依次降低阈值可变反相器 51 的阈值, 在获得适当的计数结果时, 计数器 55 结束计数动作, 并保持此时的阈值设定信号 11。而且, 在计数器 55 根据获得了适当的计数结果这一情况而结束计数动作的时刻, 开关 57 变成接通, 计数器 55 输出动作判断信号 20。变成接通状态的开关 57 将信号 19 作为输出信号 9 输出, 逻辑电平转换电路 5 的动作结束。

以下, 说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 10 所示的第 4 判断电路 56 的、图 2 的逻辑电平转换电路 5 的第 2 动作。

在某个时刻输出信号 8 被输入到逻辑电平转换电路 5。作为初始设定, 开关 506、507、508、509、50A 全部成为接通。而且, 作为初

始设定，通过动作判断信号 20 进行控制，使开关 57 变成断开。在该状态下，输入了输出信号 8 的反相器 501、502、503、504、505 各自输出输出信号 19。输入了所有的输出信号 19 的计数器 55，对信号 19 进行一定期间的计数，将计数结果与目标计数值进行比较。比较器 55 输出阈值设定信号 11，其中，该阈值设定信号 11 进行控制使得只选择比较结果最佳的反相器，而使其他的反相器不进行动作。进而，计数器 55 输出使开关 57 接通的动作判断信号 20，逻辑电平转换电路 5 的动作结束。

接着，说明使用了图 12 所示的第 2 阈值可变反相器 51 和图 11 所示的第 5 判断电路 56 的、图 2 的逻辑电平转换电路 5 的动作。

在第 2 阈值可变反相器 51 中，作为初始设定，开关 508 变成接通，其他所有的开关变成断开。此时，通过衰减器 58A 在芯片外部测量输出信号 9。在测量结果为高电平固定信号的情况下，为使阈值可变反相器 51 的阈值降低一级而从芯片外部的衰减器 58A 向测试器 58 输出设定信号。接收了设定信号的测试器 58，设定使第 2 阈值可变反相器 51 的阈值降低一级的阈值设定信号 11。在设定了阈值设定信号 11 后，再次在芯片外部测量输出信号 9。如此，设定阈值设定信号 11，使得在可设定阈值可变反相器 51 的阈值的范围内，输出信号 9 变成占空比最佳的信号。

上述各逻辑电平转换电路，能够使安装面积的规模变小，进而，对于从低频到高频的宽范围的输入频率，都能以低电流消耗进行动作。因此，能够安装到大规模集成电路中。而且，上述逻辑电平转换电路也进行占空比校正动作，因此，具有了上述逻辑电平转换电路的相位同步电路，能够针对从低频到高频的宽范围的输入频率，输出占空比维持为 50% 的信号。

〈实施例 2〉

图 13 表示本发明的实施例 2。如图 13 所示，本实施例的相位同步电路，包括：相位频率比较器 1；电荷泵 2；环路滤波器 3；接收直流电压调整信号 (idco) 15，调整输出信号 (fvco) 8 的直流电平的

VCO24; 输出直流电压调整信号 15, 并将输出信号 8 转换成后续的逻辑电路(未图示)能正确识别的输出信号 9 的逻辑电平转换电路 25; 对 VCO24 的输出频率进行分频的分频器 6。

本实施例的相位同步电路, 进行与实施例 1 的相位同步电路同样的动作, 故而省略对其的说明。

图 14 表示 VCO24 的结构例。VCO24 被输入控制电压 v_c 和直流电压调整信号 15, 输出输出信号 8。VCO24 包括电压电流转换电路 241、电流控制振荡器 247、以及差动单端转换电路 245, 其中, 该电压电流转换电路 241 将控制电压 v_c 转换成电流; 电流控制振荡器 247 通过电压转换电路 241 生成的电流调节延迟量; 差动单端转换电路 245, 被输入电流控制振荡器 247 的差动输出信号 16、17 和直流电压调整信号 15, 将电流控制振荡器 247 的差动输出信号 16、17 转换成单信号。差动单端转换电路 245 根据直流电压调整信号 15 调整直流成分, 将单信号作为输出信号 8 输出。

图 15 表示电流控制振荡器 247 的结构例。电流控制振荡器 247 是将根据驱动电流来调整延迟量的延迟电路 242 连接成环状而构成的。在图 15 中, 电流控制振荡器 247 通过连接奇数段(3 段)的延迟电路 242 而构成。

图 16 表示差动单端转换电路 245 的结构例。差动单端转换电路 245 包括根据偏压信号 v_b 生成驱动电流的晶体管 2451, 接收差动信号(v_{i1}) 16、(v_{i2}) 17 的晶体管 2452、2453, 以及负载晶体管 2454、2455。在 A 点, 输出信号 8 根据直流电压调整信号 15 调整直流电平, 输出到逻辑电平转换电路 25。

关于 VCO24、电压电流转换电路 241、电流控制振荡器 247、以及差动单端转换电路 245 的结构, 只要是输入控制电压 v_c , 通过输出信号 8 获得所希望的振荡频率的结构即可, 可以与以上说明的装置不同。

接着, 将差动单端转换电路 245 与逻辑电平转换电路 25 的连接结构例表示在图 17A 中, 对差动单端转换电路 245 和逻辑电平转换电

路 25 的动作进行说明。逻辑电平转换电路 25 包括反相器 251 和判断电路 (JC) 59, 其中, 该反相器 251 被输入作为差动单端转换电路 245 的输出信号的、VCO24 的输出信号 8, 输出信号 19; 该判断电路 (JC) 59 被输入信号 19, 并对信号 19 进行判断, 根据判断结果输出输出信号 9 和直流电压调整信号 15。直流电压调整信号 15 被提供到差动单端转换电路 245 的 A 点。

另外, 由于差动单端转换电路 245 和逻辑电平转换电路 25 的输入和输出通过 1 根布线连接, 因此, 即使 A 点位于逻辑电平转换电路 25 的输入侧也没有关系。在这种情况下, 直流电压调整信号 15 被提供到逻辑电平转换电路 25 的内部的 A 点, 调整提供给反相器 251 的输出信号 8 的直流电平。该处理也可以是如图 17B 所示那样, 在逻辑电平转换电路 25 的内部的 A 点配置加法器 252, 通过加法器 252 将直流电压调整信号 15 与差动单端转换电路 245 的输出信号相加。通过加法器 252, 除了对电流进行加法计算而调整直流电平之外, 还能够将直流电压调整信号 15 作为电压的信号, 对电压进行加法计算而调整直流电平。以下使用图 17A 进行说明。

将图 17A 所示的判断电路 59 的第 1 结构例表示在图 18 中。第 1 判断电路 59 包括低通滤波器 52、比较器 53、以及 DA (Digital to Analog) 转换器 (DAC) 254, 其中, 该低通滤波器 52 将信号 19 作为输出信号 9 输出, 并且输入信号 19 而输出信号 19 的直流成分 10; 该比较器 (COMP) 53 被输入直流成分 10, 根据与比较电压比较的结果而输出阈值设定信号 11; 该 DA (Digital to Analog) 转换器 (DAC) 254 对阈值设定信号 11 进行模拟转换, 输出直流电压调整信号 15。

以下, 说明使用了图 18 所示的第 1 判断电路 59 的、图 17A 所示的差动单端转换电路 245 和逻辑电平转换电路 25 的动作。

作为初始设定, DA 转换器 254 不输出直流电压调整信号 15。在某一时刻, 差动单端转换电路 245 被输入差动信号 16、17, 输出 VCO24 的输出信号 8。输出信号 8 被输入到逻辑电平转换电路 25。反相器 251 的阈值为 V_{thi} 。在此, 假设输出信号 8 的电压比反相器 251 的阈值低,

没有与反相器 251 的阈值相交。此时，信号 19 被固定为高电平。由此，低通滤波器 52 输出的直流成分 10 变成高电平，作为比较器 53 的内部信号的比较结果变成 1。

结果，比较器 53 输出使差动单端转换电路 245 中的输出信号 8 的直流成分升高一级的 $M+1$ 的阈值设定信号 11。接收了作为 $M+1$ 的阈值设定信号 11 的 DA 转换器 254，向差动单端转换电路 245 输出使输出信号 8 的直流成分升高一级的、电流值 I 的直流电压调整信号 15。输入了电流值 I 的直流电压调整信号 15 的差动单端转换电路 245，在 A 点使输出信号 8 的直流成分增加电流值 I 。此时，输出信号 8 的交流成分不发生变化。这样增加了直流成分的输出信号 8，再次被输入到反相器 251。

反复进行上述动作直到输出信号 8 变得能够与反相器 251 的阈值相交。在输出信号 8 变得能够与反相器 251 的阈值相交时，比较器 53 为了保持该状态（预定的状态），原样保持被设定得使输出信号 8 与反相器 251 的阈值相交的阈值设定信号 11，逻辑电平转换电路 25 的动作结束。

在此，说明输出信号 8 的电压比反相器 251 的阈值高，动作与上述相反的情况。作为初始设定，DA 转换器 254 不输出直流电压调整信号 15。在某一时刻，差动单端转换电路 245 被输入差动信号 16、17，输出输出信号 8。输出信号 8 被输入到逻辑电平转换电路 25。在此，反相器 251 的阈值为 V_{thi} ，由于输出信号 8 与反相器 251 的阈值相比电压高，因此，输出信号 8 没有与反相器 251 的阈值相交。因此，信号 19 被固定为低电平。由此，低通滤波器 52 输出的直流成分 10 变成低电平，作为比较器 53 的内部信号的比较结果变成 -1。

结果，比较器 53 向差动单端转换电路 245 输出使输出信号 8 的直流成分降低一级的表示为 $M-1$ 的阈值设定信号 11。接收了 $M-1$ 的阈值设定信号 11 的 DA 转换器 254，向差动单端转换电路 245 输出使输出信号 8 的直流成分降低一级的电流值 $-I$ 的直流电压调整信号 15。被输入了电流值 $-I$ 的直流电压调整信号的差动单端转换电路 245，在

A点使输出信号8的直流成分增加电流值 $-I$ ，即使其减少电流值 I 。此时，输出信号8的交流成分不发生变化。这样减少了直流成分的输出信号8，被再次输入到反相器251。

反复进行上述动作直到输出信号8变得能够与反相器251的阈值相交。在输出信号8变得与反相器251的阈值相交时，比较器53为了保持该状态（预定的状态），原样保持被设定得使输出信号8与反相器251的阈值相交的阈值设定信号11，逻辑电平转换电路25的动作结束。

接着，将图17A记载的判断电路59的第2结构例表示在图19中。第2判断电路59包括低通滤波器52、比较器53、开关57、以及DA转换器254，其中，该低通滤波器52被输入信号19而输出信号19的直流成分10；该比较器53被输入直流成分10，根据与比较电压比较的结果输出阈值设定信号11和动作判断信号20；该开关57通过动作判断信号20控制接通、断开，在接通状态时将信号19作为输出信号9输出；该DA转换器254对阈值设定信号11进行模拟转换，输出直流电压调整信号15。

以下，说明使用了图19所示的第2判断电路59的、图17A的差动单端转换电路245和逻辑电平转换电路25的动作。

作为初始设定，DA转换器254不输出直流电压调整信号15。而且，作为初始设定，由动作判断信号20控制的开关57为断开状态。在某一时刻，差动单端转换电路245被输入差动信号16、17，而输出输出信号8。输出信号8被输入到逻辑电平转换电路25。在此，反相器251的阈值为 V_{thi} ，假设输出信号8的电压比反相器251的阈值低，没有与反相器251的阈值相交。此时，信号19被固定为高电平。由此，低通滤波器52输出的输出信号10变成高电平，作为比较器53的内部信号的比较结果变成1。

结果，比较器53向差动单端转换电路245输出使输出信号8的直流成分升高一级的表示为 $M+1$ 的阈值设定信号11。接收了 $M+1$ 的阈值设定信号11的DA转换器254，向差动单端转换电路245输出使

输出信号 8 的直流成分升高一级的电流值 I 的直流电压调整信号 15。输入了电流值 I 的直流电压调整信号 15 的差动单端转换电路 245, 在 A 点使输出信号 8 的直流成分增加电流值 I 。此时, 输出信号 8 的交流成分不发生变化。这样增加了直流成分的输出信号 8, 被再次输入到反相器 251。

反复进行上述动作直到输出信号 8 变得能够与反相器 251 的阈值相交。在输出信号 8 变得与反相器 251 的阈值相交时, 比较器 53 为了保持该状态(预定的状态), 进行原样保持被设定得使输出信号 8 与反相器 251 的阈值相交的阈值设定信号 11 的动作。进而, 比较器 53 在作为内部信号的比较结果变成 0 时, 输出使开关 57 变成接通的动作判断信号 20。变成了接通状态的开关 57, 将信号 19 作为输出信号 9 输出, 逻辑电平转换电路 25 的动作结束。

在此, 说明输出信号 8 与反相器 251 的阈值相比电压高, 动作与上述相反的情况。作为初始设定, DA 转换器 254 不输出直流电压调整信号 15。而且, 开关 57 通过动作判断信号 20 的控制变成断开。在某一时刻, 差动单端转换电路 245 被输入差动信号 16、17 而输出输出信号 8。输出信号 8 被输入到逻辑电平转换电路 25。反相器 251 的阈值为 V_{thi} 。在此, 假设输出信号 8 的电压比反相器 251 的阈值高, 没有与反相器 251 的阈值相交。此时, 信号 19 被固定为低电平。由此, 低通滤波器 52 输出的输出信号 10 变成低电平, 作为比较器 53 的内部信号的比较结果变成 -1。

结果, 比较器 53, 作为使输出信号 8 的直流成分降低一级的 M-1 的阈值设定信号 11, 向差动单端转换电路 245 输出表示为 M-1 的信号。接收了 M-1 的阈值设定信号 11 的 DA 转换器 254, 向差动单端转换电路 245 输出使输出信号 8 的直流成分降低一级的电流值 $-I$ 的直流电压调整信号 15。输入了作为直流电压调整信号 15 的电流值 $-I$ 的差动单端转换电路 245, 在 A 点使输出信号 8 的直流成分增加电流值 $-I$, 即使直流成分减少电流值 I 。此时, 输出信号 8 的交流成分不发生变化。这样减少了直流成分的输出信号 8, 被再次输入到反相器 251。

反复进行上述动作直到输出信号 8 变得能够与反相器 251 的阈值相交。在输出信号 8 变得与反相器 251 的阈值相交时，比较器 53 为了保持该状态（预定的状态），进行原样保持被设定得使输出信号 8 与反相器 251 的阈值相交的阈值设定信号 11 的动作。进而，比较器 53 在作为内部信号的比较结果变成 0 时，输出使开关 57 变成接通的动作判断信号 20。变成了接通状态的开关 57，将信号 19 作为输出信号 9 输出，逻辑电平转换电路 25 的动作结束。

接着，将图 17A 记载的判断电路 59 的第 3 结构例表示在图 20 中。第 3 判断电路 59 包括计数器 55 和 DA 转换器 254，其中，该计数器 55 将信号 19 作为输出信号 9 输出，并且在输入信号 19 后对信号 19 进行一定期间的计数，基于计数结果输出阈值设定信号 11；该 DA 转换器 254 对阈值设定信号 11 进行模拟转换，输出直流电压调整信号 15。

以下，说明使用了图 20 所示的第 3 判断电路 59 的、图 17A 的差动单端转换电路 245 和逻辑电平转换电路 25 的动作。

作为初始设定，DA 转换器 254 不输出直流电压调整信号 15。在某一时刻，差动单端转换电路 245 被输入差动信号 16、17，输出输出信号 8。输出信号 8 被输入到逻辑电平转换电路 25。反相器 251 的阈值为 V_{thi} 。在此，假设输出信号 8 的电压比反相器 251 的阈值低，没有与反相器 251 的阈值相交。此时，信号 19 被固定为高电平。信号 19 被输入到计数器 55。由于信号 19 被固定为高电平，因此，计数结果比目标计数值少。

由于计数器 55 是不区分输出信号 19 的高、低电平地进行计数的，因此，首先作为初始动作设定，输出使输出信号 8 的直流成分升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M+1$ 。接收了 $M+1$ 的阈值设定信号 11 的 DA 转换器 254，向差动单端转换电路 245 输出使输出信号 8 的直流成分升高一级的电流值 I 的直流电压调整信号 15。输入了作为直流电压调整信号 15 的电流值 I 的差动单端转换电路 245，在 A 点使输出信号 8 的直流成分增加电流值 I 。此时，输

出信号 8 的交流成分不发生变化。这样增加了直流成分的输出信号 8，被再次输入到反相器 251。输入了输出信号 8 的反相器 251 输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下，向差动单端转换电路 245 输出使输出信号 8 的直流成分升高一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M+2$ 。

如果即使设定了 DA 转换器 254 所能够设定的最大的直流电压调整信号 15，也无法获得适当的计数结果，则接下来将阈值设定信号设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号 11 的 DA 转换器 254，向差动单端转换电路 245 输出使输出信号 8 的直流成分降低一级的电流值 $-I$ 的直流电压调整信号 15。输入了电流值 $-I$ 的直流电压调整信号 15 的差动单端转换电路 245，在 A 点使输出信号 8 的直流成分增加电流值 $-I$ ，即使直流成分减少电流值 I 。此时，输出信号 8 的交流成分不发生变化。反相器 251 被再次输入输出信号 8，输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数，将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下，输出被设定为使输出信号 8 的直流成分再降低一级的阈值设定信号 11。此时，阈值设定信号 11 变成 $M-2$ 。

如此，依次降低输出信号 8 的直流成分，在获得表示预定的状态的适当的计数结果时，计数器 55 结束计数动作，保持此时的阈值设定信号 11。另外，显然，如果在依次升高阈值的阶段获得了适当的计数结果，则计数器 55 在这一时刻结束计数动作，并保持此时的阈值设定信号 11。由此，逻辑电平转换电路 25 的动作结束。

接着，将图 17A 记载的判断电路 59 的第 4 结构例表示在图 21 中。第 4 判断电路 59 包括计数器 55 和开关 57，其中，该计数器 55 在被输入信号 19 后对信号 19 进行一定期间的计数，基于计数结果输出阈值设定信号 11 和动作判断信号 20；该开关 57 通过动作判断信号 20 控制接通、断开，在接通时将信号 19 作为输出信号 9 输出。

以下,说明使用了图 21 所示的第 4 判断电路 59 的、图 17A 的差动单端转换电路 245 和逻辑电平转换电路 25 的动作。

作为初始设定,DA 转换器 254 不输出直流电压调整信号 15。而且,通过动作判断信号 20 进行控制,使开关 57 变成断开。在某一时刻,差动单端转换电路 245 被输入差动信号 16、17,输出输出信号 8。输出信号 8 被输入到逻辑电平转换电路 25。反相器 251 的阈值为 V_{thi} 。在此,假设输出信号 8 的电压比反相器 251 的阈值低,没有与反相器 251 的阈值相交。此时,信号 19 被固定为高电平。信号 19 被输入到计数器 55。由于输出信号 19 被固定为高电平,因此,计数结果比目标计数值少。

由于计数器 55 是不区分输出信号 19 的高、低电平地进行计数的,因此,首先作为初始动作设定,输出使输出信号 8 的直流成分升高一级的阈值设定信号 11。此时,阈值设定信号 11 变成 $M+1$ 。接收了 $M+1$ 的阈值设定信号 11 的 DA 转换器 254,向差动单端转换电路 245 输出使输出信号 8 的直流成分升高一级的电流值 I 的直流电压调整信号。输入了作为直流电压调整信号 15 的电流值 I 的差动单端转换电路 245,在 A 点使输出信号 8 的直流成分增加电流值 I 。此时,输出信号的交流成分不发生变化。这样增加了直流成分的输出信号 8,被再次输入到反相器 251。输入了输出信号 8 的反相器 251 输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数,将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下,向差动单端转换电路 245 输出使输出信号 8 的直流成分升高一级的阈值设定信号 11。此时,阈值设定信号 11 变成 $M+2$ 。

如果即使设定了 DA 转换器 254 所能够设定的最大的直流电压调整信号 15,也无法获得适当的计数结果,则接下来将阈值设定信号 11 设定为 $M-1$ 。接收了 $M-1$ 的阈值设定信号的 DA 转换器 254,向差动单端转换电路 245 输出使输出信号 8 的直流成分降低一级的电流值 $-I$ 的直流电压调整信号 15。输入了作为直流电压调整信号 15 的电流

值-I 的差动单端转换电路 245, 在 A 点使输出信号 8 的直流成分增加电流值-I, 即使之减少电流值 I。此时, 输出信号 8 的交流成分不发生变化。反相器 251 再次被输入输出信号 8, 输出信号 19。信号 19 被输入到计数器 55。计数器 55 对输出信号 9 进行一定期间的计数, 将计数结果与目标计数值进行比较。在比较的结果是计数结果再次比目标计数值少的情况下, 输出被设定为使输出信号 8 的直流成分再降低一级的阈值设定信号 11。此时, 阈值设定信号 11 变成 M-2。

如此, 降低输出信号 8 的直流成分, 在获得表示预定的状态的适当的计数结果时, 计数器 55 结束计数动作, 并保持此时的阈值设定信号 11。另外, 显然, 如果在依次升高阈值的阶段获得了适当的计数结果, 则计数器 55 在这一时刻结束计数动作, 并保持此时的阈值设定信号 11。而且, 计数器 55 输出使开关 57 变成接通的动作判断信号 20。变成了接通状态的开关 57, 将信号 19 作为输出信号 9 输出, 逻辑电平转换电路 25 的动作结束。

在本实施例中, 虽然判断电路 59 需要直流输出的 DA 转换器 254, 反相器 251 由于阈值固定, 因此与阈值可变反相器 51 相比, 电路结构变得简单。一般地, 电路结构越简单, 就越能提升频率特性, 因此, 通过本实施例, 可以期待获得频率范围扩大的效果。

〈实施例 3〉

图 22 表示本发明的实施例 3。本实施例涉及接口装置, 在该装置中, 使用了实施例 1、2 所示的相位同步电路。一般地, 作为用于使光盘装置、硬盘装置等存储介质与个人计算机等计算机连接的接口, 有标准规格的 ATA (Advanced Technology Attachment)。通过使用 ATA, 各种存储介质在相同的命令和控制软件的控制下与计算机连接。在本实施例中, 作为存储介质的例子, 采用光盘装置, 该装置通过串行 ATA (SATA) 与主计算机连接。

在图 22 中, 光盘装置包括光盘 41、光拾取器 (pick-up) 42、以及信号处理装置 431 (READWRITE), 其中, 该光拾取器 42 向光盘 41 照射光束, 输入写入数据 45, 对光盘 41 进行写入, 另一方面, 从

光盘 41 读出数据，输出读出数据 46；该信号处理装置 431（READWRITE）被输入输入数据 436 进行适当的处理，向光拾取器 42 输出写入数据 45，另一方面，从光拾取器 42 输入读出数据 46 并进行适当的处理，输出输出数据 437。进而，光盘装置还包括接口装置（SATA：串行 ATA 接口装置）432，该接口装置（SATA：串行 ATA 接口装置）432，输入接收数据并进行符合规格的处理，作为输入数据 436 向信号处理装置 431 输出信号，另一方面，从信号处理装置 431 输入输出数据 437 并进行符合规格的处理，作为发送数据而输出数据。与光盘装置连接的主计算机（HOST）44，将接收数据 47 向接口装置 432 输出，另一方面，从接口装置 432 输入发送数据 48。

信号处理装置 431 和串行 ATA 接口装置 432，可以分别由半导体集成电路装置构成，由两个装置构成数字信号处理器（DSP: Digital Signal Processor）43。

在信号处理装置 431 中，写入数据 45、读出数据 46、输入数据 436、以及输出数据 437 并行地被处理。另一方面，数字信号处理器 43 与主计算机 44 通过串行传输，进行接收数据 47、发送数据 48 的接收和发送。因此，在接口装置 432 中，来自主计算机 44 的串行的接收数据 47，通过串行并行转换装置（S/P）433 被转换成并行的输入数据 436。

另一方面，来自信号处理装置 432 的并行的输出数据 437，通过并行串行转换装置（P/S）434 被转换成串行的发送数据 48 后，提供给主计算机 44。串行 ATA 接口装置 432，根据串行 ATA 规格进行这样的来自主计算机 44 的接收数据 47 的接收、和向主计算机 44 的发送数据 48 的发送。

生成提供给并行串行转换装置 434 的时钟信号 438 的相位同步电路（PLL）435，采用实施例 1、2 的相位同步电路。

在本实施例的阈值设定的动作说明中，作为相位同步电路 435，代表性的是图 1 所示的实施例 1 的相位同步电路，在图 2 所示的逻辑电平转换电路 5 中，采用使用了图 3 所示的第 1 判断电路 56 和图 6

所示的第 1 阈值可变反相器 51 的相位同步电路。

将阈值设定的动作的流程图表示在图 23 中。首先,接通接口装置 432 的电源(步骤 401)。在接通电源后,相位同步电路 435 起动,开始频率锁定动作(步骤 402)。等待一定时间的 PLL 锁定动作,直到相位同步电路 435 的 VCO4 变得稳定,能够输出所希望的振荡频率(步骤 403)。在经过一定时间后,比较器 53 进行动作(步骤 404),对比较电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分(10) 10 的比较。在比较结果不为 0 时(步骤 405),比较器 53 向阈值可变反相器 51 输出阈值设定信号 11。在判断结果为 1 时,比较器 53 输出 M-1,输出使阈值可变反相器 51 的阈值降低一级的命令。另一方面,在判断结果为 -1 时,比较器 53 输出 M+1,输出使阈值可变反相器 51 的阈值升高一级的命令。从比较器 53 接收了阈值设定信号 11 的阈值可变反相器 51 变更阈值(步骤 407)。

在变更了阈值后,再次等待一定时间,直到 VCO4 变得稳定,能够输出所希望的频率(步骤 403)。在这期间,比较器 53 不进行动作。经过一定时间后,比较器 53 起动(步骤 404),再次对比较电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分 10 的比较。在比较结果不为 0 时(步骤 405),反复进行上述动作直到比较结果变成 0。在比较结果变成 0 (预定状态)时(步骤 405),比较器 53 保持当前的阈值设定信号 11 的值(步骤 409)。然后,起动并行串行转换电路 433,开始与主计算机 44 的通信(步骤 410)。

如上述那样,在相位同步电路 435 中,逻辑电平转换电路 5 将 VCO4 的输出信号 8 转换成逻辑电路能够正确识别的输出信号 9。由此,避免了主计算机 44 的错误动作。因此,主计算机 44 与光盘 41 的数据通信得以正常进行,由半导体集成电路装置构成的信号处理装置 431 和接口装置 432 的可靠性得到提高。显然,在采用了将 VCO24 的输出信号 8 转换成逻辑电路能正确识别的输出信号 9 的、图 17A、17B 所示的逻辑电平转换电路 25 的相位同步电路 435 的情况下也能够获得这样的效果。

关于上述所表示的动作例，只要相位同步电路 435 进行动作，使得能够在图 22 所示的接口装置 432 中，输入输出数据 437，并行·串行转换电路 434 以符合规格的方式输出发送数据 48 即可，可以与上述的不同。

而且，作为图 22 所记载的相位同步电路 435，除了在实施例 1~2 中所示的相位同步电路以外，也可以采用能够使用本发明的逻辑电平转换电路的分频（fractional）相位同步电路，其中，所述分频相位同步电路，作为例如图 34 所示的分频器 6，使用了计数器（CNT）18 和调制电路（MOD）7，所述调制电路（MOD）7 被输入时钟信号（clock）和分频输入信号 divi，向计数器 18 输出分频输出信号 divo。

在本实施例中，介质一方是光盘装置，主机一方是主计算机，但本发明并不限于这样的组合。例如，也可以适用于介质一方是硬盘装置等一般的存储介质，主机一方是网络服务器、DVD（Digital Versatile Disk）刻录机（DVD recorder）等的组合。

〈实施例 4〉

图 24 表示本发明的实施例 4。本实施例涉及记录再现装置，该装置使用实施例 1、2 的相位同步电路。一般地，作为用于使光盘装置、硬盘装置等存储介质与个人计算机等计算机连接的接口，如上述那样，有标准规格的 ATA。通过使用 ATA，各种存储介质在相同的命令和控制软件的控制下与计算机连接。在本实施例中，作为存储介质的例子，采用光盘装置，该装置以 ATA 方式与主计算机连接。

在图 24 中，光盘装置包括光盘 41、光拾取器 42、写入装置（WRITE）441、读入装置（READ）443、以及 ATA 接口装置 432，其中，该光拾取器 42 向光盘 41 照射光束，进行数据的读出、写入；该写入装置（WRITE）441 进行给光拾取器 42 的写入数据的处理；该读入装置（READ）443 进行读出数据的处理；该 ATA 接口装置 432 用于将写入装置 441 和读入装置 443 的数据向主计算机 44 输入和从主计算机 44 输出。写入装置 441、读入装置 443、以及 ATA 接口装置 432 可以分别由半导体集成电路装置构成。而且，信号处理装置 43

包括写入装置 441、读入装置 443、以及 ATA 接口装置 432 而构成。进而，本实施例的记录再现装置包括光拾取器 42 和信号处理装置 43 而构成。此外，ATA 接口装置 432 使用图 22 所示的接口装置 432。

写入装置 441 包括逻辑电路 (LOGIC) 442 和相位同步电路 (PLL) 43A。相位同步电路 43A 确定向介质 41 写入数据写入信号 45 的写入倍速，生成逻辑电路 442 的动作时钟 (输出信号 9) 43F。

对于生成逻辑电路 442 的动作时钟 43F 的相位同步电路 43A，使用实施例 1、2 的本发明的相位同步电路。

读入装置 443 包括时钟·数据恢复电路 (CDR) 43C、和接收其输出信号而进行动作的逻辑电路 (LOGIC) 43B。

在本实施例的阈值设定的动作说明中，作为相位同步电路 435，代表性的是图 1 所示的实施例 1 的相位同步电路，采用在图 2 所示的逻辑电平转换电路 5 中使用了图 3 所示的第 1 判断电路 56 和图 6 所示的第 1 阈值可变反相器 51 的相位同步电路。

将阈值设定的动作的流程图表示在图 25 中。首先，接通记录再现装置的电源 (步骤 501)。在接通电源后，相位同步电路 43A 起动，开始频率锁定动作 (步骤 502)。等待一定期间的 PLL 锁定动作，直到相位同步电路 43A 的 VCO4 变得稳定，能够输出所希望的振荡频率为止 (步骤 503)。在经过一定时间后，比较器 53 进行动作 (步骤 504)，对比较电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分 (I_0) 10 的比较。在比较结果不为 0 时 (步骤 505)，比较器 53 向阈值可变反相器 51 输出阈值设定信号 11。在判断结果为 1 时，比较器 53 输出 M-1，输出使阈值可变反相器 51 的阈值降低一级的命令。另一方面，在判断结果为 -1 时，比较器 53 输出 M+1，输出使阈值可变反相器 51 的阈值升高一级的命令。从比较器 53 接收了阈值设定信号 11 的阈值可变反相器 51 变更阈值 (步骤 507)。

在变更了阈值后，再次等待一定时间，直到 VCO4 变得稳定，能够输出所希望的频率为止 (步骤 503)。在这期间，比较器 53 不进行动作。经过了一定时间后，起动比较器 53 (步骤 504)，再次对比较

电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分 10 的比较。在比较结果不为 0 时（步骤 505），重复上述动作直到比较结果变成 0 为止。在比较结果变成 0（预定的状态）时（步骤 505），比较器 53 保持当前的阈值设定信号 11 的值（步骤 509）。然后，起动逻辑电路 442，开始经由接口装置 432 与主计算机 44 的通信（步骤 510）。

如上述那样，在相位同步电路 435 中，逻辑电平转换电路 5 将 VCO4 的输出信号 8 转换成逻辑电路 442 能够正确识别的输出信号 9（动作时钟 43F）。由此，避免了在向介质 41 进行写入的写入动作中出现写入的错误动作，由半导体集成电路装置构成的记录再现装置的信号处理装置 43 的可靠性得到提高。显然，在采用了将 VCO24 的输出信号 8 转换成逻辑电路 442 能正确识别的输出信号 9 的、图 17A 所示的逻辑电平转换电路 25 的相位同步电路 435 的情况下，也能获得这样的效果。

在本实施例中，介质一方是光盘装置，主机一方是主计算机，但本发明并不限于这样的组合。例如，可以适用于介质一方是硬盘装置等一般的存储介质，主机一方是网络服务器、DVD 刻录机等组合。

〈实施例 5〉

图 26 表示本发明的实施例 5。本实施例涉及无线通信终端设备，该装置使用实施例 1、2 的逻辑电平转换电路。本实施例的无线通信终端设备，包括基带电路（BB）63、发送系统（Tx）62、天线开关（ANTSW）64、天线 61、以及接收电路（Rx）65。发送系统 62，包括调制器（MOD）68、使用了实施例 1、2 的逻辑电平转换电路的相位同步电路 67、功率放大器（PA）66。而且，由发送系统 62、天线开关 64、以及接收电路 65 构成发送接收电路 70。

基带电路 63 根据声音信号、数据信号，向调制器 68 输出基带信号 6B，根据从接收电路 65 输入的基带信号 69，再现声音信号、数据信号。而且，输出用于控制发送接收电路 70 的各部的控制信号 6A。

在调制器 68 中，根据基带信号 6B 生成 IF（Intermediate Frequency）带的调制信号 if。调制器 68 输出的调制信号 if 被输入到相位同步电

路 67, 施以频率转换。结果, 从相位同步电路 67 输出发送信号 rf。发送信号 rf 被输入到功率放大器 66 进行功率放大, 通过天线开关 64 从天线 61 发送。通过天线开关 64, 在发送时天线 61 与功率放大器 66 连接, 在接收时天线 61 与接收电路 65 连接。由天线 61 接收到的信号被输入到接收电路 65 进行解调, 变成基带信号 69 后输出到基带电路 63。

图 27、28 表示相位同步电路 67 的结构例。相位同步电路 67 包括偏置 (offset) 相位同步电路 67C 和 RF (Radio Frequency) 相位同步电路 67D 而构成, 其中, 该偏置相位同步电路 67C 被输入调制器 68 输出的调制信号 if 和本地信号 los, 生成发送信号 rf; 该 RF (Radio Frequency) 相位同步电路 67D 被输入参照信号 fref, 输出本地 (local) 信号 los。关于 RF 相位同步电路 67D, 有使用了实施例 1 的逻辑电平转换电路 5 作为逻辑电平转换电路的第 1RF 相位同步电路 67D (图 27), 和使用了实施例 2 的逻辑电平转换电路 25 的第 2RF 相位同步电路 67D (图 28)。

偏置相位同步电路 67C, 包括相位比较器 671、电荷泵 672、环路滤波器 673、VCO674、以及混频器 (MIX) 676。向相位比较器 671 输入调制信号 if 作为基准信号, 输入混频器 676 所输出的比较信号 fdiv 作为比较信号。

在图 27 中, 第 1RF 相位同步电路 67D 包括相位比较器 677、电荷泵 678、环路滤波器 679、VCO67A、逻辑电平转换电路 5、以及分频器 (DIV) 67B。

以下, 使用图 27 说明具有本发明的逻辑电平转换电路 5 的第 1RF 相位同步电路 67D 的动作。第 1RF 相位同步电路 67D 的结构, 除了逻辑电平转换电路 5 存在于 VCO67A 与分频器 67B 之间外, 其他与图 1 所示的相位同步电路相同。

分频器 67B 对 VCO67A 输出的本地信号 los (相当于图 1 中的 VCO4 的输出信号 (fvco) 8) 进行分频。通过该分频获得的比较信号 fdiv 向相位比较器 677 反馈。相位比较器 677 检测基准信号 fref 与比

较信号 f_{div} 的相位差, 将与该相位差对应的脉冲宽度的电压脉冲输出给电荷泵 678。电荷泵 678 对应于上述电压脉冲, 成为电荷的放电、充电、或者高阻中的某一种状态, 将电荷泵输出电流输出到环路滤波器 679。该电荷泵输出电流通过环路滤波器 679 变得平滑, 被进行电压转换, 成为 VCO67A 的控制电压。

VCO67A 输出与该控制电压相应的输出信号 l_{os} , 提供给偏置相位同步电路 67C 和逻辑电平转换电路 5。逻辑电平转换电路 5 输入 VCO67A 的输出信号 l_{os} , 生成并输出分频器 67B 能进行正常动作的信号 (振幅为 V_{dd} , 直流成分为 $1/2V_{dd}$)。

在本实施例的阈值设定的动作说明中, 在第 1RF 相位同步电路 67D 中, 代表性地采用使用了图 3 所示的第 1 判断电路 56 和图 6 所示的第 1 阈值可变反相器 51 的图 2 所示的逻辑电平转换电路 5。

将阈值设定的动作的流程图表示在图 29 中。首先, 接通无线通信终端设备的电源 (步骤 601)。在接通电源后, 第 1RF 相位同步电路 67D 起动, 开始频率锁定动作 (步骤 602)。等待一定期间的 PLL 锁定动作, 直到 VCO67A 变得稳定, 能够输出所希望的振荡频率为止 (步骤 603)。在经过一定时间后, 比较器 53 进行动作 (步骤 604), 对比较电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分 (l_o) 10 的比较。在比较结果不为 0 时 (步骤 605), 比较器 53 向阈值可变反相器 51 输出阈值设定信号 11。在判断结果为 1 时, 比较器 53 输出 $M-1$, 输出使阈值可变反相器 51 的阈值降低一级的命令。另一方面, 在判断结果为 -1 时, 比较器 53 输出 $M+1$, 输出使阈值可变反相器 51 的阈值升高一级的命令。从比较器 53 接收了阈值设定信号 11 的阈值可变反相器 51 变更阈值 (步骤 607)。

在变更了阈值后, 再次等待一定时间, 直到 VCO67A 变得稳定, 能够输出所希望的频率为止 (步骤 603)。在这期间, 比较器 53 进行动作。在经过了一定时间后, 起动比较器 53 (步骤 604), 再次对比较电压 V_{r1} 、 V_{r2} 进行输出信号 9 的直流成分 10 的比较。在比较结果不为 0 时 (步骤 605), 重复上述动作直到比较结果变成 0 为止。

在比较结果变成 0 时（步骤 605），比较器 53 保持当前的阈值设定信号 11 的值（步骤 609）。然后，起动偏置相位同步电路 67C，将发送信号 RF 发送到放大器 66（步骤 610）。

接下来，图 28 表示使用了第 2RF 相位同步电路 67D 的相位同步电路 67。第 2RF 相位同步电路 67D，包括相位比较器 677、电荷泵 678、环路滤波器 679、VCO67C、逻辑电平转换电路 25、以及分频器 67B。

以下，说明具有逻辑电平转换电路 25 的第 2RF 相位同步电路的动作。分频器 67B，对 VCO67A 输出的本地信号 los（相当于图 1 中 VCO4 的输出信号（fvco）8）进行分频。通过该分频获得的比较信号 fdiv 向相位比较器 677 反馈。相位比较器 677 检测基准信号 fref 与比较信号 fdiv 的相位差，将与该相位差对应的脉冲宽度的电压脉冲输出给电荷泵 678。电荷泵 678 对应于上述电压脉冲，成为电荷的放电、充电、或者高阻中的某一种状态，将电荷泵的输出电流输出到环路滤波器 679。该电荷泵输出电流，通过环路滤波器 679 变得平滑，被进行电压转换，成为 VCO67A 的控制电压。VCO67A 输出与该控制电压对应、并且直流成分通过直流电压调整信号 idco 进行了调整的输出信号 los。输出信号 los 被输出到偏置相位同步电路 67C 和逻辑电平转换电路 25。逻辑电平转换电路 25 输入 VCO67A 的输出信号 los，输出直流电压调整信号 idco，使得分频器 67B 能进行正常动作，生成适当的信号（振幅为 Vdd，直流成分为 $1/2Vdd$ ）输出到分频器 67B。

在本实施例的阈值设定的动作说明中，在第 2RF 相位同步电路 67D 中，代表性地采用使用了图 18 所示的第 1 判断电路 59 和图 17A 所示的反相器 251 的图 17A 所示的逻辑电平转换电路 25、和图 16 所示的差动单端转换电路 245。这种情况下的阈值设定的动作流程图与图 29 相同。

如上述那样，在相位同步电路 67 中，逻辑电平转换电路 5、25，将 VCO67A 输出的本地信号 los 转换成分频器 67B 能够正确识别的输出信号。由此，能够获得频率稳定的发送信号 rf，可以期待实现可靠性高的无线通信终端设备。

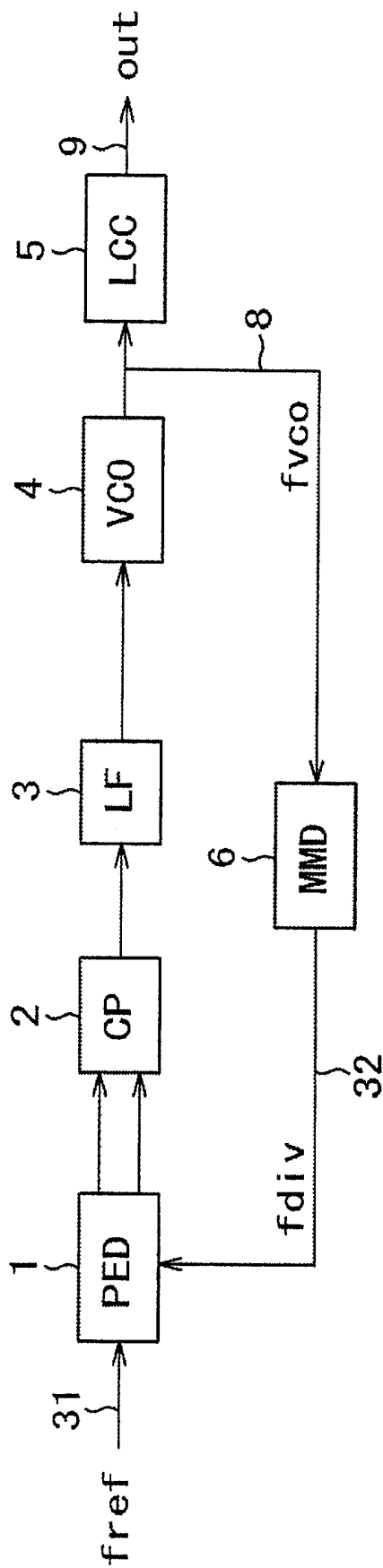


图 1

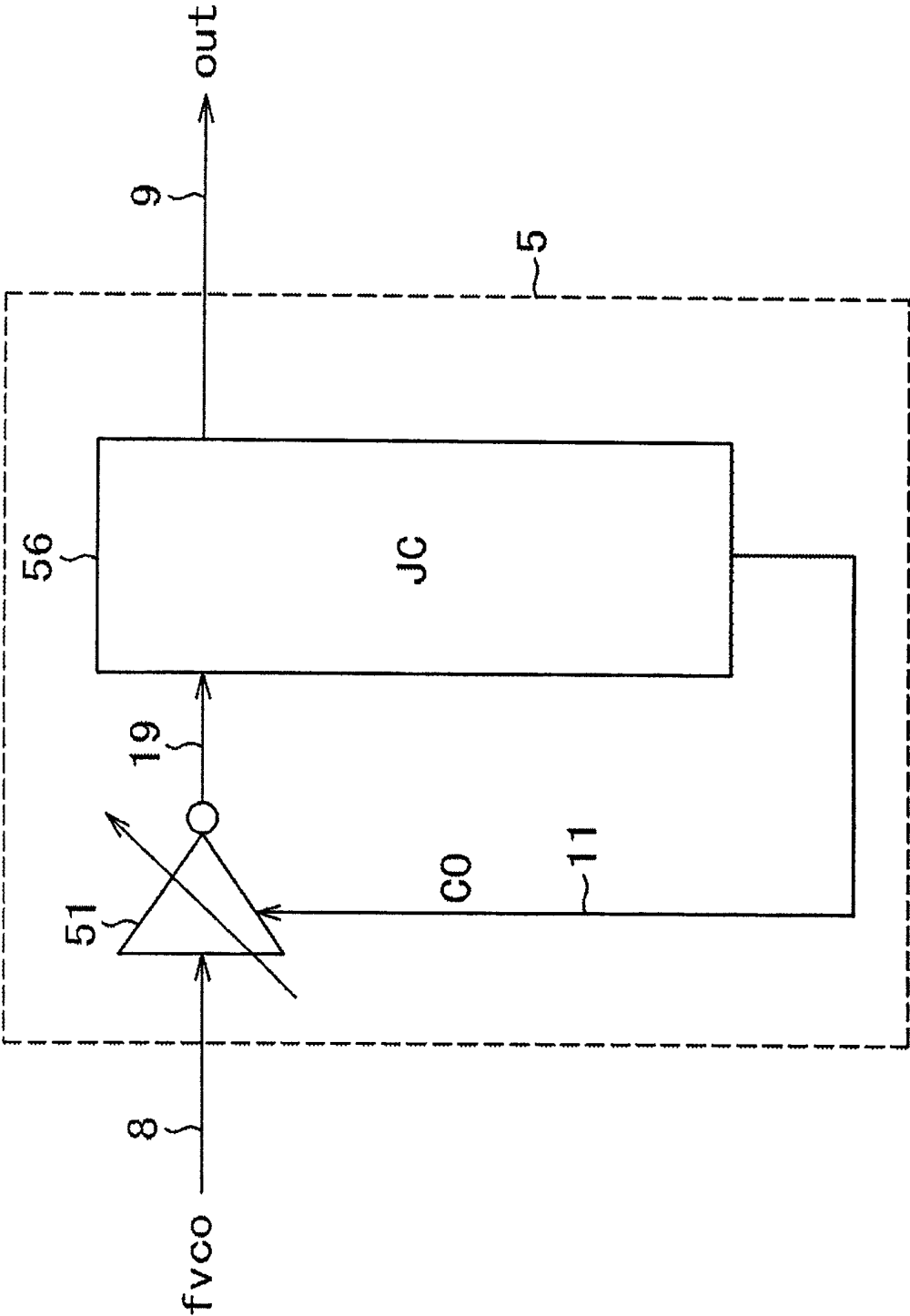


图 2

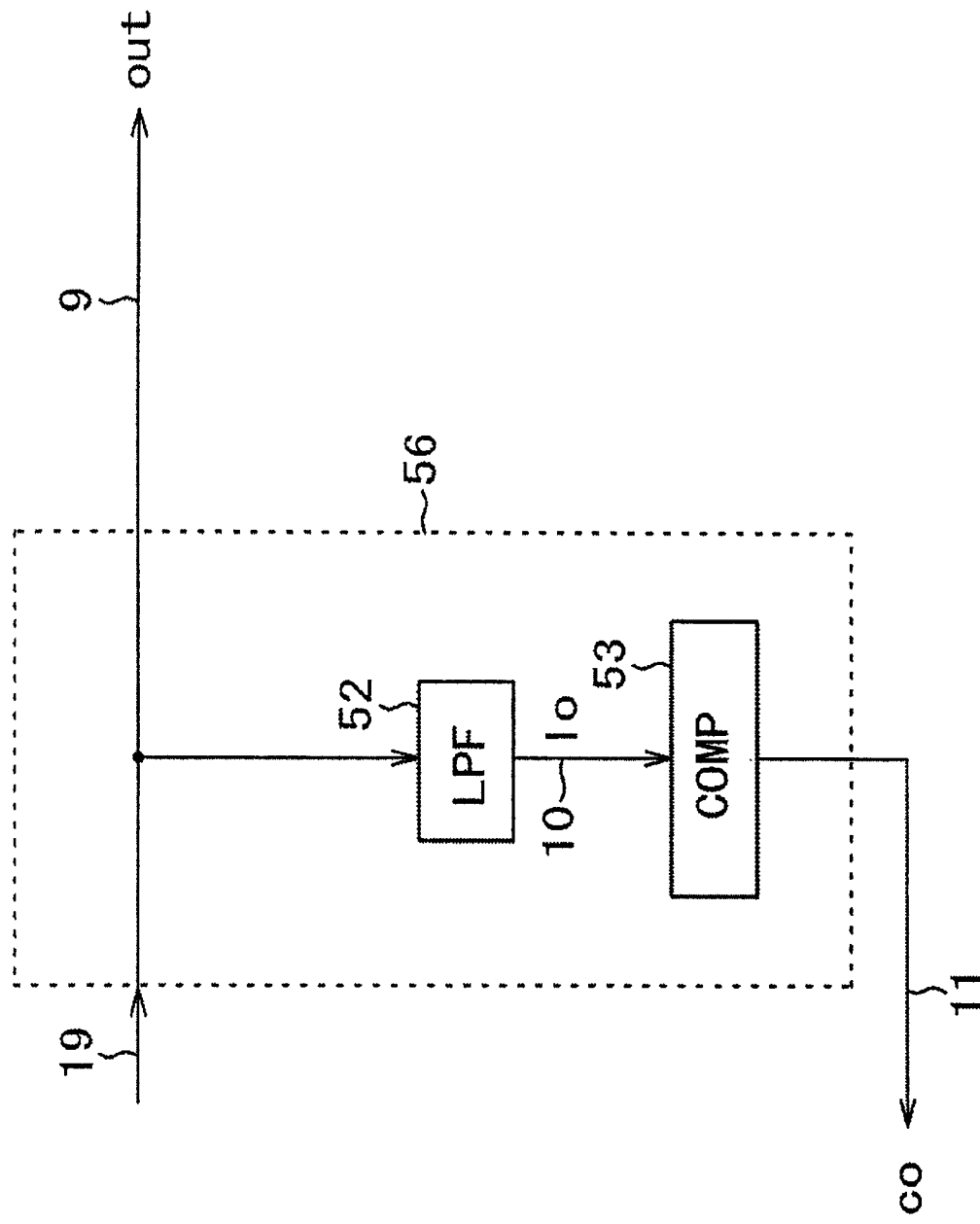


图 3

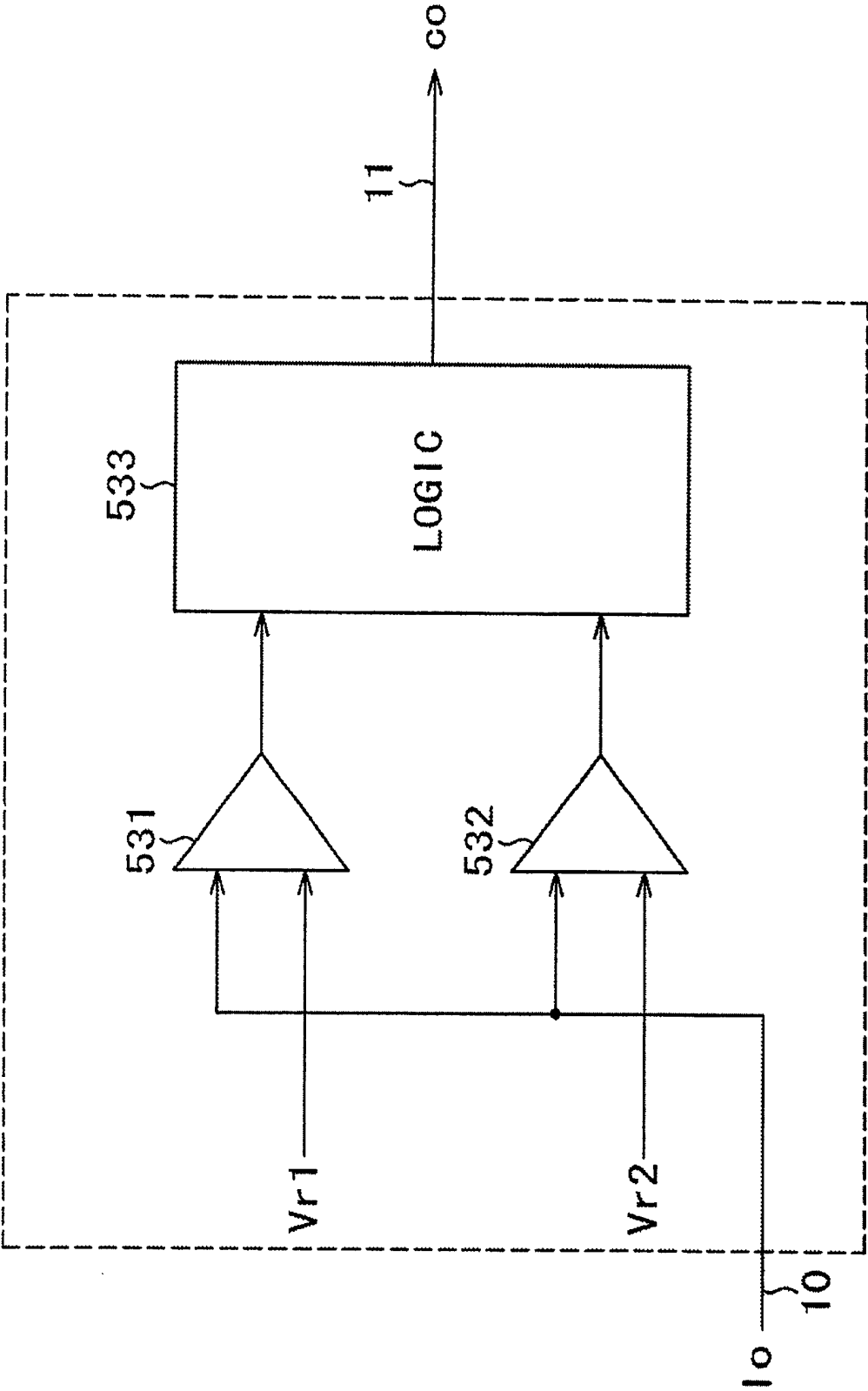
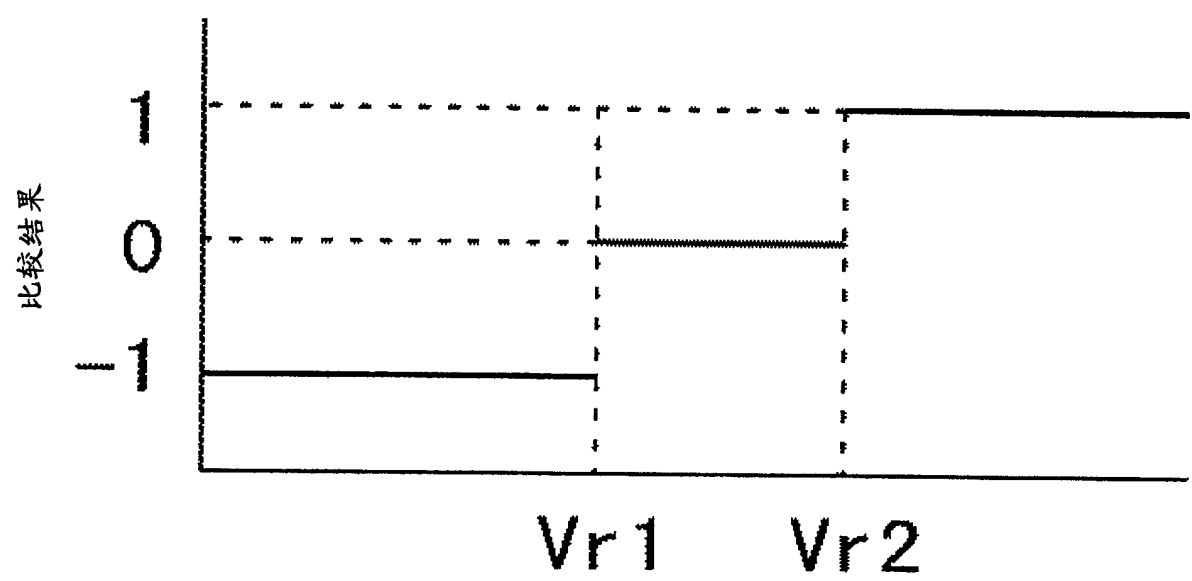


图 4



直流成分

图 5

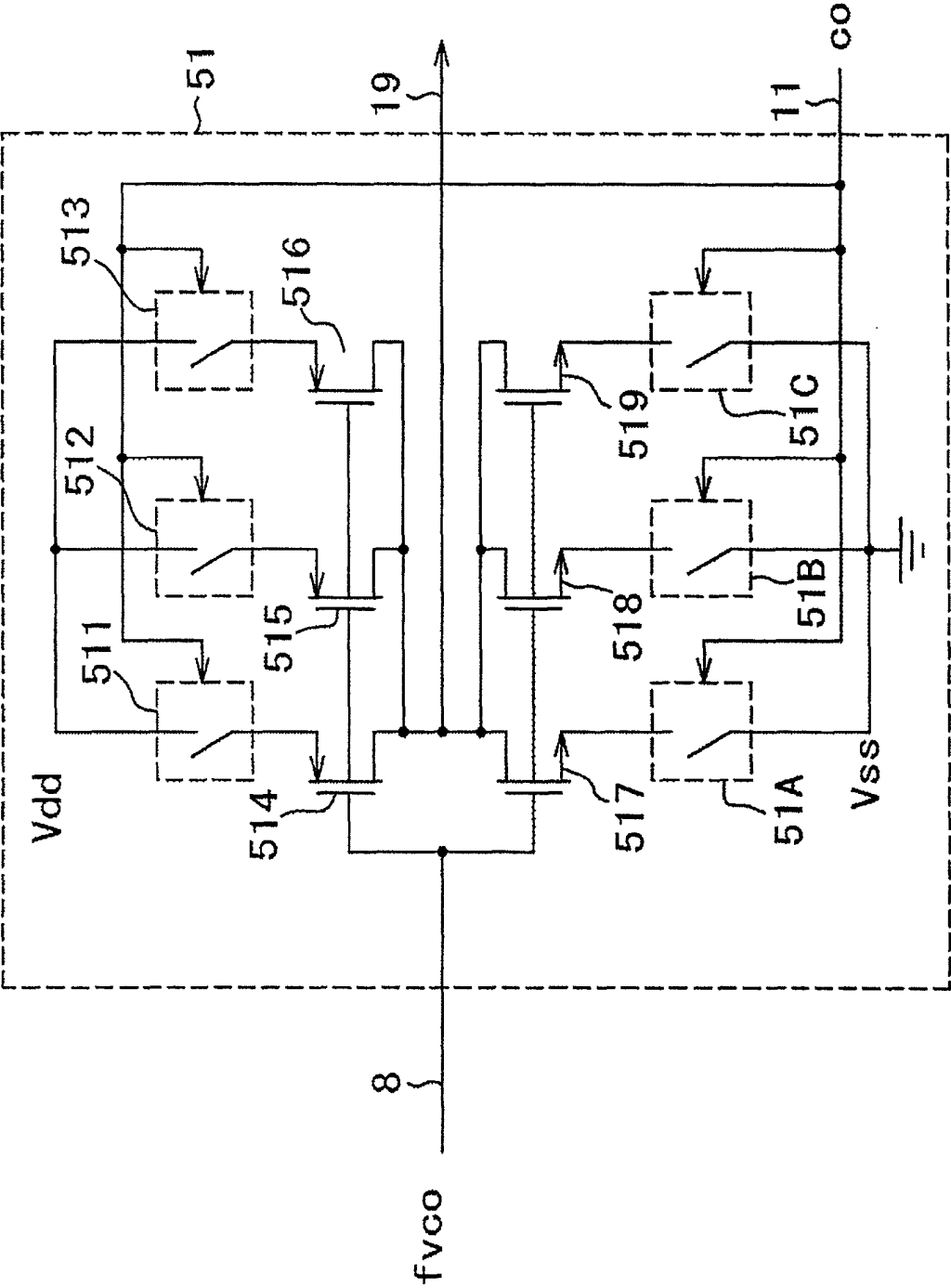


图 6

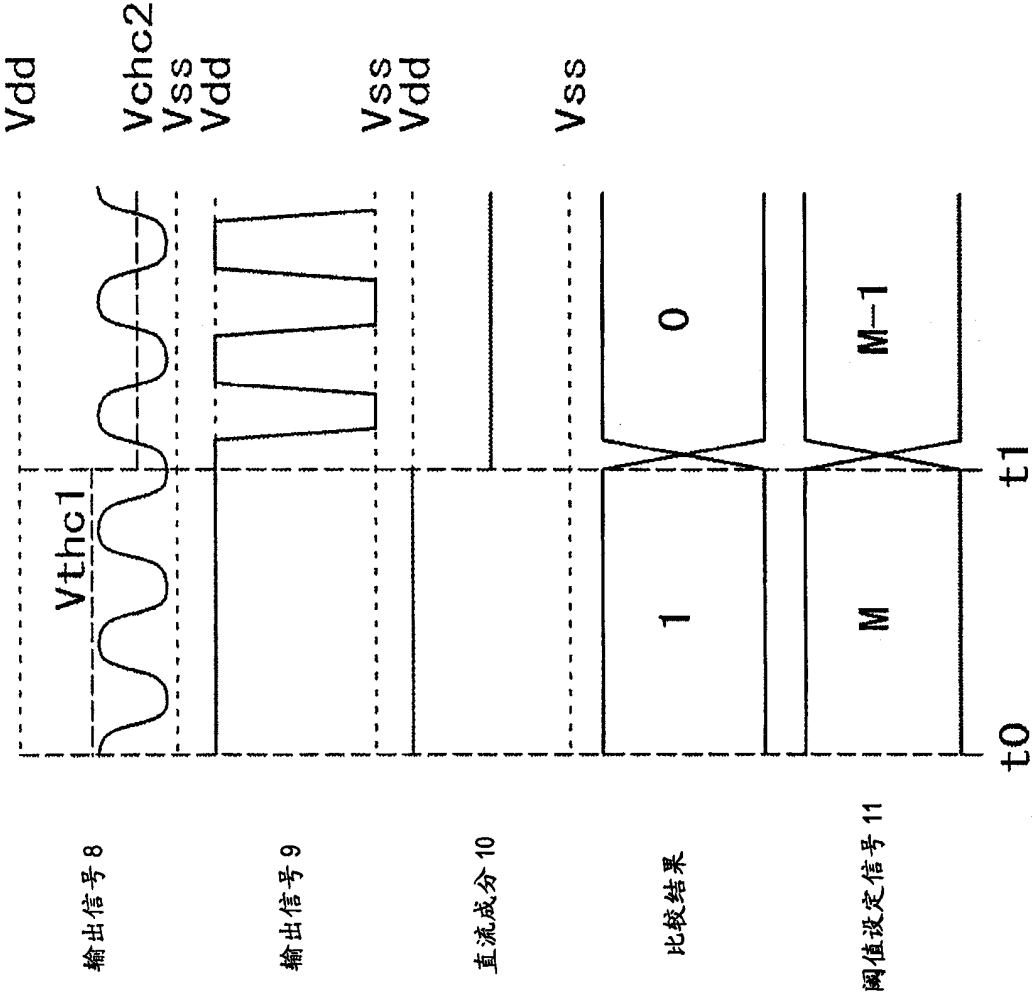


图 7

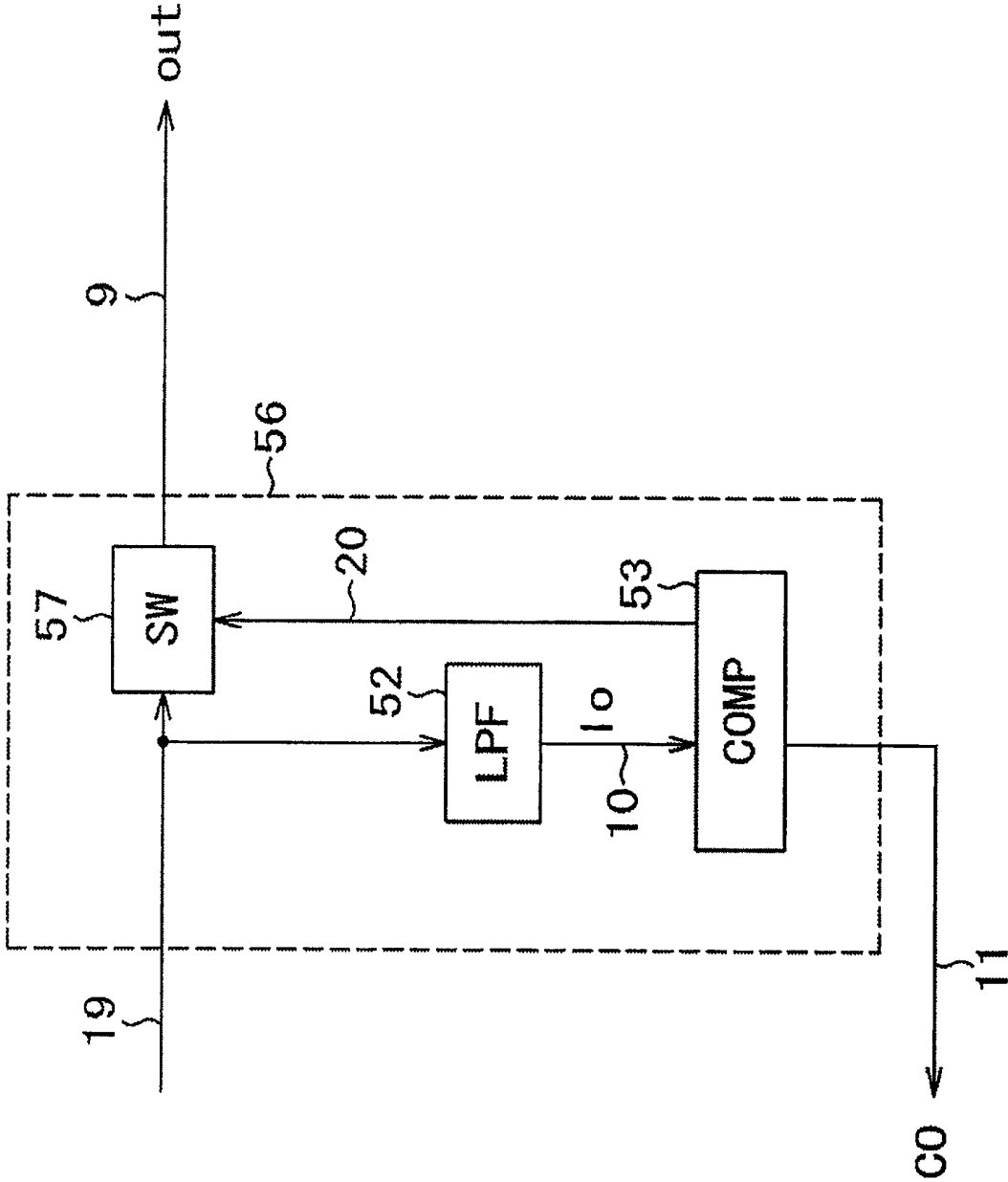


图 8

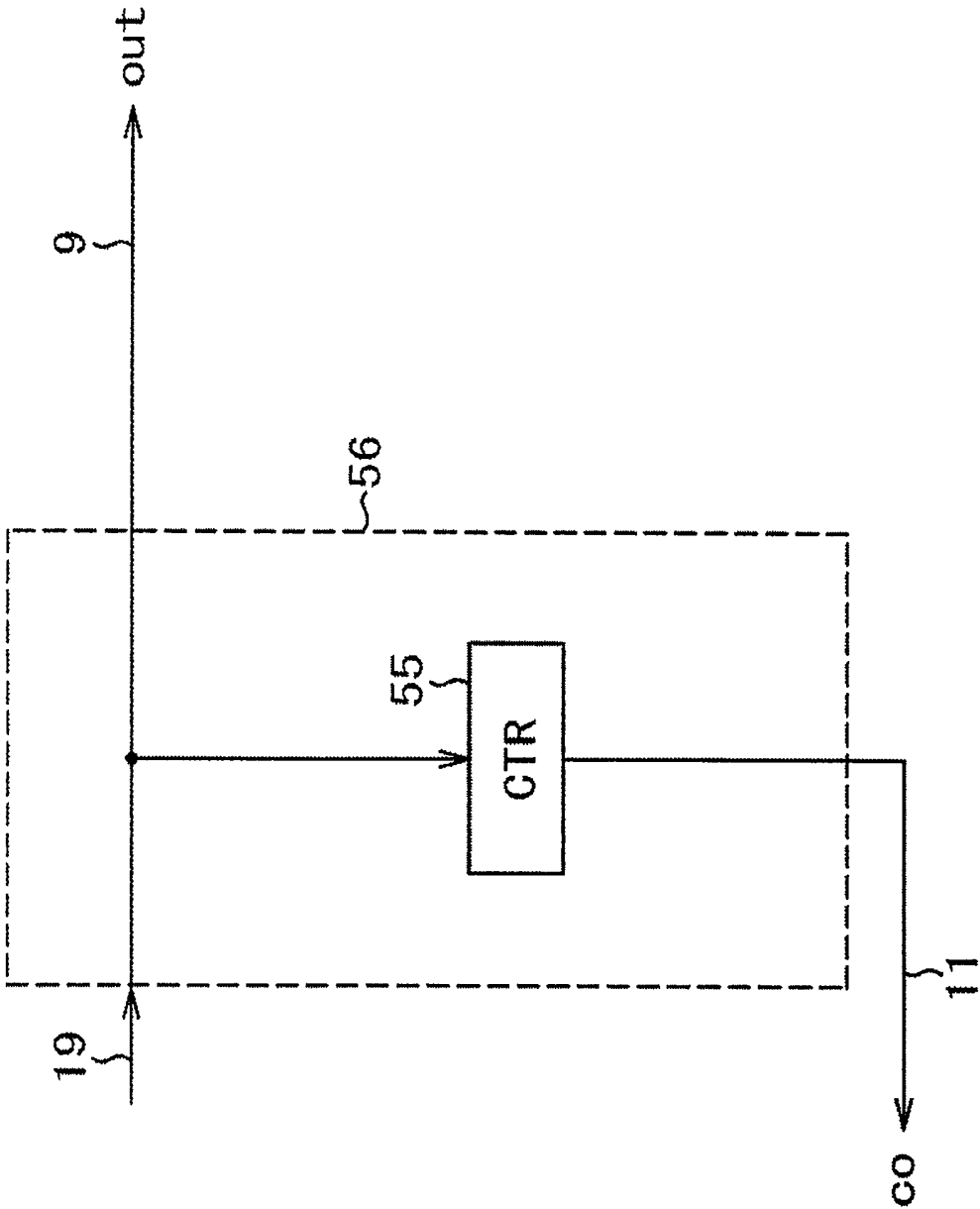


图 9

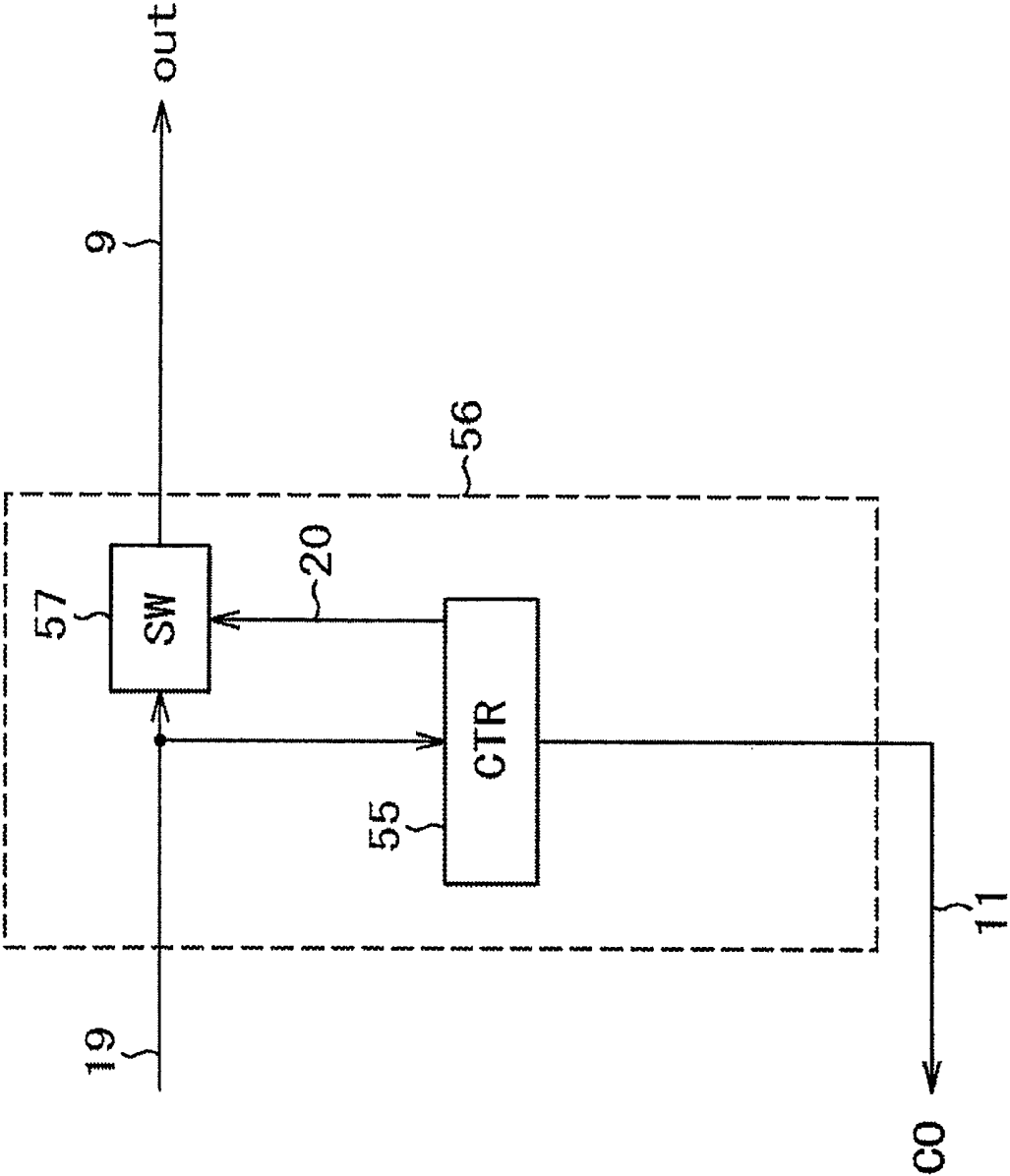


图 10

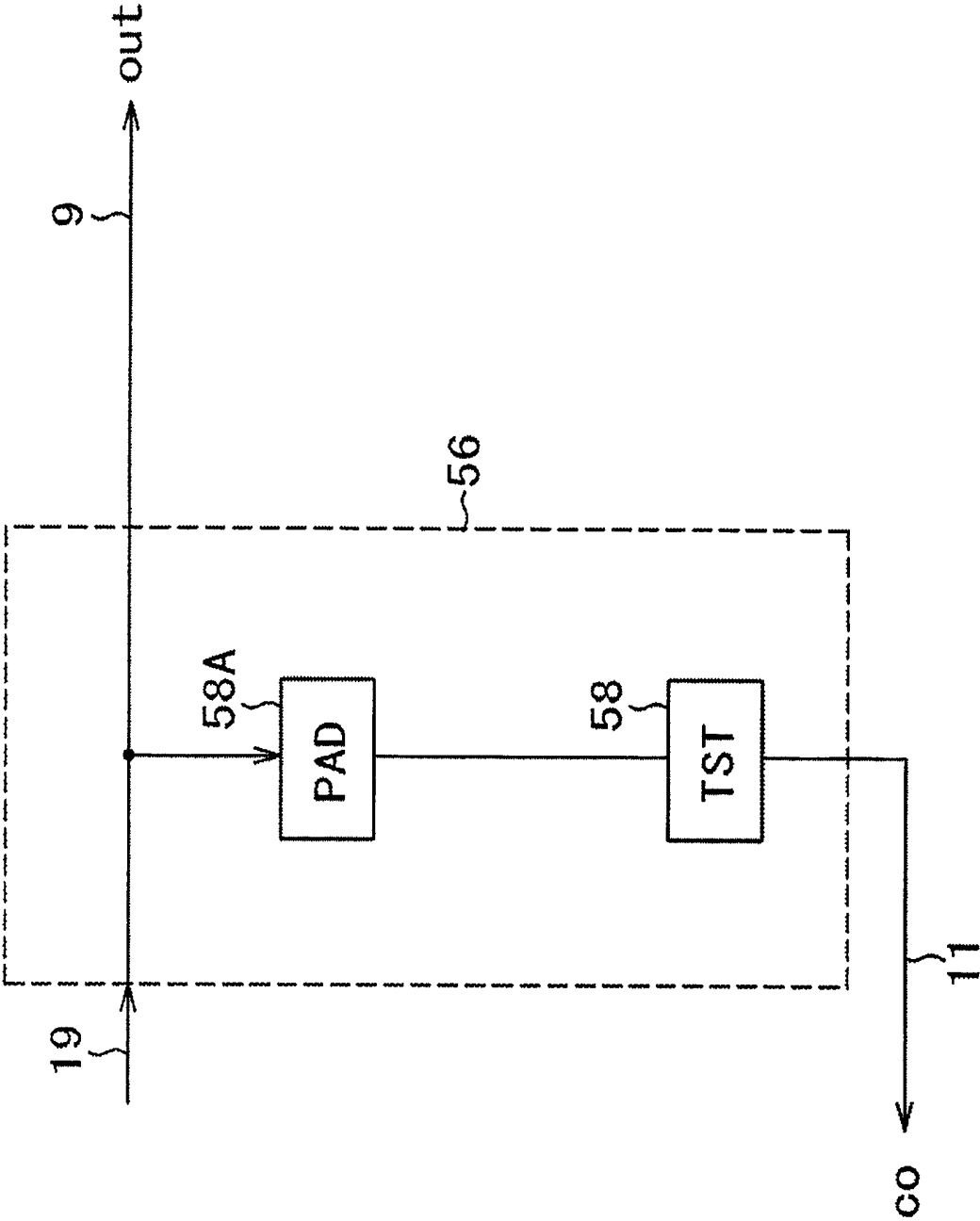


图 11

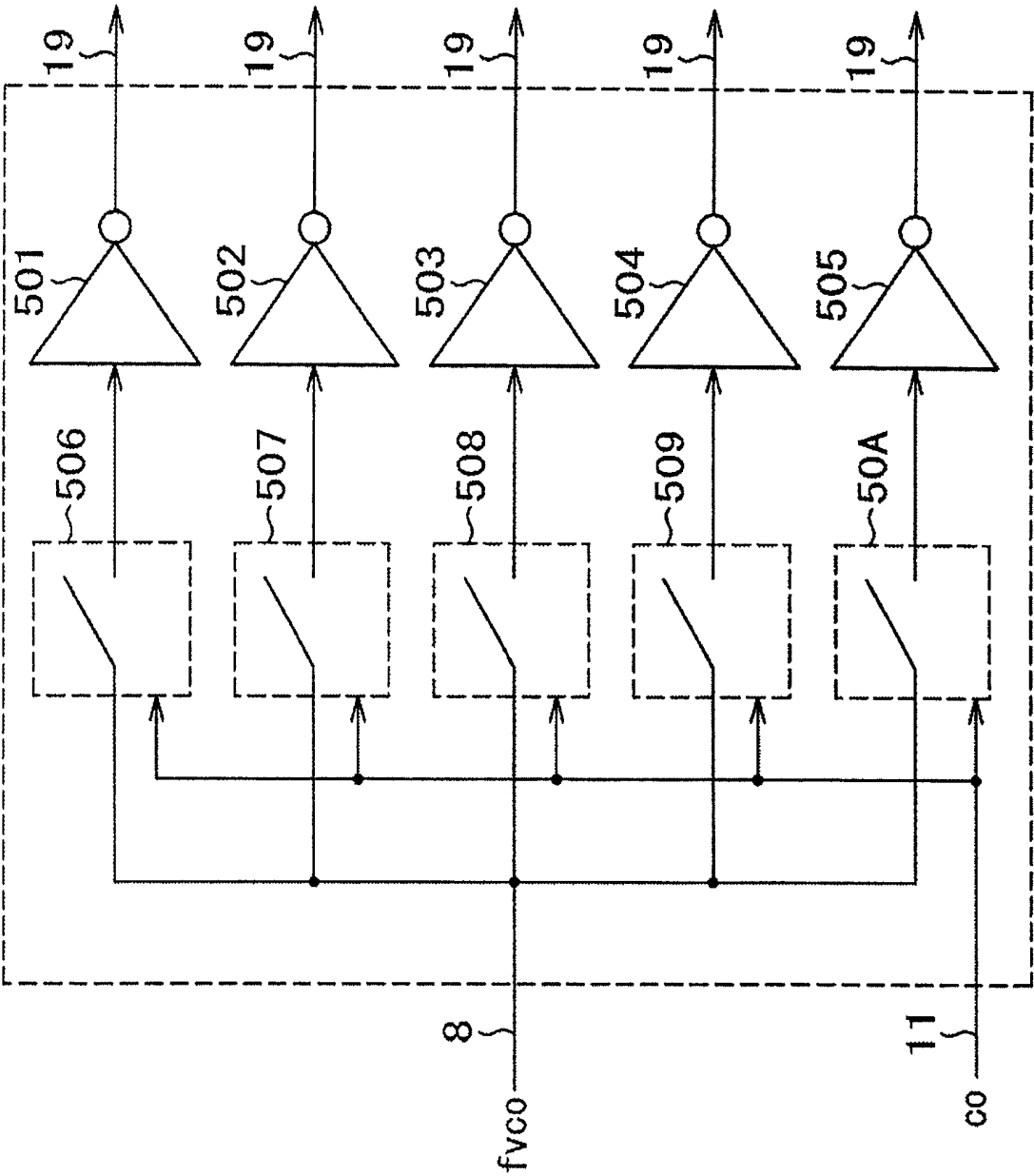


图 12

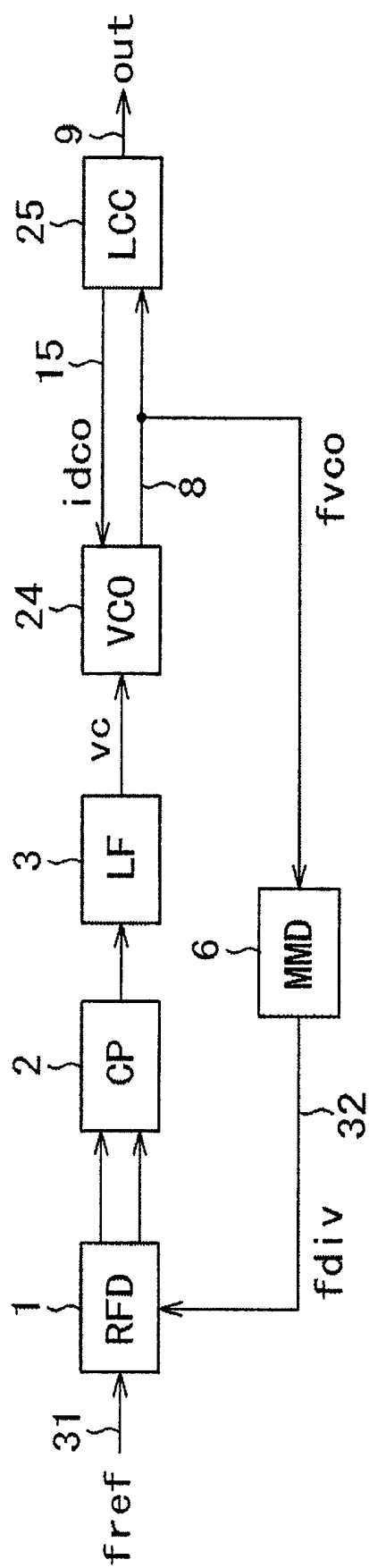


图 13

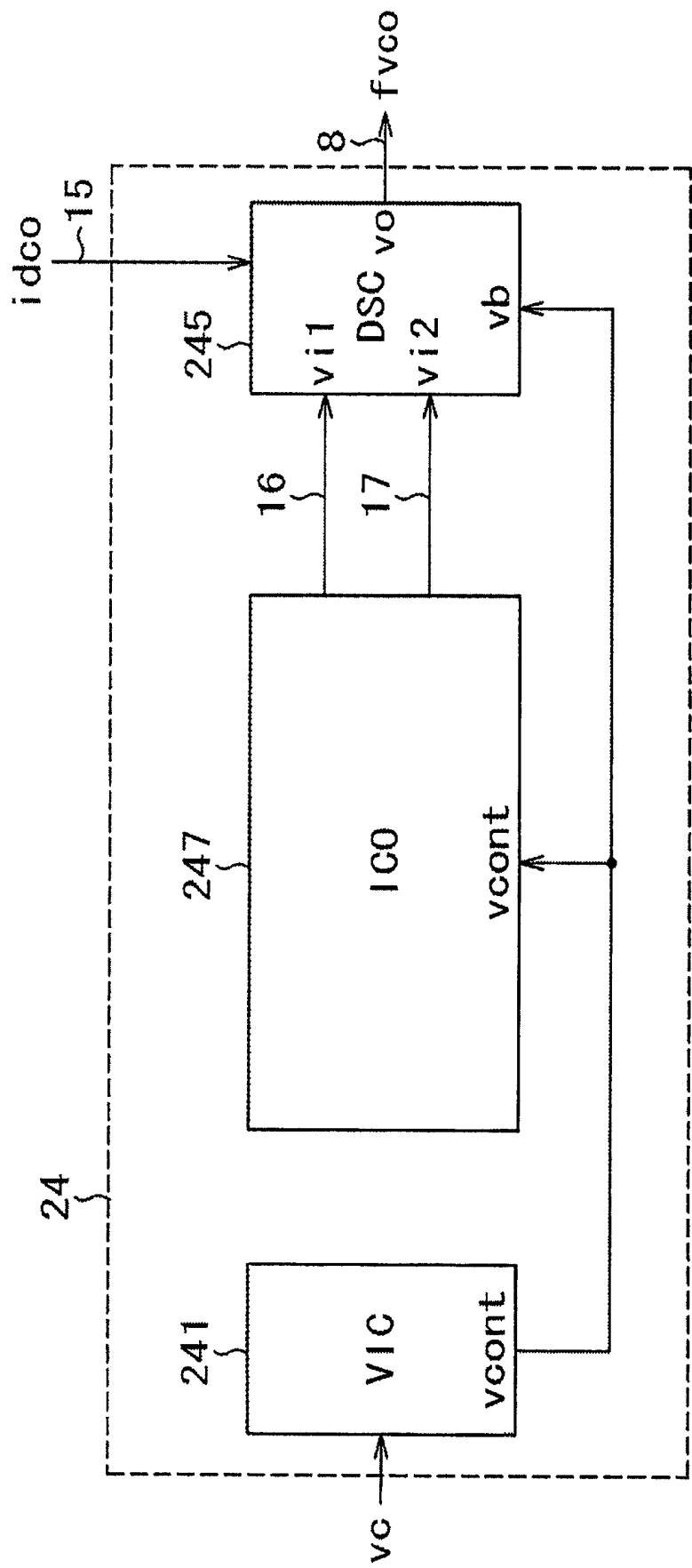


图 14

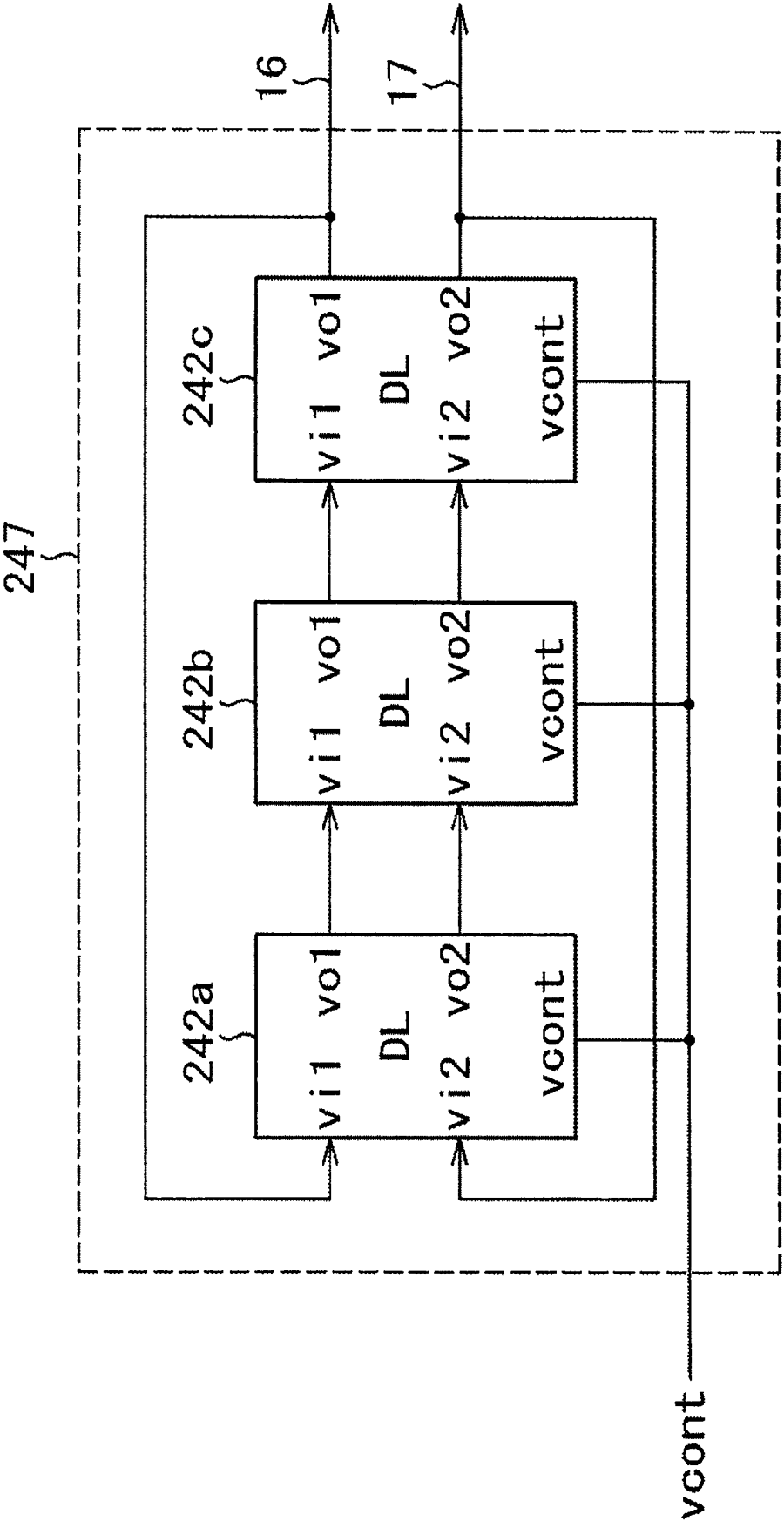


图 15

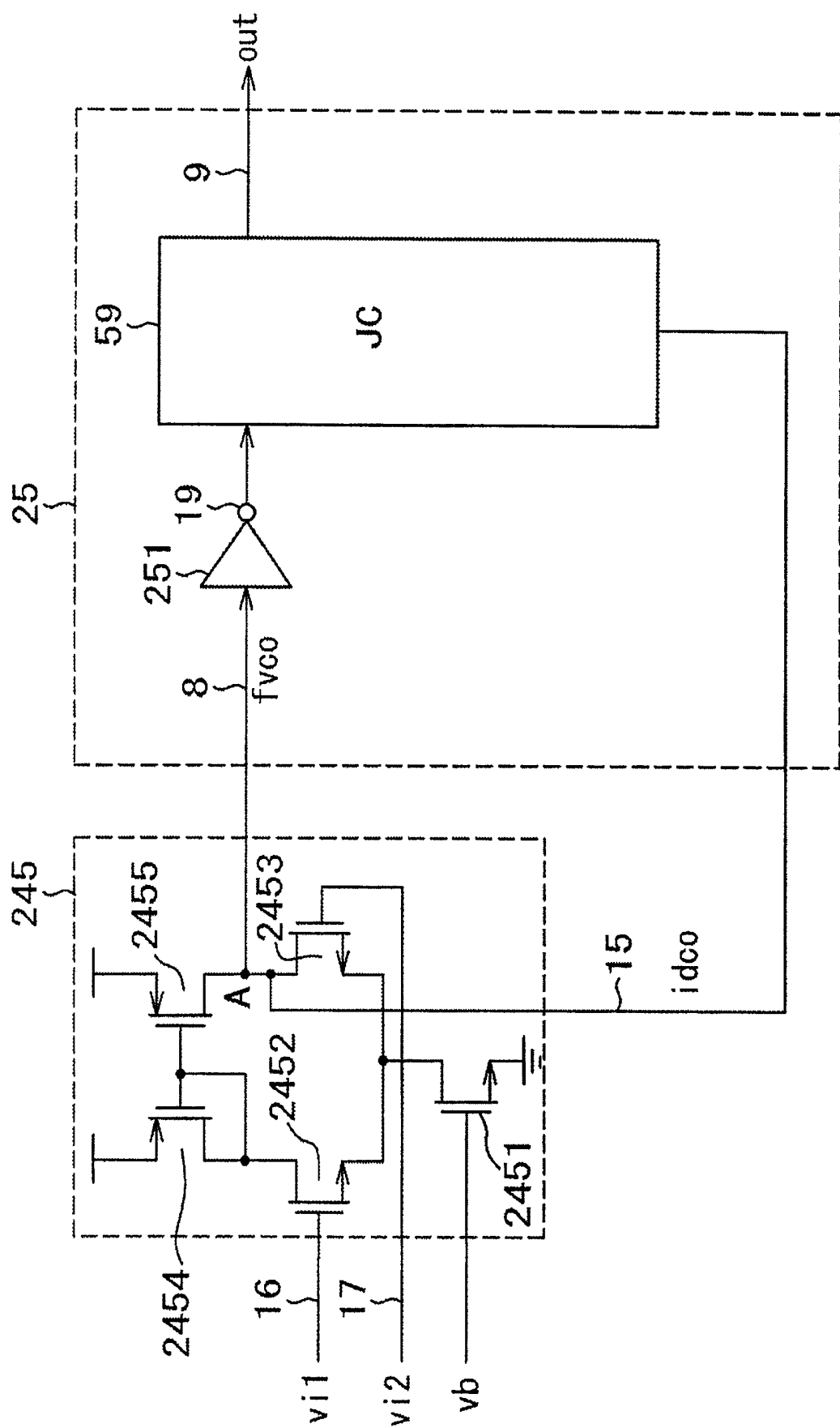


图 17A

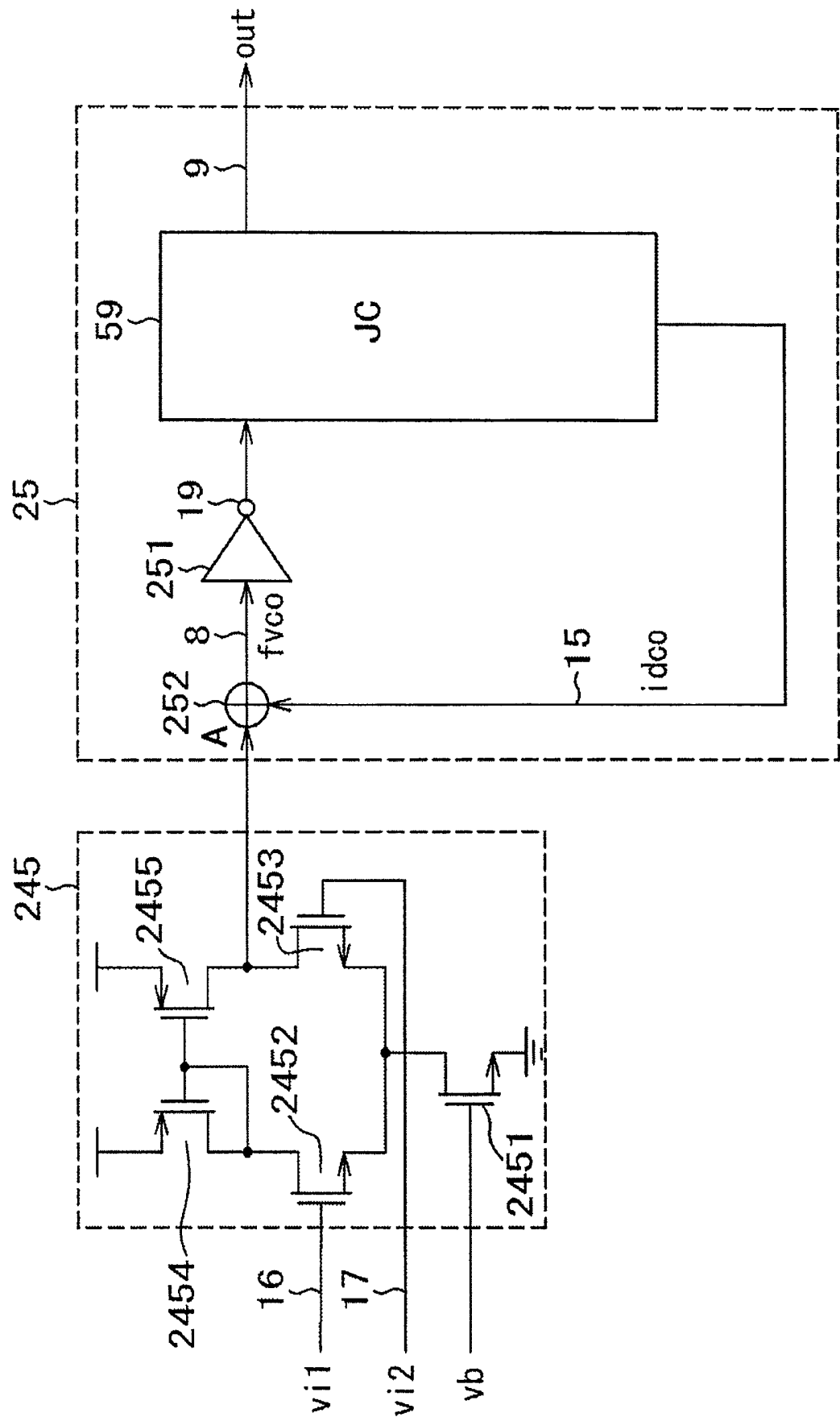


图 17B

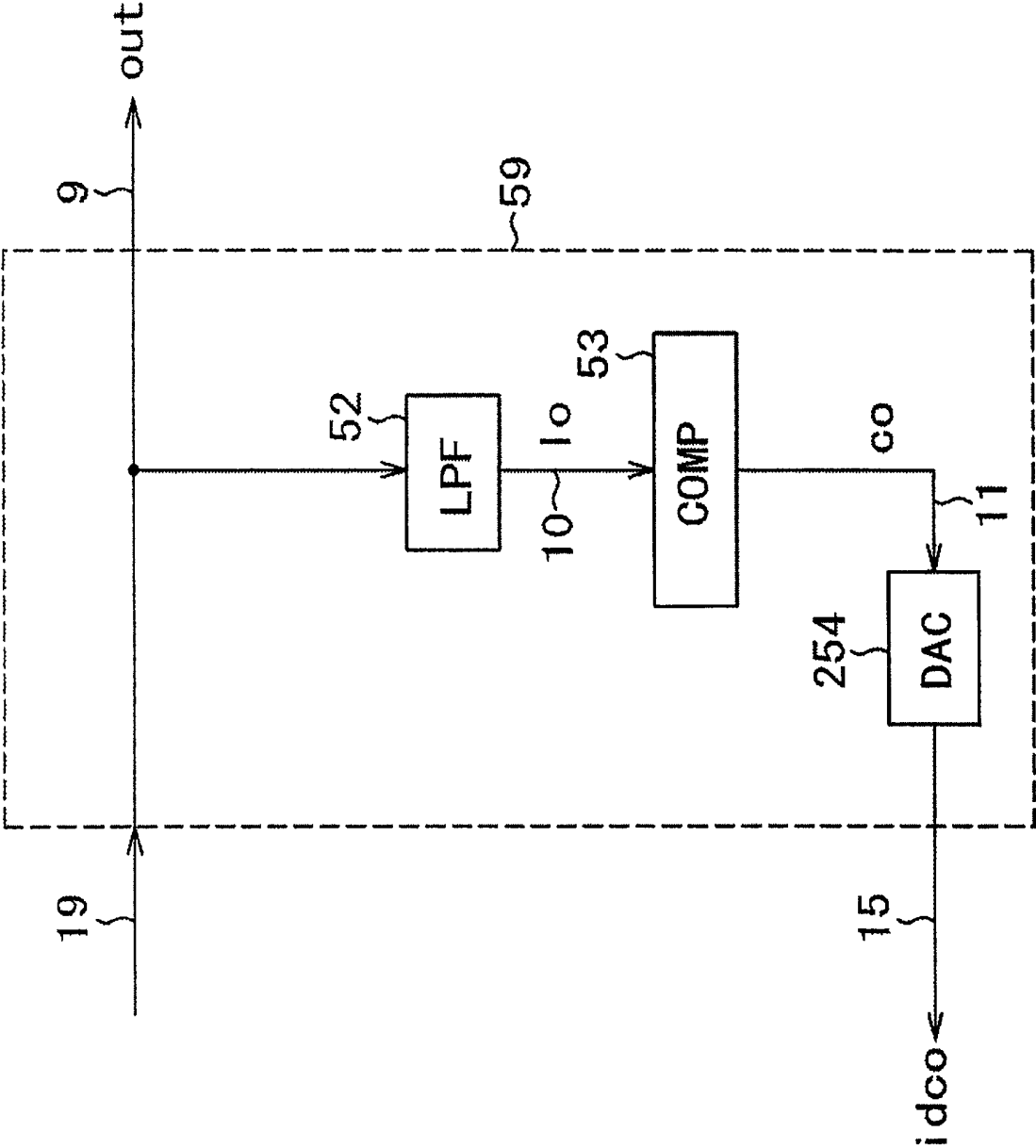


图 18

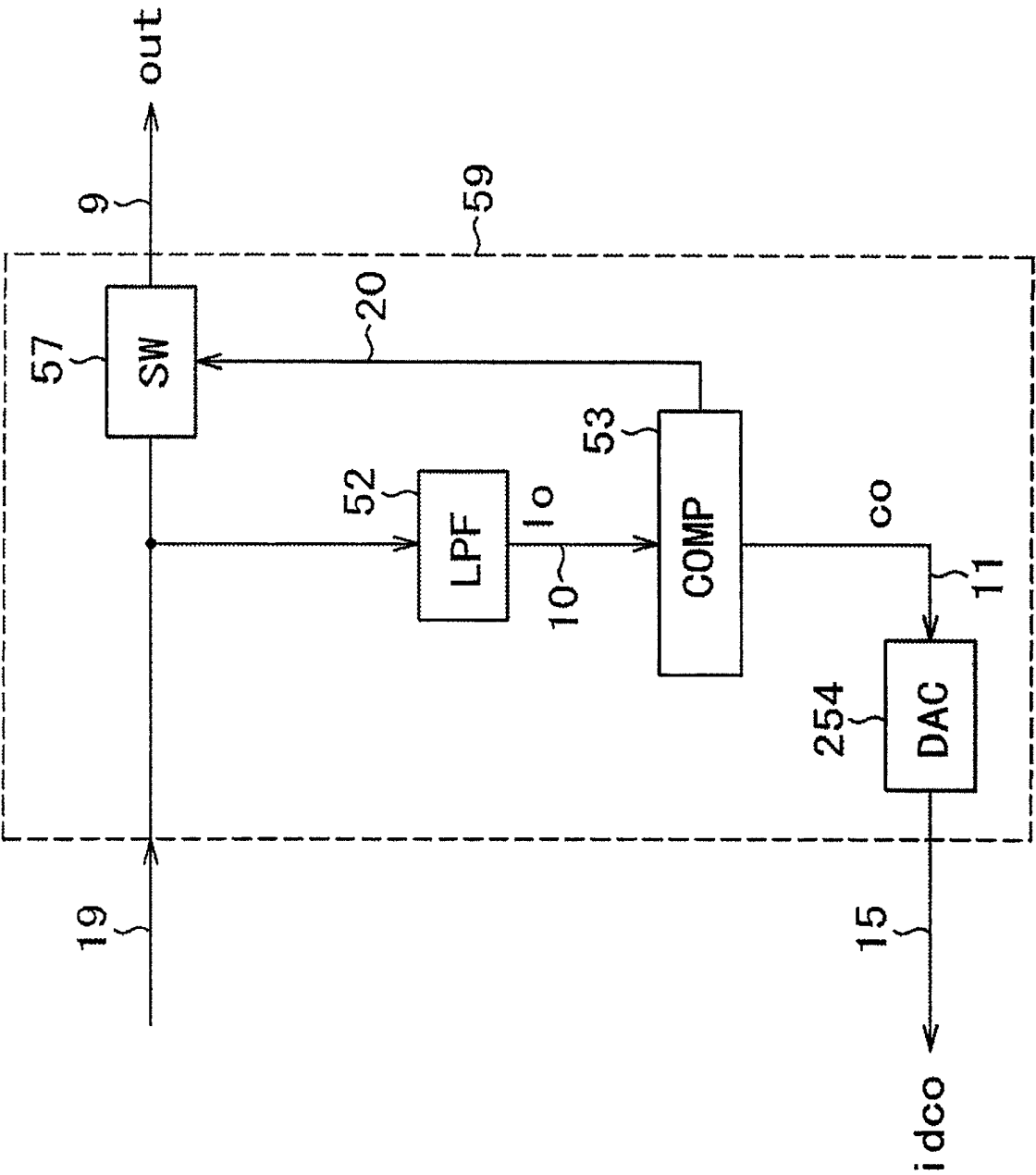


图 19

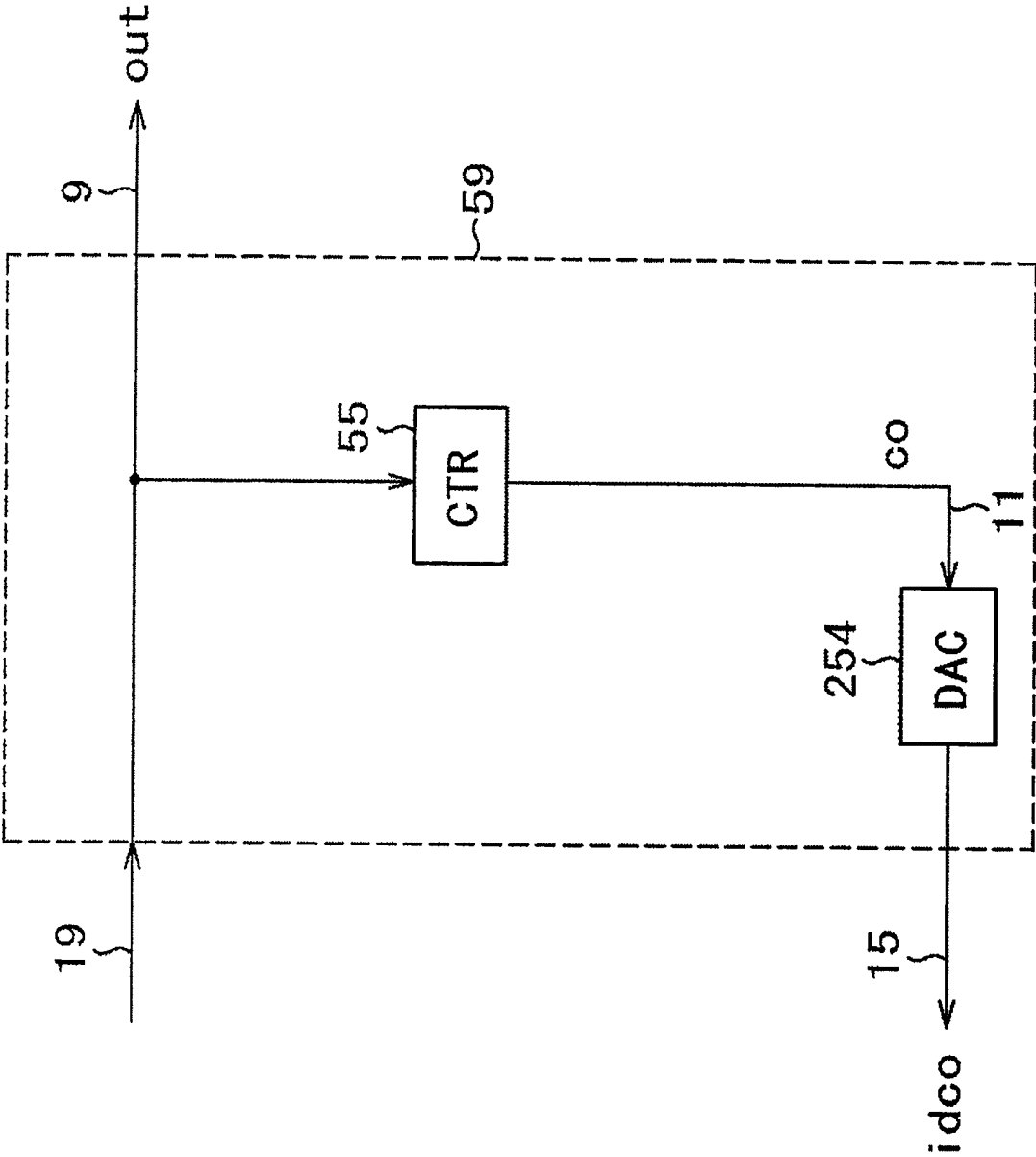


图 20

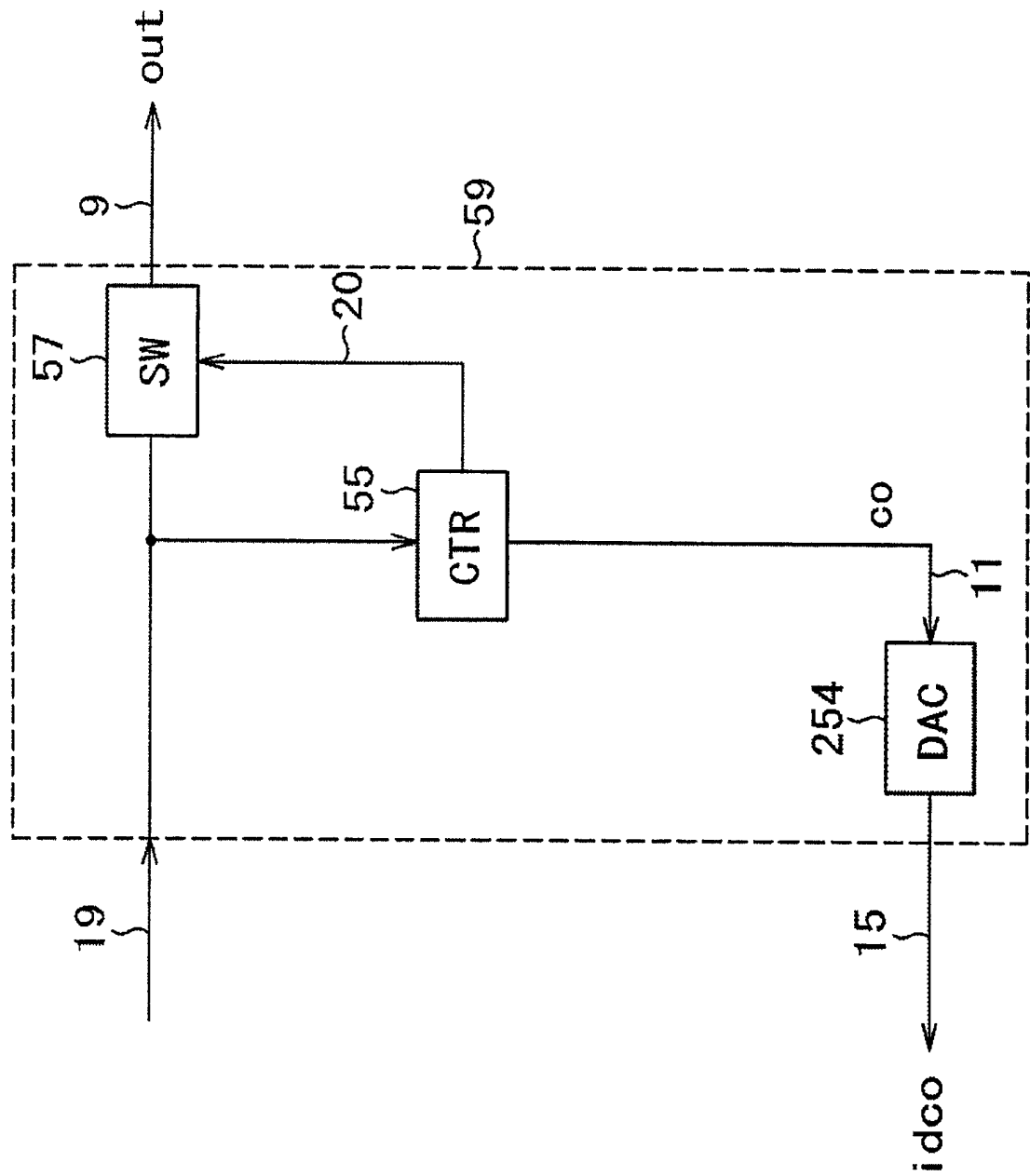


图 21

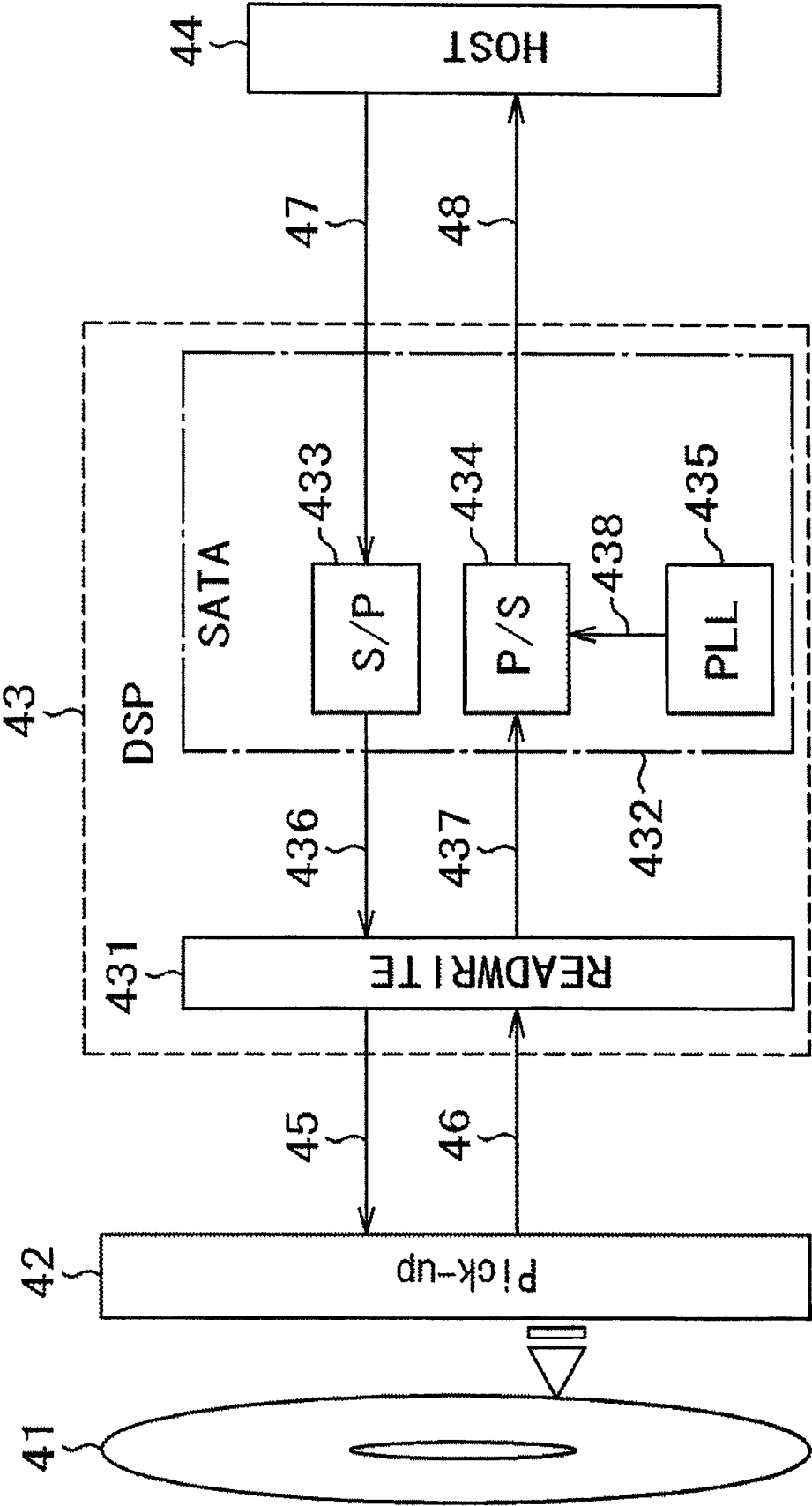


图 22

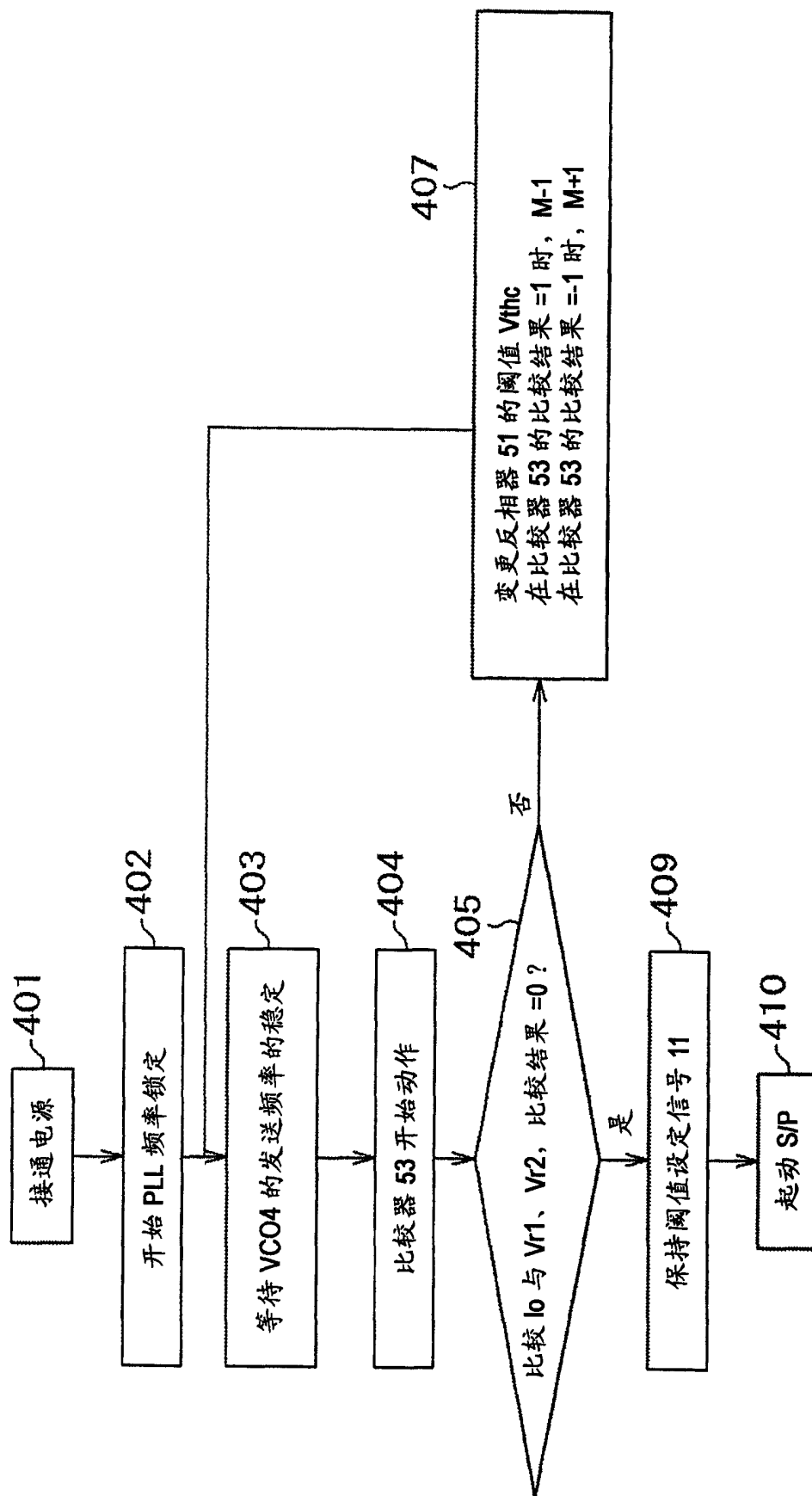


图 23

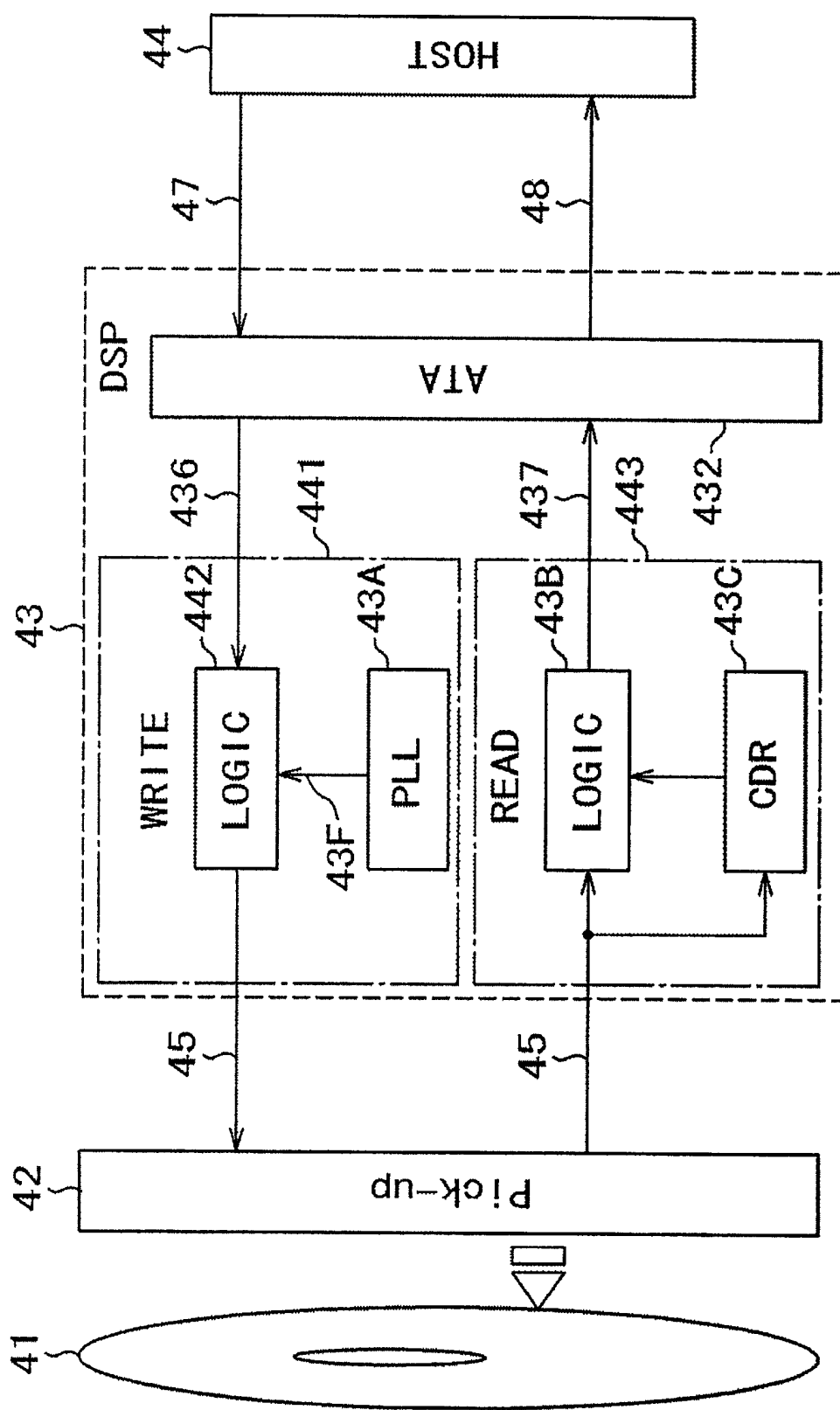


图 24

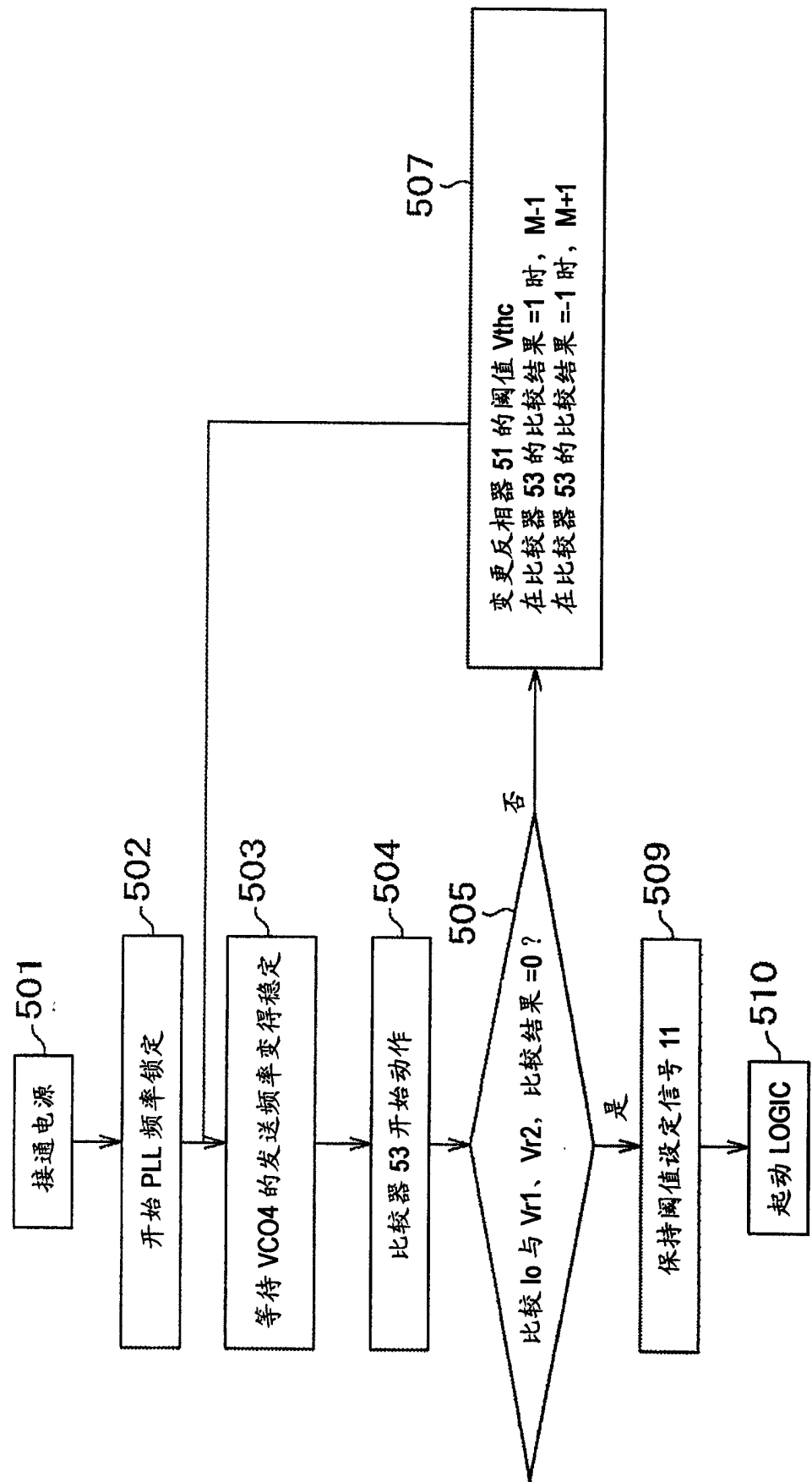


图 25

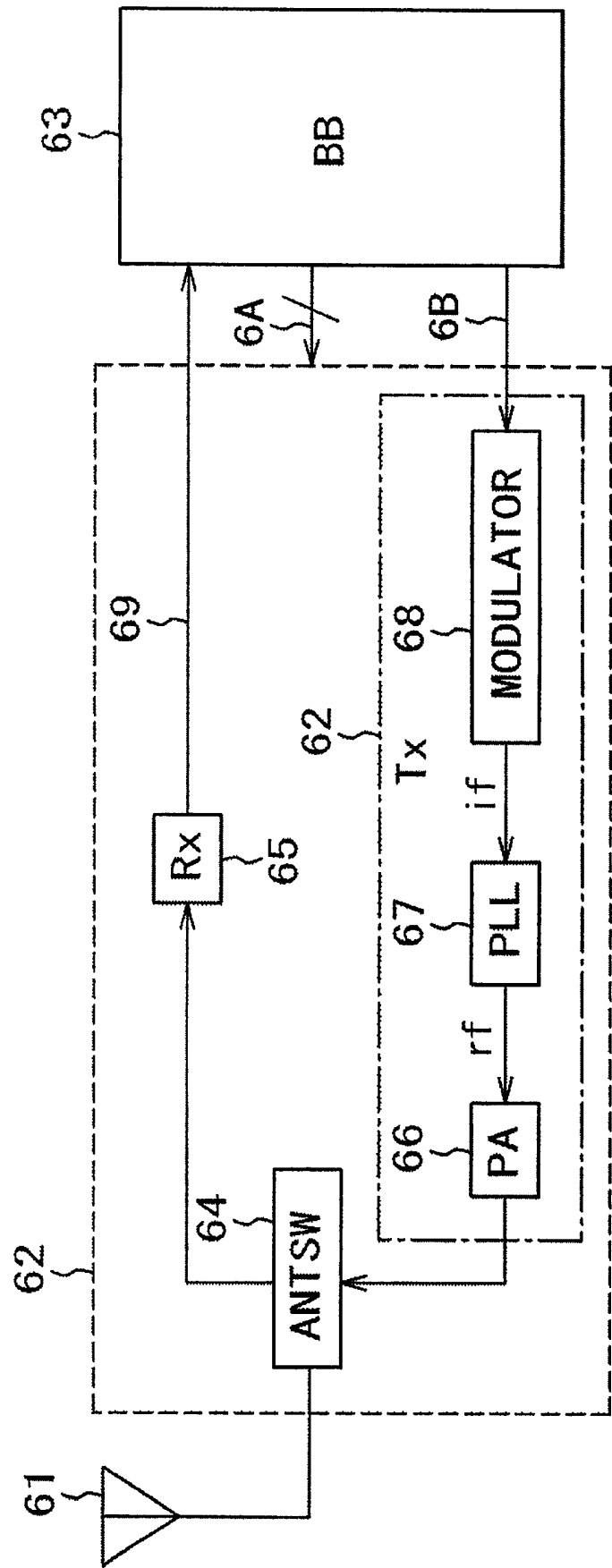


图 26

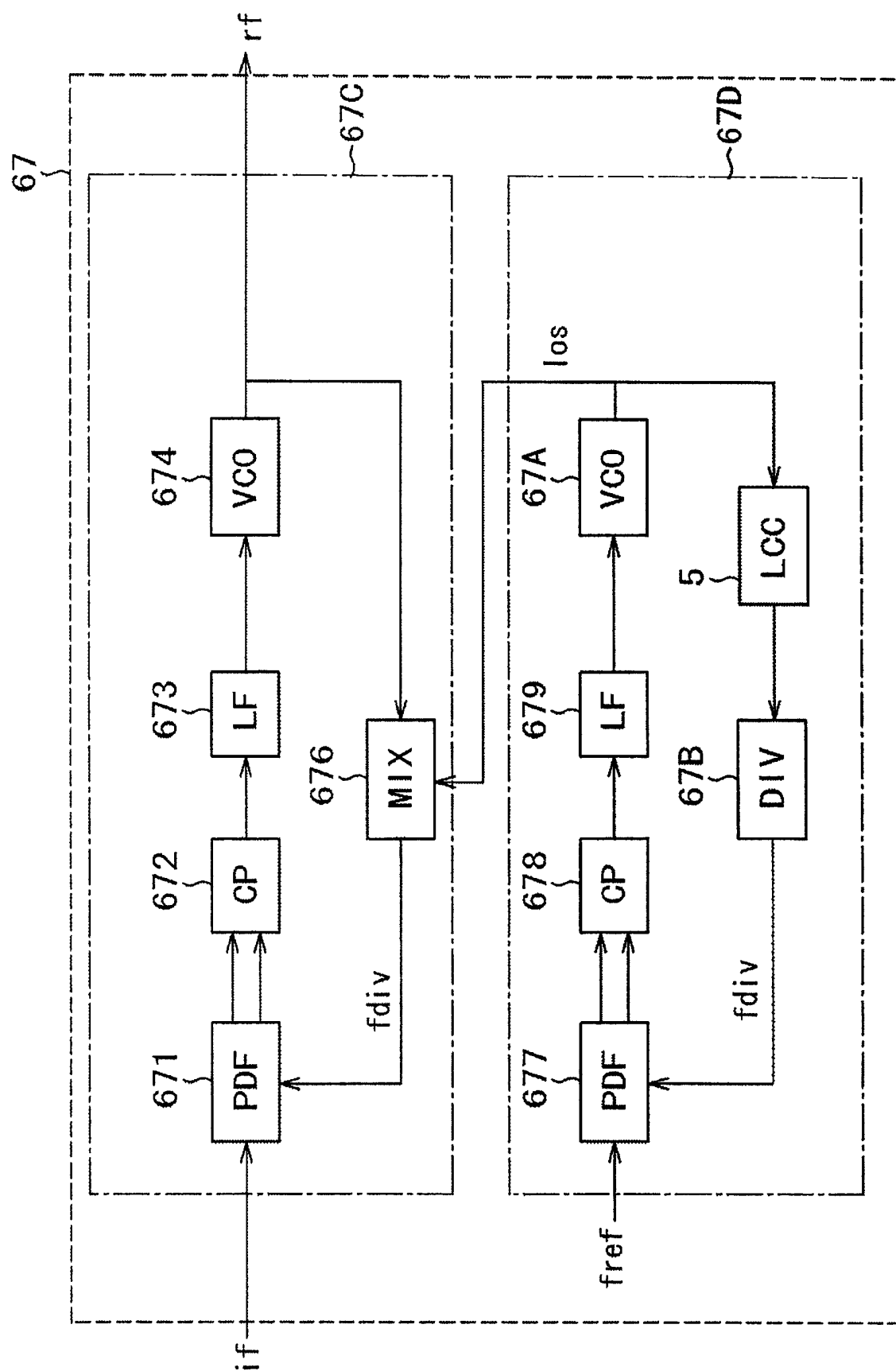


图 27

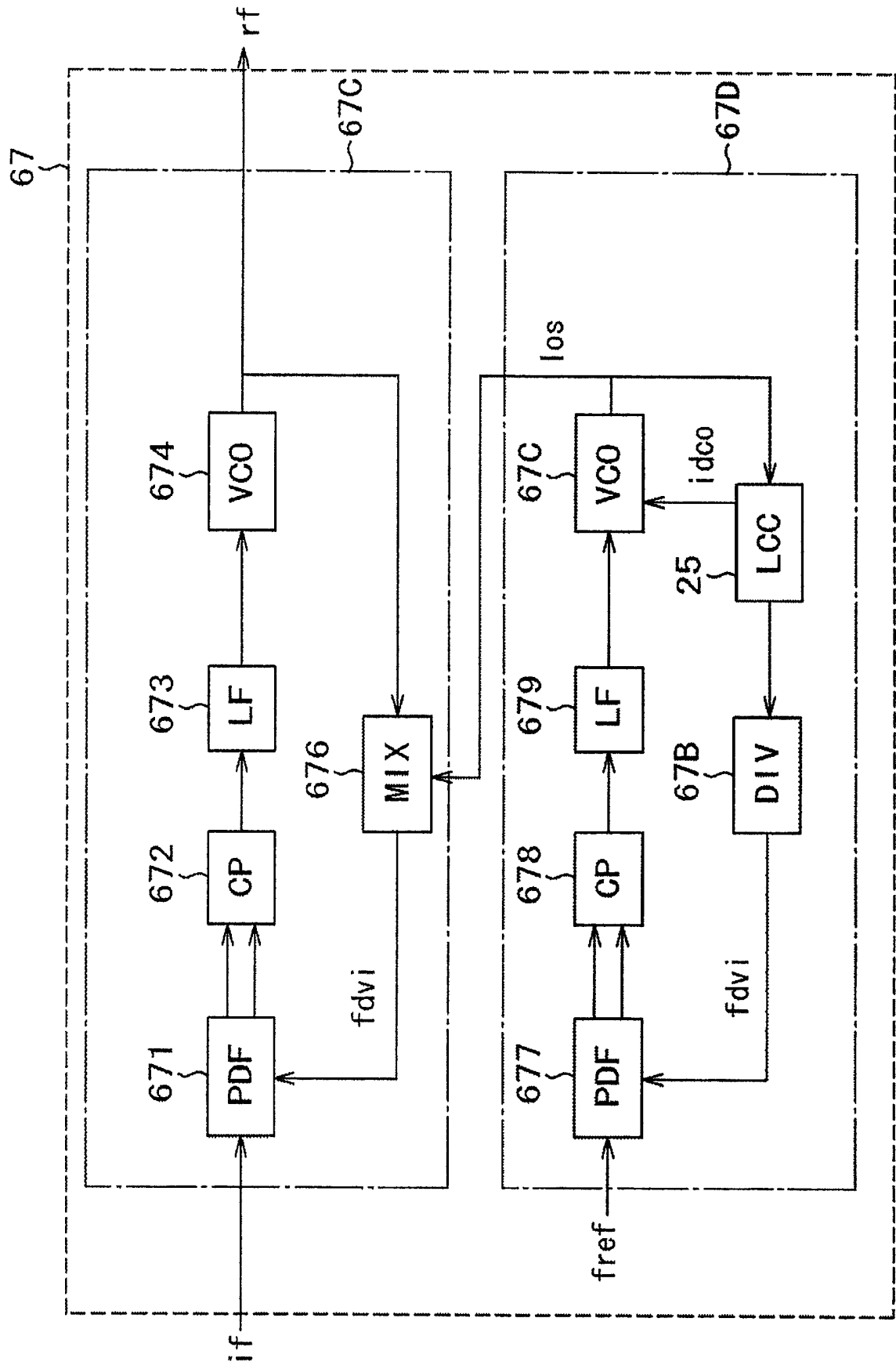


图 28

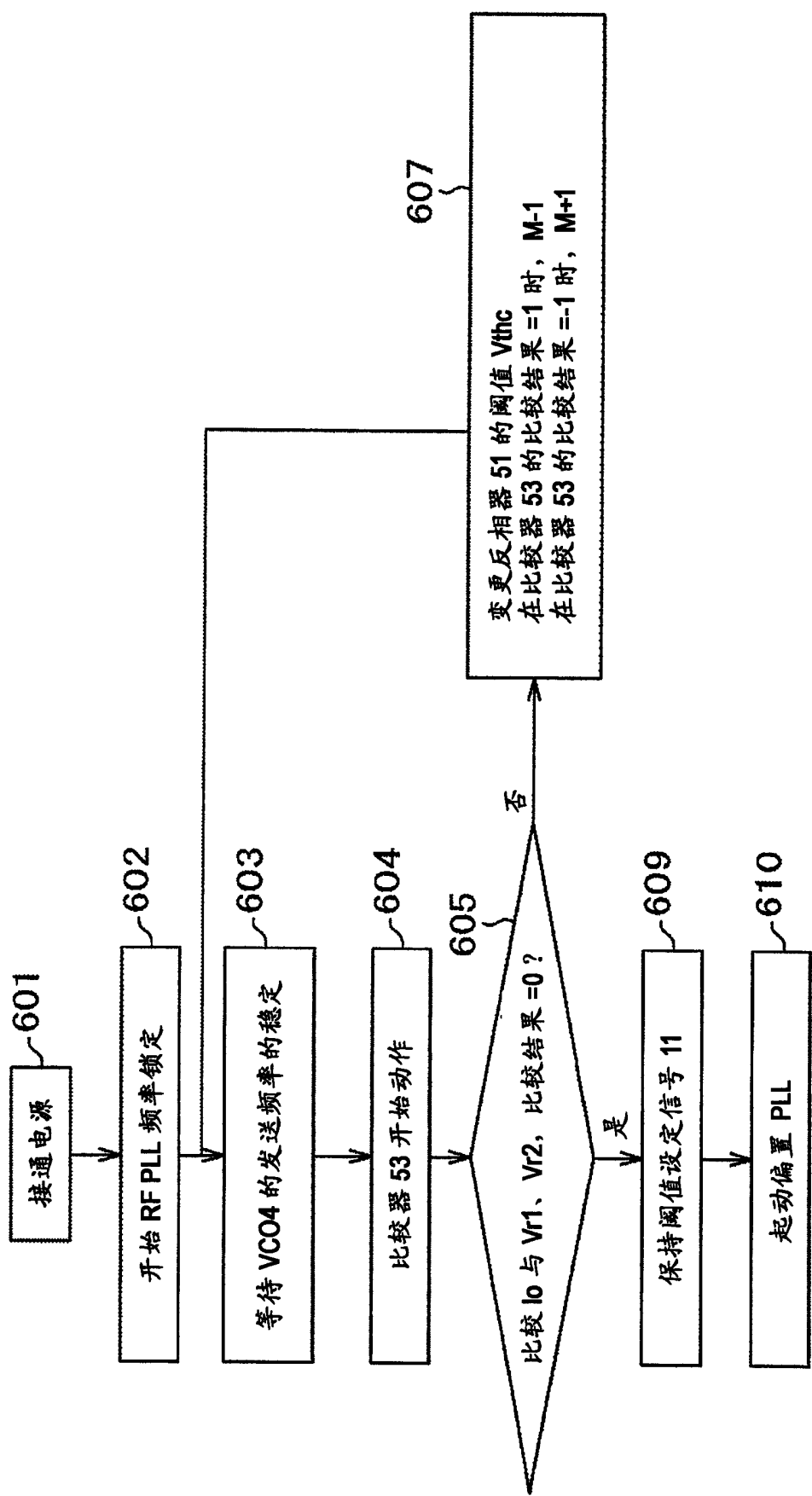


图 29

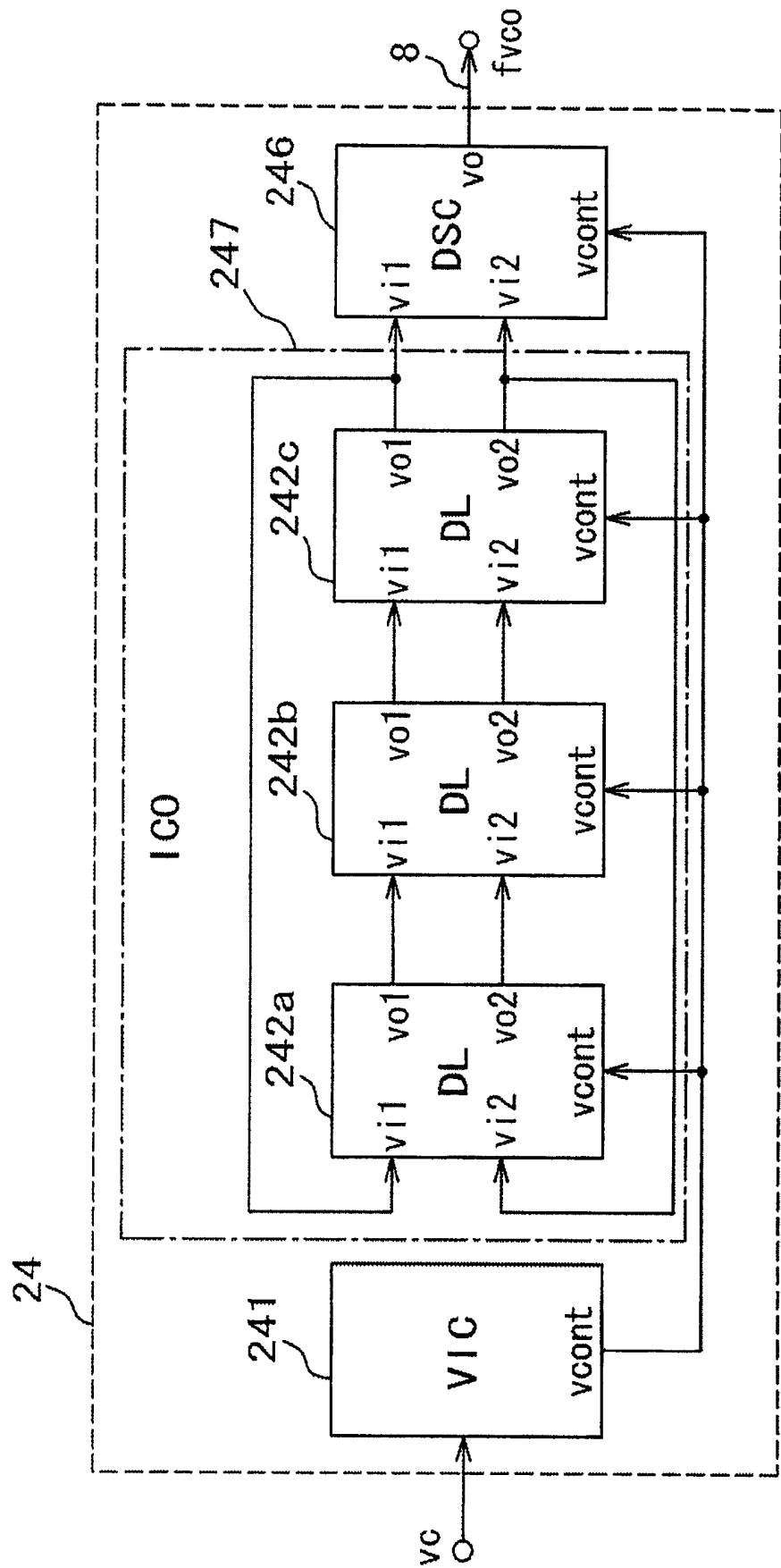


图 30

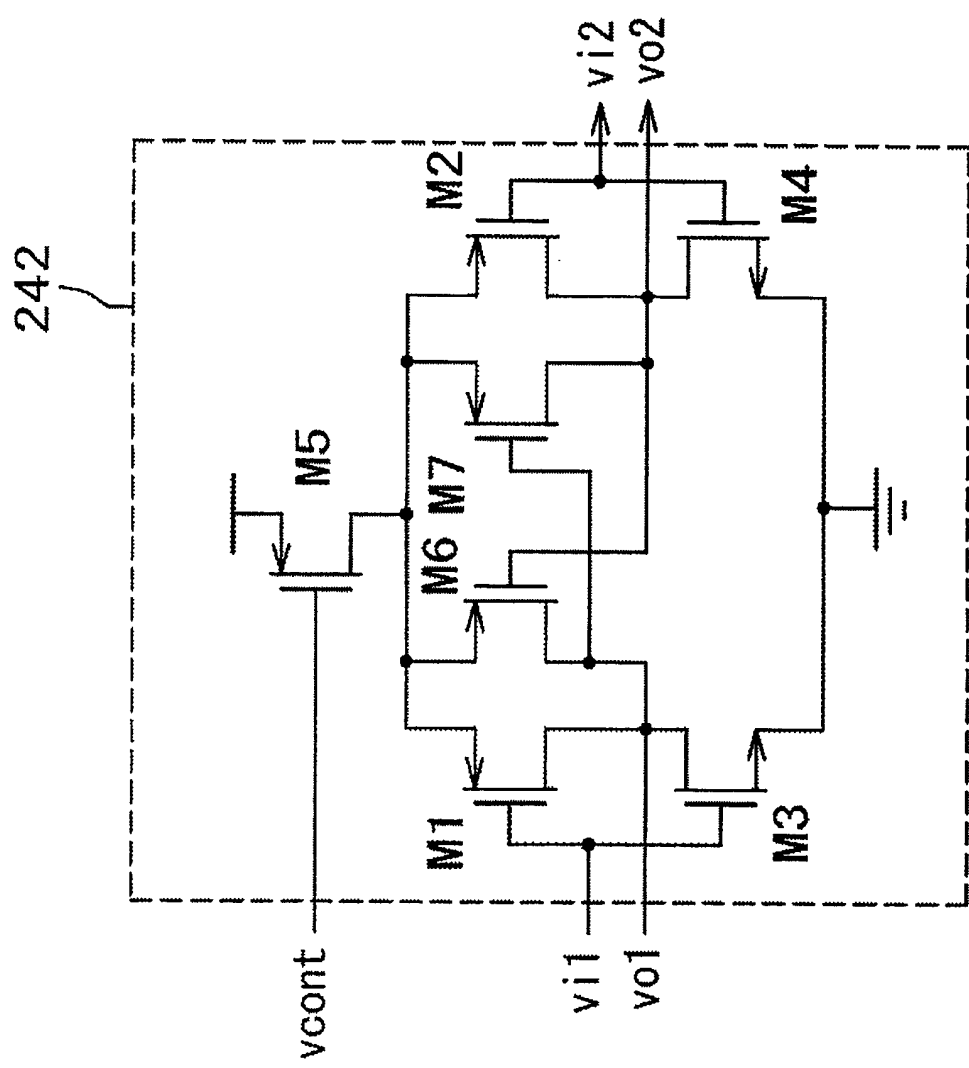


图 31

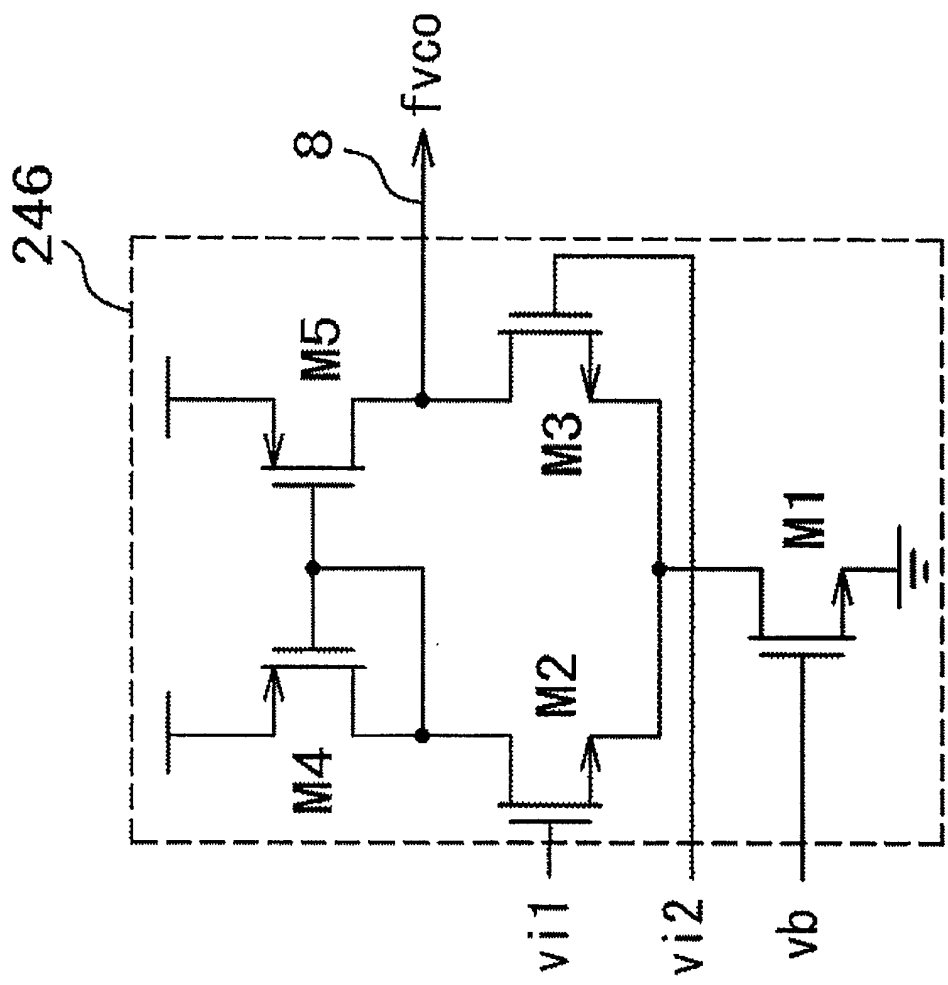


图 32

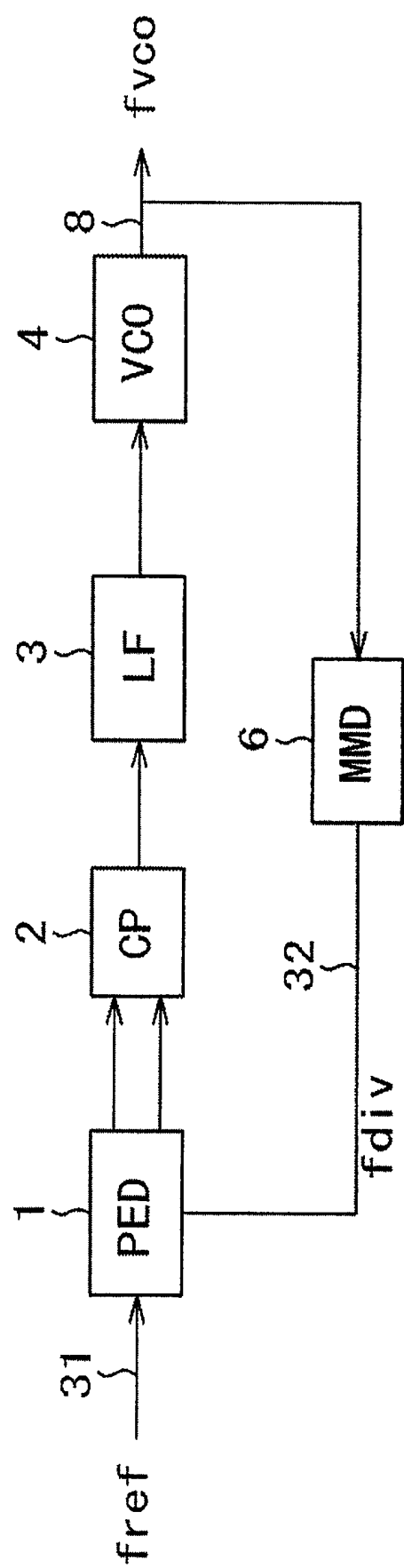


图 33

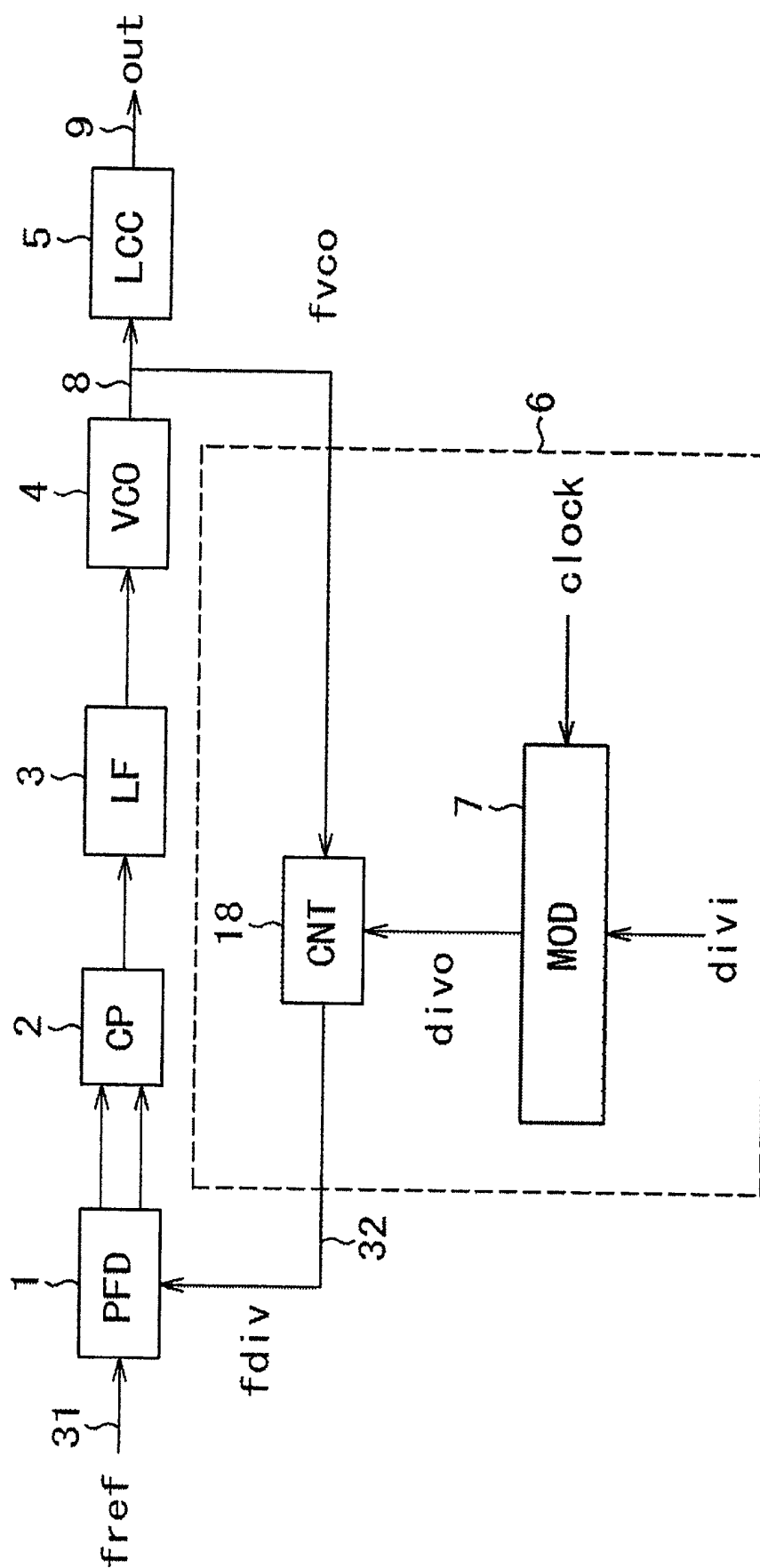


图 34