



[12] 发明专利说明书

[21] ZL 专利号 98118015.9

[45] 授权公告日 2003 年 1 月 1 日

[11] 授权公告号 CN 1097880C

[22] 申请日 1998.8.5 [21] 申请号 98118015.9

[30] 优先权

[32] 1997.8.7 [33] KR [31] 37799/97

[73] 专利权人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 崔圣汉 孔骏镇

审查员 哈雅坤

[74] 专利代理机构 北京市柳沈律师事务所

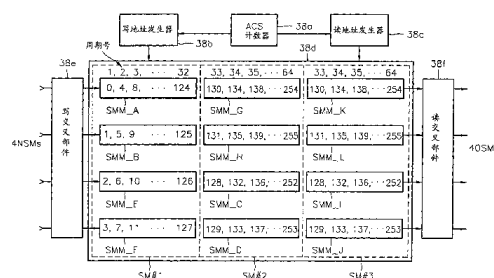
代理人 马莹

权利要求书 1 页 说明书 13 页 附图 9 页

[54] 发明名称 维特比译码器

[57] 摘要

在为提高译码速度而使用多个加-比-选(ACS)部件的维特比译码器中,公开一种用于提供和存储状态量度的装置,该状态量度用于 ACS 操作。维特比译码器中的状态量度存储器使用双端口存储器,在单个存储器包括:一个存储体,用于读和写由 ACS 部件产生的 N 个状态量度中的前半状态量度;两个存储体,用于每当输入一个码字时交替地读和写后一半的状态量度。因此,与传统装置相比,大大地减少了用于存储状态量度的存储容量。



1、一种维特比译码器，包括：支路量度计算器，用于计算输入码字和可从编码器输出的预定码字之间的相似性，并输出 $2N$ 个支路量度，这里 N 为状态数；加-比-选部分，用于接收由支路量度计算器提供的 $2N$ 个支路量度和 N 个先前状态量度以执行加-比操作，选择幸存路径，并计算 N 个当前状态量度，所述幸存路径显示了与接收码字的编码序列最接近的编码序列；以及状态量度存储器，用于向加-比-选部件提供 N 个先前状态量度或存储加-比-选部件产生的 N 个当前状态量度，该译码器的特征在于：

10 所述加-比-选部件包括 M 个加-比-选部件，每当输入一个码字时其中的每一个加-比-选部件都在 N/M 个周期期间执行 N/M 次操作。

所述状态量度存储器包括：

双端口存储器，包括：一个存储体，用于读和写由所述加-比-选部件产生的 N 个状态量度中的前半状态量度；和两个存储体，用于每当输入一个码字时交替地读和写后半的状态量度；

计数器，用于对所述周期的进行顺序进行计数；

写地址发生器，用于根据所述计数器的计数结果产生所述存储器的写地址；

20 读地址发生器，用于根据所述计数器的计数结果产生所述存储器的读地址。

2、如权利要求 1 所述的维特比译码器，所述状态量度存储器还包括写交叉部件，用于根据所述加-比-选部件的结构重排写入存储器的状态量度。

25 3、如权利要求 1 所述的维特比译码器，所述状态量度存储器还包括读交叉部件，用于根据所述加-比-选部件的结构重排读自存储器的状态量度。

维特比译码器

5

技术领域

本发明涉及一种维特比译码器(Viterbi decoder)，特别涉及一种装置的结构，在为提高译码速度而使用多个 ACS(add-compare-select，加-比-选)部件的维特比译码器中，该装置用于提供和存储在加-比-选(ACS)操作期间使用的状态量度(state metric)。

10

背景技术

维特比译码器是一种通过使用最大似然法对用卷积码进行编码的码字进行译码的装置。维特比译码器将预定编码器的编码状态和接收码字的编码状态进行比较，选择最接近的编码路径，并对从所选路径传送的信息进行译码。

15

图1是传统维特比译码器的方框图。图1所示的维特比译码器包括：支路量度计算器10、ACS部件12、状态量度存储器14、路径存储器16、和路径追迹逻辑部件18。

20

当图1所示的装置收到接收码字时，支路量度计算器10计算接收码字和可从编码器输出的预定码字(图中未示出)的相似性(汉明距离)，并输出支路量度BM。ACS部件12接收支路量度计算器10提供的支路量度BM和状态量度存储器14中存储的先前(旧)状态量度OSM作为输入，执行加-比操作以选择幸存路径，并计算幸存路径的当前(新)状态量度NSM，该幸存路径显示了与接收码字的编码序列最接近的编码序列。选择出的幸存路径被存储

25

在路径存储器16中，计算出的当前状态量度NSM被存储在状态量度存储器14中。路径追迹逻辑部件18参照存储在路径存储器16中的幸存路径，并根据接收码字的编码路径输出译码数据。

30

在维特比译码中，把接收码字中的每一个单个码字可能存在的状态数N定义为 2^{K-1} ，其中K定义为约束长度。图1中的ACS部件12计算幸存路径的状态量度，当它有状态数个，即N个时，图1所示的装置就保持最快的处理速度。其原因是，对于可与单个码字对应而存在的N个状态，N个ACS

部件各自同时执行 ACS 操作。

因此，由译码速度看来，最好是对含有 N 个状态的码字使用 N 个 ACS 部件。可是，当状态数 (N) 变得较大时，制造一个具有如此大容量的 ACS 部件就变得很困难。于是，当状态数 N 变得较大时，就必须适当地选择 ACS 部件的数目。

因为在一般的码分多址 (CDMA) 系统中，使用约束长度 K 为 9 的卷积码，所以状态数就是 2^{K-1} ($=256$)。如果使用 256 个 ACS 部件实现一个维特比译码器，那么译码速度较快但需要较多的硬件。同时，当维特比译码器中使用单个 ACS 部件时，需要较少的硬件但译码速度较慢。

15 本申请人在 1990 年 12 月 17 日提交的、题目为 “State metric storage device (状态量度存储装置)” 的韩国专利申请 No. 90-20808 中公开了一种使用单个 ACS 部件的维特比译码器。在使用单个 ACS 部件的情况下该装置可以执行状态量度的快速输入和输出处理，但它不能应用于使用多个 ACS 部件的情况。

15 同时，本申请人在 1996 年 3 月 18 日提交的、题目为 “ACS device of Viterbi decoder (维特比译码器的 ACS 装置)” 的韩国专利申请 NO. 96-7208 中公开了一种使用多个 ACS 部件提高译码速度的技术。该装置使用 4 个 ACS 部件以便提高译码速度。然而，由于该装置中含有典型的状态量度存储器，即，由单个存储器装置组成的状态量度存储器，故状态量度的输入和输出速度稍微慢一些。

20 本申请人在 1997 年 3 月 14 日提交的、题目为 “State metric storing method and apparatus for Viterbi decoder (维特比译码器的状态量度存储方法及装置)” 的韩国专利申请 No. 97-8603 中公开了一种解决上述问题的技术，专利填写日期为。该装置使用两个状态量度存储部件，即，由两个存储器装置组成的状态量度存储部件，因而有效地提供和存储用于加-比-选操作中的状态量度。然而，由于需要 $2N$ 的存储容量，其中 N 是状态数，故当 N 变得较大时，状态量度存储部件的存储容量就变得较大，难以负担。

发明内容

30 为解决上述问题，本发明的目的就是提供一种维特比译码器，它使用多个 ACS 部件以提高译码速度，并能用小容量提供和存储状态量度。

相应地,为实现上述目的,本发明提供了一种维特比译码器,包括:
状态量度存储部分,该部分含有一个单个的存储体(memory bank),用以读
和写前一半的状态量度;以及两个存储体,用以每当施加一个码字时交替
地读和写后一半的状态量度,其中该状态量度存储部分由单个双端口存储
器组成,它被所有的加-比-选部件所使用。

这样,既然不使用存储前一半状态量度的存储器,那么与传统装置相比,用于存储状态量度的存储容量就大为减少。

附图说明

- 10 通过参照附图对优选实施例进行详细描述,本发明的上述目的和优点
将会变得更加明显,其中:
- 图 1 是一种传统维特比译码器的方框图;
图 2 是另一种传统维特比译码器的方框图;
图 3A 和 3B 是说明当约束长度为 9 时图 1 和图 2 所示装置操作的网格
15 图;
- 图 4 用以说明图 2 中加-比-选部分的操作;
图 5 是显示图 2 中加-比-选部分的详细方框图;
图 6 显示图 2 中加-比-选部分的操作;
图 7 显示图 2 中状态量度存储部分的结构;
20 图 8 是本发明的维特比译码器的方框图;
图 9 是显示图 8 中状态量度存储部分的详细方框图。

具体实施方式

下面将参照附图描述本发明的结构和效果。

- 25 示于图 2 中的、公开于韩国专利申请 97-8603 中的另一常规维特比译
码器包括:支路量度计算器 20、由 4 个 ACS 部件 22a-22d 组成的 ACS 部件
22、含有两个存储器 28a 和 28b 的状态量度存储器 28、路径存储器 26、和
路径追迹逻辑部件 24。

- 30 ACS 部件 22 包括 4 个 ACS 部件 22a-22d。ACS 部件 22a-22d 中的每一个
都对 $N/4$ 个状态执行 ACS 操作。因为当编码效率(code ratio)为 $1/3$ 且约
束长度为 9 时状态数为 256,所以 ACS 部件 22a-22d 中的每一个执行

64(=256/4) 次 ACS 操作。就是说, ACS 部件 22 在 64 个周期的每一个周期内都参照 4 个先前状态量度和 8 个支路量度计算 4 个当前状态量度。

图 3A 和 3B 是说明图 1 和图 2 所示装置操作的网格图。我们知道, 在卷积码编码器的稳定状态中, 每当输入一个信息元(information bit)时, 可能被转移的状态的个数被限制为两个, 且被转移到的状态是一定的。例如, 就图 1 和 2 所示的装置说来, 第 0 状态只可能被转移到第 0 状态或第 128 状态, 第 2 状态只可能被转移到第 1 状态或第 129 状态。

在图 3A 和 3B 中所示的被虚线分开的每一列中, 左边的数字表示先前状态, 右边的数字表示当前状态。连接状态的实线表示先前状态与当前状态之间的支路量度。例如, 连接先前第 0 状态与当前第 0 状态的实线表示这两个状态之间的支路量度。

在图 3A 的左上部分中, 把先前第 0 状态的状态量度和先前第 0 状态与当前第 0 状态之间的支路量度相加, 就可获得一个数值, 把先前第 1 状态的状态量度和先前第 1 状态与当前第 0 状态之间的支路量度相加, 又可获得一个数值, 将两个数值比较, 取其中较小的作为当前第 0 状态的状态量度。

同样, 把先前第 0 状态的状态量度和先前第 0 状态与当前第 128 状态之间的支路量度相加, 就可获得一个数值, 把先前第 1 状态的状态量度和先前第 1 状态与当前第 128 状态之间的支路量度相加, 又可获得一个数值, 将两个数值比较, 取其中较小的作为当前第 128 状态的状态量度。

如果输入一个单个码字, 那么在 64 个周期中的第一个周期内, ACS 部件 22 就参照先前第 0 至第 3 状态的状态量度和其 8 个支路量度计算当前第 0、第 128、第 1 和第 129 状态的状态量度。

ACS 部件 22a 参照先前第 0 和第 1 状态的状态量度及其 2 个支路量度计算当前第 0 状态的状态量度。

ACS 部件 22b 参照先前第 0 和第 1 状态的状态量度及其 2 个支路量度计算当前第 128 状态的状态量度。

ACS 部件 22c 参照先前第 2 和第 3 状态的状态量度及其 2 个支路量度计算当前第 1 状态的状态量度。

ACS 部件 22d 参照先前第 2 和第 3 状态的状态量度及其 2 个支路量度计算当前第 129 状态的状态量度。

然后，在第二个周期内，ACS 部件 22 参照先前第 4、第 5、第 6 和第 7 状态的状态量度及其 8 个支路量度计算当前第 2、第 130、第 3 和第 131 状态的状态量度。

ACS 部件 22a 参照先前第 4 和第 5 状态的状态量度及其 2 个支路量度计算当前第 2 状态的状态量度。

ACS 部件 22b 参照先前第 4 和第 5 状态的状态量度及其 2 个支路量度计算当前第 130 状态的状态量度。

ACS 部件 22c 参照先前第 6 和第 7 状态的状态量度及其 2 个支路量度计算当前第 3 状态的状态量度。

ACS 部件 22d 参照先前第 6 和第 7 状态的状态量度及其 2 个支路量度计算当前第 131 状态的状态量度。

ACS 部件 22 重复上述操作直至它参照先前第 252、第 253、第 254 和第 255 状态的状态量度及其 8 个支路量度计算出当前第 126、第 254、第 127 和第 255 状态的状态量度。

这样的操作可一般化地描述为，在每一个周期内，ACS 部件 22 参照先前第 $2i$ 、第 $(2i+1)$ 、第 $2(i+1)$ 和第 $\{2(i+1)+1\}$ 状态的状态量度及其 8 个支路量度计算当前第 i 、第 $(N/2+i)$ 、第 $(i+1)$ 和第 $(N/2+i+1)$ 状态的状态量度。

这里，BM0 是从先前第 $2i$ 状态到当前第 i 状态的支路量度。

BM1 是从先前第 $2i$ 状态到当前第 $(N/2+i)$ 状态的支路量度。

BM2 是从先前第 $(2i+1)$ 状态到当前第 i 状态的支路量度。

BM3 是从先前第 $(2i+1)$ 状态到当前第 $(N/2+i)$ 状态的支路量度。

BM4 是从先前第 $2(i+1)$ 状态到当前第 $(i+1)$ 状态的支路量度。

BM5 是从先前第 $2(i+1)$ 状态到当前第 $(N/2+i+1)$ 状态的支路量度。

BM6 是从先前第 $\{2(i+1)+1\}$ 状态到当前第 $(i+1)$ 状态的支路量度。

BM7 是从先前第 $\{2(i+1)+1\}$ 状态到当前第 $(N/2+i+1)$ 状态的支路量度。

图 4 是说明图 2 中加-比-选部分操作的方案图。参照图 4 可以看出，如果输入一个单个码字，那么在 64 个周期中的每一个周期内，ACS 部件 22 参照先前第 $2i$ 、第 $(2i+1)$ 、第 $2(i+1)$ 和第 $\{2(i+1)+1\}$ 状态的状态量度及其支路量度 BM0-BM7 计算当前第 i 、第 $(N/2+i)$ 、第 $(i+1)$ 和第 $(N/2+i+1)$ 状态的状态量度。

ACS 部件 22a 参照先前第 $2i$ 和第 $(2i+1)$ 状态的状态量度及其 2 个支路

量度 BM_0 和 BM_2 计算当前第 i 状态的状态量度。

ACS 部件 22b 参照先前第 $2i$ 和第 $(2i+1)$ 状态的状态量度及其 2 个支路量度 BM_1 和 BM_3 计算当前第 $(N/2+i)$ 状态的状态量度。

ACS 部件 22c 参照先前第 $2(i+1)$ 和第 $\{2(i+1)+1\}$ 状态的状态量度及其 2 个支路量度 BM_4 和 BM_6 计算当前第 $(i+1)$ 状态的状态量度。

ACS 部件 22d 参照先前第 $2(i+1)$ 和第 $\{2(i+1)+1\}$ 状态的状态量度及其 2 个支路量度 BM_5 和 BM_7 计算当前第 $(N/2+i+1)$ 状态的状态量度。

图 5 是详细显示图 2 中加-比-选部分的方框图。图 5 所示的装置包括两个加法器 50 和 52、比较器 54 及选择器 56。

加法器 50 把施加到 BM_u 端口的支路量度和施加到 SM_u 端口的先前状态量度相加，并输出信号“A”。同时，加法器 52 把施加到 BM_l 端口的支路量度和施加到 SM_l 端口的先前状态量度相加，并输出信号“B”。比较器 54 将来自加法器 50 的信号“A”和来自加法器 52 的信号“B”进行比较，如果 $A \leq B$ 则输出低电平路径选择信号 PS，如果 $A > B$ 则输出高电平路径选择信号 PS。

选择器 56 根据比较器 54 输出的路径选择信号 PS，在来自加法器 50 的信号“A”和来自加法器 52 的信号“B”中选择其一，并输出当前状态量度 NSM。

ACS 部件 22a-22d 中的每一个部件对一个输入码字执行 64 次操作。第一个 ACS 部件 22a 和第二个 ACS 部件 22b 执行有关偶数当前状态量度的操作，第三个 ACS 部件 22c 和第四个 ACS 部件 22d 执行有关奇数当前状态量度的操作。

具体地说，第一个 ACS 部件 22a 计算偶数当前状态量度中最初第 0、第 2、第 4、...、第 124 和第 126 状态的状态量度。第二个 ACS 部件 22b 计算偶数当前状态量度中最后第 128、第 130、第 132、...、第 252 和第 254 状态的状态量度。第三个 ACS 部件 22c 计算奇数当前状态量度中最初第 1、第 3、第 5、...、第 125 和第 127 状态的状态量度。第四个 ACS 部件 22d 计算奇数当前状态量度中最后第 129、第 131、第 133、...、第 253 和第 255 状态的状态量度。

图 6 显示了输入到 ACS 部件 22 的输入先前状态量度 OSM 和支路量度 BM 与从 ACS 部件 22 输出的当前状态量度 NSM 之间的关系。输入到 ACS 部件

22a-22d 中每一个部件的先前状态量度和支路量度及从那里的输出如下。

从图 6 中可以看出, 先前第 0、第 4、第 8、...、第 120、第 124、第 128、第 132、第 136、...、第 248 和第 252 状态的先前状态量度按操作周期的进行顺序被施加到 ACS 部件 22a 的 SMu 端口。先前第 1、第 5、第 9、...、第 121、第 125、第 129、第 133、第 137、...、第 249 和第 253 状态的先前状态量度被施加到 ACS 部件 22a 的 SM1 端口。并且, 在第 0、第 4、第 8、...、第 248 和第 252 状态被转移到第 0、第 2、第 4、...、第 124 和第 126 状态时分别向 BMu 端口施加支路量度。在第 1、第 5、第 9、...、第 249 和第 253 状态被转移到第 0、第 2、第 4、...、第 124 和第 126 状态时分别向 BM1 端口施加支路量度。

先前第 0、第 4、第 8、...、第 120、第 124、第 128、第 132、第 136、...、第 248 和第 252 状态的先前状态量度按操作周期的进行顺序被施加到 ACS 部件 22b 的 SMu 端口。先前第 1、第 5、第 9、...、第 121、第 125、第 129、第 133、第 137、...、第 249 和第 253 状态的先前状态量度被施加到 ACS 部件 22b 的 SM1 端口。并且, 在第 0、第 4、第 8、...、第 248 和第 252 状态被转移到第 128、第 130、第 132、...、第 252 和第 254 状态时分别向 BMu 端口施加支路量度。在第 1、第 5、第 9、...、第 249 和第 253 状态被转移到第 128、第 130、第 132、...、第 252 和第 254 状态时分别向 BM1 端口施加支路量度。

先前第 2、第 6、第 10、...、第 122、第 126、第 130、第 134、第 138、...、第 250 和第 254 状态的先前状态量度按操作周期的进行顺序被施加到 ACS 部件 22c 的 SMu 端口。先前第 3、第 7、第 11、...、第 251 和第 255 状态的先前状态量度被施加到 ACS 部件 22c 的 SM1 端口。并且, 在第 2、第 6、第 10、...、第 250 和第 254 状态被转移到第 1、第 3、第 5、...、第 125 和第 127 状态时分别向 BMu 端口施加支路量度。在第 3、第 7、第 11、...、第 251 和第 255 状态被转移到第 1、第 3、第 5、...、第 125 和第 127 状态时分别向 BM1 端口施加支路量度。

先前第 2、第 6、第 10、...、第 122、第 126、第 130、第 134、第 138、...、第 250 和第 254 状态的先前状态量度按操作周期的进行顺序被施加到 ACS 部件 22d 的 SMu 端口。先前第 3、第 7、第 11、...、第 123、第 127、第 131、第 135、第 139、...、第 251 和第 255 状态的先前状态量度被施加到 ACS 部

件 22d 的 SM1 端口。并且, 在第 2、第 6、第 10、...、第 250 和第 254 状态被转移到第 129、第 131、第 133、...、第 253 和第 255 状态时分别向 BMu 端口施加支路量度。在第 3、第 7、第 11、...、第 251 和第 255 状态被转移到第 129、第 131、第 133、...、第 253 和第 255 状态时分别向 BM1 端口施加支路量度。

ACS 部件 22a 按操作周期的进行顺序分别输出第 0、第 2、第 4、第 6、...、第 124 和第 126 状态的当前状态量度。ACS 部件 22b 分别输出第 128、第 130、第 132、第 134、...、第 252 和第 254 状态的当前状态量度。ACS 部件 22c 分别输出第 1、第 3、第 5、第 7、...、第 125 和第 127 状态的当前状态量度。ACS 部件 22d 分别输出第 129、第 131、第 133、第 135、...、第 253 和第 255 状态的当前状态量度。

为了使 ACS 部件 22 正常地操作, 在每一个周期都必须提供指定的先前状态量度。这由图 2 中的状态量度存储器 28 来完成。图 2 中的状态量度存储器 28 包括两个存储器 28a 和 28b、多路复用器 28c 及控制信号和地址发生器 28d。

每当输入一个单个码字时, 这两个存储器 28a 和 28b 就交替地重复读/写操作。具体说就是, 如果输入一个单个码字, 那么存储在存储器 28a 中的状态量度就被读出且读出的结果作为先前状态量度施加到 ACS 部件 22。ACS 部件 22 新产生的当前状态量度被存储到另一存储器 28b 中。

当输入下一个码字时, 存储在存储器 28b 中的状态量度就被读出且读出的结果作为先前状态量度施加到 ACS 部件 22。ACS 部件 22 新产生的当前状态量度被存储到另一存储器 28a 中。

如上所述, 因为每当输入一个码字时两个存储器交替地执行读/写操作, 所以读和写的操作能够被同时执行。这样, 译码操作就能够快速而有效地进行。

首先, 将描述存储器 28a 和 28b 的读操作。如图 7 所示, 存储器 28a 和 28b 包括 8 个存储体 SMM-A-SMM-H。存储体 SMM-A 存储第 0、第 4、第 8、...、第 120 和第 124 状态的状态量度。存储体 SMM-B 存储第 1、第 5、第 9、...、第 121 和第 125 状态的状态量度。存储体 SMM-C 存储第 128、第 132、第 136、...、第 248 和第 252 状态的状态量度。存储体 SMM-D 存储第 129、第 133、第 137、...、第 249 和第 253 状态的状态量度。存储体 SMM-E 存储第 2、

第 6、第 10、...、第 122 和第 126 状态的状态量度。存储体 SMM-F 存储第 3、第 7、第 11、...、第 123 和第 127 状态的状态量度。存储体 SMM-G 存储第 130、第 134、第 138、...、第 250 和第 254 状态的状态量度。存储体 SMM-H 存储第 131、第 135、第 139、...、第 251 和第 255 状态的状态量度。

- 5 在 64 个周期的前 32 个周期期间，存储在存储体 SMM-A 和 SMM-B 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-E 和 SMM-F 中的状态量度被施加到 ACS 部件 22c 和 22d。

 在后 32 个周期中，存储在存储体 SMM-C 和 SMM-D 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-G 和 SMM-H 中的状态量度被施加到 ACS 部件 22c 和 22d。

 控制信号和地址发生器 28d 向各 ACS 部件施加读地址，以便在前 32 个周期期间，存储在存储体 SMM-A 和 SMM-B 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-E 和 SMM-F 中的状态量度被施加到 ACS 部件 22c 和 22d。

- 15 然后，控制信号和地址发生器 28d 向各 ACS 部件施加读地址，以便在后 32 个周期期间，存储在存储体 SMM-C 和 SMM-D 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-G 和 SMM-H 中的状态量度被施加到 ACS 部件 22c 和 22d。

 控制信号和地址发生器 28d 向多路复用器 28c 施加一个控制信号，以便每当输入一个码字时，从其中一个存储器中读出的状态量度被施加到 ACS 部件 22。

- 接下来，将描述存储器的写操作。从图 6 中可以看出，ACS 部件 22a 按第 0、第 2、第 4、第 6、...、第 124 和第 126 状态的顺序执行输出操作，并按 SMM-A、SMM-E、SMM-A、SMM-E、...的顺序重复该操作。ACS 部件 22b 按第 128、第 130、第 132、第 134、...、第 252 和第 254 状态的顺序执行输出操作，并按 SMM-C、SMM-G、SMM-C、SMM-G、...的顺序重复该操作。ACS 部件 22c 按第 1、第 3、第 5、第 7、...、第 125 和第 127 状态的顺序执行输出操作，并按 SMM-B、SMM-F、SMM-B、SMM-F、...的顺序重复该操作。ACS 部件 22d 按第 129、第 131、第 133、第 135、...、第 253 和第 255 状态的顺序执行输出操作，并按 SMM-D、SMM-H、SMM-D、SMM-H、...的顺序重复该操作。

控制信号和地址发生器 28d 产生地址信号，以便在奇数周期期间，新的状态量度被存储到存储体 SMM-A、SMM-C、SMM-B 和 SMM-D 中，在偶数周期期间，新的状态量度被存储到存储体 SMM-E、SMM-G、SMM-F 和 SMM-H 中。

在图 2 的装置中，将先前状态量度和新产生的当前状态量度存储在各存储器中，并在每当输入一个码字时交替执行读和写的操作，用这种方法可以提高译码速度。但是，过多的存储容量被消耗于存储状态量度。而且，因为状态量度存储器的存储容量达到了状态数 N 的两倍，所以当状态数变得较大时这个问题就更突出了。

图 8 是显示一种维特比译码器的方框图，该译码器含有一个本发明的状态量度存储器。在图 8 的装置中，与图 2 中相同的部分分配相同的标号，这部分将不再做详细描述。图 9 中所示的状态量度存储器 38 的最突出的特点就是使用双端口存储器以减少存储容量。我们知道，双端口存储器能够在单个时钟脉冲中对相同的存储单元执行读和写操作，这一点不同于传统 RAM。就是说，指定存储单元的数据在时钟上升沿被读出并通过读数据总线输出，加载于写数据总线上的数据在时钟下降沿被写入指定存储单元。如上所述，因为能够在同一存储单元中执行读和写操作，所以就减少状态量度存储器的存储容量。

然而，如果不加修改地使用图 7 中所示的存储体结构，就不能执行正常的读和写操作。其原因如下：如图 3A 和 3B 所示，第 128-第 191 状态的状态量度产生于 64 个周期的前 32 个周期。当产生的状态量度被记录到存储第 128-191 状态的状态量度的存储单元时，它们就不能被用于后 32 个周期。具体说就是，因为前 32 个周期中产生的状态量度是新状态的状态量度，而 ACS 部件 22 需要的状态量度是先前状态的状态量度，所以，当前 32 个周期中产生的第 128-191 状态的状态量度被记录到存储单元时，同单元内的先前第 128-191 状态的状态量度就不能被用于后 32 个周期。这样就产生了问题。

在本发明中，为解决此问题，使用了双端口存储器，其内部安装了一个用于前半状态的存储体和两个用于后半状态的存储体。用于前半状态的存储体能够同时执行读和写操作，用于后半状态的两个存储体能够交替执行读和写操作。就是说，在一个存储体执行读操作的期间，另一个存储体执行写操作，每当输入一个码字时，就交替执行上述操作。

图 9 是显示图 8 中状态量度存储器的详细方框图。在图 9 的装置中，标号 38a 表示 ACS 计数器，标号 38b 表示写地址发生器，标号 38c 表示读地址发生器，标号 38d 表示双端口存储器，标号 38e 表示写交叉部件(write cross unit)，标号 38f 表示读交叉部件(read cross unit)。

5 ACS 计数器 38a 按 64 个周期的顺序依次地执行计数操作。写地址发生器 38b 根据 ACS 计数器 38a 的计数结果产生存储器 38d 的写地址。读地址发生器 38c 根据 ACS 计数器 38a 的计数结果产生存储器 38d 的读地址。

写交叉部件 38e 按照 ACS 部件 22 的结构改变写入存储器 38d 的状态量度的顺序。读交叉部件 38f 根据 ACS 部件 22 的结构改变读自存储器 38d 的状态量度的顺序。

首先，描述存储器 38d 的读操作如下。如图 9 所示，存储器 38d 由 12 个存储体 SMM-A 至 SMM-L 组成。存储体 SMM-A 存储第 0、第 4、第 8、...、第 120 和第 124 状态的状态量度。存储体 SMM-B 存储第 1、第 5、第 9、...、第 121 和第 125 状态的状态量度。存储体 SMM-E 存储第 2、第 6、第 10、...、第 122 和第 126 状态的状态量度。存储体 SMM-F 存储第 3、第 7、第 11、...、第 123 和第 127 状态的状态量度。

存储体 SMM-C 和 SMM-I 存储第 128、第 132、第 136、...、第 248 和第 252 状态的状态量度。存储体 SMM-D 和 SMM-J 存储第 129、第 133、第 137、...、第 249 和第 253 状态的状态量度。存储体 SMM-G 和 SMM-K 存储第 130、第 134、第 138、...、第 250 和第 254 状态的状态量度。存储体 SMM-H 和 SMM-L 存储第 131、第 135、第 139、...、第 251 和第 255 状态的状态量度。

在 64 个周期的前 32 个周期期间，存储在存储体 SMM-A 和 SMM-B 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-E 和 SMM-F 中的状态量度被施加到 ACS 部件 22c 和 22d。

25 在后 32 个周期期间，存储在存储体 SMM-C 和 SMM-D 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-G 和 SMM-H 中的状态量度被施加到 ACS 部件 22c 和 22d。

在 64 个周期的前 32 个周期期间，读地址发生器 38c 向各 ACS 部件施加读地址，以使存储在存储体 SMM-A 和 SMM-B 中的状态量度被施加到 ACS 部件 22a 和 22b，存储在存储体 SMM-E 和 SMM-F 中的状态量度被施加到 ACS 部件 22c 和 22d。

然后,在后 32 个周期期间,读地址发生器 38c 向各 ACS 部件施加读地址,以使存储在存储体 SMM-C 和 SMM-D 中的状态量度被施加到 ACS 部件 22a 和 22b,存储在存储体 SMM-G 和 SMM-H 中的状态量度被施加到 ACS 部件 22c 和 22d。

- 5 当输入下一个码字时,在 64 个周期的前 32 个周期期间,读地址发生器 38c 向各 ACS 部件施加读地址,以使存储在存储体 SMM-A 和 SMM-B 中的状态量度被施加到 ACS 部件 22a 和 22b,存储在存储体 SMM-E 和 SMM-F 中的状态量度被施加到 ACS 部件 22c 和 22d。

- 10 然后,在后 32 个周期期间,读地址发生器 38c 向各 ACS 部件施加读地址,以使存储在存储体 SMM-I 和 SMM-J 中的状态量度被施加到 ACS 部件 22a 和 22b,存储在存储体 SMM-K 和 SMM-L 中的状态量度被施加到 ACS 部件 22c 和 22d。

- 15 其次,描述存储器的写操作如下。如果输入某一个码字,那么写地址发生器 38b 就产生存储体 SMM-A、SMM-B、SMM-E、SMM-F、SMM-I、SMM-J、SMM-K 和 SMM-L 的写地址。当输入下一个码字时,写地址发生器 38b 产生存储体 SMM-A、SMM-B、SMM-E、SMM-F、SMM-C、SMM-D、SMM-G 和 SMM-H 的写地址。

- 20 因此,每当输入每一个码字时,存储体 SMM-A、SMM-B、SMM-E、SMM-F 都被使用。然而,存储体 SMM-C、SMM-D、SMM-G 和 SMM-H,与存储体 SMM-I、SMM-J、SMM-K 和 SMM-L 交替地执行读和写的操作。

- 25 如上所述,我们已就使用 4 个 ACS 部件的情况描述了本发明的实施例。值得注意的是,甚至当使用 2^n (其中 n 为 1, 2, ...) 个 ACS 部件时,本发明也可以不加任何修改地应用。在这种情况下,每一个存储器都被分成与 ACS 部件个数相同的存储体。因此,应该理解,本发明保留所附权利要求的范围。

如上所述,本发明的装置的效果是,通过使用双端口存储器而减少用于存储状态量度的存储容量。

- 30 而且,本发明的装置将存储结构分为一个用于前半状态的存储体和两个用于后半状态的存储体,它们包含在一个单个的存储部件中。让用于前半状态的一个存储体同时执行读和写操作,并且让两个存储体按码字交替执行读和写操作,这样可以防止误操作。存储器的个数等于 ACS 部

件的个数。

在传统的现有技术中，为了存储状态量度，需要状态数信息量两倍的存储容量，并且将存储器分成 ACS 部件个数 4 倍的多个存储器。当使用本发明的装置时，存储容量只是状态数的 1.5 倍，存储器被分为与 ACS 部件
5 个数一样。因此，就可以大大地降低维特比译码器的制造成本。

图 1

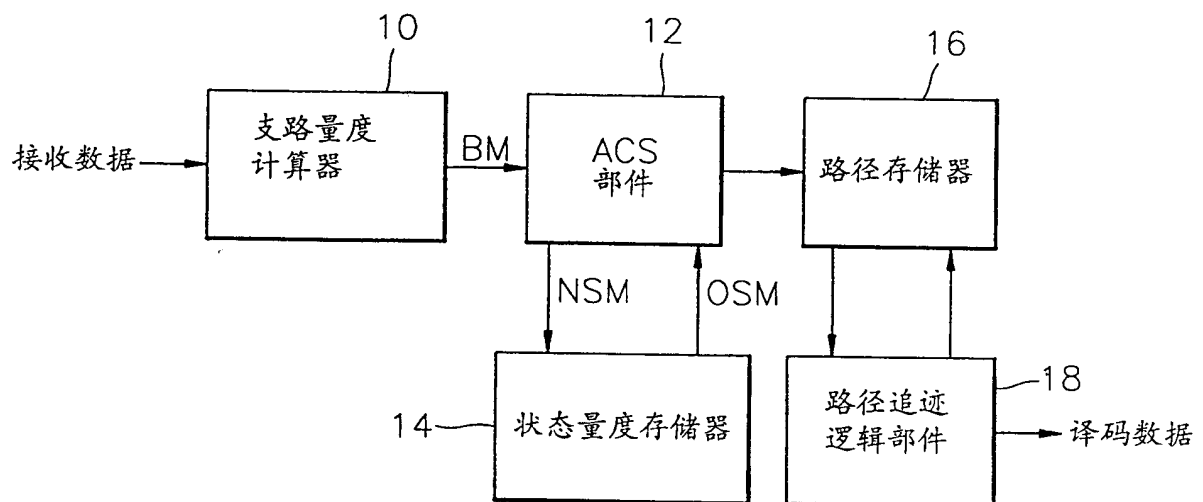


图 2

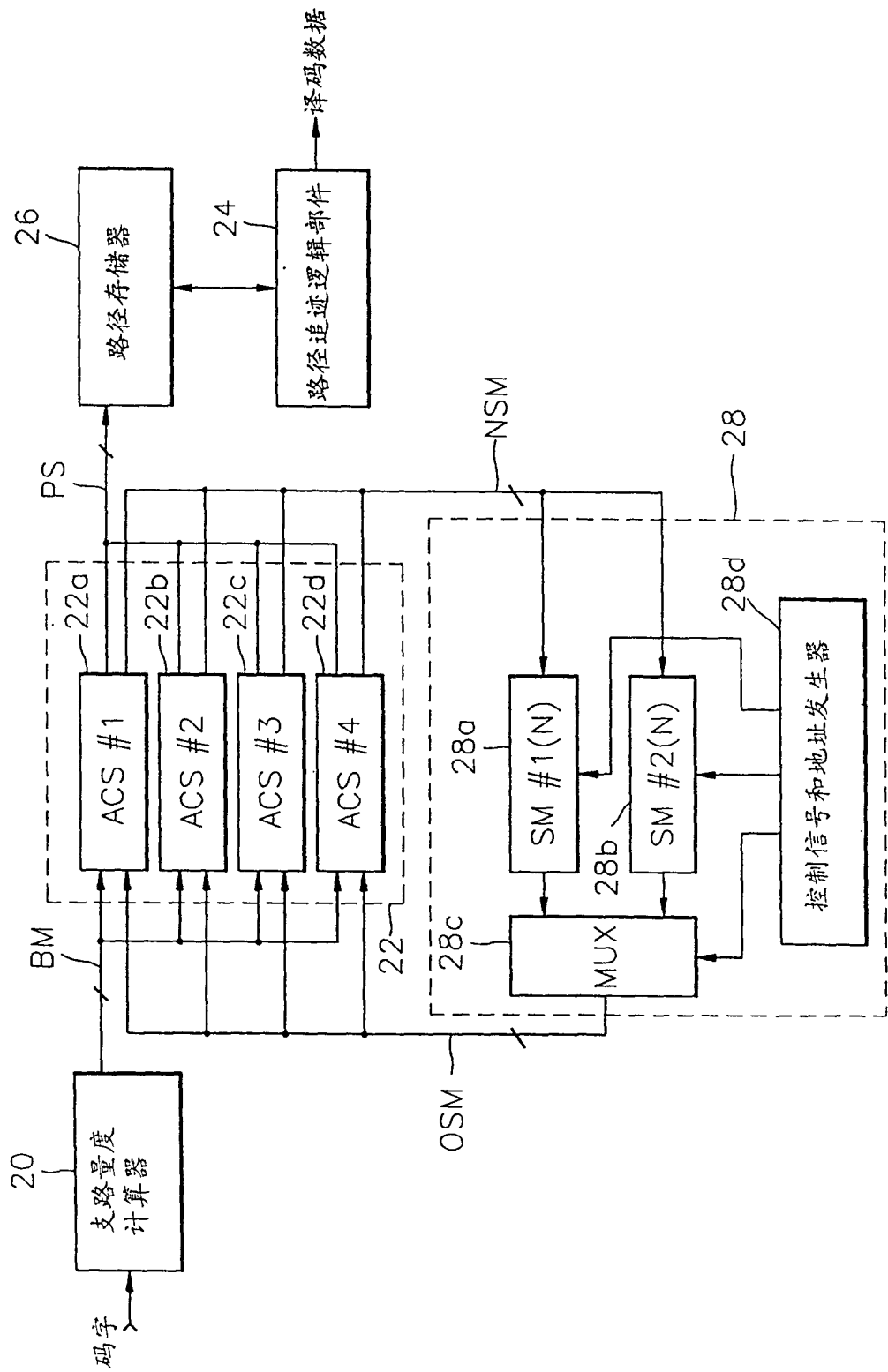


图 3A

周期号		周期号		周期号		周期号	
第1	0  0	第9	32  16	第17	64  32	第25	96  48
	1  128		33  144		65  160		97  176
	2  1		34  17		66  33		98  49
	3  129		35  145		67  161		99  177
第2	4  2	第10	36  18	第18	68  34	第26	100  50
	5  130		37  146		69  162		101  178
	6  3		38  19		70  35		102  51
	7  131		39  147		71  163		103  179
第3	8  4	第11	40  20	第19	72  36	第27	104  52
	9  132		41  148		73  164		105  180
	10  5		42  21		74  37		106  53
	11  133		43  149		75  165		107  181
第4	12  6	第12	44  22	第20	76  38	第28	108  54
	13  134		45  150		77  166		109  182
	14  7		46  23		78  39		110  55
	15  135		47  151		79  167		111  183
第5	16  8	第13	48  24	第21	80  40	第29	112  56
	17  136		49  152		81  168		113  184
	18  9		50  25		82  41		114  57
	19  137		51  153		83  169		115  185
第6	20  10	第14	52  26	第22	84  42	第30	116  58
	21  138		53  154		85  170		117  186
	22  11		54  27		86  43		118  59
	23  139		55  155		87  171		119  187
第7	24  12	第15	56  28	第23	88  44	第31	120  60
	25  140		57  156		89  172		121  188
	26  13		58  29		90  45		122  61
	27  141		59  157		91  173		123  189
第8	28  14	第16	60  30	第24	92  46	第32	124  62
	29  142		61  158		93  174		125  190
	30  15		62  31		94  47		126  63
	31  143		63  159		95  175		127  191

图 3B

周期号		周期号		周期号		周期号	
第33	128  64	第41	160  80	第49	192  96	第57	224  112
	129  192		161  208		193  224		225  240
	130  65		162  81		194  97		226  113
	131  193		163  209		195  225		227  241
第34	132  66	第42	164  82	第50	196  98	第58	228  114
	133  194		165  210		197  226		229  242
	134  67		166  83		198  99		230  115
	135  195		167  211		199  227		231  243
第35	136  68	第43	168  84	第51	200  100	第59	232  116
	137  196		169  212		201  228		233  244
	138  69		170  85		202  101		234  117
	139  197		171  213		203  229		235  245
第36	140  70	第44	172  86	第52	204  102	第60	236  118
	141  198		173  214		205  230		237  246
	142  71		174  87		206  103		238  119
	143  199		175  215		207  231		239  247
第37	144  72	第45	176  88	第53	208  104	第61	240  120
	145  200		177  216		209  232		241  248
	146  73		178  89		210  105		242  121
	147  201		179  217		211  233		243  249
第38	148  74	第46	180  90	第54	212  106	第62	244  122
	149  202		181  218		213  234		245  250
	150  75		182  91		214  107		246  123
	151  203		183  219		215  235		247  251
第39	152  76	第47	184  92	第55	216  108	第63	248  124
	153  204		185  220		217  236		249  252
	154  77		186  93		218  109		250  125
	155  205		187  221		219  237		251  253
第40	156  78	第48	188  94	第56	220  110	第64	252  126
	157  206		189  222		221  238		253  254
	158  79		190  95		222  111		254  127
	159  207		191  223		223  239		255  255

图 4

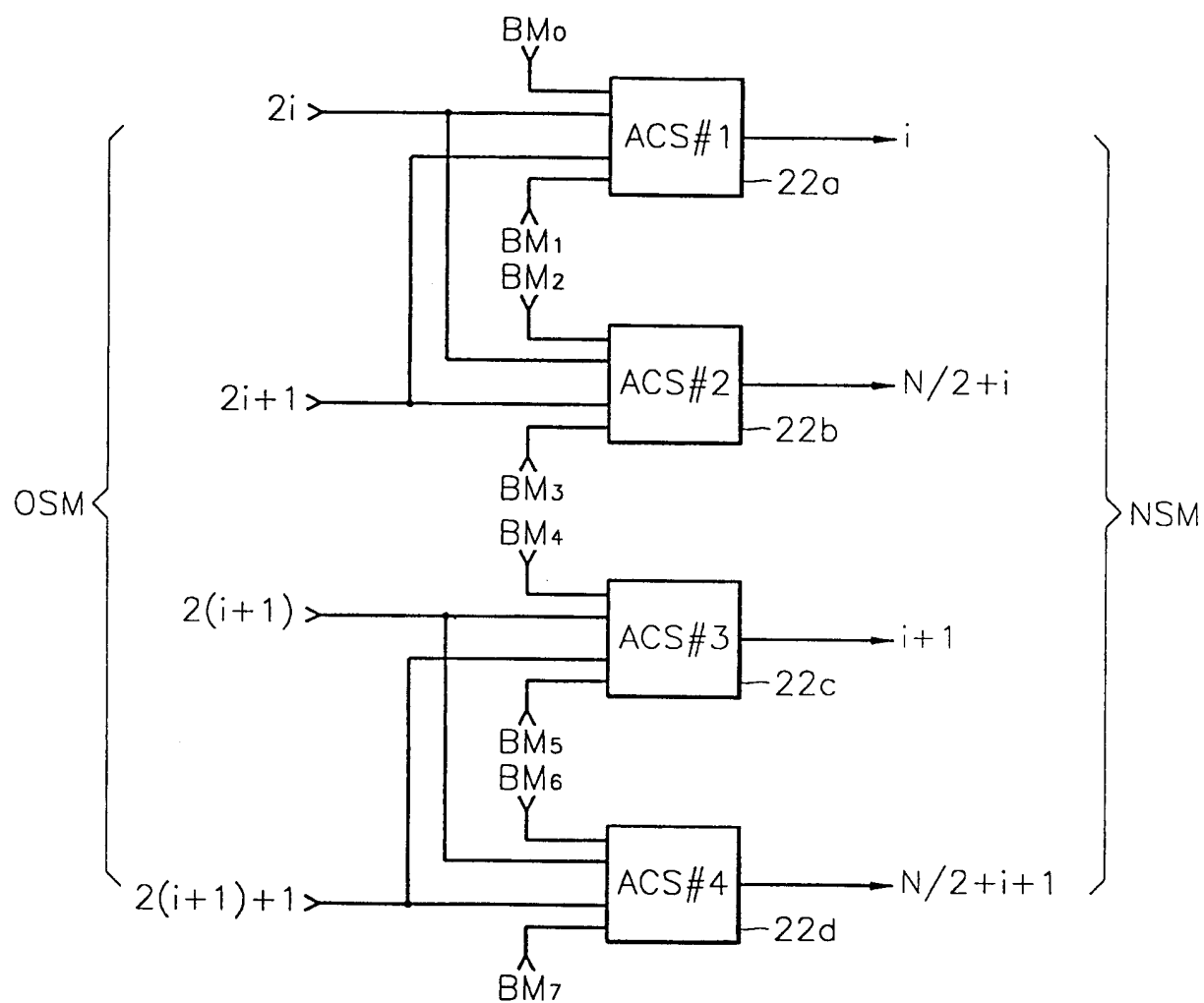


图 5

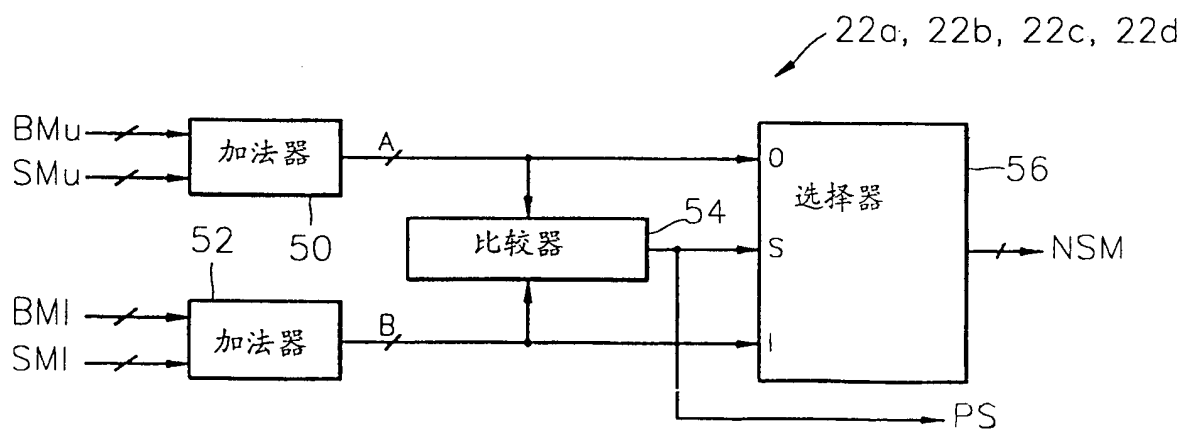


图 6

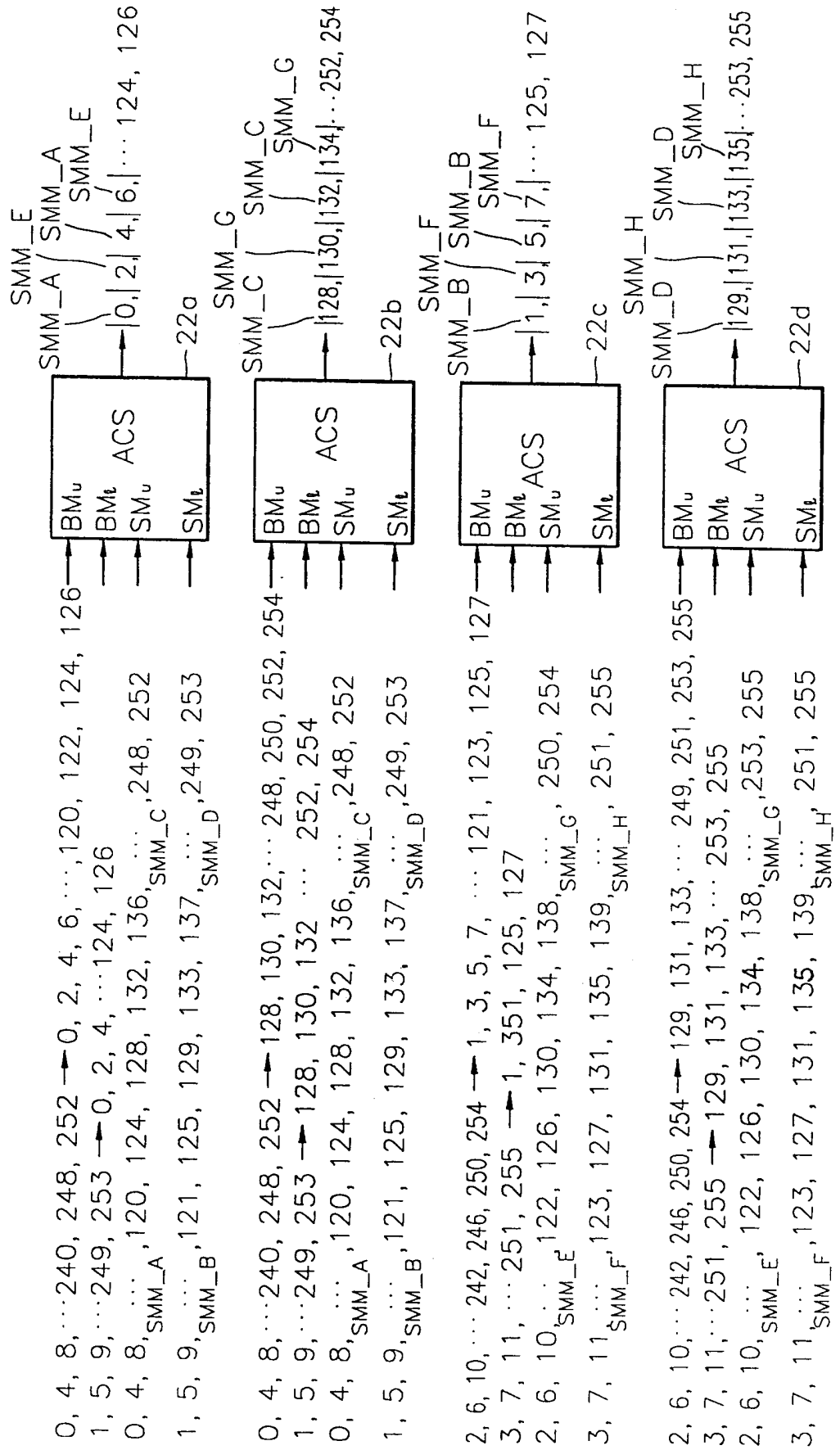


图 7

28a, 28b

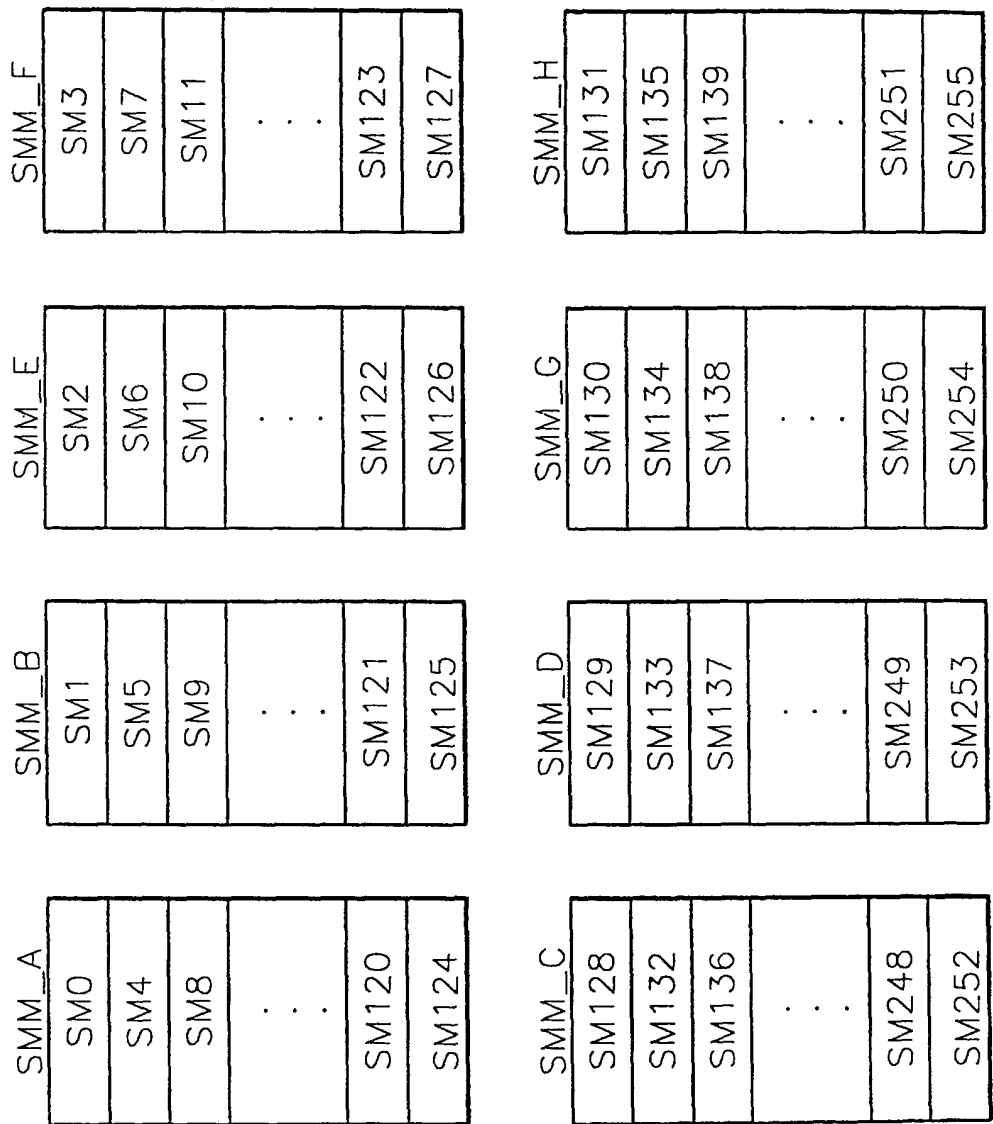


图 8

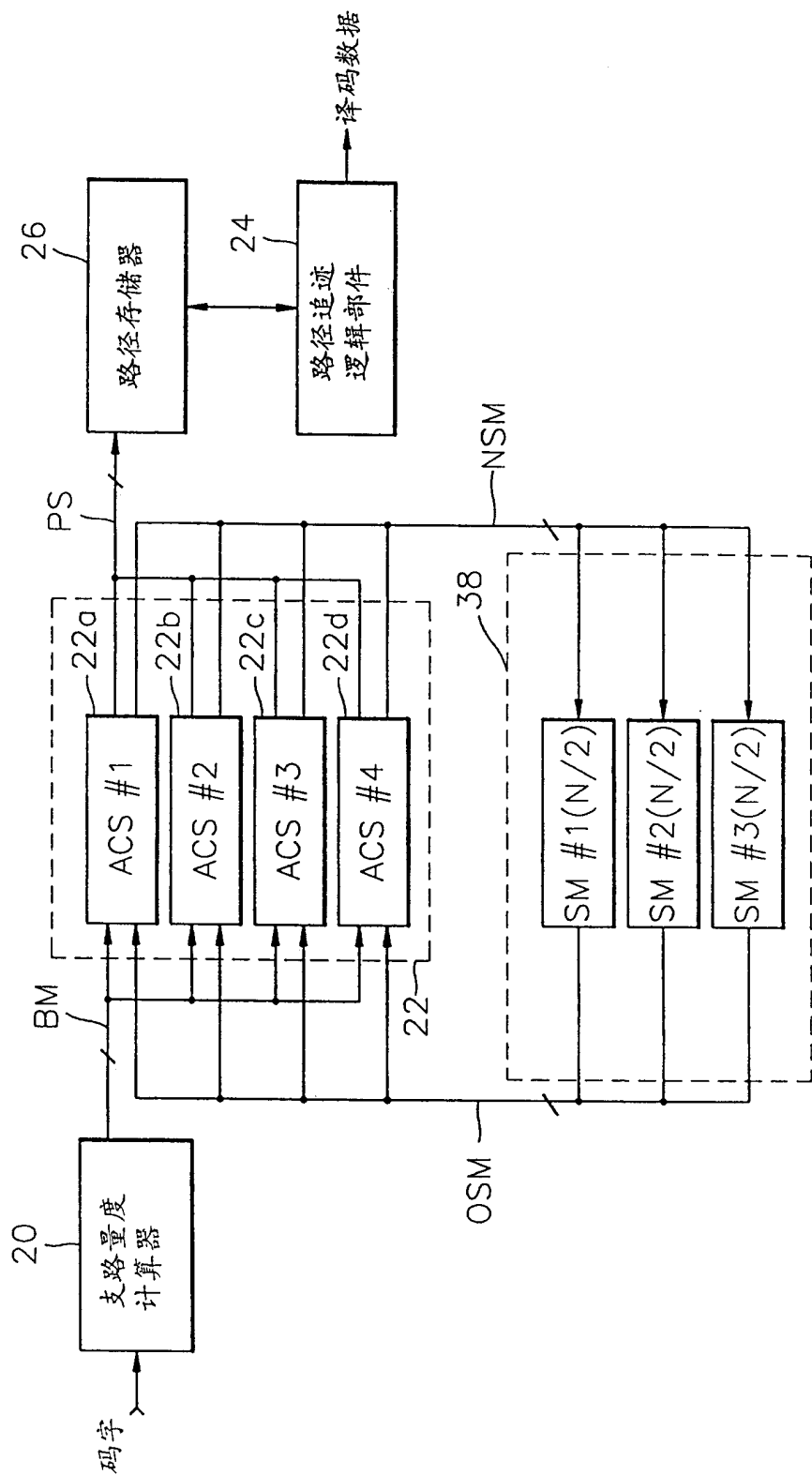


图 9

