

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2008 年 8 月 28 日 (28.08.2008)

PCT

(10) 国際公開番号
WO 2008/102502 A1

- (51) 国際特許分類:
H01P 1/203 (2006.01) H01P 1/205 (2006.01)
- (21) 国際出願番号: PCT/JP2007/073701
- (22) 国際出願日: 2007 年 12 月 7 日 (07.12.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2007-040543 2007 年 2 月 21 日 (21.02.2007) JP
- (71) 出願人 (米国を除く全ての指定国について): 株式会社村田製作所 (MURATA MANUFACTURING CO., LTD.) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 本田修祥 (HONDA, Nobuyoshi) [JP/JP]; 〒6178555 京都府長岡

京市東神足 1 丁目 10 番 1 号 株式会社 村田製作所内 Kyoto (JP). 辻口達也 (TSUJIGUCHI, Tatsuya) [JP/JP]; 〒6178555 京都府長岡京市東神足 1 丁目 10 番 1 号 株式会社 村田製作所内 Kyoto (JP).

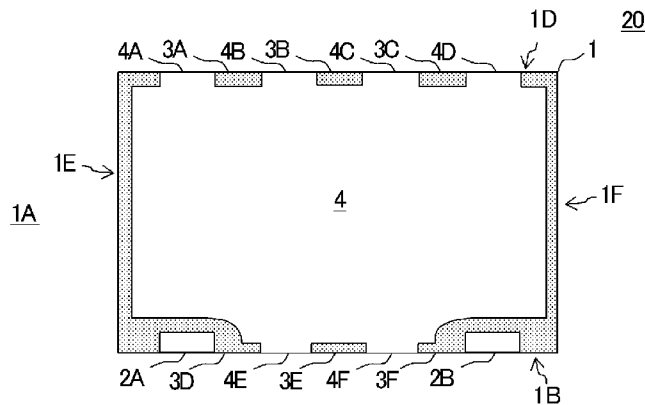
- (74) 代理人: 小森久夫 (KOMORI, Hisao); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

/ 続葉有 /

(54) Title: MICROSTRIP LINE FILTER

(54) 発明の名称: マイクロストリップラインフィルタ

[図6]



(57) Abstract: Provided is a small-sized microstrip line filter, which suppresses the deterioration of a conforming percentage due to a bleeding or a cutting error, thereby to reduce the dispersion of frequency characteristics. Principal plane lines (6A - 6D) of the microstrip line filter are formed on the surface principal face of a dielectric substrate (1). Side face lines (5A - 5D, and 9A - 9D) are formed on the side faces. A ground electrode (4) and input/output electrodes (2A and 2B) are formed on the back principal face. Electrode extending portions (4A - 4F) disposed at the end side of a back principal face (1A) are formed in the ground electrode (4), such that the electrode extending portions (4A - 4F) and the input/output electrodes (2A and 2B) are spaced from each other by electrode non-forming portions (3A - 3F). The back principal face (1A) is enclosed by the electrode extending portions (4A - 4F), the electrode non-forming portions (3A - 3F) and the input/output electrodes (2A and 2B), and the principal plane lines (6A - 6D) are made conductive to the electrode extending portions (4A - 4F) through the side face lines (5A - 5D).

(57) 要約: 滲みやカット誤差による良品率の悪化を抑制し、周波数特性のばらつきを小さくした小型のマイクロストリップラインフィルタの提供を図る。マイクロストリップラインフィルタの主面線路 (6A ~ 6D) は誘電体基板 (1) の表主面に形成される。

/ 続葉有 /



WO 2008/102502 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

側面線路 (5A~5D, 9A~9D) は側面に形成される。接地電極 (4) と入出力電極 (2A, 2B) とは裏主面に形成される。接地電極 (4) に、裏主面 (1A) の端辺に設けた複数の電極延長部 (4A~4F) を形成し、電極延長部 (4A~4F)、入出力電極 (2A, 2B) それぞれの間は、電極非形成部 (3A~3F) により離間する。裏主面 (1A) の外周を、電極延長部 (4A~4F) と電極非形成部 (3A~3F) と入出力電極 (2A, 2B) とにより囲み、主面線路 (6A~6D) を側面線路 (5A~5D) を介して電極延長部 (4A~4F) に導通させる。

明 細 書

マイクロストリップラインフィルタ

技術分野

[0001] この発明は、誘電体基板にストリップライン型の共振器を設けたマイクロストリップラインフィルタに関する。

背景技術

[0002] ストリップライン型の共振器を誘電体基板に設けたマイクロストリップラインフィルタが様々な分野で利用されている(例えば、特許文献1参照。)。

[0003] ここで従来のマイクロストリップラインフィルタの構成例を説明する。図1は特許文献1を参考にした従来のマイクロストリップラインフィルタの底面図である。また、図2は同マイクロストリップラインフィルタの上面斜視図である。

[0004] このマイクロストリップラインフィルタ100は、第1の誘電体基板101に、図示していない第2の誘電体基板を積層してなる。誘電体基板101の裏主面101Aには接地電極104Aと入出力電極102A, 102B, 103A, 103Bとが形成される。接地電極104Aは、入出力電極102A, 102B, 103A, 103Bを除く裏主面101A全面に形成される。誘電体基板101の表主面101Bには、主面線路106A～106Cと引出電極105A, 105Bとが形成される。誘電体基板101の側面101Cには側面接地電極104Bが形成される。誘電体基板101の側面101Dには、側面線路107が形成される。

[0005] 主面線路106Aは1段目の共振器を構成し、主面線路106Bは2段目の共振器を構成し、主面線路106Cは3段目の共振器を構成する。各共振器は、一端開放、一端短絡の1/4波長共振器である。2段目の共振器は、1段目と3段目の共振器とインターデジタル結合する。1段目と3段目の共振器は、それぞれ引出電極105A, 105Bを介して入出力電極に接続され、入出力電極とタップ結合する。

[0006] また、従来のマイクロストリップラインフィルタの他の構成例を説明する。図3は従来のマイクロストリップラインフィルタの斜視図である。

[0007] このマイクロストリップラインフィルタ200では、誘電体基板201の裏主面201Aに接地電極204および入出力電極202、203が形成される。図示しない表主面201Bに

は、主面線路が図左右方向に延設される。側面201Fおよび側面201Dには側面線路207が形成され、側面201Cおよび側面201Eには何の電極も形成されない。

[0008] 側面201Dに形成された側面線路207は各々主面線路に接続され、いずれも主面線路および接地電極204と共振器を構成する。各共振器は、一端開放、一端短絡の1/4波長共振器である。最初段の共振器と最終段の共振器は、側面201Fに設けられた側面線路(不図示)を介して入出力電極202、203に接続され、入出力電極202、203とタップ結合する。

[0009] 以上のような各従来構成のマイクロストリップラインフィルタでは、誘電体基板を小型化するために、各主面線路の特性インピーダンスが小さくなるように、接地電極が可能な限り大きく形成される。

特許文献1:特許第3018214号公報

発明の開示

発明が解決しようとする課題

[0010] 無線技術の高周波化により、マイクロストリップラインフィルタの小型化が進んでいる。それに伴って、マイクロストリップラインフィルタの製造における良品率の低下が問題となってきている。

[0011] マイクロストリップラインの製造工程では、複数の誘電体基板を切り出す前の母基板に対して両主面の電極パターンの印刷が行われる。印刷後には母基板から各誘電体基板がダイシングにより切り出される。切り出された誘電体基板は、側面に電極パターンが印刷される。

[0012] 母基板からの各誘電体基板の切り出し時、ダイシング位置の周囲には、電極パターンの剥がれやバリなどの欠陥が生じることがある。この欠陥はマイクロストリップラインフィルタの周波数特性に影響を及ぼし、製品ごとのばらつきの要因となる。特にサイズを小型化した製品では個々の欠陥による影響が大きく、要求性能を満足できない製品が多くなり、信頼性に悪影響を及ぼす。

[0013] また、母基板の裏主面への電極パターンの印刷では、スクリーンマスクやメタルマスクなどが用いられ電極ペーストが母基板の裏主面に一度に塗布される。一般に電極ペーストは高粘性流体であり、印刷時に電極ペーストの自重や表面張力によって電

極パターンが印刷形状から変形し、滲みが生じてしまい問題となる。

[0014] ここで、上記滲みによる問題を、図3に示した従来構成を例に説明する。

[0015] マイクロストリップラインフィルタ200の場合、裏主面201Aへの電極パターンの印刷は、誘電体基板201を切り出す前の母基板に対して行われる。

[0016] 図4に示す母基板210は、目的形状と略同形状に電極パターンが印刷された例である。目的形状と略同形状に電極パターンが印刷されると、カット線Xで母基板210をカットすれば、切り出された各マイクロストリップラインフィルタ200A, 200Bはそれぞれ、適切な裏主面の電極パターンとなる。切り出し後のマイクロストリップラインフィルタ200Aでは、接地電極204Aと入出力電極202A, 203Aとは互いに独立した電極パターンとなる。

[0017] 一方、図5に示す母基板220は、電極ペーストが滲んで印刷された例である。このように電極パターンが滲むと、滲み誤差の分だけ電極がカット線Xから突出する。このような状態で母基板220をカットした場合は、切り出し後のマイクロストリップラインフィルタ200Aでは、接地電極204Aと入出力電極202A, 203Aとの間が滲み部分によって導通してしまう。このように、滲みによって、独立すべき電極パターンの間に不要な導通が生じることがあり、フィルタ特性が得られなくなることが問題となる。

[0018] また、母基板からのマイクロストリップラインフィルタの切り出し時に、カット位置がずれてしまうカット誤差が生じて、やはり、接地電極204Aと入出力電極202A, 203Aとの間が導通してしまうことがあり、やはりフィルタ特性が得られなくなることが問題となる。

[0019] 本発明は、以上の問題に鑑みて、滲みやカット誤差による良品率の悪化を抑制し、周波数特性のばらつきを小さくした小型のマイクロストリップラインフィルタを提供することを目的とする。

課題を解決するための手段

[0020] この発明のマイクロストリップラインフィルタは、主面線路と側面線路と接地電極と入出力電極とを備える。主面線路は誘電体基板の表主面に設ける。側面線路は誘電体基板の側面に設ける。接地電極は誘電体基板の裏主面に設ける。入出力電極は誘電体基板の裏主面に接地電極から離間して設ける。

- [0021] 接地電極は、裏主面の端辺に設けた複数の電極延長部と裏主面の中央に設けた電極中央部とを備える。複数の電極延長部は、電極非形成部により互いに離間する。電極中央部は電極延長部と電極非形成部と入出力電極とにより外周を囲まれる。主面線路を側面線路を介して接地電極の電極延長部に導通させ、共振器を構成する。
- [0022] 接地電極の電極中央部を裏主面の端辺から離間しているので、製造工程における母基板のカット位置に、電極中央部が配置されることが無くなり、このカット位置には電極非形成部または電極延長部あるいは入出力電極が配置される。したがって、誘電体基板の切り出し時に生じる電極パターンの剥がれやバリの発生範囲を狭められる。また、誘電体基板の切り出し時にカット誤差や滲み誤差が生じて、それらの誤差を電極延長部によって吸収し、不要な導通を無くすることができる。
- [0023] 第1の電極延長部を、共振器を構成する主面線路の接地端に誘電体基板を介して対向させ、第2の電極延長部を、共振器を構成する主面線路の開放端に誘電体基板を介して対向させてもよい。このようにすれば、主面線路の接地端から開放端までの全体が、接地電極に対向し、この主面線路の特性インピーダンスが小さくなる。このため、隣接する主面線路の間隔を小さくできる。よって、マイクロストリップラインフィルタの小型化に貢献できる。また、接地電極の形状バラツキを起因とする製品間の周波数特性のバラツキ、特に特性インピーダンスのバラツキが低減できる。
- [0024] また、第1の電極延長部と第2の電極延長部とを、裏主面内の対称な位置に配置してもよい。このようにすれば、切り出し前の母基板で、隣接するフィルタの第1の電極延長部と第2の電極延長部とが連続する。そのため、誘電体基板の切り出し時にカット誤差や滲み誤差が大きく生じて、それらの誤差を第1・第2の電極延長部によって吸収することができ、不要な導通を無くすることができる。
- [0025] 側面線路を介して主面線路に導通させた入出力電極を、共振器を構成する主面線路の開放端に誘電体基板を介して対向させるとともに、裏主面内の電極延長部と対称な位置に配置してもよい。このようにすれば、切り出し前の母基板で、隣接するフィルタの電極延長部と入出力電極とが連続する。そのため、誘電体基板の切り出し時にカット誤差や滲み誤差が大きく生じて、それらの誤差を電極延長部と入出力電

極とによって吸収することができ、入出力電極と接地電極との不要な導通を無くすることができる。

- [0026] 電極中央部と裏主面端辺との間隔寸法を、主面線路と表主面端辺との間隔寸法よりも小さく、当該誘電体基板を母基板からカットする際のカット誤差と、当該接地電極を印刷する際の滲み誤差と、の加算寸法よりも大きく設定してもよい。電極中央部と裏主面端辺との間隔寸法を、主面線路と表主面端辺との間隔寸法よりも短くすることで、印刷ずれによる特性インピーダンスへの影響を小さくすることができる。また、電極中央部と裏主面端辺との間隔寸法を、カット誤差と滲み誤差との加算寸法よりも長くすることで、電極延長部を確実にカットすることができる。

発明の効果

- [0027] この発明によれば、マイクロストリップラインフィルタを、滲みやカット誤差による良品率の悪化を抑制し、周波数特性のばらつきを小さくして製造し、小型化できる。

図面の簡単な説明

- [0028] [図1]マイクロストリップラインフィルタの従来構成を説明する底面図である。
[図2]マイクロストリップラインフィルタの従来構成を説明する上面斜視図である。
[図3]マイクロストリップラインフィルタの従来構成を説明する斜視図である。
[図4]従来構成のマイクロストリップラインフィルタを母基板から切り出す工程を説明する図である。
[図5]従来構成のマイクロストリップラインフィルタを母基板から切り出す工程を説明する図である。
[図6]本発明に係るマイクロストリップラインフィルタの構成例を示す底面図である。
[図7]本発明に係るマイクロストリップラインフィルタの構成例を示す正面図である。
[図8]本発明に係るマイクロストリップラインフィルタの構成例を示す上面図である。
[図9]本発明に係るマイクロストリップラインフィルタの構成例を示す背面図である。
[図10]本発明に係るマイクロストリップラインフィルタの製造方法を説明するフローである。
[図11]本発明に係るマイクロストリップラインフィルタを母基板から切り出す工程を説明する図である。

[図12]本発明に係るマイクロストリップラインフィルタを母基板から切り出す工程を説明する図である。

符号の説明

- [0029] 1…誘電体基板
1C…表主面
1A…裏主面
1B, 1D, 1E, 1F…側面
2A, 2B…入出力電極
3A～3F…電極非形成部
4…接地電極
4A～4F…電極延長部
5A～5D…側面線路
6A～6D…主面線路
7A, 7B…先端容量電極
8A, 8B…引出電極
9A～9D…側面線路
10…母基板
20…マイクロストリップラインフィルタ

発明を実施するための最良の形態

[0030] 以下、マイクロストリップラインフィルタの構成例に基づいて本発明を説明する。図6は底面図、図7は正面図、図8は上面図、図9は背面図である。

[0031] ここで示すマイクロストリップラインフィルタ20は帯域通過型のフィルタである。このフィルタは、誘電体基板1の各面に電極パターンを形成して、4段の1/4波長共振器を互いに結合させてなる。

[0032] 誘電体基板1は酸化チタン等からなる比誘電率が約111の小型直方体状のセラミック焼結基板である。なお、誘電体基板1の組成および寸法は周波数特性などを考慮して適宜設定するとよい。

[0033] この誘電体基板1の表主面1C側には、表主面電極パターンの機械的保護および

電気絶縁のための保護層として、図示していないガラス層を15 μ m以上の厚みで積層する。このガラス層は、結晶性SiO₂および硼珪酸ガラス等の絶縁体からなるガラスペーストの印刷と焼成とにより形成している。なお、ガラスペーストとして感光性ガラスペーストを用いてもよい。また、透光性のあるガラス層と遮光性のあるガラス層とを積層するようにしてもよい。このようなガラス層によって、表主面電極パターンを機械的に保護するとともに耐候性を向上させることができる。また、ガラス層の上面側にさらに電極を形成することも可能である。その場合、ガラス層上面に電極を設けてもガラス層により表主面電極パターンとの短絡を防止することができる。なお、ガラス層のパターンおよび寸法は、誘電体基板1とガラス層との密着度や耐環境性、周波数特性などを考慮して適宜設定すればよい。

[0034] 図8に示す誘電体基板1の表主面1Cには、主面線路6A～6Dと先端容量電極7A, 7Bと引出電極8A, 8Bとからなる表主面電極パターンを形成している。この表主面電極パターンは厚み約5 μ mの銀電極であり、母基板に感光性銀ペーストを塗布し、フォトリソグラフィプロセスによりパターン形成し、焼成してなる。主面線路6A～6Dはそれぞれ、側面1Dとの境界である端辺から側面1B方向に延設した略I字型の電極であり、互いに平行に形成している。先端容量電極7A, 7Bは、それぞれ主面線路6B, 6Cの開放端に一定間隔だけ離して形成していて、主面線路6B, 6Cの開放端に先端容量を付加している。この先端容量を付加することにより、主面線路6B, 6Cの構成する共振器の共振器長が短くなり、ストリップラインフィルタの小型化に貢献できる。なお、先端容量の大きさは、先端容量電極7A, 7Bと主面線路6B, 6Cとの間の間隔寸法により定まり、間隔調整によって周波数特性の調整が可能となる。

[0035] 主面線路6Aと主面線路6Dとはそれぞれ最初段および最終段の共振器として作用し、それぞれ入力段および出力段の共振器となっている。ここでは、主面線路6Aと主面線路6Dの開放端に引出電極8A, 8Bを接続している。主面線路6A, 6Dは、引出電極8A, 8Bと後述する側面線路9A, 9Dとを介して入出力電極2A, 2Bにタップ結合させている。これらの表主面1Cに設けた主面電極パターンは、その形状精度によってマイクロストリップラインフィルタの周波数特性に大きな影響を及ぼすため、ここでは、フォトリソグラフィプロセスにより電極精度を改善して形成している。

- [0036] 図9に示す誘電体基板1の側面1Dには、側面線路5A～5Dを側面電極パターンとして形成している。この側面電極パターンは厚み約 $12\mu\text{m}$ の銀電極であり、誘電体基板の側面1Dに、スクリーンマスクまたはメタルマスクを用いて非感光性の銀ペーストを塗布し、焼成してなる。
- [0037] 図7に示す誘電体基板1の側面1Bには、側面線路9A～9Dを側面電極パターンとして形成している。この側面電極パターンは厚み約 $12\mu\text{m}$ の銀電極であり、誘電体基板の側面1Bに、スクリーンマスクまたはメタルマスクを用いて非感光性の銀ペーストを塗布し、焼成してなる。
- [0038] なお、側面1Dの側面電極パターンと側面1Bの側面電極パターンとは、互いに合
同に形成している。また、それぞれ形成面内で点対称に形成している。これは、側面
1Dの側面電極パターンと側面1Bの側面電極パターンとの印刷工程を略同一にする
ためであり、このような形状を採用することで、側面電極パターンの印刷時に側面1D
および側面1B
の向きや、表主面1Cおよび裏主面1Aの向きを整列させる必要がなくなる。
- [0039] 図6に示す誘電体基板1の裏主面1Aは、このマイクロストリップラインフィルタの実
装面であり、接地電極4と入出力電極2A, 2Bとを裏主面電極パターンとして設けて
いる。この裏主面電極パターンは厚み約 $12\mu\text{m}$ の銀電極であり、誘電体基板の裏主
面1Aに、スクリーンマスクまたはメタルマスクを用いて非感光性の銀ペーストを塗布し
、焼成してなる。
- [0040] 入出力電極2A, 2Bは、裏主面1Aの側面1Bに接する両角付近にそれぞれ接地
電極4とは分離して形成している。入出力電極2A, 2Bは、このマイクロストリップライ
ンフィルタを実装基板に実装する際に、高周波信号入出力端子に接続される。
- [0041] 接地電極4は共振器のグランド面である。接地電極4は、側面線路5A～5D, 9B,
9Cとの接続に必要な箇所のみ裏主面1Aの端辺まで電極を形成し、それ以外は裏
主面の端辺から $30\mu\text{m}$ 程度、離して形成している。この裏主面1Aの端辺まで形成し
た電極が本発明の電極延長部4A～4Fである。また、電極延長部4A～4Dの間の
電極を形成していない部位が、本発明の電極非形成部3A～3C, 3Eである。また、
接地電極4の電極延長部4A～4Fを除く部位が本発明の電極中央部である。

- [0042] 電極延長部4A・4B間は電極非形成部3Aによって離間される。電極延長部4B・4C間は電極非形成部3Bによって離間される。電極延長部4C・4D間は電極非形成部3Cによって離間される。電極延長部4E・4F間は電極非形成部3Eによって離間される。なお、電極延長部4Eと入出力電極2Aとの間は電極非形成部3Dによって離間される。また、電極延長部4Fと入出力電極2Bとの間は電極非形成部3Fによって離間される。
- [0043] 主面線路6Aは、その接地端が側面1Dの側面線路5Aを介して接地電極4の電極延長部4Aに導通する。また、その開放端から引出電極8Aが引き出され、側面1Bの側面線路9Aを介して入出力電極2Aに導通する。したがって、電極延長部4Aが本発明の第1の電極延長部である。
- [0044] 主面線路6Bは、その接地端が側面1Dの側面線路5Bを介して接地電極4の電極延長部4Bに導通する。また、その開放端には、先端容量電極7Aが近接し、先端容量が付加される。先端容量電極7Aは側面1Bの側面線路9Bを介して接地電極4の電極延長部4Eに導通する。したがって、電極延長部4Bが本発明の第1の電極延長部であり、電極延長部4Eが本発明の第2の電極延長部である。
- [0045] 主面線路6Cは、その接地端が側面1Dの側面線路5Cを介して接地電極4の電極延長部4Cに導通する。また、その開放端には、先端容量電極7Bが近接し、先端容量が付加される。先端容量電極7Bは側面1Bの側面線路9Cを介して接地電極4の電極延長部4Fに導通する。したがって、電極延長部4Cが本発明の第1の電極延長部であり、電極延長部4Fが本発明の第2の電極延長部である。
- [0046] 主面線路6Dは、その接地端が側面1Dの側面線路5Dを介して接地電極4の電極延長部4Dに導通する。また、その開放端から引出電極8Bが引き出され、側面1Bの側面線路9Dを介して入出力電極2Bに導通する。したがって、電極延長部4Dが本発明の第1の電極延長部である。
- [0047] なお図示していないが、誘電体基板の右側の側面1Fと左側の側面1Eには何の電極も設けていない。
- [0048] このように、主面線路6A～6Dはそれぞれ、側面線路5A～5Dによって接地電極4に接続されて、互いにコムライン結合する4段の1/4波長共振器を構成する。最初

段および最終段の共振器を構成する主面線路6A, 6Dの開放端は、引出電極8A, 8Bを介して裏主面1Aの入出力電極2A, 2Bに接続して、強い外部結合(タップ結合)を得ている。

[0049] また、接地電極4は、電極延長部4A～4Fと入出力電極2A, 2Bとを除く位置の電極端を、裏主面端辺から所定間隔(約30 μ m)だけ離して形成している。

[0050] この間隔は、誘電体基板を母基板からカットする際のカット誤差や、接地電極を印刷する際の滲み誤差を考慮して設定すると好適であり、ここでは、それら誤差を予め計測しておき、カット誤差と滲み誤差との最大値を加算した加算寸法よりも、間隔寸法を大きく設定している。このように設定することで、製造工程における母基板のカット位置に、電極非形成部または電極延長部あるいは入出力電極のみが配置される。したがって、母基板のカットによる電極パターンの剥がれやバリの発生範囲を狭められる。また、誘電体基板の切り出し時にカット誤差や滲み誤差が生じて、それらの誤差を電極延長部によって吸収し、不要な導通を無くすることができる。なお、接地電極4の側面1E, 1F側の電極端も、裏主面の端辺から所定間隔(約30 μ m)だけ離して形成しているので、当然、バリや剥がれを抑制できている。

[0051] 一方、フィルタ特性を考慮するならば、この間隔はできる限り小さくし、接地電極4の形成面積を大きくする好適である。そこで、ここでは電極中央部の電極端と裏主面端辺との間隔寸法が、主面線路の電極端と表主面端辺との間隔寸法よりも小さくなるようにしている。このようにして、主面線路6A～6Dが対向する位置よりも外側に接地電極4の電極端を配置する。これにより、接地電極面積が大きくなって主面線路の特性インピーダンスが小さくなる。主面線路の特性インピーダンスが小さくなることで、隣接する主面線路間隔を小さくできる。よって、マイクロストリップラインフィルタの小型化に貢献できる。また、接地電極の形状バラツキが低減でき、製品間の周波数特性のバラツキ、特に特性インピーダンスのバラツキが低減できる。

[0052] また、電極延長部4A～4Dは、それぞれ主面線路6A～6Dとともに共振線路の一部を構成する。したがって、電極延長部4A～4Dの線路長と、主面線路6A～6Dの線路長とによって、各共振線路における共振器長が定まる。これにより、必要とする共振器長を実現しながら、電極延長部4A～4Dが形成された分だけ主面線路6A～

6Dの線路長を短縮化することが可能になり、マイクロストリップラインフィルタを小型化できる。

[0053] なお、側面電極パターンの電極厚みを表主面電極パターンの電極厚みよりは厚いものにしているので、一般に電流集中が生じる接地端側の部位での電流を分散させ、導体ロスを低減させている。この構成によって、このマイクロストリップラインフィルタは挿入損失が小さい素子になっている。

[0054] 以上の構成のフィルタ素子は、図10に示す工程を経て製造される。

(S1)まず、いずれの面にも電極を形成していない母基板を用意する。

(S2)次に、上記母基板に対して、裏主面側に導電体ペーストをスクリーン印刷またはメタルマスク印刷し、焼成を経て接地電極および入出力電極を形成する。

(S3)次に、母基板に対して、表主面側に感光性導電体ペーストを印刷し、露光、現像するフォトリソグラフィプロセスを経て、焼成により主面線路および先端容量電極、引出電極を形成する。

(S4)次に、母基板の表主面側にガラスペーストを印刷し、焼成を経てガラス層を形成する。

(S5)次に、上記のようにして構成した母基板からダイシングやレーザスクライブなどにより多数のマイクロストリップラインフィルタを切り出す。切り出し後に一部のマイクロストリップラインフィルタの表主面電極パターンに対して電気特性の予備測定を行う。

(S6)次に、マイクロストリップラインフィルタの一方の側面に対して、所定パターンのメタルマスクまたはスクリーンマスクにより導電体ペーストを印刷して側面電極パターンを形成し、焼成する。また、マイクロストリップラインフィルタの他方の側面に対して、前記メタルマスクまたは前記スクリーンマスクにより導電体ペーストを印刷して側面電極パターンを形成し、焼成する。

ここで、上記した母基板から多数のマイクロストリップラインフィルタを切り出す工程S5について詳細に説明する。

[0055] この工程S5の直前の母基板10についての説明図を図11および図12として示す。なお、ここで示す母基板は、説明の簡素化のため2つのマイクロストリップラインフィルタを配列した構成としているが、実際には、より多くのマイクロストリップラインフィルタ

を2次元配列して母基板を構成する。

図11に、母基板10に対して目的形状と略同形状に電極パターンが印刷できた場合の例を、図12に、母基板10に対して電極ペーストが滲んで印刷された例を示す。なお、図12では、隣接するマイクロストリップラインフィルタの境界部位にのみ電極ペーストの滲みが生じた例を示している。

[0056] 本実施形態では、図11に示すように電極延長部4Aと入出力電極2Aとが、マイクロストリップラインフィルタの境界部位で連続するように、すなわち、電極延長部4Aと入出力電極2Aとが互いに側面1E, 1Fから同距離となり、且つ、端辺での横断寸法が等しくなるように形成している。また、電極延長部4Bと電極延長部4Eとについても、また、電極延長部4Cと電極延長部4Fとについても、また、電極延長部4Dと入出力電極2Bとについても、マイクロストリップラインフィルタの境界部位で連続するように形成している。

[0057] そして、電極非形成部3A, 3Dもマイクロストリップラインフィルタの境界部位で連続するように形成し、電極非形成部3B, 3Eもマイクロストリップラインフィルタの境界部位で連続するように形成し、電極非形成部3C, 3Fもマイクロストリップラインフィルタの境界部位で連続するように形成している。

[0058] このように、裏主面電極パターンの各電極がほとんど滲まずに印刷できた場合には、当然、電極非形成部3A～3Fと電極延長部4A～4Fと入出力電極2A, 2Bとに重なるカット線Xで母基板10をカットすれば、切り出された各マイクロストリップラインフィルタはそれぞれ、適切な裏主面の電極パターンとなり、切り出し後のマイクロストリップラインフィルタでは、接地電極4と入出力電極2A, 2Bとは互いに独立した電極パターンとなる。

[0059] 仮にカット誤差が生じるとしても、カット線Xが電極非形成部3A～3Fと電極延長部4A～4Fと入出力電極2A, 2Bとに重なる場合には、カット後の接地電極4と入出力電極2A, 2Bとは互いに独立した電極パターンとなる。また、カット線X上の電極の長さが抑制されるので、電極パターンの剥がれやバリが発生する可能性のある範囲を小さくできる。

[0060] また、図12に示すように、裏主面電極パターンの各電極が滲んで印刷された場合

、滲み誤差の分だけ電極非形成部3A～3Dが小さくなり、電極ペーストの角部位が丸みを帯びる。しかし図11の時と同様、電極延長部4Aと入出力電極2Aとが、マイクロストリップラインフィルタの境界部位で連続するように形成される。また、電極延長部4Bと電極延長部4Eとについても、また、電極延長部4Cと電極延長部4Fとについても、また、電極延長部4Dと入出力電極2Bとについても、マイクロストリップラインフィルタの境界部位で連続するように形成される。

[0061] そして、電極非形成部3A, 3Dもマイクロストリップラインフィルタの境界部位で連続するように形成され、電極非形成部3B, 3Eもマイクロストリップラインフィルタの境界部位で連続するように形成され、電極非形成部3C, 3Fもマイクロストリップラインフィルタの境界部位で連続するように形成される。

[0062] このように裏主面電極パターンが滲んで印刷された場合でも、カット線Xが電極非形成部3A～3Fと電極延長部4A～4Fと入出力電極2A, 2Bとに重なる場合には、カット後の接地電極4と入出力電極2A, 2Bとは互いに独立した電極パターンとなる。また、カット線X上の電極の長さが抑制されるので、電極パターンの剥がれやバリが発生する可能性のある範囲を小さくできる。

[0063] 以上のように、本実施形態のマイクロストリップラインフィルタでは、カット誤差や滲み誤差の影響を低減することができ、接地電極と入出力電極との間で不要な導通が生じる可能性を極めて低いものにすることができ、さらには、母基板のカット時に生じる電極の剥がれやバリを減少させることができる。したがって、製造工程における良品率を改善することが容易になる。

[0064] なお、本実施形態では、4段のコムライン結合する1/4波長共振器を用いたフィルタの例を示したが、本発明は、それ以外の段数のフィルタや、インターディジタル型のフィルタ、1/4波長共振器と半波長共振器とをともに含むフィルタであっても、同様に適用可能である。

[0065] また、本実施形態では入出力電極を主面線路に導通させる側面線路を、主面線路の延設方向に垂直な側面1Bに形成していたが、この側面線路を他の側面(側面1Dや側面1E, 1F)に設けてもよい。

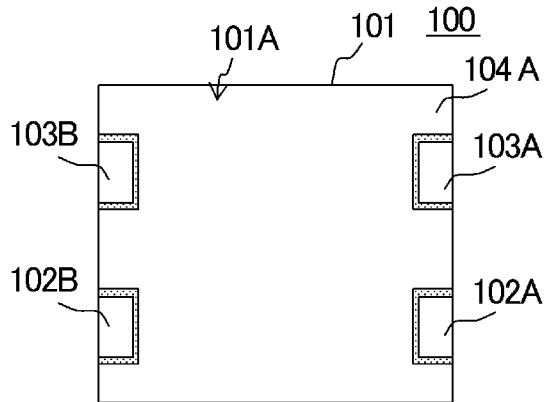
[0066] また、上記した実施形態での主面線路や側面線路の配置位置や形状は製品仕様

に応じたものであり、製品仕様に応じたどのような配置位置や形状であっても良い。
本発明は上記構成以外であっても適用でき、多様なフィルタ素子のパターン形状に採用できる。また、このフィルタ素子に、他の構成(高周波回路)をさらに配しても良い。
。

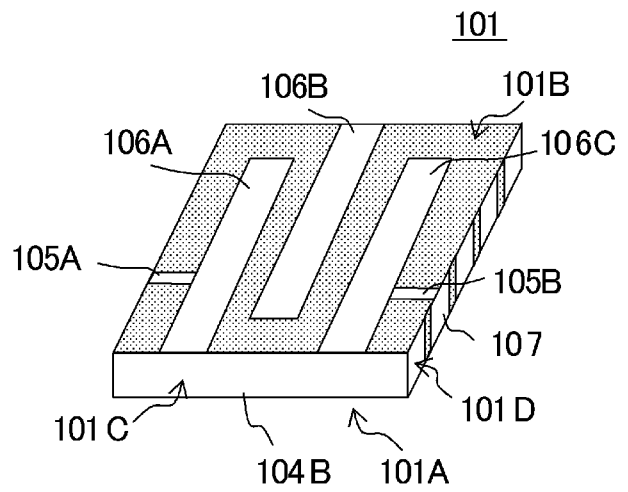
請求の範囲

- [1] 矩形平板状の誘電体基板と、前記誘電体基板の表主面に設けた主面線路と、前記誘電体基板の側面に設けた側面線路と、前記誘電体基板の裏主面に設けた接地電極と、前記誘電体基板の裏主面に前記接地電極から離間して設けた入出力電極と、を備えるマイクロストリップラインフィルタにおいて、
- 前記接地電極は、電極非形成部により互いに離間する前記裏主面の端辺に設けた複数の電極延長部と、前記電極延長部と前記電極非形成部と前記入出力電極とにより外周を囲まれる前記裏主面の中央に設けた電極中央部と、を備え、
- 前記主面線路を、前記側面線路を介して前記接地電極の前記電極延長部に導通させ、共振器を構成したマイクロストリップラインフィルタ。
- [2] 前記共振器を構成する主面線路の接地端に、前記誘電体基板を介して第1の電極延長部を対向させ、
- この主面線路の開放端に、前記誘電体基板を介して第2の電極延長部を対向させた請求項1に記載のマイクロストリップラインフィルタ。
- [3] 前記第1の電極延長部と前記第2の電極延長部とを、前記裏主面内の対称な位置に配した請求項2に記載のマイクロストリップラインフィルタ。
- [4] 前記側面線路を介して前記主面線路に導通させた前記入出力電極を、前記共振器を構成する主面線路の開放端に前記誘電体基板を介して対向させるとともに、前記裏主面内の前記電極延長部と対称な位置に配した請求項1～3のいずれかに記載のマイクロストリップラインフィルタ。
- [5] 前記電極中央部と裏主面端辺との間隔寸法を、前記主面線路と表主面端辺との間隔寸法よりも小さく、当該誘電体基板を母基板からカットする際のカット誤差と、当該接地電極を印刷する際の滲み誤差と、の加算寸法よりも大きく設定した請求項1～4のいずれかに記載のマイクロストリップラインフィルタ。

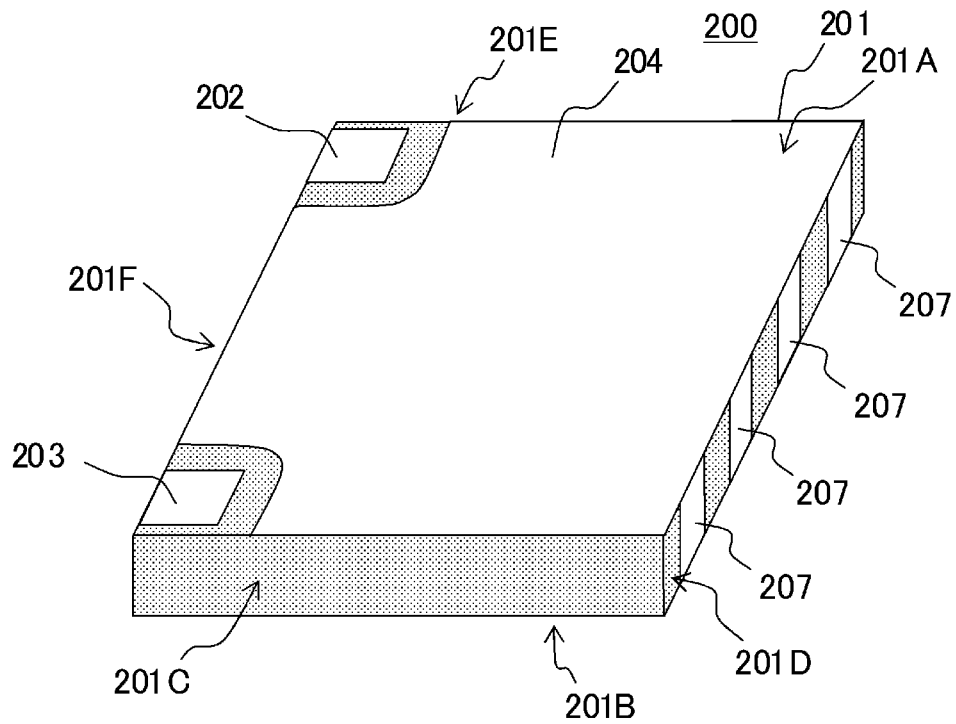
[図1]



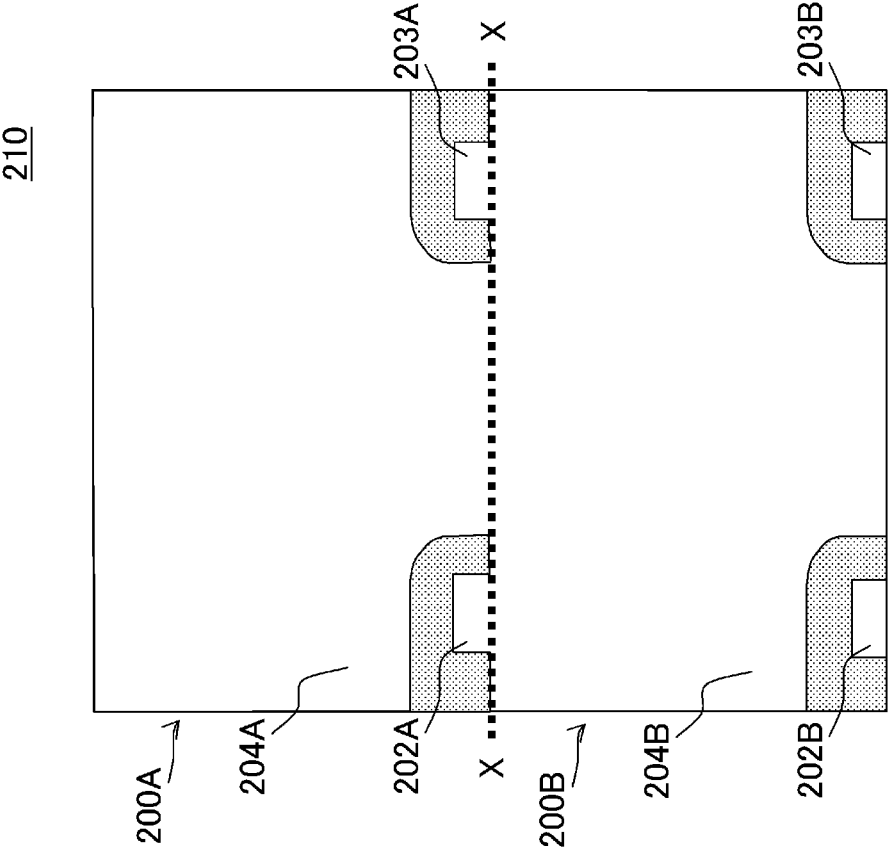
[図2]



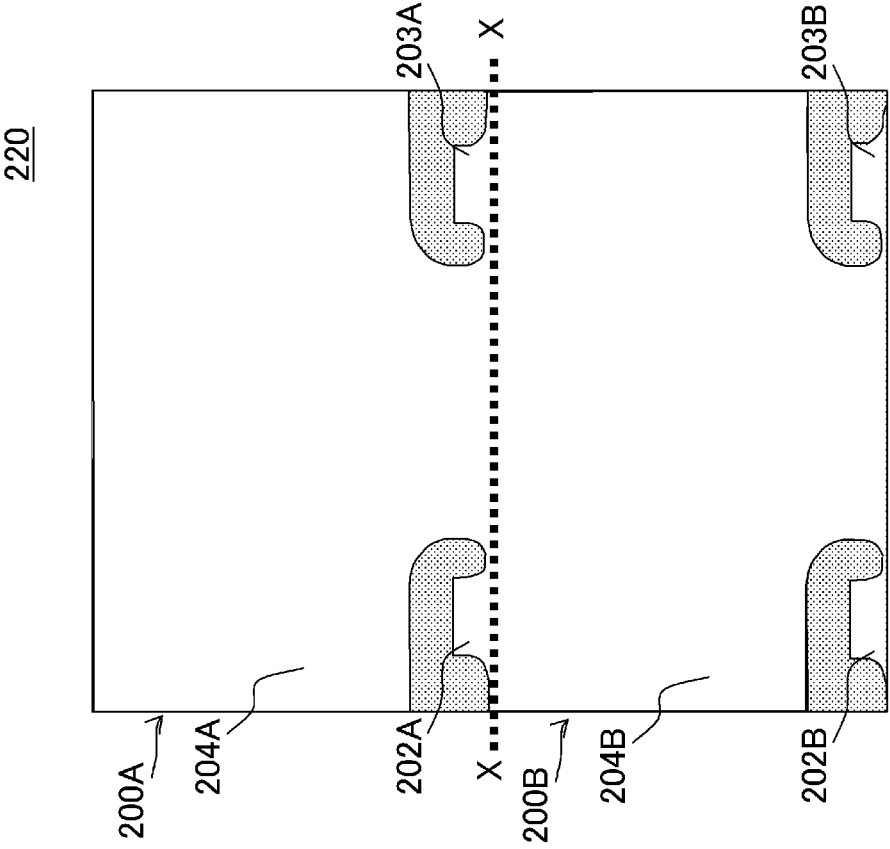
[図3]



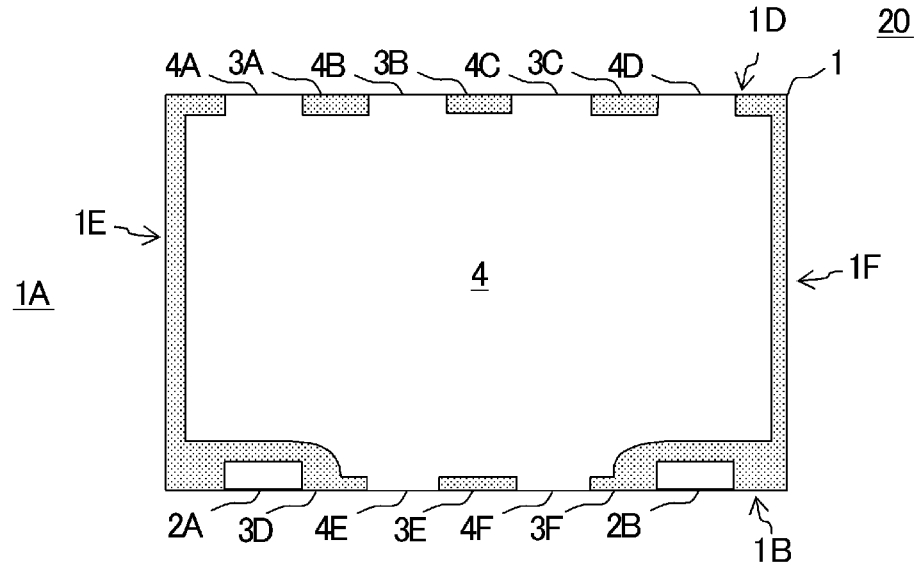
[図4]



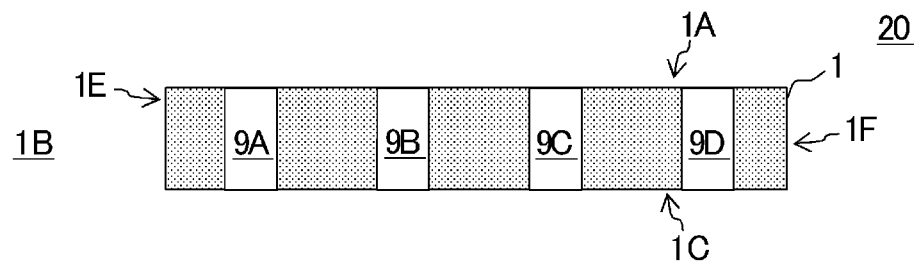
[図5]



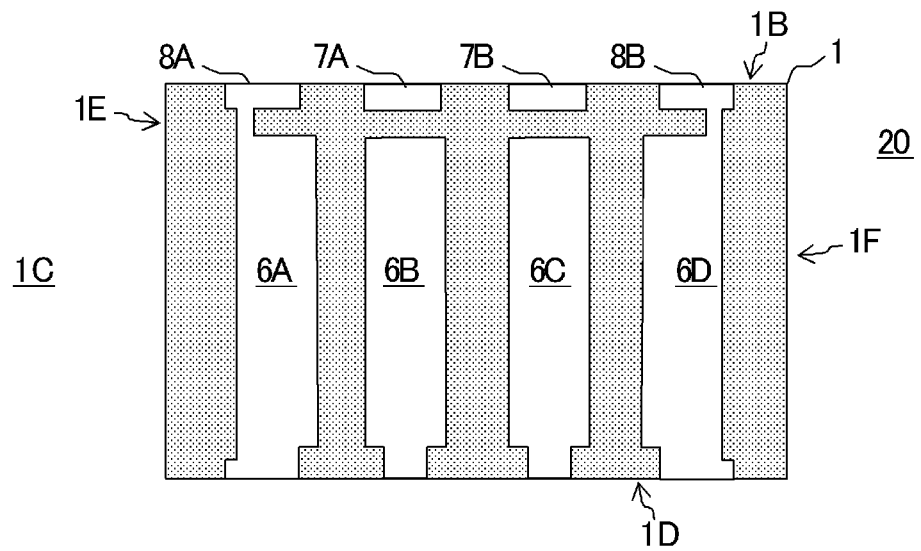
[図6]



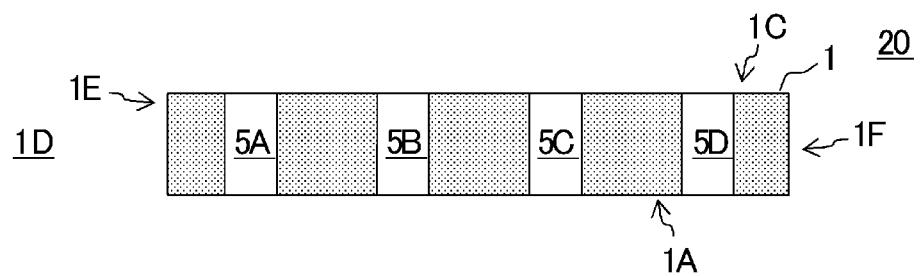
[図7]



[図8]



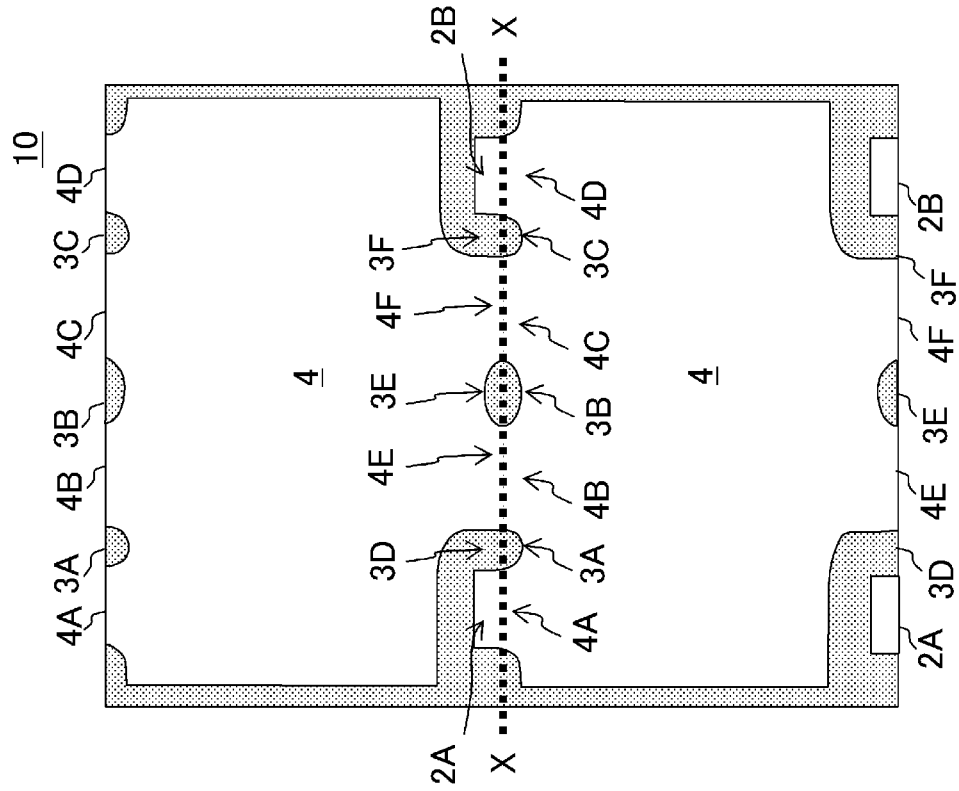
[図9]



```
graph TD; START([START]) --> S1[S1 母基板の配置]; S1 --> S2[S2 母基板の裏主面への電極形成]; S2 --> S3[S3 母基板の表主面への電極形成]; S3 --> S4[S4 母基板の表主面へのガラス層形成]; S4 --> S5[S5 母基板のカット]; S5 --> S6[S6 基板の側面への電極形成]; S6 --> END([END]);
```

The flowchart illustrates the manufacturing process for a substrate with electrodes. It begins with a START terminal, followed by a sequence of six steps: S1 (母基板の配置), S2 (母基板の裏主面への電極形成), S3 (母基板の表主面への電極形成), S4 (母基板の表主面へのガラス層形成), S5 (母基板のカット), and S6 (基板の側面への電極形成). The process concludes with an END terminal.

[図12]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/073701

A. CLASSIFICATION OF SUBJECT MATTER

H01P1/203(2006.01) i, H01P1/205(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P1/203, H01P1/205, H01P7/08, H01P11/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X A	JP 7-336107 A (Murata Mfg. Co., Ltd.), 22 December, 1995 (22.12.95), Fig. 1 & US 5770986 A1 & EP 688058 A1 & DE 69514155 T	1-4 5
A	JP 5-308202 A (NGK Spark Plug Co., Ltd.), 19 November, 1993 (19.11.93), Figs. 1 to 2 (Family: none)	1-5
A	JP 2-215201 A (Oki Electric Industry Co., Ltd.), 28 August, 1990 (28.08.90), Figs. 6 to 8 & US 5124675 A1 & EP 383300 A2 & DE 69014674 C & NO 900707 A	1-5

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
07 February, 2008 (07.02.08)

Date of mailing of the international search report
19 February, 2008 (19.02.08)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/073701

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 10-224117 A (Hitachi Metals, Ltd.), 21 August, 1998 (21.08.98), Par. No. [0015] (Family: none)	1-5
A	JP 8-279702 A (FDK Corp.), 22 October, 1996 (22.10.96), Full text; all drawings (Family: none)	1-5
A	JP 7-162213 A (Murata Mfg. Co., Ltd.), 23 June, 1995 (23.06.95), Full text; all drawings (Family: none)	1-5

A. 発明の属する分野の分類（国際特許分類（I P C））
 Int.Cl. H01P1/203(2006.01)i, H01P1/205(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01P1/203, H01P1/205, H01P7/08, H01P11/00

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 8 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 8 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 8 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X A	JP 7-336107 A（株式会社村田製作所）1995.12.22, 図1 & US 5770986 A1 & EP 688058 A1 & DE 69514155 T	1-4 5
A	JP 5-308202 A（日本特殊陶業株式会社）1993.11.19, 図1 - 2 （ファミリーなし）	1-5
A	JP 2-215201 A（沖電気工業株式会社）1990.8.28, 第6図 - 第8図 & US 5124675 A1 & EP 383300 A2 & DE 69014674 C & NO 900707 A	1-5

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

0 7 . 0 2 . 2 0 0 8

国際調査報告の発送日

1 9 . 0 2 . 2 0 0 8

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

儀 同 孝 信

電話番号 03-3581-1101 内線 3568

5 T

3 5 6 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 10-224117 A (日立金属株式会社) 1998. 8. 21, 段落 0 0 1 5 (ファミリーなし)	1-5
A	JP 8-279702 A (富士電気化学株式会社) 1996. 10. 22, 全文、全図 (ファミリーなし)	1-5
A	JP 7-162213 A (株式会社村田製作所) 1995. 6. 23, 全文、全図 (ファミリーなし)	1-5