

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2013년 9월 6일 (06.09.2013)



(10) 국제공개번호
WO 2013/129805 A1

- (51) 국제특허분류:
H01L 33/12 (2010.01) *H01L 33/02* (2010.01)
- (21) 국제출원번호: PCT/KR2013/001436
- (22) 국제출원일: 2013년 2월 22일 (22.02.2013)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2012-0020250 2012년 2월 28일 (28.02.2012) KR
- (71) 출원인: **한빔 주식회사 (HANBEAM CO., LTD.)**
[KR/KR]; 443-270 경기도 수원시 영통구 이의동 906-5
차세대융합기술연구원 C동 4층, Gyeonggi-do (KR).
- (72) 발명자: **오병두 (OH, Byung Du)**; 135-837 서울시 강남구 남부순환로 3032 (대치동 한보미도맨션 207동 605호), Seoul (KR). **신현우 (SHIN, Hyun Woo)**; 427-735 경기도 과천시 별양로 180 (부림동 주공아파트 806동 903호), Gyeonggi-do (KR). **구교선 (KU, Kyo Sun)**; 443-726 경기도 수원시 영통구 봉영로 1517 번길 73 (영통동 벽적골 9단지 아파트 936동 701호), Gyeonggi-do (KR). **이우식 (LEE, Woo Sik)**; 448-170 경기도 용인시 수지구 풍덕천동 초입마을 동아아파트 111동 710호, Gyeonggi-do (KR). **정웅락 (JEONG, Ung Rak)**; 437-837

경기도 의왕시 갈미로 8 (내손동 대원칸타빌아파트 203동 303호), Gyeonggi-do (KR).

(74) 대리인: **안준형 (AHN, Joon-Hyung)**; 135-080 서울시 강남구 테헤란로 20길 5, 양화타워 3층 (역삼동), Seoul (KR).

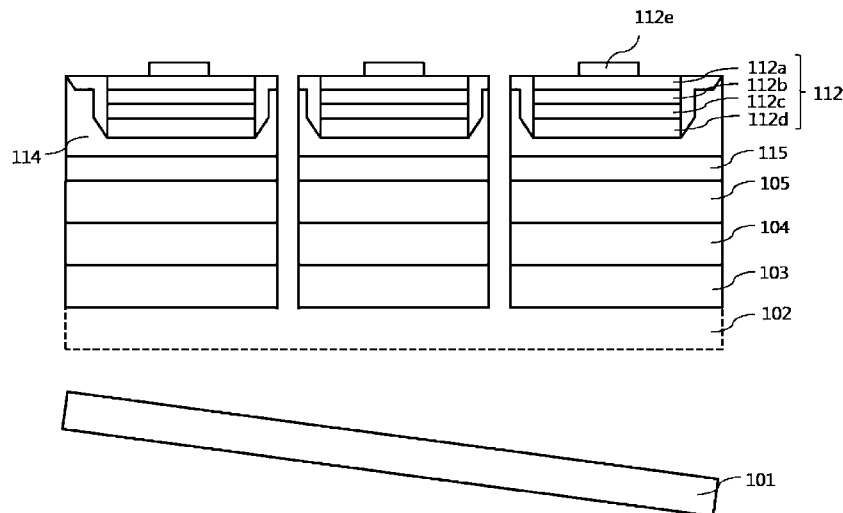
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: SUB-MOUNT SUBSTRATE FOR SEMICONDUCTOR LIGHT-EMITTING DEVICE AND METHOD FOR MANUFACTURING SEMICONDUCTOR LIGHT-EMITTING DEVICE USING SAME

(54) 발명의 명칭: 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법



(57) Abstract: The present invention relates to a sub-mount substrate for a semiconductor light-emitting device and a method for manufacturing the semiconductor light-emitting device using the same and, more particularly, to a method for manufacturing a vertical semiconductor light-emitting device, wherein a sub-mount substrate of a multilayer structure having a stress release layer, a temporary support substrate layer, and a support substrate layer is provided and the provided sub-mount substrate is used as a support substrate of a semiconductor light-emitting device, thereby obtaining a light-emitting device with high quality and high performance.

(57) 요약서: 본 발명은 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법에 관한 것으로, 스트레스 릴리층과 임시 지지기판층, 지지기판층이 구비된 다층 구조의 서브마운트 기판을 제공하고, 제공된 상기 서브마운트 기판을 반도체 발광소자의 지지대 기판으로 사용함으로써, 고품질 및 고성능의 발광소자를 얻을 수 있는 수직형 반도체 발광소자를 제조하는 것에 관한 것이다.



WO 2013/129805 A1



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법

기술분야

- [1] 본 발명은 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법에 관한 것으로, 보다 구체적으로 스트레스 릴리즈층이 구비된 다층 구조의 서브마운트 기판을 제공하는 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 소자의 제조방법에 관한 것이다.

배경기술

- [2] 일반적으로 화합물 반도체의 특성을 이용하여 전기를 적외선 또는 빛으로 변환시켜서 신호를 주고 받거나, 광원으로 사용되는 발광 다이오드(Light Emitting Diode : LED)와 같은 반도체 발광소자는 현재 조명, 표시장치 및 광원으로서 널리 이용되며, 적은 전력으로 원하는 파장의 빛을 발광하고 수은과 같은 환경유해물질 방출을 억제할 수 있어서 에너지 절약 및 환경보호 측면을 고려하여 그 개발이 가속화되고 있는 추세이다.
- [3] 특히, 최근 그 개발 및 사용이 활성화된 질화물(GaN)계 발광 다이오드를 이용한 휴대폰 키패드, 사이드 뷰어, 카메라 플래쉬 등의 상용화에 힘입어 최근 발광 다이오드를 이용한 일반 조명 개발이 활기를 띠고 있다. 대형 TV의 백라이트 유닛 및 자동차 전조등, 일반 조명 등 그의 응용제품이 소형 휴대제품에서 대형화, 고출력화, 고효율화, 신뢰성화된 제품으로 진행하여 해당 제품에 요구되는 특성을 나타내는 광원을 요구하게 되었다.
- [4] 이러한 발광 다이오드는 전류의 흐름 방향과 구조의 차이에 따라 수평형과 수직형으로 구분할 수 있다. 이 중에서 수평형 발광 다이오드는 저출력용 또는 중출력용으로 널리 사용되고 있고 최근에는 고출력용으로도 시도되고 있으나 열 문제가 심각하여 양산화에 진전을 보지 못하고 있다. 이에 반해 수직형 발광 다이오드는 고출력용으로 가장 적합한 구조를 가지며, 열 방출 특성도 극대화 되어 있다.
- [5] 일반적으로, 현재의 기술, 경제 및 성능면에서 고려해볼 때, 격자상(lattice constant) 및 열팽창계수(thermal expansion coefficient)가 상당히 다른 사파이어 기판에 반도체 다층 발광구조체를 이용하여 수직형 고성능 반도체 발광소자를 제작하고 있다. 그러나, 상기 사파이어기판은 단단하고 열전도 특성이 좋지 않아 발광소자에 큰 전류를 인가할 수 없는 단점을 가질 뿐만 아니라, 전기적으로 부도체이기 때문에 외부로부터 유입되는 정전기에 대응하기가 어려워 정전기로 인한 불량 유발 가능성이 큰 문제점이 있다. 그래서, 상기와 같은 문제점을 해결하기 위해서 사파이어 기판 상부에 발광구조체를 형성시킨 후, 레이저 리프트 오프(laser lift off) 공정을 통해 사파이어 기판으로부터 안전하게 반도체

발광구조체를 분리(lift off)하고, 이를 이용한 고성능 수직형 발광 다이오드를 제작하려고 많은 노력이 행해지고 있다.

- [6] 그러나, 한국등록특허 제10-0858362호, 한국등록특허 제10-1036428호와 같은 많은 선행 문헌 등에서 언급된 바와 같이 반도체 발광구조체로부터 사파이어 기판을 분리할 때, 반도체 발광구조체 박막은 다른 격자 상수 및 열팽창계수로 인하여 질화물계 반도체 박막과 두꺼운 사파이어 기판 사이에 발생한 기계적 응력을 견디지 못하여 사파이어 기판으로부터 분리된 후에 반도체 단결정 박막에 많은 손상과 깨짐 현상이 나타나는 걸 볼 수 있다.
- [7] 그래서, 상기의 종래 문제점들을 해결하기 위한 방안으로 발광구조체로부터 사파이어 기판을 분리하기 전에 웨이퍼 본딩 또는 전기도금 공정을 도입하여 구조적으로 안정하며 강하게 밀착되어 있는 열 전도성이 좋은 지지기판을 형성시키는 방법을 수행하고 있다. 그러나, 반도체 발광소자에 사용된 지지기판은 사파이어 기판과 열팽창계수 차이가 크기 때문에 상기 지지기판을 사파이어 기판과 웨이퍼 본딩에 의해서 결합시키면 서로 다른 격자 상수 및 열팽창계수 차이에 의한 응력 등과 같은 물리적인 스트레스가 발생하여 웨이퍼 휨(wafer bending) 현상 및 반도체 발광구조체 내부에 미세한 마이크로 크랙(micro-crack)이 생성되고, 심할 경우에는 사파이어 기판이 파손되는 문제가 발생하여 제작된 반도체 발광소자의 성능 저하로 인해서 낮은 제품 수율이 문제시되고 있다.
- [8] 즉, 상기와 같은 종래 기술에 따른 지지기판을 접합하는 본딩 공정은, 상기 지지기판의 열팽창계수가 사파이어 기판의 열팽창계수보다 훨씬 더 작기 때문에 고온에서 접합이 이루어진 후에 상온으로 냉각되는 과정에서 지지기판은 작게 수축되는 데에 반해 상기 사파이어 기판은 많이 수축하게 되어 사파이어 기판에 큰 인장력이 가해지게 된다. 이로 인해 지지기판과 사파이어 기판이 접합된 중간 제조물의 휘어짐 현상이 발생하는데, 이러한 현상이 발생하면 사파이어 기판을 레이저 리프트 오프 공정에 의해 제거하는 과정에서 균일한 레이저 힘을 가하는 광학적 정렬이 어렵기 때문에 레이저 리프트 오프 공정 및 그 이후의 포토 공정과 N-전극 형성 공정등의 후속 공정이 불가능해질 수 있다.
- [9] 따라서, 레이저 리프트 오프 공정을 이용하여 수직형 반도체 발광소자를 제작할 때, 웨이퍼 휨 및 깨짐, 마이크로 크랙 발생, 그리고 낮은 제품 수율 등을 고려하면 반드시 효율적인 지지기판 및 이를 이용한 고성능 수직형 발광소자 제조 공정이 개발되어야 한다.

발명의 상세한 설명

기술적 과제

- [10] 본 발명은 다른 격자 상수 및 열팽창계수 차이에 의해 발생하는 문제점들을 방지하여 고성능 및 고 신뢰성의 반도체 발광소자를 제조할 수 있는 반도체

발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법을 제공하는데 그 목적이 있다.

- [11] 또한, 본 발명은 열적, 기계적 손상이 전혀 없는 고 신뢰성의 발광소자를 제조할 수 있는 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자의 제조방법을 제공하는데 그 다른 목적이 있다.

과제 해결 수단

- [12] 전술한 목적을 달성하기 위해 본 발명의 반도체 발광소자용 서브마운트 기판은, 임시 지지기판층; 상기 임시 지지기판층 상면에 형성된 희생층; 상기 희생층 상에 형성된 지지기판층; 상기 지지기판층 상에 형성된 서브마운트 기판용 본딩층; 및 상기 임시 지지기판층 하면에 형성된 스트레스 릴리즈층;을 포함하는 것을 특징으로 한다.
- [13] 여기서, 상기 임시 지지기판층은 스텐레스, Cu, Al₂O₃, SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그라파이트(Graphite) 및 금속-그라파이트 복합체 중에서 적어도 어느 하나를 포함하고,
- [14] 상기 희생층은 Al₂O₃, AlN, MgO, AlSiC, BN, BeO, TiO₂, SiO₂ 및 PR(Photoresist) 중 적어도 어느 하나 이상의 물질로 이루어지고,
- [15] 상기 희생층과 상기 지지기판층 사이에 형성된 씨드층을 더 포함하고,
- [16] 상기 지지기판층은 단층 또는 적층 구조로 형성되고, Ni, Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층으로 이루어지고,
- [17] 상기 서브마운트 기판용 본딩층은 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나를 포함하고,
- [18] 상기 임시 지지기판층 하면에 스트레스 릴리즈층이 형성되고,
- [19] 상기 스트레스 릴리즈층은 단층 또는 적층 구조로 형성되고,
- [20] 상기 스트레스 릴리즈층은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금, CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나를 포함하여 이루어지고,
- [21] 상기 스트레스 릴리즈층은 10 μ m~2000 μ m 두께를 갖고,
- [22] 상기 임시 지지기판층과 스트레스 릴리즈층 사이에 형성된 스트레스 릴리즈용 씨드층을 더 포함한다.
- [23] 또한, 본 발명은 스트레스 릴리즈층, 임시 지지기판층, 희생층, 지지기판층 및 서브마운트 기판용 본딩층이 차례로 적층된 서브마운트 기판을 마련하는 (a)단계; 성장기판층 상에 N-반도체층, 활성층, P-반도체층 및 P-전극이 적층으로

형성된 반도체 적층 구조물 및 상기 반도체 적층 구조물 상에 적층되어 형성된 성장기판용 본딩층을 포함하는 에피텍셀 구조물을 마련하는 (b)단계; 상기 성장기판용 본딩층과 상기 서브마운트 기판용 본딩층을 본딩하는 (c)단계; 상기 서브마운트 기판과 본딩된 상기 성장기판층을 반도체 적층 구조물로부터 이탈시키는 (d)단계; 상기 성장기판층이 이탈되면서 노출된 상기 반도체 적층 구조물의 N-반도체층 상에 N-전극을 형성하는 (e)단계; 상기 (e)단계 결과물을 절단하기 위하여 상기 N-전극 형성 방향에서부터 수직방향으로 다이싱(dicing) 공정을 수행하는 (f)단계; 및 상기(f)단계 결과물의 상기 서브마운트 기판의 희생층 부분을 제거하면서 상기 임시 지지기판층을 분리시키는 (g)단계;를 포함하는 것을 특징으로 한다.

- [24] 여기서, 상기 에피텍셀 구조물을 마련하는 (b)단계는, 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 증착하는 단계; 상기 P-전극용 물질, P-반도체층 물질, 활성층 물질 및 N-반도체층 물질에 ISO(Isolation) 식각 공정을 수행하여 상기 성장기판층 상에 N-반도체층, 활성층, P-반도체층 및 P-전극의 적층으로 이루어진 다수의 반도체 적층 구조물을 서로 이격하면서 형성하는 단계; 상기 다수의 반도체 적층 구조물의 측면을 포함하여 상기 성장기판층 표면에 보호막을 형성하는 단계; 상기 보호막이 형성된 반도체 적층 구조물이 매립되도록 상기 성장기판층 전면 상에 베리어막을 형성하는 단계; 및 상기 베리어막 상에 성장기판용 본딩층을 형성하는 단계;를 포함하고,
- [25] 상기 에피텍셀 구조물을 마련하는 (b)단계는, 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 증착하는 단계; 상기 P-전극용 물질을 패터닝하여 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 패터닝된 P-전극용 물질의 적층으로 이루어진 반도체 적층 구조물을 형성하는 단계; 상기 패터닝된 P-전극용 물질을 포함한 반도체 적층 구조물이 매립되도록 상기 성장기판층 전면 상에 베리어막을 형성하는 단계; 및 상기 베리어막 상에 성장기판용 본딩층을 형성하는 단계;를 포함하고,
- [26] 상기 임시 지지기판층은 스텐레스, Cu, Al₂O₃, SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그래파이트(Graphite) 및 금속-그래파이트 복합체 중에서 적어도 어느 하나를 포함하고,
- [27] 상기 희생층은 Al₂O₃, AlN, MgO, AlSiC, BN, BeO, TiO₂, SiO₂ 및 PR(Photoresist) 중 적어도 어느 하나의 물질로 형성하고,
- [28] 상기 지지기판층은 단층 또는 적층 구조로 형성하고, Ni, Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층으로 형성하고,
- [29] 상기 (a)단계에서 상기 희생층과 상기 지지기판층 사이에 씨드층을 형성하고,
- [30] 상기 임시 지지기판층, 희생층, 지지기판층 및 서브마운트 기판용 본딩층의 적층 구조로 구성된 서브마운트 기판을 마련하는 (a)단계는, 상기 임시

- 지지기판층 하면에 스트레스 릴리즈층을 형성하는 것을 더 포함하고,
- [31] 상기 성장기판용 본딩층과 상기 서브마운트 기판용 본딩층을 본딩하는 (c)단계; 후, 상기 임시 지지기판층 하면에 스트레스 릴리즈층을 형성하고,
- [32] 상기 스트레스 릴리즈층은 단층 또는 적층 구조로 형성하고,
- [33] 상기 스트레스 릴리즈층은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금, CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나를 포함하여 이루어지고,
- [34] 상기 스트레스 릴리즈층은 $10\mu\text{m}\sim 2000\mu\text{m}$ 두께로 형성하고,
- [35] 상기 임시 지지기판층과 스트레스 릴리즈층 사이에 스트레스 릴리즈용 씨드층을 형성하고,
- [36] 상기 다이싱(dicing) 공정을 수행하는 (f)단계는, 적어도 상기 서브마운트 기판의 상기 희생층 표면이 노출될 때까지 절단해서 상기 반도체 적층 구조물을 단일 칩 구조로 형성하고,
- [37] 상기 다이싱(dicing) 공정을 수행하는 (f)단계는, 서로 다른 깊이를 갖는 제1깊이 및 제2깊이로 절단해서 상기 반도체 적층 구조물을 모듈식 구조로 형성하고,
- [38] 상기의 전술한 방법 중에서 어느 한 방법으로 제조된 반도체 발광소자를 포함한다.

발명의 효과

- [39] 본 발명은 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자 제조방법에 관한 것으로, 본 발명은 스트레스 릴리즈층을 구비한 다층 구조의 서브마운트 기판을 제공함으로써, 다른 격자 상수 및 열팽창계수로 인하여 발생하는 압축 스트레스 및 인장 스트레스의 응력을 상쇄시킬 수 있어 기계적 스트레스를 해소할 수 있다. 따라서, 질화물계 반도체의 마이크로 크랙이나 깨짐 발생을 방지할 수 있어, 이로 인해, 제품 손상 방지 및 공정을 용이하게 할 수 있고, 그래서, 고품질 및 고성능의 수직형 반도체 발광소자를 제공할 수 있다.
- [40] 또한, 본 발명은 발광소자를 제조할 때, 안정적인 공정을 가져올 수 있어 후속 공정을 자유롭게 진행할 수 있고, 그 결과 열적, 기계적 손상이 전혀 없는 고 신뢰성 발광소자를 얻을 수 있다.

도면의 간단한 설명

- [41] 도 1은 본 발명의 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 나타낸 단면도.
- [42] 도 2a 내지 도 2g는 본 발명의 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조방법을 나타낸 단면도.
- [43] 도 3은 본 발명의 일 실시예에 따른 또 다른 다이싱 공정을 설명하기 위한

단면도.

- [44] 도 4는 본 발명의 다른 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 나타낸 단면도.
- [45] 도 5a 및 도 5b는 본 발명의 다른 일 실시예에 따른 서브마운트 기판에 스트레스 릴리층이 적용된 예를 도시한 도면.
- [46] 도 6은 본 발명의 다른 일 실시예에 따른 스트레스 릴리즈층이 구비된 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조 공정 프로세스를 나타낸 도면.
- [47] 도 7a 내지 도 7g는 본 발명의 다른 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조방법을 나타낸 단면도.
- [48] 도 8은 본 발명의 다른 일 실시예에 따른 또 다른 다이싱 공정을 설명하기 위한 단면도.

발명의 실시를 위한 형태

- [49] 이하, 첨부된 도면을 참조하여 본 발명의 반도체 발광소자용 서브마운트 기판 및 이를 이용한 반도체 발광소자 제조방법의 바람직한 실시의 예를 상세히 설명한다.
- [50] 도 1은 본 발명의 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 나타낸 단면도이다.
- [51] 도 1을 참조하면, 상기 반도체 발광소자용 서브마운트 기판(100)은 임시 지지기판층(101), 희생층(sacrificial layer, 102), 지지기판층(104) 및 서브마운트 기판용 본딩층(bonding layer, 105)의 적층 구조로 형성된다.
- [52] 구체적으로, 상기 반도체 발광소자용 서브마운트 기판(100)은 선택된 임시 지지기판층(101)을 준비하고, 상기 임시 지지기판층(101) 상에 적층으로 희생층(102)이 형성되고, 상기 희생층(102) 상에 적층으로 지지기판층(104)이 형성되며, 상기 희생층(102)과 상기 지지기판층(104) 사이에 개재되는 씨드층(103)이 추가로 구비된 지지기판층(104)이 형성되며, 상기 지지기판층(104) 상에 적층으로 서브마운트 기판용 본딩층(105)이 형성된 다층의 적층 구조로 구성된다.
- [53] 여기서, 상기 임시 지지기판층(101)은 후속 공정에서 기계적인 안정을 주는 역할을 하며, 후속 공정에서 희생층(102)과 함께 분리된다. 상기 임시 지지기판층(101)은 열적, 전기적으로 우수한 전도율을 가지는 스텐레스, Cu, Al₂O₃, SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그라파이트(Graphite) 및 금속-그라파이트 복합체 중에서 적어도 어느 하나의 물질로 이루어진다.
- [54] 상기 희생층(102)은 후속 공정시 습식 식각 용액에서 쉽게 용해되는 물질로 구성되며, 바람직하게는, Al₂O₃, AlN, MgO, AlSiC, BN, BeO, TiO₂, SiO₂ 및 PR(Photoresist) 중 적어도 어느 하나 이상의 물질로 이루어진다.

- [55] 상기 씨드층(103)이 구비된 지지기판층(104)은 반도체 발광소자의 열 방출을 효과적으로 유도하는 최종 지지기판으로 사용되며, 전기적 도전성이 우수한 Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층으로 이루어진다.
- [56] 상기 서브마운트 기판용 본딩층(105)은 서브마운트 기판을 반도체 발광소자에 접합시키기 위한 물질층으로, Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나 이상을 포함하는 물질계로 이루어진다.
- [57] 상기에 전술한 바와 같이, 상기 반도체 발광소자용 서브마운트 기판은 하면에 임시 지지기판층이 구비된 형태로 형성함으로써, 상기 임시 지지기판층으로 인하여 두꺼운 두께를 갖는 서브마운트 기판을 확보할 수 있어 얇은 두께의 서브마운트 기판 보다 기계적 안정을 이룰 수 있게 되어 공정 중 파손을 막을 수 있고, 그래서, 제조 공정의 안정성 및 신뢰성을 확보할 수 있다.
- [58] 본 발명의 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조방법을 살펴보면, 임시 지지기판층, 희생층, 지지기판층 및 서브마운트 기판용 본딩층의 적층 구조로 형성된 서브마운트 기판을 마련하는 (a)단계, 성장기판층 상에 N-반도체층, 활성층, P-반도체층 및 P-전극이 적층으로 형성된 반도체 적층 구조물 및 상기 반도체 적층 구조물 상에 적층되어 형성된 성장기판용 본딩층을 포함하는 에피텍셜(Epitaxial) 구조물을 마련하는 (b)단계, 상기 성장기판용 본딩층과 상기 서브마운트 기판용 본딩층을 본딩하는 (c)단계, 상기 서브마운트 기판과 본딩된 상기 에피텍셜 구조물의 성장기판층을 반도체 적층 구조물로부터 이탈시키는 (d)단계, 상기 성장기판층이 이탈되면서 노출된 상기 반도체 적층 구조물의 N-반도체층 상에 N-전극을 형성하는 (e)단계, 및 상기 (e)단계 결과물을 절단하기 위하여 상기 N-전극 형성 방향에서부터 수직방향으로 다이싱(dicing) 공정을 수행하는 (f)단계 및 상기 (f)단계 결과물의 상기 서브마운트 기판의 희생층 부분을 제거하면서 상기 임시 지지기판층을 분리시키는 (g)단계를 포함한다.
- [59] 보다 구체적으로, 도 2a 내지 도 2g를 참조하여, 본 발명의 일 실시예에 따른 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조방법에 대해 설명하도록 한다.
- [60] 도 2a를 참조하면, 상기 (a)단계 공정인 서브마운트 기판(100)을 마련하는 단계는, 열 전도(heat conduction) 특성과 연성(ductility)이 우수한 재질로 구성된 임시 지지기판층(101)을 준비하고, 상기 임시 지지기판층(101) 상에 희생층(sacrificial layer, 102)과 지지기판층(104)을 차례로 형성한다. 이때, 상기 희생층(102) 상에 지지기판층(104)을 형성하기 전에 상기 희생층(102) 상에 박막의 특성을 향상시키기 위하여 씨드층(103)을 더 형성한다. 이어서, 상기

지지기판층(104) 상에 후속의 본딩 공정시 접착층 역할을 하는 서브마운트 기판용 본딩층(bonding layer, 105)을 형성하는 공정을 수행하여, 상기 임시 지지기판층(101), 희생층(102), 씨드층(103)이 구비된 지지기판층(104) 및 서브마운트 기판용 본딩층(105)의 적층 구조로 구성된 서브마운트 기판(100)을 준비한다.

- [61] 상기 임시 지지기판층(101)은 후속 공정에서 기계적인 안정을 주는 역할을 하며, 후속 공정에서 희생층(102)과 함께 분리된다. 상기 임시 지지기판층(102)은 열적, 전기적으로 우수한 전도율을 가지는 스텐레스, Cu, Al_2O_3 , SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그래파이트(Graphite) 및 금속-그래파이트 복합체에서 적어도 어느 하나를 포함하는 물질층으로 형성한다.
- [62] 이처럼, 상기 서브마운트 기판(100)을 하면에 임시 지지기판층(101)이 구비된 다층 적층 구조로 형성함으로써, 상기 임시 지지기판층(101)으로 인하여 두꺼운 두께를 갖는 서브마운트 기판을 확보할 수 있어 얇은 두께의 서브마운트 기판보다 기계적 안정적으로 후속 공정을 차례로 진행할 수 있어 공정 중 파손을 막을 수 있고, 그래서, 제조 공정의 안정성 및 신뢰성을 확보할 수 있다.
- [63] 상기 희생층(102)은 후속 공정시 이웃 칩들 자체에 열적, 기계적인 충격 없이 공정을 원활하게 수행하기 위하여 습식 식각 용액에서 쉽게 용해되는 물질로 구성되며, 바람직하게는, Al_2O_3 , AlN, MgO, AlSiC, BN, BeO, TiO_2 , SiO_2 및 PR(Photoresist) 중 적어도 어느 하나 이상의 물질층으로 형성한다.
- [64] 상기 지지기판층(104)은 반도체 발광소자의 열 방출을 효과적으로 유도하는 최종 지지기판으로 반도체 발광소자의 지지층 및 전극으로서의 역할을 수행하게 되며, 전기적 도전성이 우수한 Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층을 사용하여 단층 또는 적층 구조로 형성한다.
- [65] 상기 서브마운트 기판용 본딩층(105)은 후속의 공융(eutectic) 접합법으로 부착하기 위한 접착층으로 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나 이상을 포함하는 물질층으로 형성하고, 다른 층과의 접합을 용이하게 하기 위해서 금속으로 이루어진 씨드층(seed layer, 미도시)을 추가로 구비할 수 있다.
- [66] 도 2b를 참조하면, 상기 (b)단계 공정인 에피택셜(Epitaxial) 구조물(110)을 마련하는 단계는, 먼저, 투명 사파이어(transparent sapphire)로 구성된 성장기판층(111)을 준비하고, 상기 성장기판층(111) 상에 n형 질화갈륨계로 구성된 N-반도체층 물질, 다중우물구조인 활성층 물질 및 p형 질화갈륨계로 구성된 P-반도체층 물질을 차례로 증착하고, 상기 P-반도체층 물질 상에 전극과

반사막의 역할을 동시에 수행할 수 있는 P-전극용 물질을 증착한다.

- [67] 그런 다음, 상기 P-전극용 물질, P-반도체층 물질, 활성층 물질 및 N-반도체층 물질에 ISO(Isolation) 식각 공정을 수행하여 상기 성장기판층(111) 상에 N-반도체층(112a), 활성층(112b), P-반도체층(112c) 및 P-전극(112d)의 적층으로 이루어진 다수의 반도체 적층 구조물(112)을 형성한다. 상기 반도체 적층 구조물(112)은 상기 ISO 식각 공정에 의해 상기 성장기판층(111) 상에 서로 이격된 형태로 다수 개로 형성된다.
- [68] 이어서, 상기 다수의 반도체 적층 구조물(112)의 측면을 포함하여 상기 성장기판층(111) 표면에 유해 이온의 흡수나 저지를 위한 보호막(Passivation layer, 113)을 형성하고, 상기 보호막(113)이 형성된 반도체 적층 구조물(112)이 매립되도록 상기 성장기판층(111) 전면 상에 베리어막(barrier layer, 114)을 형성한다.
- [69] 다음으로, 상기 베리어막(114) 상에 상기 서브마운트 기판(100)과 에피텍셀 구조물(110)을 공융(eutectic) 접합법으로 부착하기 위한 성장기판용 본딩층(115)을 형성한다. 상기 성장기판용 본딩층(115)은 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나 이상을 포함하는 물질층으로 형성하고, 상기 성장기판용 본딩층(115)은 상기 (a) 단계 공정에서 형성된 상기 서브마운트 기판용 본딩층(105)과 동일 물질로 구성될 수 있지만, 다른 물질로 구성될 수 있다. 한편, 다른 층과의 접합을 용이하게 하기 위해서 금속으로 이루어진 씨드층(미도시)을 추가로 구비할 수 있다.
- [70] 한편, 본 실시예에서 상기 (b)단계 공정인 에피텍셀 구조물(110)을 마련하는 제조 공정은, 상기에 전술한 바와 같이, N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 적층하고, 상기 적층된 물질에 대해 ISO 식각 공정을 수행하여 서로 이격된 다수의 반도체 적층 구조물(112)을 형성하는 공정에 대해 설명하고 있으나, 본 발명의 다른 실시예에서 상기 (b)단계 공정인 에피텍셀 구조물을 마련하는 제조 공정은, 상기 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 증착한 후, 선택적으로 상기 P-전극용 물질에만 패터닝 공정을 수행하는 방법으로 진행할 수 있다.
- [71] 자세하게, 본 발명의 다른 실시예에 따른 상기 (b)단계 공정인 에피텍셀 구조물을 마련하는 단계를 설명하면, 먼저, 상기 성장기판층 상에 n형 질화갈륨계로 구성된 N-반도체층 물질, 다중우물구조인 활성층 물질, p형 질화갈륨계로 구성된 P-반도체층 물질 및 전극과 반사막의 역할을 동시에 수행할 수 있는 P-전극용 물질을 차례로 증착하는 공정 단계, 상기 P-전극용 물질을 패터닝하여 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 패터닝된 P-전극용 물질의 적층으로 이루어진 반도체 적층

구조물을 형성하는 공정 단계, 상기 패터닝된 P-전극용 물질을 포함한 반도체 적층 구조물이 매립되도록 상기 성장기판층 전면 상에 베리어막을 형성하는 공정 단계 및 상기 베리어막 상에 성장기판용 본딩층을 형성하는 공정 단계를 포함한다.

- [72] 도 2c를 참조하면, 상기 (c)단계 공정인 상기 성장기판용 본딩층(115)과 상기 서브마운트 기판용 본딩층(105)을 본딩하는 단계는, 열-압축(thermo compressive) 방법에 의해 상기 성장기판용 본딩층(115)과 상기 서브마운트 기판용 본딩층(105)을 접합하여 상기 에피텍셀 구조물(110)과 서브마운트 기판(100)을 본딩시킨다. 한편, 상기 성장기판용 본딩층(115)과 상기 서브마운트 기판용 본딩층(105)을 본딩하는 단계는, 상기 열-압축 방법으로 수행하는 것에 대해 한정되지 않으며, 도금 결정핵층을 사용하는 전기 도금 방법으로 수행할 수 있다.
- [73] 도 2d를 참조하면, 상기 (d)단계 공정인 상기 서브마운트 기판(100)과 본딩된 상기 에피텍셀 구조물(110)의 성장기판층을 반도체 적층 구조물(112)로부터 이탈시키는 단계는, 레이저 리프트 오프(laser lift off) 기술을 이용하여 상기 에피텍셀 구조물(110)에서 성장기판층을 분리시킨다. 강한 에너지원인 레이저 빔(laser beam)을 성장기판층 후면을 통해서 조사시키면 상기 반도체 적층 구조물과 상기 성장기판층 사이인 계면에서 강하게 레이저 흡수가 일어나고, 이로 인해 계면에 존재하는 질화갈륨의 열화학 분해 반응에 의해서 투명 사파이어로 구성된 성장기판층이 분리(lift off)된다.
- [74] 도 2e를 참조하면, 상기 (e)단계 공정인 상기 성장기판층이 이탈되면서 노출된 상기 반도체 적층 구조물의 N-반도체층(112a) 상에 N-전극(112e)을 형성하는 단계는, 상기 성장기판이 이탈되면서 노출된 상기 반도체 적층 구조물(112) 상에 N-전극용 물질을 증착한 후, 상기 N-전극용 물질을 식각하여 상기 N-반도체층(112a) 상에 열적으로 안정한 N-전극(112e)을 형성하고, 상기 P-전극(112d), P-반도체층(112c), 활성층(112b), N-반도체층(112a)으로 구성된 반도체 적층 구조물 및 N-전극(112e)으로 구성된 수직형 반도체 발광소자 전극 구조체를 형성시킨다.
- [75] 도 2f를 참조하면, 상기 (f)단계 공정인 상기 (e)단계 결과물을 절단하기 위하여 상기 N-전극(112e) 형성 방향에서부터 수직방향으로 다이싱(dicing) 공정을 수행하는 단계는, 상기 N-전극(112e) 및 반도체 적층 구조물(112)로 구성된 반도체 발광소자 전극 구조체를 단일 칩 구조로 형성하기 위해서 기계적인 절삭, 연삭 및 화학적 에칭, 레이저를 통한 제거 방법으로 상기 반도체 적층 구조물들 사이에 형성된 에피텍셀 구조물을 포함한 서브마운트 기판에 대해 수직방향으로만 절단하되, 상기 임시 지지기판층(101)까지 절단하는 다이싱 공정을 수행한다. 바람직하게, 적어도 상기 희생층(102) 표면, 더 바람직하게, 적어도 희생층의 상부면이 노출될 때까지 상기 에피텍셀 구조물을 포함해서 서브마운트 기판을 절단하는 다이싱 공정을 수행한다.

- [76] 상기 다이싱 공정시, 상기 희생층(102)의 표면이 노출될 때까지 절단이 진행되는 경우에는, 상기 희생층 하면에 형성된 임시 지지기판층은 재활용이 가능한 장점이 있다.
- [77] 한편, 본 발명의 일 실시예에서 상기 (f)단계 공정인 다이싱 공정을 수행하는 단계는, 상기에 전술한 바와 같이, 상기 결과물을 단일 칩 구조로 제작하기 위한 다이싱 공정에 대해 설명하고 있으나, 본 발명의 일 실시예에 따른 또 다른 다이싱 공정은, 도 3에서와 같이, 상기 N-전극(112e) 및 반도체 적층 구조물(112)로 구성된 반도체 발광소자 전극 구조체를 모듈식 구조로 제작하기 위해서 상기 반도체 적층 구조물들 사이에 형성된 상기 에피텍셀 구조물을 포함하여 상기 서브마운트 기판에 대해 수직방향으로만 절단하되, 서로 다른 깊이를 갖는 제1깊이(191) 및 제2깊이(192)로 절단하고, 이때, 상기 제1깊이(191)는 제2깊이(192) 보다 짧은 깊이를 가지며, 적어도 상기 성장기판용 본딩층(115)의 상부면 까지 절단된 깊이를 갖고, 상기 제2깊이(192)는 적어도 상기 희생층(102)의 상부면 까지 절단된 깊이를 갖도록 수행한다.
- [78] 도 2g를 참조하면, 상기 (g) 공정 단계인 상기 (f)단계 결과물에 식각 공정을 수행하여 상기 서브마운트 기판(100)의 희생층 부분을 제거하면서 상기 임시 지지기판층을 제거하는 단계는, 상기 다이싱 공정이 수행된 기판 결과물에 희생층으로 사용된 물질에 따라 결정되는 산, 염기 또는 염 용액을 이용하여 상기 희생층을 용해시키고, 상기 임시 지지기판층을 수평방향에 따라 분리(separation)시켜서 최종적으로 단일화된 반도체 발광소자를 제조한다. 상기 임시 지지기판층이 분리되면서 상기 희생층 상에 형성된 지지기판(104)은 최종적인 반도체 발광소자의 지지층 및 전극으로서의 역할을 수행하는 것이 바람직하므로, 상기 지지기판층(104)을 인하여 전기적 도전성이 좋고 열 전달의 효율성이 좋으며, 생산성이 쉬운 지지기판을 얻게 된다.
- [79] 상기 임시 지지기판층은 발광소자의 열 방출을 위해 희생층과 함께 제거되면서 서브마운트 기판으로부터 분리되지만, 상기 서브마운트 기판(100)을 마련할 때 상기 임시 지지기판층을 구비함으로써, 서브마운트 기판의 두께 확보를 할 수 있게 되었고, 이로 인하여 얇은 두께를 갖는 서브마운트 기판 보다 후속 공정시 기계적 안정을 가져올 수 있어서 공정 중 파손을 막을 수 있고, 이로 인하여 제조 공정의 안정성을 확보할 수 있다.
- [80] 도 4는 본 발명의 다른 일 실시예에 반도체 발광소자용 서브마운트 기판을 나타낸 단면도로서, 적층 박막들의 열팽창계수 차이 및 후속 공정 프로세스가 진행되는 동안 발생하는 압축 스트레스(compressive stress) 및 인장 스트레스(tensile stress)를 상쇄시키기 위한 스트레스 릴리층이 더 형성된 서브마운트 기판을 나타낸다.
- [81] 구체적으로, 본 발명의 다른 일 실시예에 따른 상기 서브마운트 기판(700)은, 상부에 스트레스 릴리즈용 씨드층(706)이 구비된 스트레스 릴리즈층(707), 임시 지지기판층(701), 희생층(702), 상부에 씨드층(703)이 구비된 지지기판층(704) 및

서브마운트 기판용 본딩층(705)이 적층으로 형성된 다층의 적층 구조로 구성된다.

- [82] 여기서, 상기 스트레스 릴리즈층(707)은 적층 구조물들 간의 응력을 조절하기 위해 그 형성 두께를 임의로 조절하면서 단층 또는 적층 구조로 형성되고, 바람직하게는, $10\mu\text{m}$ ~ $2000\mu\text{m}$ 두께에서 임의로 두께를 조절하여 단층 또는 적층 구조로 형성시킨다. 상기 스트레스 릴리즈층(707)은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금, CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나 이상의 물질로 이루어진다.
- [83] 상기에 기술한 바와 같이, 본 발명의 다른 일 실시예에 따른 반도체 발광소자용 서브마운트 기판(700)은 응력을 상쇄시키는 스트레스 릴리즈층(707)을 포함한 적층 구조로 형성함으로써, 반도체 발광소자 전극 구조체를 접합하는 공정 또는 최초의 성장기판층을 분리하는 공정시 웨이퍼 휨 현상 및 응력으로 인해 발생하는 현상들을 방지할 수 있어, 제품 손상 방지 및 공정의 용이성을 제공할 수 있다.
- [84] 도 5a 및 도 5b는 상기 서브마운트 기판에 스트레스 릴리즈층이 적용된 일 예를 도시한 도면으로서, 도 5a에서와 같이, 상기 서브마운트 기판(700)에 스트레스 릴리즈층이 구비되지 않은 경우는 박막들 간에 응력이 발생하여 서브마운트 기판(700)과 에피텍셀 구조물(710)이 휘어지는 현상이 나타나는 것을 볼 수 있고, 도 5b에서와 같이, 상기 서브마운트 기판(700)에 스트레스 릴리즈층이 구비된 경우에는 상기 스트레스 릴리즈층(707)에 의해 응력이 상쇄되어 웨이퍼 휘어짐 현상 없이 안정적으로 서브마운트 기판(700)과 에피텍셀 구조물(710)이 형성된 것을 볼 수 있다.
- [85] 도 6은 상기 스트레스 릴리즈층이 구비된 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조 공정 프로세스를 나타낸 도면으로서, 도시된 바와 같이, 상기 스트레스 릴리즈층이 구비된 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조 공정 프로세스는, 스트레스 릴리즈층을 구비한 서브마운트 기판을 준비하는 단계, 성장기판층, 반도체 적층 구조물 및 성장기판용 본딩층으로 구성된 에피텍셀 구조물을 준비하는 단계, 여기서, 상기 서브마운트 기판을 준비하는 단계와 에피텍셀 구조물을 준비하는 단계는 그 공정 순서 단계가 바뀌어도 무방하다. 그런 다음, 상기 서브마운트 기판과 상기 에피텍셀 구조물을 웨이퍼 본딩하는 본딩 공정을 진행하는 단계, 상기 에피텍셀 구조물에 형성된 성장기판층을 분리(laser lift off, LLO)시키는 단계, 상기 반도체 적층 구조물에 N-전극을 형성하는 단계, 상기 N-전극이 형성된 상기 결과물에 대해 다이싱 공정을 수행하는 단계, 상기 서브마운트 기판의 희생층을 제거하는 단계로 이루어진다.
- [86] 한편, 상기 스트레스 릴리즈층이 구비된 반도체 발광소자용 서브마운트 기판을

이용한 반도체 발광소자의 제조 공정 프로세스 중에서 상기 스트레스 릴리즈층은 서브마운트 기판 제조시 형성하지 않고, 상기 서브마운트 기판과 상기 에피텍셀 구조물을 웨이퍼 본딩하는 본딩 공정 단계 후, 그 다음 공정에서 형성할 수 있다.

- [87] 도 7a 내지 도 7g를 참조하여 상기 스트레스 릴리즈층이 구비된 반도체 발광소자용 서브마운트 기판을 이용한 반도체 발광소자의 제조방법을 자세하게 설명하도록 한다.
- [88] 도 7a를 참조하면, 열전도 특성 및 연성이 우수한 재질로 구성된 임시 지지기판층(701) 상에 희생층(702)과 지지기판층(704)을 차례로 형성한다. 이때, 상기 희생층(702) 상에 지지기판층(704)을 형성하기 전에 상기 희생층(702) 상에 박막의 특성을 향상시키기 위하여 씨드층(703)을 더 형성한다. 이어서, 상기 지지기판층(704) 상에 후속의 본딩 공정시 접착층 역할을 하는 서브마운트 기판용 본딩층(705)을 형성한 후, 상기 임시 지지기판층(701) 하면에 스트레스 릴리즈용 씨드층(706)을 형성하고, 상기 스트레스 릴리즈용 씨드층(706) 상에 적층 박막들의 열팽창계수 차이 및 후속 공정 프로세스가 진행되는 동안 발생하는 압축 스트레스(compressive stress) 및 인장 스트레스(tensile stress)를 상쇄시키기 위한 스트레스 릴리즈층(707)을 형성하여, 상기 스트레스 릴리즈용 씨드층(706)이 구비된 스트레스 릴리즈층(707), 임시 지지기판층(701), 희생층(702), 씨드층(703)을 구비한 지지기판층(704) 및 서브마운트 기판용 본딩층(705)의 적층 구조로 구성된 서브마운트 기판(700)을 준비한다.
- [89] 여기서, 상기 스트레스 릴리즈층(707)은 적층 구조물들 간의 응력을 조절하기 위해 그 형성 두께를 임의로 조절하면서 단층 또는 적층 구조로 형성하고, 바람직하게는, $10\mu\text{m}$ ~ $2000\mu\text{m}$ 두께 범위에서 임의로 두께를 조절하여 단층 또는 적층 구조로 형성시킨다. 상기 스트레스 릴리즈층(707)은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금, CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나 이상의 물질로 형성한다.
- [90] 상기 임시 지지기판층(701)은 후속 공정에서 기계적인 안정을 주는 역할을 하며, 후속 공정에서 희생층(702)과 함께 분리된다. 상기 임시 지지기판층(701)은 열적, 전기적으로 우수한 전도율을 가지는 스텐레스, Cu, Al_2O_3 , SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaN, AlN, InP, 그라파이트(Graphite) 및 금속과 그라파이트의 복합체 중에서 적어도 어느 하나를 포함하는 물질층으로 형성하고, 상기 희생층은 후속 공정시 이웃 칩들 자체에 열적, 기계적인 충격 없이 공정을 원활하게 수행하기 위하여 습식 식각 용액에서 쉽게 용해되는 물질로 구성되며, 바람직하게는, Al_2O_3 , AlN, MgO, AlSiC, BN, BeO, TiO_2 및 SiO_2 중 적어도 어느 하나 이상의 물질층으로 형성한다.
- [91] 상기 지지기판층(704)은 반도체 발광소자의 열 방출을 효과적으로 유도하는

최종 지지기판으로 반도체 발광소자의 지지층 및 전극으로서의 역할을 수행하게 되며, 전기적 도전성이 우수한 Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층을 사용하여 단층 또는 적층 구조로 형성한다.

- [92] 상기 서브마운트 기판용 본딩층(705)은 후속의 공융(eutectic) 접합법으로 부착하기 위한 접착층으로 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나 이상을 포함하는 물질층으로 형성하고, 다른 층과의 접합을 용이하게 하기 위해서 금속으로 이루어진 씨드층(미도시)을 더 구비할 수 있다.
- [93] 이처럼, 상기 임시 지지기판층(701) 하면에 스트레스 릴리즈층(707)이 형성된 서브마운트 기판(700)을 제공함으로써, 상기 스트레스 릴리즈층(707)으로 인하여 후속 공정시 적층 구조물들이 받게 될 응력을 줄일 수 있고, 이로 인해, 질화물계 반도체의 마이크로 크랙이나 깨짐 발생을 방지할 수 있어 고품질 및 고성능의 수직형 반도체 발광소자를 제공할 수 있다.
- [94] 한편, 상기 스트레스 릴리즈용 씨드층(706)을 구비한 스트레스 릴리즈층(707)은 상기 서브마운트 기판을 마련하는 제조 공정시 형성하지 않고, 후속의 본딩 공정을 수행한 후에 상기 임시 지지기판(701)의 하면에 형성할 수 있다. 즉, 상기의 반도체 발광소자의 제조방법에 따라 서브마운트 기판을 마련하는 제조 공정시, 임시 지지기판층(701), 희생층(702), 씨드층(703)을 구비한 지지기판층(704) 및 서브마운트 기판용 본딩층(705)의 적층 구조로만 이루어지고, 상기 스트레스 릴리즈층이 미 구비된 서브마운트 기판을 마련하고 나서, 그런 다음 스트레스 릴리즈층이 미 구비된 서브마운트 기판을 이용하여 후속의 공정들을 차례로 진행한 후, 후속의 서브마운트 기판의 본딩 공정을 수행한 그 다음 공정에서 상기 서브마운트 기판의 임시 지지기판층 하면에 스트레스 릴리즈용 씨드층(706)을 구비한 스트레스 릴리즈층(707)을 형성할 수 있다.
- [95] 도 7b를 참조하면, 투명 사파이어(transparent sapphire)로 구성된 성장기판층(711)을 준비하고, 상기 성장기판층(711) 상에 n형 질화갈륨계로 구성된 N-반도체층 물질, 다중우물구조인 활성층 물질, p형 질화갈륨계로 구성된 P-반도체층 물질을 차례로 증착하고, 상기 P-반도체층 물질 상에 전극과 반사막의 역할을 동시에 수행할 수 있는 P-전극용 물질을 증착한다. 그런 다음, 상기 P-전극용 물질, P-반도체층 물질, 활성층 물질 및 N-반도체층 물질에 ISO(Isolation) 식각 공정을 수행하여 상기 성장기판층(711) 상에 N-반도체층(712a), 활성층(712b), P-반도체층(712c) 및 P-전극(712d)의 적층으로 이루어진 다수의 반도체 적층 구조물(712)을 형성한다. 상기 반도체 적층 구조물(712)은 상기 ISO 식각 공정에 의해 상기 성장기판층(711) 상에 서로

이격된 형태로 다수 개로 형성된다. 한편, 상기 반도체 적층 구조물(712)을 형성하기 위한 식각 공정시, N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 모두 식각하는 ISO 식각 공정을 수행하지 않고, 선택적으로 상기 P-전극용 물질만 패터닝 공정을 수행하여 반도체 적층 구조물을 형성할 수 있다.

- [96] 이어서, 상기 다수의 반도체 적층 구조물(712)의 측면을 포함하여 상기 성장기판층(711) 표면에 유해 이온의 흡수나 저지를 위한 보호막(Passivation layer, 713)을 형성하고, 상기 보호막(713)이 형성된 반도체 적층 구조물이 매립되도록 상기 성장기판층(711) 전면 상에 베리어막(barrier layer, 714)을 형성한다. 이어서, 상기 베리어막(714) 상에 상기 서브마운트 기판(700)과 에피텍셀 구조물(710)을 공융(eutectic) 접합법으로 부착하기 위한 성장기판용 본딩층(715)을 형성하여, 이로써, 상기 성장기판층(711), 반도체 적층 구조물(712), 성장기판용 본딩층(715)으로 구성된 에피텍셀 구조물(710)을 마련한다.
- [97] 상기 성장기판용 본딩층(715)은 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나 이상을 포함하는 물질층으로 형성한다. 한편, 다른 층과의 접합을 용이하게 하기 위해서 금속으로 이루어진 씨드층(미도시)을 추가로 구비할 수 있다.
- [98] 도 7c를 참조하면, 상기 준비된 서브마운트 기판(700)과 에피텍셀 구조물(710)을 본딩시키기 위하여 열-압축(thermo compressive) 방법으로 상기 성장기판용 본딩층(715)과 상기 서브마운트 기판용 본딩층(705)을 본딩한다.
- [99] 한편, 상기 성장기판용 본딩층(715)과 상기 서브마운트 기판용 본딩층(705)을 본딩하는 공정은, 상기 열-압축 방법으로 수행하는 것에 대해 한정되지 않으며, 도금 결정핵층을 사용하는 전기 도금 방법으로 수행할 수 있다.
- [100] 상기 서브마운트 기판(700)과 에피텍셀 구조물(710)을 본딩하기 위한 본딩 공정시, 상기 임시 지지기판층(701)을 포함하는 서브마운트 기판(700)은 상기 성장기판층(711)이 형성된 에피텍셀 구조물(710)과 열팽창계수 차이가 크기 때문에 상기 서브마운트 기판을 웨이퍼 본딩에 의해 결합시키면 웨이퍼 휨 현상 및 반도체 적층 구조물 내부에 미세한 마이크로 크랙이 생성되는 현상이 나타나게 된다. 그러나, 본 발명에서는 상기 스트레스 릴리층이 구비된 서브마운트 기판을 제공함으로써, 본딩 공정시 열팽창계수 차이에 의해 발생하는 웨이퍼 휨 현상을 방지할 수 있다. 이로 인해, 후속 공정을 안정적으로 할 수 있어 열적, 기계적 손상이 없는 고 신뢰성 발광소자를 얻을 수 있다.
- [101] 만약에, 스트레스 릴리층이 미 구비된 서브마운트 기판을 이용하여 상기 본딩 공정을 수행한 경우에는, 스트레스 릴리층이 미 구비된 서브마운트 기판을

사용하여 상기 성장기판용 본딩층(715)과 상기 서브마운트 기판용 본딩층(705)을 본딩한 후에, 그 다음 공정으로 상기 서브마운트 기판의 임시 지지기판층 하면에 스트레스 릴리즈용 씨드층을 구비한 스트레스 릴리즈층을 형성할 수 있다.

- [102] 도 7d를 참조하면, 상기 에피텍셀 구조물(710)과 상기 스트레스 릴리즈층(707)이 구비된 서브마운트 기판(700)이 본딩된 결과물을 레이저 리프트 오프(laser lift off) 공정을 수행하여 상기 성장기판층을 상기 반도체 적층 구조물(712)부터 이탈시킨다. 강한 에너지원인 레이저 빔(laser beam)을 성장기판층 후면을 통해서 조사시키면 상기 반도체 적층 구조물과 상기 성장기판층 사이인 계면에서 강하게 레이저 흡수가 일어나고, 이로 인해 계면에 존재하는 질화갈륨의 열화학 분해 반응에 의해서 투명 사파이어로 구성된 성장기판층이 분리(lift off)된다.
- [103] 상기 레이저 리프트 오프 공정시 다른 격자 상수 및 열팽창계수로 인하여 압축 스트레스 및 인장 스트레스로 인한 기계적 응력이 발생할 수 있으나, 상기 서브마운트 기판에 구비된 상기 스트레스 릴리즈층(707)이 상기 기계적 응력을 상쇄시키는 역할을 하게 되므로, 기계적 스트레스를 해소할 수 있다. 이로 인해, 질화물계 반도체의 마이크로 크랙이나 깨짐 발생을 방지할 수 있고, 그래서, 고품질 및 고성능의 수직형 반도체 발광소자를 제공할 수 있다.
- [104] 도 7e를 참조하면, 상기 레이저 리프트 오프 공정으로 인하여 상기 성장기판층이 이탈되면서 노출된 상기 반도체 적층 구조물(712) 상에 N-전극용 물질을 증착한 후, 상기 N-전극용 물질을 식각하여 상기 N-반도체층(712a) 상에 열적으로 안정한 N-전극(712e)을 형성하여 상기 P-전극(712d), P-반도체층(712c), 활성층(712b), N-반도체층(712a)으로 구성된 반도체 적층 구조물(712) 및 N-전극(712e)으로 구성된 반도체 발광소자 전극 구조체를 형성시킨다.
- [105] 도 7f를 참조하면, 상기 N-전극(712e) 및 반도체 적층 구조물(712)로 구성된 반도체 발광소자 전극 구조체를 단일 칩 구조로 형성하기 위해서 상기 N-전극 형성 방향에 따라 기계적인 절삭, 연삭 및 화학적 에칭, 레이저를 통한 제거 방법으로 상기 반도체 적층 구조물(712)들 사이에 형성된 상기 에피텍셀 구조물을 포함한 상기 서브마운트 기판에 대해 수직방향으로만 절단하되, 상기 스트레스 릴리즈층(707)까지 절단하는 다이싱 공정을 수행한다. 바람직하게, 적어도 상기 희생층(702) 표면, 더 바람직하게, 상기 희생층(702)의 상부면이 노출될 때까지 상기 에피텍셀 구조물을 포함해서 서브마운트 기판을 절단하는 다이싱 공정을 수행한다.
- [106] 상기 다이싱 공정으로 적층 박막들을 절단할 때, 상기 희생층 일부까지 절단이 진행되는 경우에는, 상기 희생층 하면에 형성된 임시 지지기판층(701)은 재활용이 가능한 장점이 있다.
- [107] 한편, 본 발명의 다른 일 실시예에서 상기 다이싱 공정을 수행하는 공정은, 상기에 기술한 바와 같이, 상기 결과물을 단일 칩 구조로 제작하기 위한 다이싱

공정에 대해 설명하고 있으나, 본 발명의 다른 일 실시예에 따른 또 다른 다이싱 공정은, 도 8에서와 같이, 상기 N-전극 및 반도체 적층 구조물로 구성된 반도체 발광소자 전극 구조체를 모듈식 구조로 형성하기 위해서 상기 반도체 적층 구조물들 사이에 형성된 상기 에피텍셀 구조물을 포함한 상기 서브마운트 기판에 대해 수직방향으로만 절단하되, 서로 다른 깊이를 갖는 제1깊이(791) 및 제2깊이(792)로 절단하고, 이때, 상기 제1깊이(791)는 제2깊이(792) 보다 짧은 깊이를 가지며, 적어도 상기 성장기판용 본딩층(715)의 상부면 까지 절단된 깊이를 갖고, 상기 제2깊이(792)는 적어도 상기 희생층(702)의 상부면 까지 절단된 깊이를 갖도록 수행한다.

[108] 도 7g를 참조하면, 상기 다이싱 공정이 수행된 기판 결과물에 대해 희생층으로 사용된 물질에 따라 결정되는 산, 염기 또는 염 용액을 이용하여 상기 희생층을 용해시켜서 상기 임시 지지기판층을 수평방향에 따라 분리(separation)시켜 제거하여 최종적으로 단일화된 반도체 발광소자를 제조한다. 여기서, 상기 임시 지지기판층이 분리되면서 상기 희생층 상에 형성된 지지기판(704)은 최종적인 반도체 발광소자의 지지층 및 전극으로서의 역할을 수행하는 것이 바람직하므로, 상기 지지기판층(704)을 인하여 전기적 도전성이 좋고 열 전달의 효율성이 좋으며, 생산성이 쉬운 지지기판을 얻게 된다.

[109] 상기 임시 지지기판층은 발광소자의 열 방출을 위해 희생층과 함께 제거되면서 서브마운트 기판으로부터 분리되지만, 상기 서브마운트 기판을 마련할 때 상기 임시 지지기판층을 구비함으로써, 서브마운트 기판의 두께 확보를 할 수 있게 되었고, 이로 인하여 얇은 두께를 갖는 서브마운트 기판 보다 후속 공정시 기계적 안정을 가져올 수 있어서 공정 중 파손을 막을 수 있고, 이로 인하여 제조 공정의 안정성을 확보할 수 있다.

[110] 상기에서 본 발명의 바람직한 실시예가 특정 용어들을 사용하여 설명 및 도시되었지만 그러한 용어는 오로지 본 발명을 명확히 설명하기 위한 것일 뿐이며, 본 발명의 실시예 및 기술된 용어는 다음의 청구범위의 기술적 사상 및 범위로부터 이탈되지 않고서 여러가지 변경 및 변화가 가해질 수 있는 것은 자명한 일이다. 이와 같이 변형된 실시예들은 본 발명의 사상 및 범위로부터 개별적으로 이해되어져서는 안되며, 본 발명의 청구범위 안에 속한다고 해야 할 것이다.

[111]

청구범위

- [청구항 1] 임시 지지기판층;
 상기 임시 지지기판층 상면에 형성된 희생층;
 상기 희생층 상에 형성된 지지기판층;
 상기 지지기판층 상에 형성된 서브마운트 기판용 본딩층; 및
 상기 임시 지지기판층 하면에 형성된 스트레스 릴리즈층을
 포함하는 반도체 발광소자용 서브마운트 기판.
- [청구항 2] 제 1 항에 있어서,
 상기 임시 지지기판층은 스텐레스, Cu, Al₂O₃, SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그라파이트(Graphite) 및 금속-그라파이트 복합체 중에서 적어도 어느 하나를 포함하는 반도체 발광소자용 서브마운트 기판.
- [청구항 3] 제 1 항에 있어서,
 상기 희생층은 Al₂O₃, AlN, MgO, AlSiC, BN, BeO, TiO₂, SiO₂ 및 PR(Photoresist) 중 적어도 어느 하나의 물질로 이루어진 반도체 발광소자용 서브마운트 기판.
- [청구항 4] 제 1 항에 있어서,
 상기 희생층과 상기 지지기판층 사이에 형성된 씨드층을 더
 포함하는 반도체 발광소자용 서브마운트 기판.
- [청구항 5] 제 1 항에 있어서,
 상기 지지기판층은 단층 또는 적층 구조로 형성되고, Ni, Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층으로 이루어진 반도체 발광소자용 서브마운트 기판.
- [청구항 6] 제 1 항에 있어서,
 상기 서브마운트 기판용 본딩층은 Al-Si, Ag-Cd, Au-Sb, Al-Zn, Al-Mg, Al-Ge, Pd-Pb, Ag-Sb, Au-In, Al-Cu-Si, Ag-Cd-Cu, Cu-Sb, Cd-Cu, Au-Sn, Ag-Sn, Au-Sn-Ni, Ag-Sn-Ni, Al-Si-Cu, Ag-Cu, Ag-Zn, Ag-Cu-Zn, Ag-Cd-Cu-Zn, Au-Si, Au-Ge, Au-Ni, Au-Cu, Au-Ag-Cu, Cu-Cu₂O, Cu-Zn, Cu-P, Ni-B, Ni-Mn-Pd, Ni-P 및 Pd-Ni 중에서 적어도 어느 하나를 포함하는 물질계로 이루어진 반도체 발광소자용 서브마운트 기판.
- [청구항 7] 제 1 항에 있어서,
 상기 스트레스 릴리즈층은 단층 또는 적층 구조로 형성된 반도체 발광소자용 서브마운트 기판.
- [청구항 8] 제 1 항에 있어서,
 상기 스트레스 릴리즈층은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금,

CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나를 포함하여 이루어진 반도체 발광소자용 서브마운트 기판.

[청구항 9]

제 1 항에 있어서,
상기 스트레스 릴리즈층은 $10\mu\text{m}\sim 2000\mu\text{m}$ 두께를 갖는 반도체 발광소자용 서브마운트 기판.

[청구항 10]

제 1 항에 있어서,
상기 임시 지지기판층과 스트레스 릴리즈층 사이에 형성된 스트레스 릴리즈용 씨드층을 더 포함하는 반도체 발광소자용 서브마운트 기판.

[청구항 11]

스트레스 릴리즈층, 임시 지지기판층, 희생층, 지지기판층 및 서브마운트 기판용 본딩층이 차례로 적층된 서브마운트 기판을 마련하는 (a)단계;
성장기판층 상에 N-반도체층, 활성층, P-반도체층 및 P-전극이 적층으로 형성된 반도체 적층 구조물 및 상기 반도체 적층 구조물 상에 적층되어 형성된 성장기판용 본딩층을 포함하는 에피텍셀 구조물을 마련하는 (b)단계;
상기 성장기판용 본딩층과 상기 서브마운트 기판용 본딩층을 본딩하는 (c)단계;
상기 서브마운트 기판과 본딩된 상기 성장기판층을 반도체 적층 구조물로부터 이탈시키는 (d)단계;
상기 성장기판층이 이탈되면서 노출된 상기 반도체 적층 구조물의 N-반도체층 상에 N-전극을 형성하는 (e)단계;
상기 (e)단계 결과물을 절단하기 위하여 상기 N-전극 형성 방향에서부터 수직방향으로 다이싱(dicing) 공정을 수행하는 (f)단계; 및
상기(f)단계 결과물의 상기 서브마운트 기판의 희생층 부분을 제거하면서 상기 임시 지지기판층을 분리시키는 (g)단계;를 포함하는 것을 특징으로 하는 반도체 발광소자의 제조방법.

[청구항 12]

제 11 항에 있어서,
상기 에피텍셀 구조물을 마련하는 (b)단계는,
상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 증착하는 단계;
상기 P-전극용 물질, P-반도체층 물질, 활성층 물질 및 N-반도체층 물질에 ISO(Isolation) 식각 공정을 수행하여 상기 성장기판층 상에 N-반도체층, 활성층, P-반도체층 및 P-전극의 적층으로 이루어진 다수의 반도체 적층 구조물을 서로 이격하면서 형성하는 단계;

상기 다수의 반도체 적층 구조물의 측면을 포함하여 상기 성장기판층 표면에 보호막을 형성하는 단계;
 상기 보호막이 형성된 반도체 적층 구조물이 매립되도록 상기 성장기판층 전면 상에 베리어막을 형성하는 단계; 및
 상기 베리어막 상에 성장기판용 본딩층을 형성하는 단계;를 포함하는 반도체 발광소자의 제조방법.

[청구항 13]

제 11 항에 있어서,
 상기 에피텍셀 구조물을 마련하는 (b)단계는,
 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 P-전극용 물질을 차례로 증착하는 단계;
 상기 P-전극용 물질을 패터닝하여 상기 성장기판층 상에 N-반도체층 물질, 활성층 물질, P-반도체층 물질 및 패터닝된 P-전극용 물질의 적층으로 이루어진 반도체 적층 구조물을 형성하는 단계;
 상기 패터닝된 P-전극용 물질을 포함한 반도체 적층 구조물이 매립되도록 상기 성장기판층 전면 상에 베리어막을 형성하는 단계; 및
 상기 베리어막 상에 성장기판용 본딩층을 형성하는 단계;를 포함하는 반도체 발광소자의 제조방법.

[청구항 14]

제 11 항에 있어서,
 상기 임시 지지기판층은 스텐레스, Cu, Al_2O_3 , SiC, Si, Ge, SiGe, GaAs, GaP, ZnO, GaN, AlGaIn, AlN, InP, 그라파이트(Graphite) 및 금속-그라파이트 복합체 중에서 적어도 어느 하나를 포함하여 형성하는 반도체 발광소자의 제조방법.

[청구항 15]

제 11 항에 있어서,
 상기 희생층은 Al_2O_3 , AlN, MgO, AlSiC, BN, BeO, TiO_2 , SiO_2 및 PR(Photoresist) 중 적어도 어느 하나의 물질로 형성하는 반도체 발광소자의 제조방법.

[청구항 16]

제 11 항에 있어서,
 상기 지지기판층은 단층 또는 적층 구조로 형성하고, Ni, Cu, Ag, Au 및 Al 중에서 어느 하나를 포함하는 전해 도금층 또는 무전해 도금층으로 형성하는 반도체 발광소자의 제조방법.

[청구항 17]

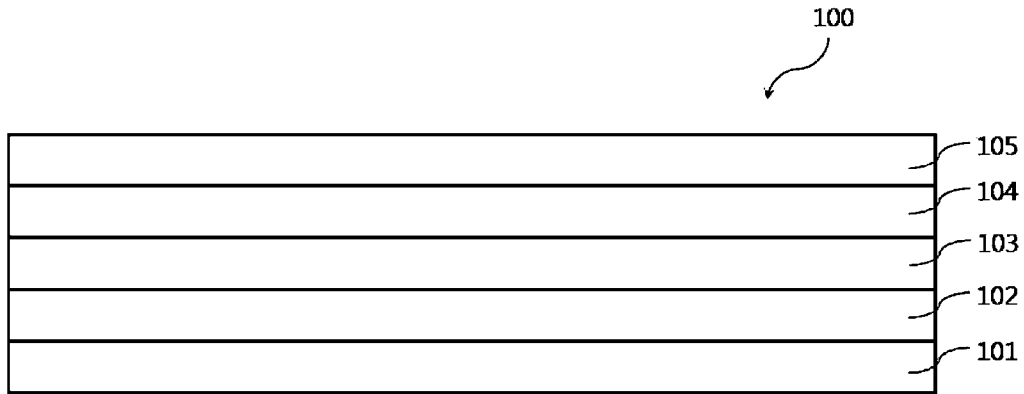
제 11 항에 있어서,
 상기 (a)단계에서 상기 희생층과 상기 지지기판층 사이에 씨드층을 형성하는 것을 더 포함하는 반도체 발광소자의 제조방법.

[청구항 18]

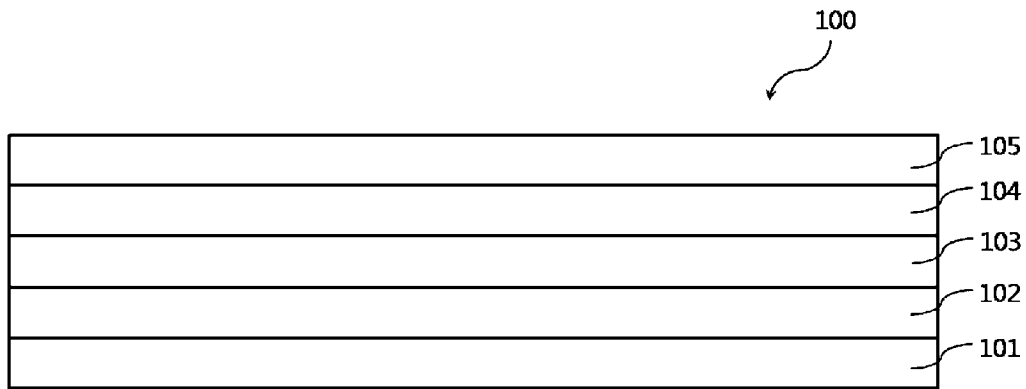
제 11 항에 있어서,
 상기 스트레스 릴리즈층은 단층 또는 적층 구조로 형성하는

- 반도체 발광소자의 제조방법.
- [청구항 19] 제 11 항에 있어서,
상기 스트레스 릴리즈층은 Ag, Al, Rh, Pt, Au, Cu, Ni, Pd, 금속성 실리사이드(metallic silicide), Ag계 합금, Al계 합금, Rh계 합금, CNTNs(carbon nanotube networks), 투명 전도성 산화물, 투명 전도성 질화물, Ti, W, Cr, Ni, Pt, NiCr, TiW, CuW, Ta, TiN, CrN 및 TiWN 중에서 어느 하나를 포함하여 이루어진 반도체 발광소자의 제조방법.
- [청구항 20] 제 11 항에 있어서,
상기 스트레스 릴리즈층은 $10\mu\text{m}\sim 2000\mu\text{m}$ 두께로 형성하는 반도체 발광소자의 제조방법.
- [청구항 21] 제 11 항에 있어서,
상기 임시 지지기판층과 스트레스 릴리즈층 사이에 스트레스 릴리즈용 씨드층을 형성하는 것을 더 포함하는 반도체 발광소자의 제조방법.
- [청구항 22] 제 11 항에 있어서,
상기 다이싱(dicing) 공정을 수행하는 (f)단계는,
적어도 상기 서브마운트 기판의 상기 희생층 표면이 노출될 때까지 절단해서 상기 반도체 적층 구조물을 단일 칩 구조로 형성하는 반도체 발광소자 제조방법.
- [청구항 23] 제 11 항에 있어서,
상기 다이싱(dicing) 공정을 수행하는 (f)단계는,
서로 다른 깊이를 갖는 제1깊이 및 제2깊이로 절단해서 상기 반도체 적층 구조물을 모듈식 구조로 형성하는 반도체 발광소자 제조방법.

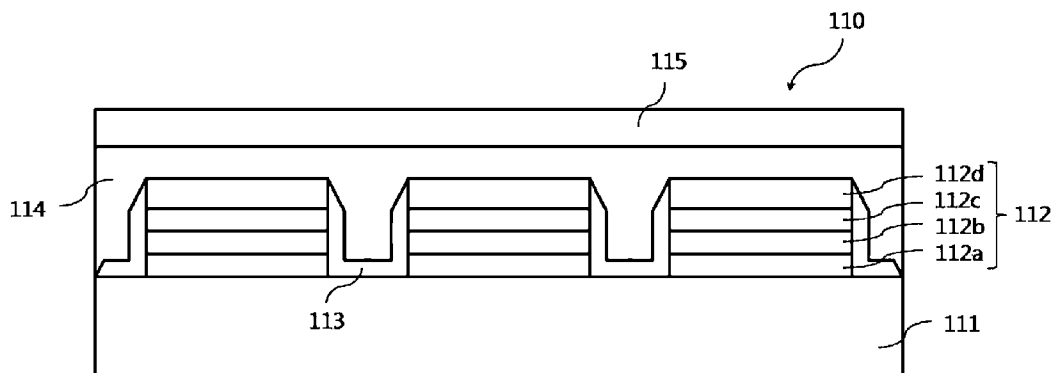
[Fig. 1]



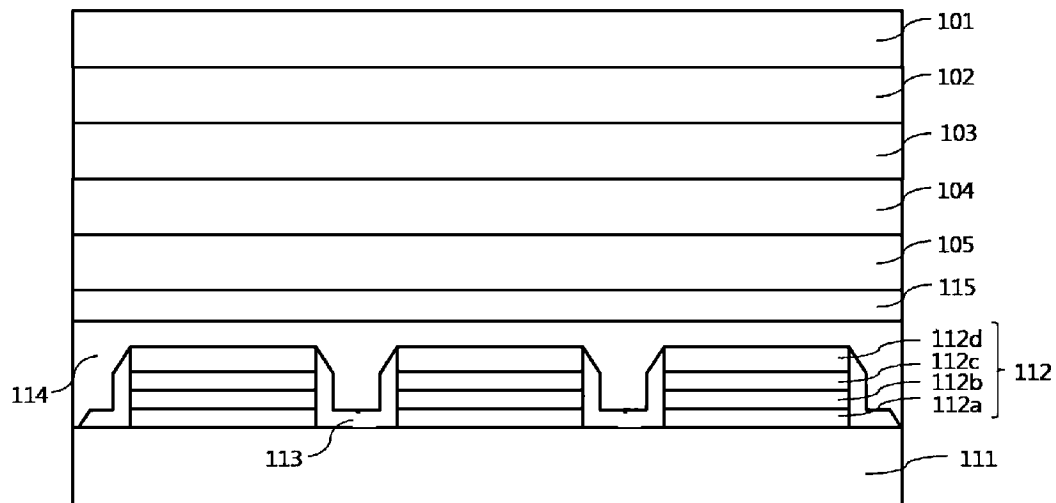
[Fig. 2a]



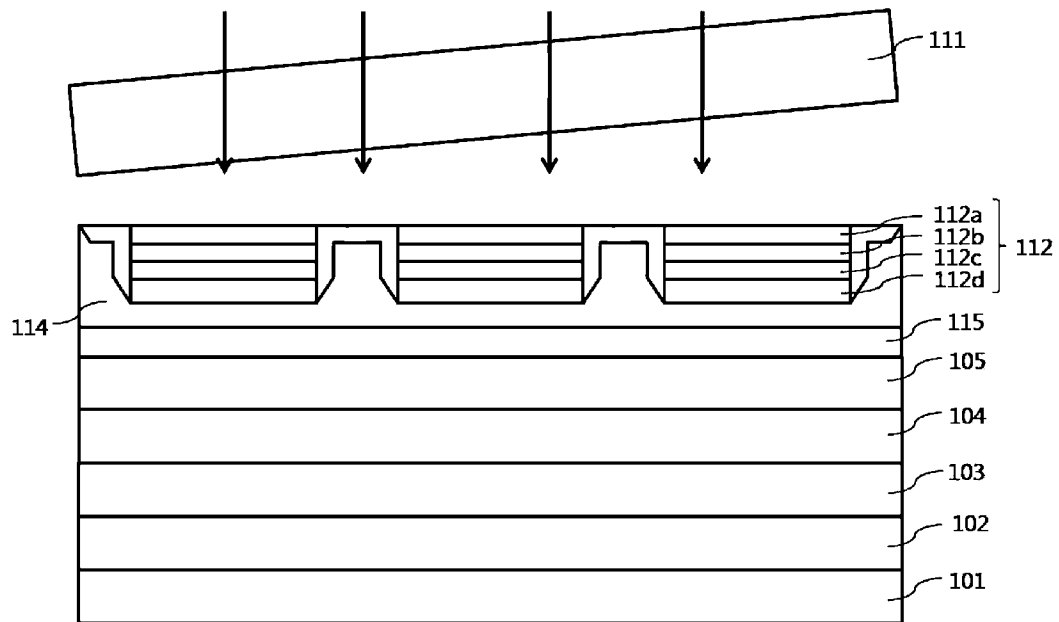
[Fig. 2b]



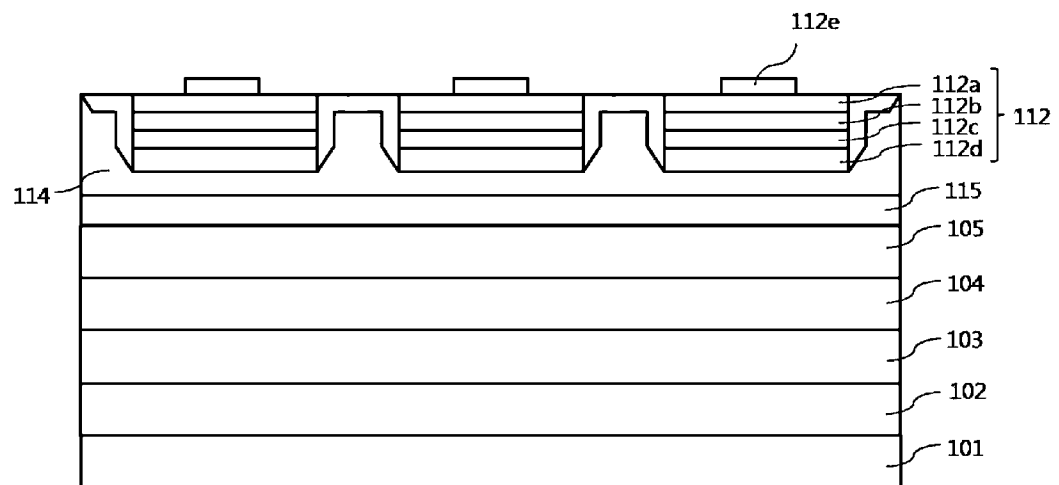
[Fig. 2c]



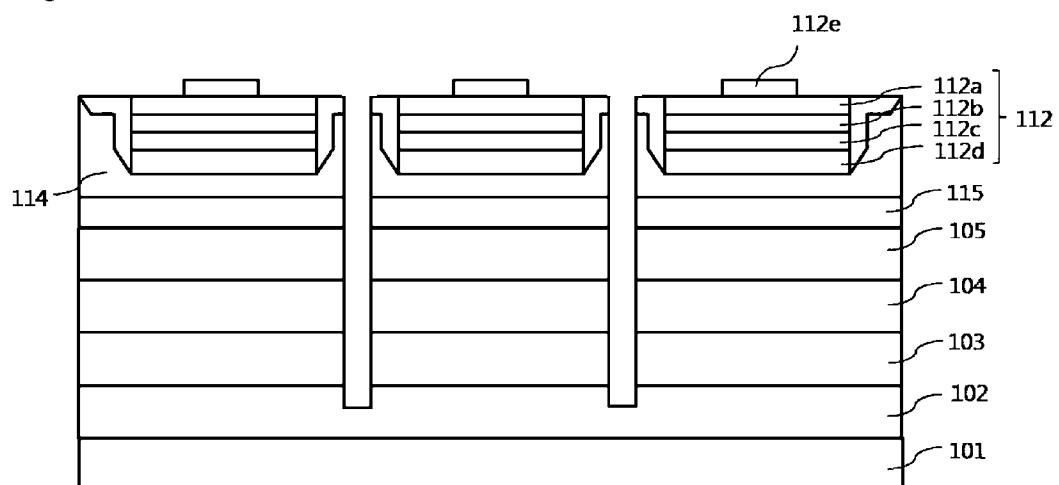
[Fig. 2d]



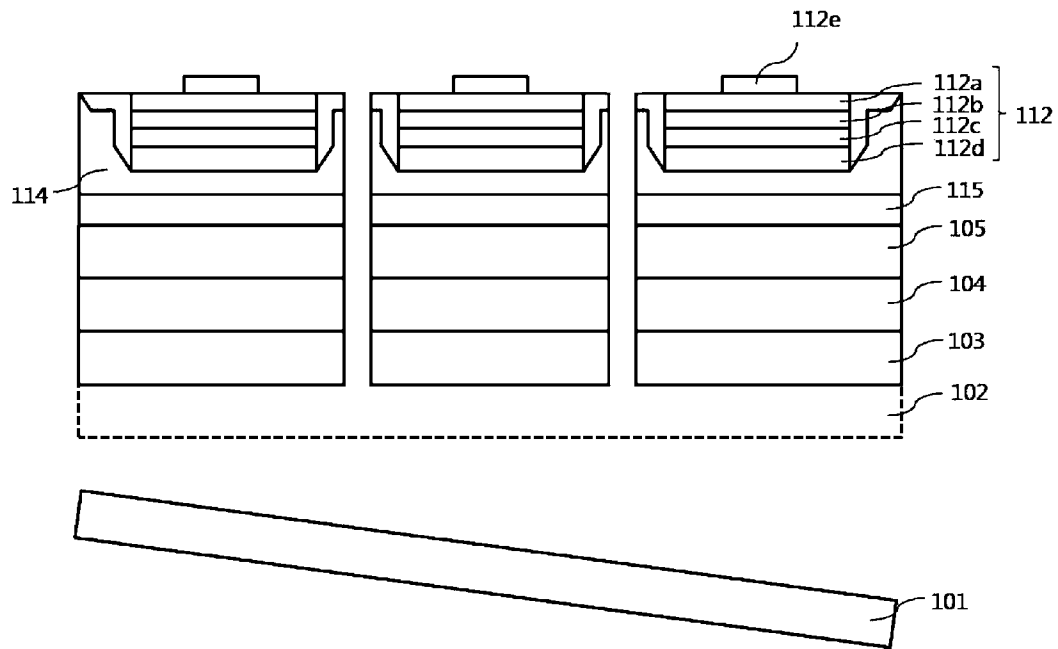
[Fig. 2e]



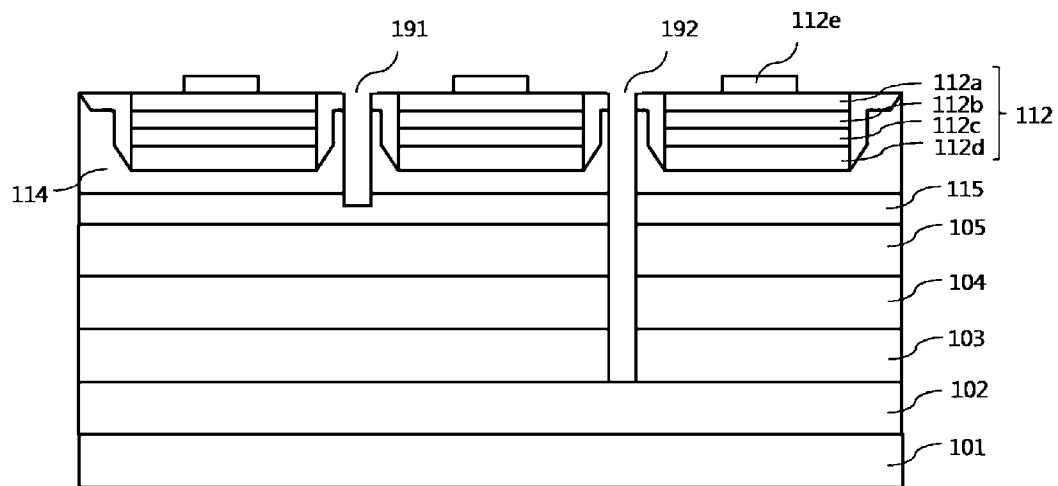
[Fig. 2f]



[Fig. 2g]



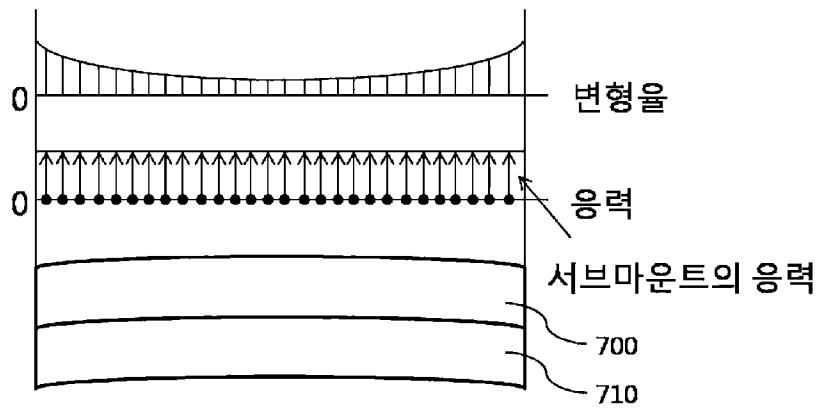
[Fig. 3]



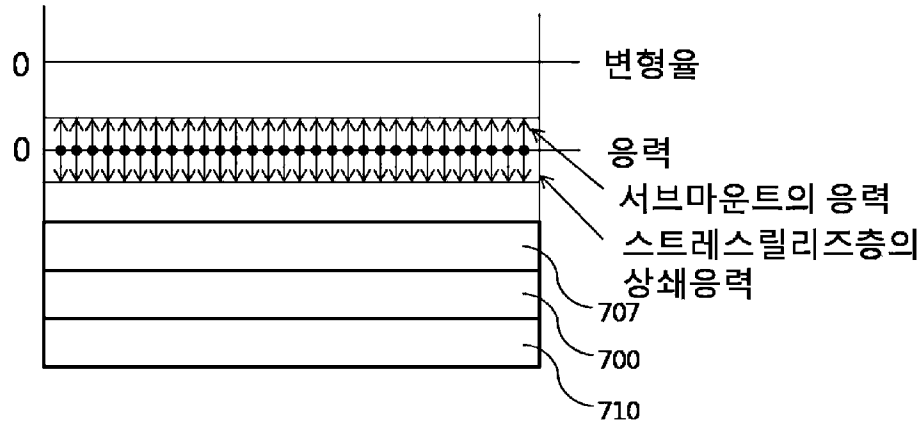
[Fig. 4]



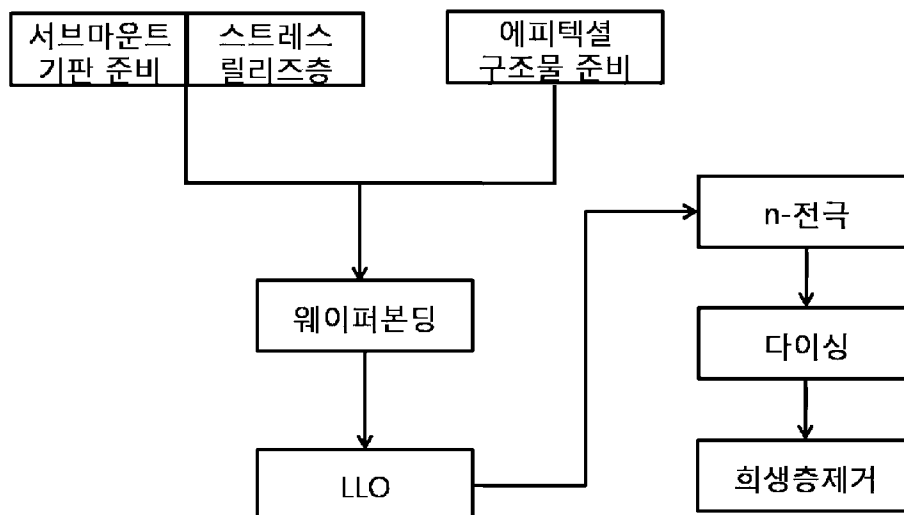
[Fig. 5a]



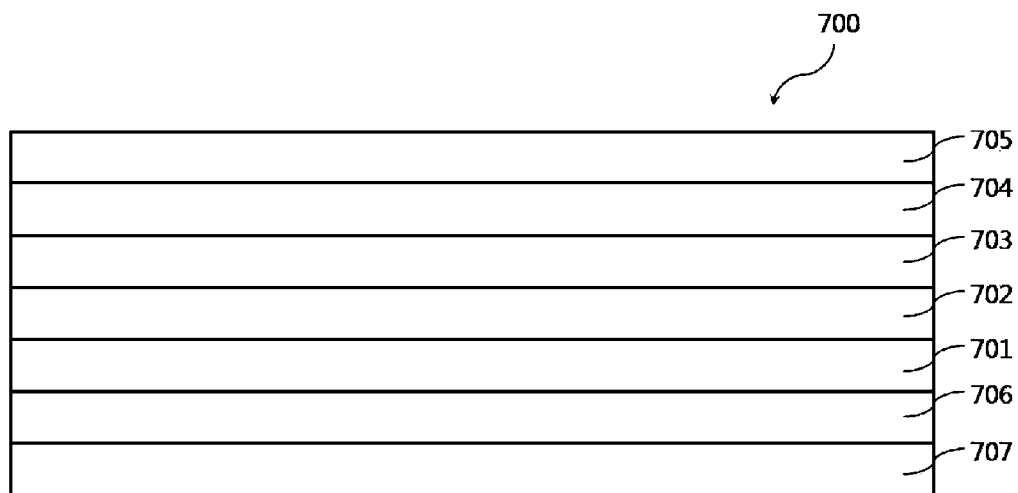
[Fig. 5b]



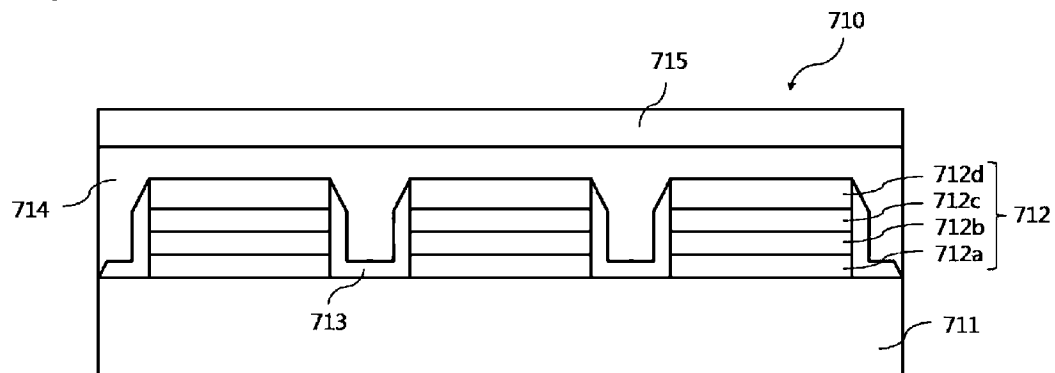
[Fig. 6]



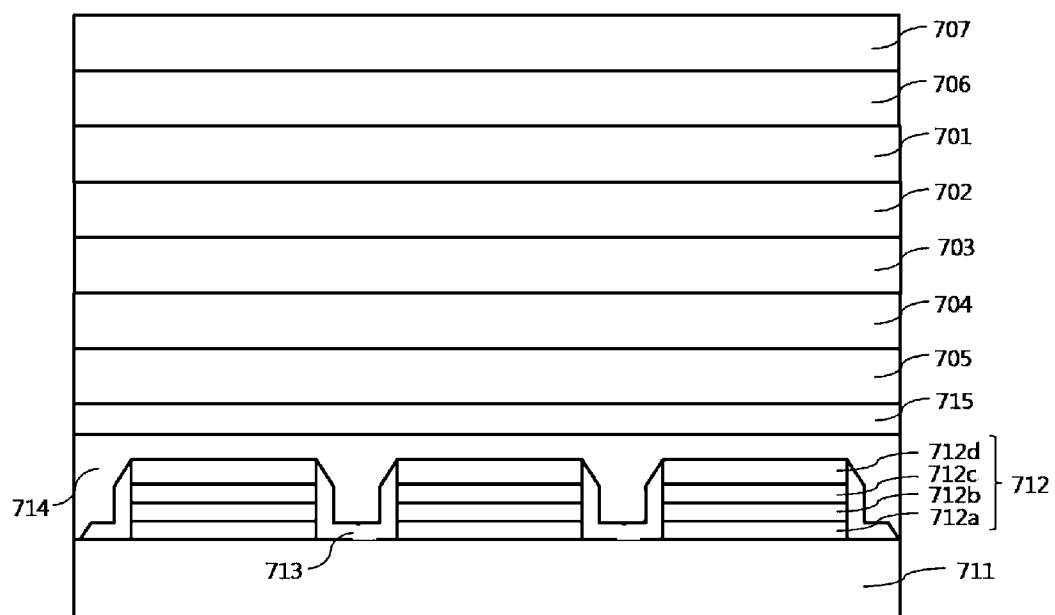
[Fig. 7a]



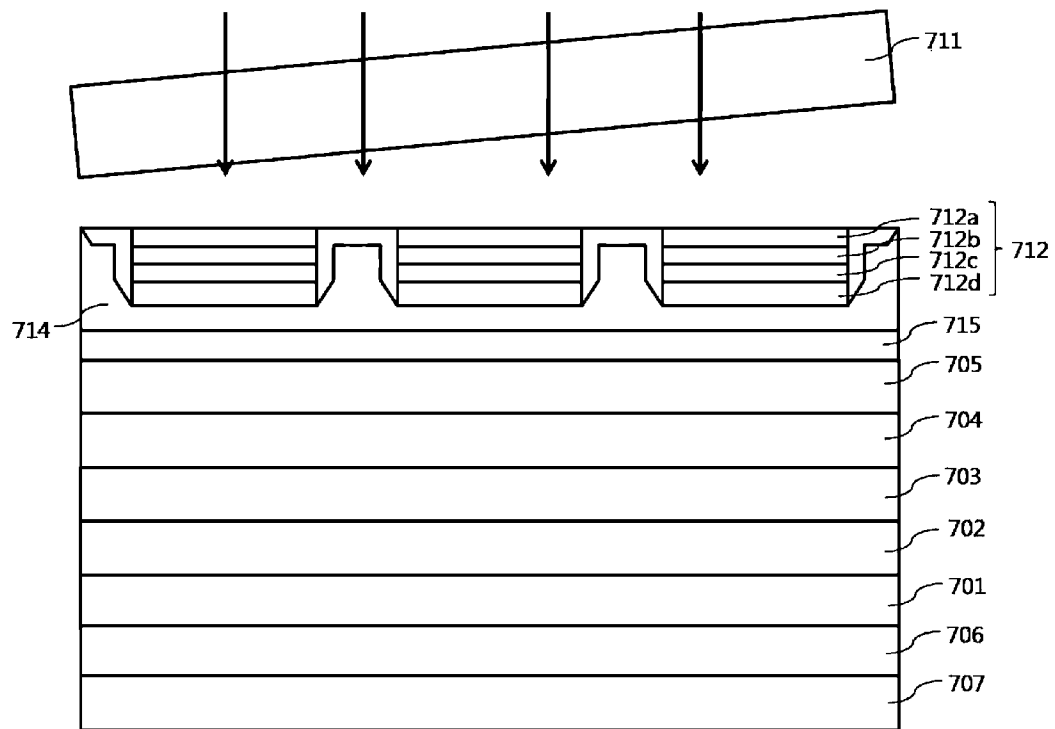
[Fig. 7b]



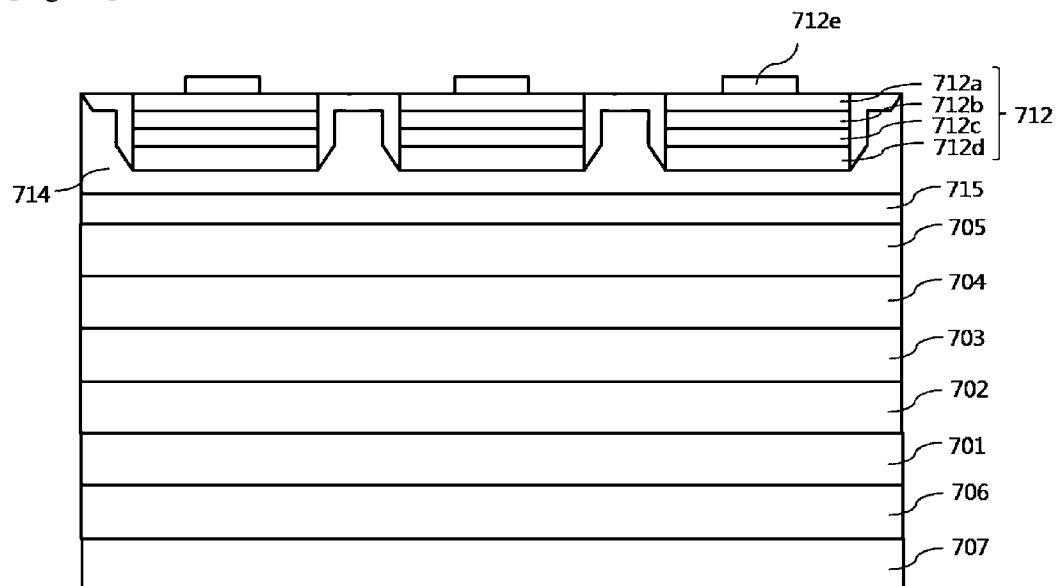
[Fig. 7c]



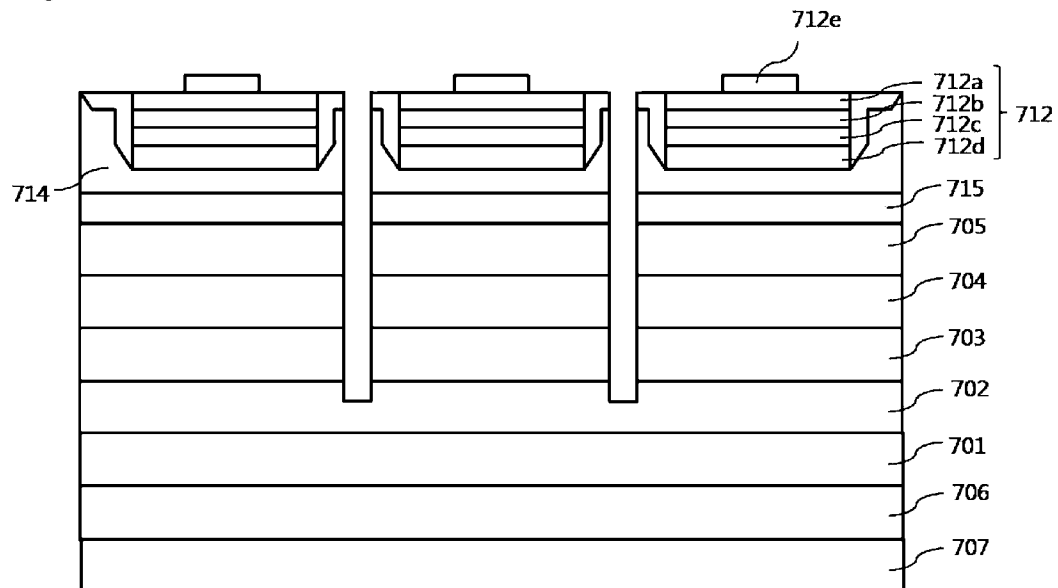
[Fig. 7d]



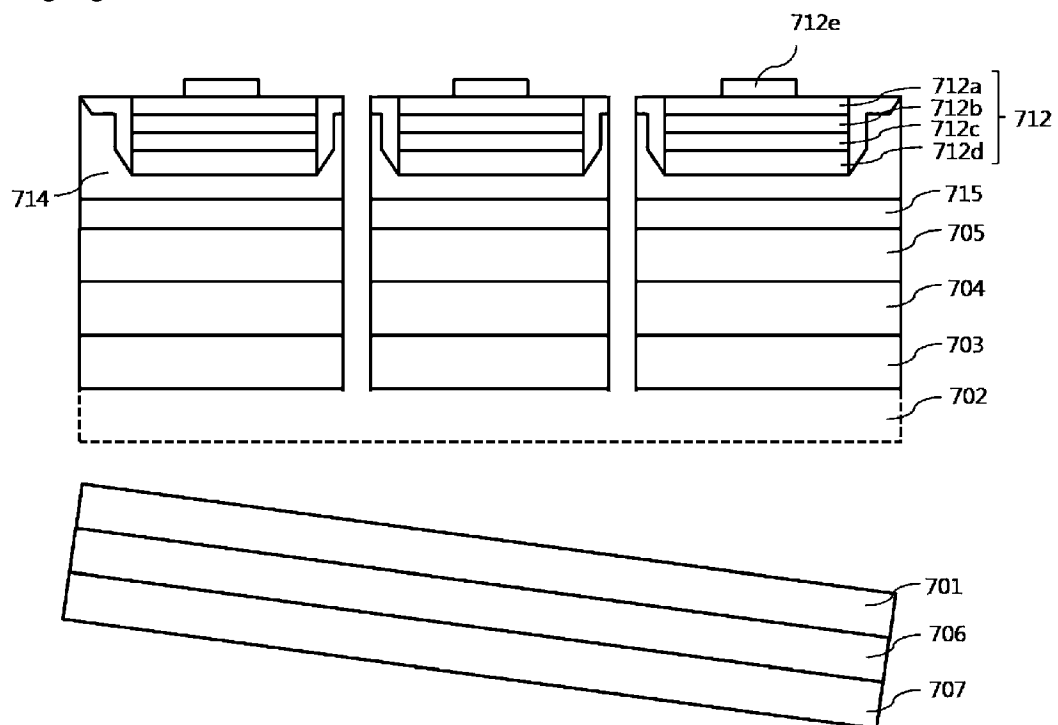
[Fig. 7e]



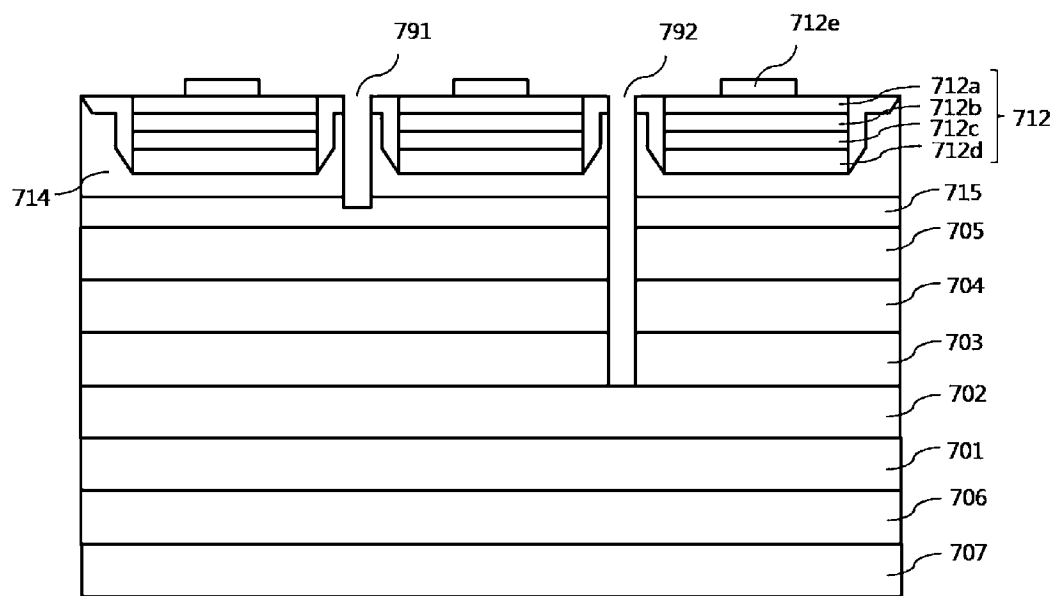
[Fig. 7f]



[Fig. 7g]



[Fig. 8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/001436**A. CLASSIFICATION OF SUBJECT MATTER****H01L 33/12(2010.01)i, H01L 33/02(2010.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L 33/12; H01L 21/28; H01L 33/00; H01L 33/02; H01L 33/36

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: vertical structure, support substrate, conductive substrate, submount, sacrificial layer, stress, bonding layer

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 10-0916366 B1 (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 11 September 2009 See claims 1,2,3-7,11 and 15, paragraph [0045] and figures 4(a)-4(e).	1-23
A	KR 10-2010-0008123 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 25 January 2010 See claims 1-3,9,15 and 20, paragraphs [0094]-[0105] and figures 4(a)-4(f).	1-23
A	JP 2004-281863 A (NICHIA CHEM IND LTD) 07 October 2004 See claim 6, paragraphs [0026],[0028] and [0080] and figure 1.	1-23



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

30 MAY 2013 (30.05.2013)

Date of mailing of the international search report

04 JUNE 2013 (04.06.2013)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/001436

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0916366 B1	11.09.2009	NONE	
KR 10-2010-0008123 A	25.01.2010	CN102099934 A EP 2315268 A2 EP 2333845 A2 EP 2333846 A2 JP 2011-528500A US 2011-0114984 A1 WO 2010-008209 A2 WO 2010-008209 A3	15.06.2011 27.04.2011 15.06.2011 15.06.2011 17.11.2011 19.05.2011 21.01.2010 21.01.2010
JP 2004-281863 A	07.10.2004	JP 4325232 B2	02.09.2009

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H01L 33/12(2010.01)i, H01L 33/02(2010.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H01L 33/12; H01L 21/28; H01L 33/00; H01L 33/02; H01L 33/36

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 수직구조, 지지 기판, 전도성 기판, 서브마운트, 희생층, 스트레스, 본딩층

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
A	KR 10-0916366 B1 (고려대학교 산학협력단) 2009.09.11 청구항 1,2,3-7,11,15, 단락 [0045] 및 도면 4(a)-4(e) 참조.	1-23
A	KR 10-2010-0008123 A (고려대학교 산학협력단) 2010.01.25 청구항 1-3,9,15,20, 단락 [0094]-[0105] 및 도면 4(a)-4(f) 참조.	1-23
A	JP 2004-281863 A (NICHIA CHEM IND LTD) 2004.10.07 청구항 6, 단락 [0026],[0028],[0080] 및 도면 1 참조.	1-23

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 05월 30일 (30.05.2013)

국제조사보고서 발송일

2013년 06월 04일 (04.06.2013)

ISA/KR의 명칭 및 우편주소

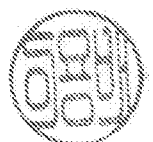
 대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 82-42-472-7140

심사관

이용배

전화번호 82-42-481-8360



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0916366 B1	2009.09.11	없음	
KR 10-2010-0008123 A	2010.01.25	CN102099934 A EP 2315268 A2 EP 2333845 A2 EP 2333846 A2 JP 2011-528500A US 2011-0114984 A1 WO 2010-008209 A2 WO 2010-008209 A3	2011.06.15 2011.04.27 2011.06.15 2011.06.15 2011.11.17 2011.05.19 2010.01.21 2010.01.21
JP 2004-281863 A	2004.10.07	JP 4325232 B2	2009.09.02