

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl.<sup>7</sup>  
H01L 27/12  
H01L 29/786

(45) 공고일자 2005년05월27일  
(11) 등록번호 10-0491853  
(24) 등록일자 2005년05월19일

(21) 출원번호 10-2002-0082270  
(22) 출원일자 2002년12월23일

(65) 공개번호 10-2003-0084557  
(43) 공개일자 2003년11월01일

(30) 우선권주장 JP-P-2002-00124180 2002년04월25일 일본(JP)

(73) 특허권자 미쓰비시덴키 가부시키키가이샤  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고

(72) 발명자 마에다시게노부  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부시키키가이샤 나이

마쓰모토 타쿠지  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부시키키가이샤 나이

이와마쓰 토시아키  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부시키키가이샤 나이

이쵸시타 카시  
일본국 도쿄도 지요다쿠 마루노우치 2초메 2반 3고 미쓰비시덴키 가부시키키가이샤 나이

(74) 대리인 권태복  
이화익

심사관 : 김근모

(54) 반도체장치 및 그 제조방법

요약

보디고정을 가능하게 함과 동시에, 고속이며 안정적인 동작을 실현하는 SOI 디바이스를 제공한다. 게이트전극(12)의 게이트 콘택패드(GP) 이외의 부분과 SOI층(3)과의 사이에는, 두께 1~5nm의 게이트 절연막(11)이 배치되고, 게이트 콘택패드(GP)와 SOI층(3)과의 사이에는, 두께 5~15nm의 게이트 절연막(110)이 배치되어 있다. 또한, 게이트 절연막(11)과 게이트 절연막(110)과는 연속되어 있다.

대표도

도 2

색인어

실리콘기판, 매립산화막, 게이트, 절연막, 전극, 반도체, 제조방법, 콘택패드

명세서

도면의 간단한 설명

- 도 1은 본 발명에 관한 실시예 1의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 2는 본 발명에 관한 실시예 1의 MOS 트랜지스터의 단면구성을 나타내는 도면이다.
- 도 3은 본 발명에 관한 실시예 1의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 4는 본 발명에 관한 실시예 1의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 5는 본 발명에 관한 실시예 1의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 6은 본 발명에 관한 실시예 1의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 7은 본 발명에 관한 실시예 1의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 8은 본 발명에 관한 실시예 2의 소스타이 구조의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 9는 본 발명에 관한 실시예 2의 소스타이 구조의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 10은 본 발명에 관한 실시예 2의 소스타이 구조의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 11은 본 발명에 관한 실시예 2의 소스타이 구조의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 12는 본 발명에 관한 실시예 3의 MOS 트랜지스터의 단면구성을 나타내는 도면이다.
- 도 13은 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 14는 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 15는 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 16은 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 17은 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 18은 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 19는 본 발명에 관한 실시예 4의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 20은 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 21은 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 22는 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 23은 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 24는 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 25는 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 26은 본 발명에 관한 실시예 4의 제조방법의 응용예를 설명하는 도면이다.
- 도 27은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 28은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 29는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 30은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 31은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.

- 도 32는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 33은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 부분 상세도이다.
- 도 34는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정에서, SOI층의 측벽을 산화하지 않은 공정을 나타내는 도면이다.
- 도 35는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 36은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 37은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 38은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 39는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 40은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 41은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 42는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정의 변형예를 설명하는 도면이다.
- 도 43은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 평면도이다.
- 도 44는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 평면도이다.
- 도 45는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 평면도이다.
- 도 46은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 제조공정을 설명하는 평면도이다.
- 도 47은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 평면구성을 설명하는 도면이다.
- 도 48은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 평면구성을 설명하는 도면이다.
- 도 49는 본 발명에 관한 실시예 5의 MOS 트랜지스터의 이점을 설명하는 평면도이다.
- 도 50은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 평면구성의 변형예를 설명하는 도면이다.
- 도 51은 본 발명에 관한 실시예 5의 MOS 트랜지스터의 마스크 데이터의 작성을 설명하는 평면도이다.
- 도 52는 본 발명에 관한 실시예 5의 제조방법의 응용예를 설명하는 도면이다.
- 도 53은 본 발명에 관한 실시예 5의 제조방법의 응용예를 설명하는 도면이다.
- 도 54는 본 발명에 관한 실시예 5의 제조방법의 응용예를 설명하는 도면이다.
- 도 55는 본 발명에 관한 실시예 5의 제조방법의 응용예를 설명하는 도면이다.
- 도 56은 본 발명에 관한 실시예 5의 제조방법의 개량예를 설명하는 도면이다.
- 도 57은 본 발명에 관한 실시예 5의 제조방법의 개량예를 설명하는 도면이다.
- 도 58은 본 발명에 관한 실시예 5의 제조방법의 개량예를 설명하는 도면이다.
- 도 59는 본 발명에 관한 실시예 5의 제조방법의 개량예를 설명하는 도면이다.
- 도 60은 본 발명에 관한 실시예 5의 제조방법의 개량예를 설명하는 도면이다.
- 도 61은 본 발명에 관한 실시예 6의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.

- 도 62는 본 발명에 관한 실시예 6의 MOS 트랜지스터의 제조도중의 단면구성을 나타내는 도면이다.
- 도 63은 본 발명에 관한 실시예 6의 MOS 트랜지스터의 제조도중의 단면구성을 나타내는 도면이다.
- 도 64는 본 발명에 관한 실시예 7의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 65는 본 발명에 관한 실시예 7의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 66은 본 발명에 관한 실시예 7의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 67은 본 발명에 관한 실시예 7의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 68은 듀얼옥사이드 프로세스를 설명하는 도면이다.
- 도 69는 듀얼옥사이드 프로세스를 설명하는 도면이다.
- 도 70은 듀얼옥사이드 프로세스를 설명하는 도면이다.
- 도 71은 듀얼옥사이드 프로세스를 설명하는 도면이다.
- 도 72는 듀얼옥사이드 프로세스를 설명하는 도면이다.
- 도 73은 듀얼옥사이드 프로세스를 설명하는 플로우 차트이다.
- 도 74는 일반적인 PTI구조의 MOS 트랜지스터의 단면구조를 나타내는 도면이다.
- 도 75는 종래의 PTI구조의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 76은 종래의 PTI구조의 MOS 트랜지스터의 제조공정을 설명하는 도면이다.
- 도 77은 종래의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 78은 종래의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 79는 종래의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.
- 도 80은 종래의 MOS 트랜지스터의 평면구성을 나타내는 도면이다.

\*도면의 주요부분에 대한 부호의 설명

11, 110 : 게이트 절연막 12 : 게이트전극

BD : 보디콘택부 GP : 게이트 콘택패드

MP : 불록부

## 발명의 상세한 설명

### 발명의 목적

#### 발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체장치에 관한 것으로, 특히, 트렌치 분리절연막을 갖는 반도체장치의 제조방법에 관한 것이다.

실리콘기판상에 매립산화막 및 SOI(Silicon On Insulator)층이 배치된 SOI기판에 형성되는 SOI구조의 반도체장치(이후, SOI 디바이스라 호칭함)는, 기생용량을 감소할 수 있고, 고속이며 안정적인 동작 및 저소비전력이라는 특징을 가지며, 휴대기기 등에 사용되고 있다.

SOI 디바이스의 일예로서는, SOI층의 표면내에 매립산화막에 도달하는 트렌치를 설치하고, 해당 트렌치내에 절연물을 매립함으로써 형성된 완전트렌치 분리절연막에 의해, 소자 사이를 전기적으로 분리하는 완전트렌치 분리(FTI)구조의 SOI

디바이스가 있다. 그러나, 충돌전리현상에 의해 발생하는 캐리어(NMOS에서는 홀)가 채널형성영역에 축적되고, 이것에 의해 킹크(kink)가 발생하거나, 동작내압이 열화하거나, 또한, 채널형성영역의 전위가 안정하지 않기 때문에 지연시간의 초과 의존성이 발생하는 등의 기관 부유효과에 의해 생기는 여러가지의 문제점이 있었다.

그래서 고안된 것이, 트렌치의 바닥부와 매립산화막과의 사이에 소정 두께의 SOI층이 남도록 SOI층의 표면내에 트렌치를 형성하고, 해당 트렌치내에 절연물을 매립함으로써 형성된 과절트렌치 분리(PTI)구조이다.

도 74에 PTI구조의 MOS 트랜지스터 Q10의 단면구조를 나타낸다. 또한, 도 74에서는, MOS 트랜지스터 Q10의 게이트 폭 방향에 있어서의 단면구조를 나타내고 있다.

도 74에 나타내는 바와 같이, 실리콘기관(1), 매립산화막(2) 및 SOI층(3)으로 구성되는 SOI기관의 SOI층(3)의 표면내에, 부분분리 산화막(PT)이 배치되고, 부분분리 산화막(PT)에 의해 규정되는 활성영역(AR)상에, 게이트 산화막(11) 및 게이트 전극(12)이 순서대로 배치되어 있다.

부분분리 산화막(PT)의 바닥부와 매립산화막(2)과의 사이에는 SOI층(3)이 존재하여 웰영역(WR)이 되어 있고, 해당 웰영역(WR)을 통하여 캐리어의 이동이 가능하며, 캐리어가 채널형성영역에 축적된다는 것을 방지할 수 있고, 또한 웰영역(WR)을 통하여 채널형성영역의 전위를 고정(보디고정)할 수 있으므로, 기관 부유효과에 의한 여러가지의 문제가 발생하지 않는다는 이점이 있었다.

그러나, PTI구조에서, 부분분리 산화막(PT)의 깊이는 주로 트렌치 형성시의 에칭에 의해 규정되며, 에칭의 변동에 기인하여, 동일한 웨이퍼내에서도, 다른 웨이퍼 사이에서도 부분분리 산화막(PT)의 깊이에는 변동이 생긴다.

도 74에 나타낸 바와 같이, 부분분리 산화막(PT)의 깊이를 SOI층(3)의 주표면표면에서 바닥부까지의 깊이 d10으로 정의하고, 예컨대 d10=100nm를 설계값으로 한 경우, 실제로 형성되는 부분분리 산화막(PT)의 깊이는 d10=100nm±5nm가 되며, 깊이 95~105nm의 범위로 변동하게 된다.

이것은 SOI층(3)의 두께가 150nm 정도로 하면, 부분분리 산화막(PT)의 하부의 웰영역(WR)의 두께가 45~55nm의 범위로 변동하는 것을 의미하고, 웰영역(WR)의 설계값을 50nm로 하면, ±10%의 편차에 해당한다.

여기서, 부분분리 산화막(PT)의 트렌치 형성시의 에칭에 대하여, 도 75 및 도 76을 사용하여 더 상세히 설명한다.

우선, 도 75에 나타내는 바와 같이 SOI기관을 준비하고, SOI기관의 SOI층(3)상에, 산화막(4)을 형성한다.

다음에, 산화막(4)상에 CVD(Chemical Vapor Deposition)법에 의해, 폴리실리콘막(21)을 형성하고, 폴리실리콘막(21)상에, CVD법에 의해 질화막(22)을 형성한다. 또한, 산화막(4), 폴리실리콘막(21) 및 질화막(22)은 분리산화막 형성을 위해 보조적으로 기능하므로 보조막이라 호칭하는 적도 있다.

그 후, 도 76에 나타내는 바와 같이, 소정의 개구패턴을 갖는 레지스트 마스크(도시하지 않음)를 사용하여 질화막(22) 및 폴리실리콘막(21)을 드라이에칭 혹은 웨트에칭에 의해 선택적으로 제거한다.

또한, 패터닝된 질화막(22)을 에칭마스크로 하여, 산화막(4)을 관통함과 동시에, SOI층(3)을 소정깊이까지 에칭하고 트렌치(TR)를 형성한다. 이 에칭에서는, SOI층(3)을 완전히 에칭하여 매립산화막(2)을 노출시키지 않고, 트렌치(TR)의 바닥부에 소정 두께의 SOI층(3)이 남도록 에칭조건을 조정한다.

여기서, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 에칭량의 합계는 200~400nm이고, 예컨대 부분분리 산화막(PT)의 깊이를 얇게 설정하여 50nm 정도로 해도, 에칭량의 합계는 150~350nm가 되며, 에칭의 합계량은 그만큼 변하지 않으므로, 편차도 그다지 변하지 않는다.

그 때문에, 두께가 70nm의 SOI층(3)에 대하여, 트렌치(TR)의 깊이를 50nm로 하는 경우, 부분분리 산화막(PT)의 하부의 웰영역(WR)의 두께는, ±5nm 정도 변동하게 되며, 웰영역(WR) 두께의 설계값을 20nm라 하면, ±25%의 편차에 해당하게 되어, 허용할 수 없다. 이 편차는, SOI층(3)의 두께를 얇게 하면 더 커지고, PTI구조에 의한 보디고정이 본질적인 한계를 나타내고 있었다. 이와 같이 박막 SOI층에서는, 부분분리 산화막의 형성이 곤란하며, PTI구조에 의한 보디고정은 곤란했다.

또한, PTI구조에 의한 보디고정 이외의 보디고정의 방법으로서, 게이트전극의 평면형상을 변화시키거나, 보디고정용의 보디콘택부의 형성위치를 연구한 구성을 생각할 수 있다.

도 77은 T형 게이트라 호칭되는 게이트전극의 평면레이아웃이며, 게이트 폭 방향의 한쪽의 단부가 게이트 길이 방향으로 크게 넓어져 게이트 콘택패드(GP)를 구성하고, 평면에서 보아 형상이 T자형으로 된 게이트전극(12T)이 나타나 있다.

게이트전극(12T)의 T자의 머리부의 선단 외쪽에는 보디콘택부(BD)가 배치되어 있다. 또한, 보디콘택부(BD)의 SOI층(3)의 표면내에는, 소스·드레인 영역과는 반대의 도전형의 불순물영역이 형성된다.

또한, 소스·드레인영역을 포함하는 활성영역(AR)과 보디콘택부(BD)와는 연속되어 있다.

도 78에, 도 77에서의 A-A선에서의 화살표방향 단면의 구성을 나타낸다. 도 78에 나타내는 바와 같이, 게이트전극(12T)의 바로 아래의 SOI층(3)은, MOS 트랜지스터의 도전형이 N형인 경우, P형 불순물을 비교적 저농도(P-)로 포함하고, 한편, 보디콘택부(BD)는 P형 불순물을 비교적 고농도(P+)로 포함하고 있다. 여기서, 활성영역(AR) 및 보디콘택부(BD)는 완전트렌치 분리산화막(FT)에 의해 규정되어 있다.

이와 같은 구성을 채용함으로써, 활성영역(AR)을 완전트렌치 분리산화막(FT)에 의해 규정하므로, 트렌치 깊이의 변동이 발생하지 않으므로, SOI층(3)을 얇게 하는 것에 문제는 없고, 또한, 보디콘택부(BD)를 통하여 채널형성영역의 전위를 고정할 수 있으므로, 안정적인 동작을 실현할 수 있다.

동일한 작용효과를 나타내는 구조로서는, 도 79에 나타내는 H형 게이트라 호칭되는 구조나, 도 80에 나타내는 소스타이(source tie)라 호칭되는 구조가 있다.

도 79에 나타내는 H형 게이트는, 게이트 폭 방향의 양쪽의 단부가 게이트 길이 방향으로 크게 넓어지고, 평면에서 보아 형상이 H자형으로 된 게이트전극(12H)을 가지며, 2개의 보디콘택부(BD)를 가지고 있다.

도 79에 나타내는 소스타이 구조는, 소스영역(SR)의 일부에 T형상의 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 일단이, 게이트전극(12)의 바로 아래의 채널영역에 접속되는 구성으로 되어 있다.

그러나, T형 게이트구조나 H형 게이트구조를 채용하는 경우, 게이트전극의 면적이 증가한 만큼, 게이트 드레인 사이의 기생용량이 증가하고, 고속이며 안정적인 동작에 적합하지 않다는 문제가 있었다.

### 발명이 이루고자 하는 기술적 과제

본 발명은 상기한 바와 같은 문제점을 해소하기 위해 주어진 것으로, SOI층의 두께를 얇게 한 SOI 디바이스에 있어서, 보디콘택을 가능하게 함과 동시에, 고속이며 안정적인 동작을 실현하는 것을 목적으로 한다.

### 발명의 구성 및 작용

본 발명에 관한 제1 국면의 반도체장치의 제조방법은, 반도체기판, 매립산화막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위조정 가능한 보디콘택부를 구비하며, 상기 MOS 트랜지스터의 게이트전극의 평면에서 보아 형상이, 게이트 폭 방향의 적어도 한쪽의 단부가 게이트 길이 방향으로 넓어져 게이트 콘택패드를 구성하는 형상을 가지고, 상기 보디콘택부가, 상기 게이트 콘택패드의 게이트 폭 방향의 단부 외쪽의 상기 SOI층의 표면내에 설치되며, 상기 SOI층을 통하여, 상기 게이트 전극하부의 채널형성영역에 전기적으로 접속되고, 상기 MOS 트랜지스터의 게이트 절연막이, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지며, 상기 제2 두께가, 상기 제1 두께보다도 두꺼운 반도체장치의 제조방법에 있어서, 상기 SOI층상에, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막을 선택적으로 형성하는 공정 (a)와, 상기 제2 부분을 포함하는 상기 제2 두께의 절연막에 연속하도록, 상기 SOI층상에, 상기 게이트 절연막의 제1 부분을 포함하는 상기 제1 두께의 절연막을 선택적으로 형성하는 공정 (b)을 구비하고, 상기 공정 (a)가, 적어도 상기 게이트 콘택패드의 하부가 되는 영역에, 상기 제2 두께의 절연막을 형성하는 공정을 포함하고 있다.

발명에 관한 제2 국면의 반도체장치의 제조방법은, 상기 MOS 트랜지스터가, 듀얼옥사이드 프로세스에 의해, 두께가 다른 제1 및 제2 게이트 절연막을 갖는 제1 및 제2 MOS 트랜지스터를 형성하는 공정을 겸용하여 형성되고, 상기 공정 (a)는, 상기 듀얼옥사이드 프로세스에 있어서, 상기 제1 및 제2 게이트 절연막 중, 두께가 두꺼운 쪽을 형성하는 공정을 겸용하여 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막을 형성하는 공정을 포함하며, 상기 공정 (b)는, 상기 듀얼옥사이드 프로세스에 있어서, 상기 제1 및 제2 게이트 절연막 중, 두께가 얇은 쪽을 형성하는 공정을 겸용하여 상기 게이트 절연막의 제1 부분을 형성하는 공정을 포함하고 있다.

본 발명에 관한 제3 국면의 반도체장치의 제조방법은, 상기 MOS 트랜지스터의 형성영역이 되는 활성영역을 규정함과 동시에, 상기 MOS 트랜지스터를 전기적으로 분리하는 트렌치 분리절연막을 형성하는 공정을 더 구비하고, 상기 공정 (a)는, 상기 트렌치 분리절연막의 형성시에 상기 SOI층상에 형성되는 보조막의 하지산화막을 제거하지 않고 남김으로써, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막으로 하는 공정 (a-1)을 포함하고 있다.

본 발명에 관한 제4 국면의 반도체장치의 제조방법은, 상기 MOS 트랜지스터가, 제1 및 제2 MOS 트랜지스터를 포함하고, 상기 공정 (a-1)이, 상기 제1 및 제2 MOS 트랜지스터의 각각의 상기 제2 부분을 포함하는 상기 제2 두께의 절연막을 형성하는 공정에 적용되며, 상기 제1 및 제2 MOS 트랜지스터의 각각의 상기 제1 부분은, 듀얼옥사이드 프로세스에 의해 다른 두께로 형성된다.

본 발명에 관한 제5 국면의 반도체장치의 제조방법은, 상기 MOS 트랜지스터의 형성영역이 되는 활성영역, 상기 보디콘택부의 형성영역 및 상기 활성영역과 상기 보디콘택부의 형성영역과의 접속부를 규정함과 동시에, 상기 MOS 트랜지스터를 전기적으로 분리하는 트렌치 분리절연막을 형성하는 공정을 더 구비하고, 상기 공정 (a)는, 상기 트렌치 분리절연막의 형성시에 보조막이 되는 다층막을 상기 SOI층상에 형성하는 공정 (a-1), 상기 다층막상에, 적어도 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막의 형성영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정 (a-2)와, 상기 레지스트 마스크에 덮여지지 않은 영역을, 상기 SOI층의 표면에 도달할 때까지 에칭에 의해 제거하는 공정 (a-3)과, 노출한 상기 SOI층의 표면을 산화하여, 비교적 두꺼운 산화막을 형성하고, 상기 개구부에 대응하는 영역의 상기 비교적 두꺼운 산화막을, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막의 형성영역으로 하는 공정 (a-4)를 포함하며, 상기 (a-1)은, 상기 다층막의 최하층막으로서, 상기 SOI층상에 하지산화막을 형성하는 공정을 포함하고, 상기 공정 (b)가 상기 공정 (a)의 후에 실행되어, 상기 하지산화막을 제거한 후, 해당 영역에 상기 제1 두께의 절연막을 형성하는 공정을 포함하고 있다.

본 발명에 관한 제6 국면의 반도체장치의 제조방법은, 상기 공정 (a-2)가, 상기 트렌치 분리산화막의 형성영역에 대응하는 부분에도 개구부를 가지도록 상기 레지스트 마스크를 패터닝하는 공정을 포함하고, 상기 레지스트 마스크의 패턴에 의해, 상기 MOS 트랜지스터의 게이트 폭을 자기 정합적으로 결정한다.

본 발명에 관한 제7 국면의 반도체장치의 제조방법은, 상기 공정 (a-3)이, 상기 SOI층을 오버에칭이 되도록 에칭하는 공정을 하고 있다.

본 발명에 관한 제8 국면의 반도체장치의 제조방법은, 상기 공정 (a-3)이, 케미컬 드라이에칭에 의해 상기 하산화막을 제거하는 공정을 포함하고 있다.

본 발명에 관한 제9 국면의 반도체장치의 제조방법은, 상기 SOI층의 오버에칭이 케미컬 드라이에칭에 의해 행하는 공정을 포함하고 있다.

본 발명에 관한 제10 국면의 반도체장치의 제조방법은, 상기 공정 (a-3)이, 상기 트렌치 분리산화막의 형성영역에 대응하는 부분의 상기 다층막을 상기 SOI층의 표면에 도달할 때까지 에칭하는 공정을 포함하고, 상기 공정 (a)의 후, 상기 트렌치 분리산화막의 형성영역에 대응하는 상기 SOI층을 상기 매립산화막에 도달할 때까지 에칭하여, 상기 트렌치 분리산화막 형성을 위한 트렌치를 형성하는 공정을 더 구비하고 있다.

본 발명에 관한 제11 국면의 반도체장치의 제조방법은, 상기 공정 (a)의 후, 상기 트렌치의 형성에 앞서, 상기 다층막의 표면 및 상기 비교적 두꺼운 산화막의 표면에 절연막을 형성한 후, 상기 절연막을 이방성 에칭에 의해 제거하여, 상기 다층막의 측면에 상기 절연막의 스페이서를 형성하는 공정을 더 구비하고, 상기 절연막의 스페이서를 남긴 상태로 상기 트렌치를 형성한다.

본 발명에 관한 제12 국면의 반도체장치의 제조방법은, 상기 절연막의 스페이서를 형성하는 공정이, CVD법에 의해 실리콘 산화막을 형성하는 공정을 포함하고 있다.

본 발명에 관한 제13 국면의 반도체장치의 제조방법은, 상기 절연막의 스페이서를 형성하는 공정이, CVD법에 의해 실리콘 질화막을 형성하는 공정을 포함하고 있다.

본 발명에 관한 제14 국면의 반도체장치의 제조방법은, 상기 공정 (a-3)이, 상기 트렌치 분리산화막의 형성영역에 대응하는 부분의 상기 다층막을 상기 SOI층의 표면에 도달할 때까지 에칭하는 공정을 포함하고, 상기 공정 (a-3)과 (a-4)와의 사이에, 상기 SOI층을 상기 매립산화막에 도달할 때까지 에칭하여, 상기 트렌치 분리산화막 형성을 위한 트렌치를 형성하는 공정을 더 구비하고 있다.

본 발명에 관한 제15 국면의 반도체장치의 제조방법은, 상기 트렌치의 형성후, 상기 트렌치의 내벽에 노출하는 상기 SOI층을 산화하는 공정을 더 포함하고 있다.

본 발명에 관한 제16 국면의 반도체장치의 제조방법은, 상기 MOS 트랜지스터의 형성영역이 되는 활성영역을 규정함과 동시에, 상기 MOS 트랜지스터를 전기적으로 분리하는 트렌치 분리절연막을 형성하는 공정을 더 구비하고, 상기 트렌치 분리절연막을 형성하는 공정은, 상기 활성영역을 규정하는 제1 마스크 데이터 및 상기 보디콘택부의 형성영역을 규정하는 제2 마스크 데이터를 준비하는 공정과, 상기 트렌치 분리산화막의 비형성영역을 규정하는 제3 마스크 데이터를 준비하는 공정을 포함하며, 상기 제3 마스크 데이터를 준비하는 공정은, 상기 제1 및 제2 마스크 데이터를 소정치수만 언더사이즈 (undersize) 처리하여, 제1 및 제2 언더사이즈 완료데이터로 하고, 그 제1 및 제2 언더사이즈 완료데이터의 사이를 접속하는 접속부의 데이터를 입력하는 공정을 가지고 있다.

본 발명에 관한 제17 국면의 반도체장치의 제조방법은, 반도체기판, 매립산화막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며, 상기 MOS 트랜지스터의 게이트 절연막이, 게이트 폭 방향에 있어서 불소를 갖지 않은 제1 부분과, 불소를 갖는 제2 부분을 갖는 반도체장치의 제조방법에 있어서, 상기 SOI층상에, 상기 게이트 절연막의 제2 부분을 포함하는 불소를 갖는 절연막을 형성하는 영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정 (a)와, 상기 개구부에서 상기 SOI층내에 불소이온을 이온주입하는 공정 (b)와, 상기 레지스트 마스크를 제거한 후, 상기 SOI층상을 산화하는 공정 (c)를 구비하고 있다.

본 발명에 관한 제18 국면의 반도체장치의 제조방법은, 반도체기판, 매립산화막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며, 상기 MOS 트랜지스터의 게이트 절연막이, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지며, 상기 제2 두께가, 상기 제1 두께보다도 두꺼운 반도체장치의 제조방법에 있어서, 상기 SOI층상에, 상기 게이트 절연막의 제1 부분을 포함해서 상기 제1 두께의 절연막을 형성하는 영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정 (a)와, 상기 개구부로부터 상기 SOI층내에 질소이온을 이온주입하는 공정 (b)와, 상기 레지스트 마스크를 제거한 후, 상기 SOI층상을, 상기 제2 두께의 절연막을 형성하는 조건으로 산화하는 공정 (c)를 구비하고 있다.

본 발명에 관한 제19 국면의 반도체장치는, 반도체기판, 매립 절연막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며, 상기 MOS 트랜지스터의 게이트전극의 평면에서 보아 형상이, 게이트 폭 방향의 적어도 한쪽의 단부가 게이트 길이 방향으로 넓어져 게이트 콘택패드를 구성하는 형상을 가지며, 상기 보디콘택부가, 상기 게이트 콘택패드의 게이트 폭 방향의 단부 외쪽의 상기 SOI층의 표면내에 설치되고, 상기 SOI층을 통하여, 상기 게이트전극 하부의 채널형성영역에 전기적으로

접속되며, 상기 MOS 트랜지스터의 게이트 절연막은, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 부분을 가지고, 상기 제2 두께는, 상기 제1 두께보다도 두껍고, 상기 게이트 절연막의 상기 제2 부분은, 상기 게이트 콘택패드의 하부에 적어도 배치되어 있다.

본 발명에 관한 제20 국면의 반도체장치는, 상기 게이트 절연막의 상기 제2 부분을 포함하고, 상기 제2 두께의 절연막은, 상기 게이트 콘택패드의 하부 및 그 주위에 배치되어 있다.

본 발명에 관한 제21 국면의 반도체장치는, 상기 제2 두께의 절연막이, 상기 보디콘택부와 상기 채널형성영역과의 접속부가 되는 상기 SOI층의 상부에까지 배치된다.

본 발명에 관한 제22 국면의 반도체장치는, 상기 보디콘택부와 상기 채널형성영역과의 접속부가 되는 상기 SOI층의 게이트 길이 방향의 길이가, 상기 게이트 전극의 게이트 길이와, 상기 게이트 전극의 측면에 배치되는 측벽절연막의 폭의 2배의 길이를 합친 길이보다도 짧다.

본 발명에 관한 제23 국면의 반도체장치는, 상기 보디콘택부와 상기 채널형성영역과의 접속부가 되는 상기 SOI층의 게이트 길이 방향의 길이가, 상기 게이트 콘택패드의 게이트 길이 방향의 길이보다도 짧다.

본 발명에 관한 제24 국면의 반도체장치는, 상기 보디콘택부가, 상기 MOS 트랜지스터의 소스영역의, 게이트 폭 방향의 단 모서리부 외측의 상기 SOI층의 표면내에, 상기 소스영역에 인접하여 띠 형상으로 설치되고, 상기 게이트 절연막의 상기 제2 부분을 포함하여, 상기 제2 두께의 절연막은, 상기 MOS 트랜지스터의 게이트전극의 게이트 폭 방향의 2개의 단부 중, 띠 형상의 상기 보디콘택부가 배치된 측에 배치되어 있다.

(발명의 실시예)

<A. 실시예 1>

<A-1. 장치구성>

본 발명에 관한 실시예 1로서, 도 1에 T형 게이트를 갖는 MOS 트랜지스터 Q1의 평면레이아웃을 나타낸다.

도 1에 나타내는 바와 같이 MOS 트랜지스터 Q1은, 게이트 폭 방향의 한쪽의 단부가 게이트 길이 방향으로 크게 넓어지며, 평면에서 보아 형상이 T자형으로 된 게이트전극(12)을 가지고 있다.

게이트전극(12)의 T자의 머리부는 게이트 콘택패드(GP)라 호칭되고, 게이트전극에 대한 전기적인 콘택부가 된다. 게이트 콘택패드(GP)의 선단 외쪽에는, 보디콘택부(BD)가 배치되어 있다. 또한, 보디콘택부(BD)의 SOI층(3)의 표면내에는, 소스·드레인영역과는 반대의 도전형의 불순물영역이 형성된다.

또한, 소스·드레인영역(SDR)을 포함하는 활성영역(AR)과 보디콘택부(BD)와는 연속되어 있고, 게이트 콘택패드(GP)는, 소스·드레인영역(SDR)과 보디콘택부(BD)를 연결하는 활성영역(AR)상에 배치되어 있다.

또한, 도 1에서, 게이트전극(12) 중, 전류가 많이 흐르는 영역을 R1, 게이트 콘택패드(GP)에 해당하는 영역을 R2로서 나타낸다.

도 2에, 도 1에서 B-B선에서의 화살표방향 단면의 구성을 나타낸다. 도 2에 나타내는 바와 같이, 실리콘기판(1), 매립산화막(2) 및 SOI층(3)으로 구성되는 SOI기판상에 게이트전극(12)이 배치되고, 게이트전극(12)의 바로 아래의 SOI층(3)은, MOS 트랜지스터 Q1의 도전형이 N형인 경우, P형 불순물을 비교적 저농도(P+)로 포함하고, 한편, 보디콘택부(BD)는 P형 불순물을 비교적 고농도(P+)로 포함하고 있다. 또한, MOS 트랜지스터 Q1의 도전형이 P형인 경우, 게이트전극(12)의 바로 아래의 SOI층(3)은 N형 불순물을 비교적 저농도(N-)로 포함하고, 한편, 보디콘택부(BD)는 N형 불순물을 비교적 고농도(N+)로 포함하는 구성이 된다.

여기서, 게이트전극(12)의 게이트 콘택패드(GP) 이외의 부분과 SOI층(3)과의 사이에는, 두께 1~5nm의 게이트 절연막(11)이 배치되고, 게이트 콘택패드(GP)와 SOI층(3)과의 사이에는, 두께 5~15nm의 게이트 절연막(110)이 배치되어 있다. 또한, 게이트 절연막 11과 게이트 절연막 110과는 연속되어 있다.

또한, 게이트 절연막(110)의 형성을 위한 마스크 데이터를 도 1에서 RX1로서 나타내지만, 마스크 데이터(RX1)에 의하면, 게이트 절연막(110)은 게이트 콘택패드(GP)의 하부뿐만 아니라, 보디콘택부(BD) 및 그 주위에도 미치고 있다. 여기서, 마스크 데이터(RX1)는, 평면에서 보아 구형을 이루며, 그 한 변이, 게이트 콘택패드(GP)의 소스·드레인영역측의 한 변과 완전하게는 겹치지 않고, 보디콘택부(BD)측에 길이 a만큼 어긋나도록 배치되어 있다. 이것은, 실제의 마스크의 얼라인먼트일 때의 어긋남을 고려하고 있는 것이다.

<A-2. 제조방법>

이하, 도 3~도 7을 사용하여 MOS 트랜지스터 Q1의 제조방법에 대하여 설명한다.

우선, 도 3에 나타내는 바와 같이 실리콘기판(1), 매립산화막(2) 및 SOI층(3)으로 구성되는 SOI기판을 준비하고, SOI기판의 SOI층(3)을 관통하여 매립산화막(2)에 도달하는 완전트렌치 분리산화막(FT)을 형성한 후에, 활성영역 및 보디콘택부가 되는 영역을 규정한다.

다음에 도 4에 나타내는 공정에서, SOI층(3) 상부 전체 면으로 두께 5~15nm의 게이트 절연막(110)을 형성한다.

다음에 도 5에 나타내는 공정에서, 마스크 데이터(RX1)에 따라 레지스트 마스크(RM1)를 패터닝하고, 게이트 절연막(110)을 남기는 영역을 규정한다. 그 후, 레지스트 마스크(RM1)로 덮여지지 않은 게이트 절연막(110)을 웨트에칭에 의해 제거한다.

다음에, 레지스타 마스크 RM1을 제거한 후, 도 6에 나타내는 공정에서, 노출한 SOI층(3)상에 두께 1~5nm의 게이트 절연막(11)을 열산화에 의해 형성한다.

또한, 이하에서 열산화에 의해 형성하는 산화막은, CVD(Chemical Vapor Deposition)법 등에 의해 형성해도 된다. 또한, 열산화에도, 산화로를 사용하는 방법 이외에 RTO(Rapid Thermal Oxidation) 등의 수법도 있다. 이것들의 산화막 형성 프로세스나 변형예를 포함한다는 의미로, 간단히 산화라 호칭하는 경우도 있다.

다음에, 도 7에 나타내는 공정에서, 게이트 절연막(11, 110)상에 게이트전극(12)을 패터닝한다. 또한, 게이트전극(12)의 측면에 측벽절연막(13)을 형성해도 된다.

그 후, 소스-드레인영역의 형성을 위한 불순물주입이나, 보디콘택부(BD)의 형성을 위한 불순물주입을 행함으로써 MOS 트랜지스터 Q1이 완성된다.

### <A-3. 작용효과>

이상 설명한 바와 같이, 실시예 1의 MOS 트랜지스터 Q1에서는, 게이트 폭 방향에 있어서 게이트 절연막의 두께를 다른 구성으로 하고, SOI층(3)상의 넓은 면적에 걸쳐 배치되는 게이트 콘택패드(GP)의 하부의 게이트 절연막(110)의 두께를 두껍게 하여, 전류가 많이 흐르는 영역(R1)의 게이트 절연막(11)의 두께를 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있어, 저소비전력 또한, 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

또한, SOI층(3)의 두께는 10~100nm이며, 박막 SOI층이라 호칭되는 두께이지만, 완전트렌치 분리산화막(FT)에 의해 활성영역(AR) 및 보디콘택부(BD)를 규정하므로, 트렌치 깊이의 변동에 기인하는 문제는 발생하지 않는다.

이와 같이, PTI구조에 의한 보디고정이 곤란한 박막 SOI층에서는, 후막게이트 절연막에 의한 보디고정이 유효하다. 또한, 게이트 절연막과 트렌치 분리산화막과는 재질은 동일해도, 배치패턴은 완전히 다르다. 예컨대, 트렌치 분리산화막은 보디콘택부(BD)상에 형성되지 않지만, 후막게이트 절연막은 보디콘택부(BD)상에까지 연장해도 된다.

또한, 게이트 절연막(11, 110)은 열산화에 의해 형성하므로, 막두께의 제어성이 양호해 변동이 적어지므로, 게이트 절연막(11, 110)을 형성함으로써 SOI층(3)의 박막화를 촉진할 수 있다.

또한, 전술한 실시예 1에서는, T형 게이트를 예시했지만, 게이트 콘택패드가, 게이트전극의 폭 방향의 양단에 설치된 H형 게이트에서, 해당 2개의 게이트 콘택패드의 하부의 게이트 절연막의 두께를 두껍게 하도록 해도 되는 것은 말할 필요도 없다.

### <B. 실시예 2>

#### <B-1. 장치구성>

본 발명에 관한 실시예 2로서, 도 8~도 11에 소스타이 구조의 MOS 트랜지스터 Q2~Q5의 평면구성을 나타낸다.

소스타이 구조란, 소스영역(SR)의 일부에 띠 형상의 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 일단이, 게이트전극(12)의 바로 아래의 채널영역에 접속되는 구조이며, 도 8에서는, N형 MOS 트랜지스터 Q2에서, 게이트전극(12)의 게이트콘택패드(GP)가 설치된 측과는 반대측의 소스영역의 단 모서리부 외측에 따라 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 단부가 게이트전극(12)의 바로 아래의 채널영역에 접속되어 있다. 또한, 보디콘택부(BD)의 도전형은 P형이다.

도 9는, P형 MOS 트랜지스터 Q3에서, 게이트전극(12)의 게이트 콘택패드(GP)가 설치된 측과는 반대측의 소스영역의 단 모서리부 외측에 따라 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 단부가 게이트전극(12)의 바로 아래의 채널영역에 접속되어 있다. 또한, 보디콘택부(BD)의 도전형은 N형이다.

또한, MOS 트랜지스터 Q2 및 Q3에서, 게이트전극(12)의 전류가 많이 흐르는 영역의 게이트 절연막의 두께는 얇게 형성되고, 보디콘택부(BD)와 채널영역과의 접속부의 상부에는 두꺼운 게이트 절연막이 설치되어 있으며, 해당 두꺼운 게이트 절연막의 형성을 위한 마스크 데이터를 도 8 및 도 9에서 RX2로서 나타낸다. 여기서, 마스크 데이터(RX2)는, 마스크 형성시의 어긋남을 고려하여 소스영역의 단 모서리부로부터 게이트 콘택패드(GP)와는 반대측에 길이 a만큼 어긋나도록 설치되어 있다.

또한, 보디콘택부(BD)와 접속하는 채널영역은, 게이트전극(12)의 게이트길이의 중앙부 근방까지 밖에 연장하고 있지 않지만, 이것은 드레인영역(DR)과 소스영역(SR)과의 전기적 단락을 방지하기 위함이다. 또한, 도 8, 도 9에서는, 채널영역에 헤칭을 추가하여 나타내고 있다.

또한, 도 10에서는, N형 MOS 트랜지스터 Q4에서, 게이트전극(12)의 게이트 콘택패드(GP)가 설치된 측의 소스영역(SR)의 단 모서리부 외측에 따라 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 단부가 게이트전극(12)의 바로 아래의 채널영역에 접속되어 있다. 또한, 보디콘택부(BD)의 도전형은 P형이다.

도 11에서는, P형 MOS 트랜지스터 Q5에서, 게이트전극(12)의 게이트 콘택패드(GP)가 설치된 측의 소스영역(SR)의 단 모서리부 외측에 따라 보디콘택부(BD)가 배치되고, 보디콘택부(BD)의 단부가 게이트전극(12)의 바로 아래의 채널영역에 접속되어 있다. 또한, 보디콘택부(BD)의 도전형은 N형이다.

또한, MOS 트랜지스터 Q4 및 Q5에서, 게이트전극(12)의 전류가 많이 흐르는 영역의 게이트 절연막의 두께는 얇게 형성되고, 보디콘택부(BD)와 채널영역과의 접속부의 상부에는 두꺼운 게이트 절연막이 설치되어 있고, 해당 두꺼운 게이트 절연막의 형성을 위한 마스크 데이터를 도 10 및 도 11에서 RX3으로서 나타낸다. 여기서, 마스크 데이터(RX3)는, 마스크 형성시의 어긋남을 고려하여 소스영역의 단 모서리부로부터 게이트 콘택패드(GP)측에 길이  $a$ 만큼 어긋나도록 배치되어 있다.

<B-2. 작용효과>

이상 설명한 바와 같이, 실시예 2의 MOS 트랜지스터 Q2~Q5에서는, 소스타이 구조에서, 보디콘택부(BD)와 채널영역과의 접속부의 상부에 두꺼운 게이트 절연막이 설치되고, 게이트전극의 전류가 많이 흐르는 영역의 게이트 절연막의 두께는 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있어, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

<C. 실시예 3>

<C-1. 장치구성>

본 발명에 관한 실시예 3으로서, 도 12에 MOS 트랜지스터(Q11, Q12, Q13)의 단면구성을 나타낸다.

도 12에 나타내는 바와 같이, MOS 트랜지스터 Q11~Q13은, 실리콘기판(1), 매립산화막(2) 및 SOI층(3)으로 구성되는 1장의 SOI기판상에 배치되어 있다.

도 12에서, MOS 트랜지스터 Q11은, 완전트렌치 분리산화막(FT)에 의해, 규정되는 SOI층(3)상에, 두께가 비교적 얇은(예컨대, 두께 1~5nm인) 게이트 절연막(111)을 사이에 개재하여 배치된 게이트전극(12)을 가지고 있다.

또한, MOS 트랜지스터 Q13은, 완전트렌치 분리산화막(FT)에 의해 규정되는 SOI층(3)상에, 두께가 비교적 두꺼운(예컨대, 두께 3~15nm인) 게이트 절연막(112)을 사이에 개재하여 배치된 게이트전극(12)을 가지고 있다.

그리고, MOS 트랜지스터 Q12는, 완전트렌치 분리산화막(FT)에 의해 규정되는 SOI층(3)상에, 게이트 폭 방향에 있어서, 두께가 비교적 얇은 게이트 절연막(111)과 두께가 비교적 두꺼운 게이트 절연막(112)이 연속되는 구성으로 하고, 해당 게이트 절연막(111, 112)을 사이에 개재하여 배치된 게이트전극(12)을 가지며, 또한, 게이트 절연막(112)이 설치되는 측의 게이트전극(12)의 단부의 외쪽의 SOI층(3)의 표면내에는 보디콘택부(BD)가 설치되어 있다.

여기서, MOS 트랜지스터 Q11은, 예컨대 게이트전압이 0.5~2.0V인 저전압 트랜지스터이고, MOS 트랜지스터 Q13은, 예컨대 게이트 전압이 1.5~5.0V인 고전압 트랜지스터이며, MOS 트랜지스터 Q12는, 실시예 1 및 2에서 설명한, 보디고정이 가능한 트랜지스터이다.

이와 같이, 게이트 절연막의 두께가 다른 2종류의 MOS 트랜지스터를 공통의 반도체기판상에 형성하는 프로세스를, 듀얼 옥사이드 프로세스라 호칭한다.

듀얼옥사이드 프로세스에 의해, 게이트 절연막의 두께가 다른 저전압 트랜지스터 및 고전압 트랜지스터를 공통의 SOI기판상에 형성하는 것은 종래에서도 실용화되어 있고, 그것들의 게이트 절연막의 형성공정을, MOS 트랜지스터 Q12의 게이트 절연막(111, 112)의 형성공정에 겸용하면, 새로운 제조공정을 추가하지 않고 MOS 트랜지스터 Q12를 형성할 수 있어, 제조비용의 증가를 억제할 수 있다.

또한, 보디고정이 가능한 MOS 트랜지스터 Q12는, 고속이며 또한 안정적인 동작이 요구되는 회로부에서의 사용에 적합하다.

즉, MOS 트랜지스터 Q11이나 Q13과 같은 플로팅 트랜지스터에는, 지연시간의 주파수 의존과 같은 플로팅 보디효과의 문제가 있고, 타이밍 마진을 널리 설정해야 할 필요가 있고, 타이밍이 중요한 크리티컬 패스에는 적합하지 않는데 비해, 플로팅 보디효과의 문제가 없는 MOS 트랜지스터 Q12 등의 보디고정 트랜지스터는, 크리티컬 패스에서의 사용에 적합하다. 또한, 다이내믹 회로 등에도 보디고정 트랜지스터가 적합하다.

단, 보디콘택부(BD)를 설치하므로, 넓은 배치영역이 필요하고, 고속이며 또한 안정적인 동작이 요구되지 않는 회로부에서는, MOS 트랜지스터 Q11이나 Q13과 같은 플로팅 트랜지스터를 사용함으로써, 반도체 집적회로 소형화를 촉진할 수 있다.

또한, 저전압 트랜지스터 및 고전압 트랜지스터가 일반적인 구성 및 제조방법에 대해서는 후에 설명한다.

## <C-2. 작용효과>

이상 설명한 MOS 트랜지스터 Q11~Q13과 같이, 공통의 SOI기판상에, 게이트 절연막의 두께가 다른 2종류의 MOS 트랜지스터와, 게이트 폭 방향에 있어서, 두께가 비교적 얇은 게이트 절연막과 두께가 비교적 두꺼운 게이트 절연막이 연속하는 모디코정이 가능한 트랜지스터를 구성함으로써, 새로운 제조공정을 추가하지 않고 3종류의 MOS 트랜지스터를 얻을 수 있다.

### <D. 실시예 4>

#### <D-1. 제조방법>

도 3~도 7을 사용하여 설명한 MOS 트랜지스터 Q1의 제조방법에서는, 두꺼운 게이트 절연막(110)을 형성하기 위한 공정이 필요했지만, 이하에 설명하는 수법을 채용하면, 두꺼운 게이트 절연막의 형성공정을 삭감할 수 있다.

이하, 실시예 4에 관한 제조방법에 대하여, 도 13~도 19를 사용하여 설명한다.

우선, 도 13에 나타내는 바와 같이 SOI기판을 준비하고, SOI기판의 SOI층(3)상에 산화막(4)을 형성한다. 이 산화막(4)은, 소위 하지산화막(패드산화막)이며, 그 두께는, 후에 형성되는 두꺼운 게이트 절연막의 두께에 합친다.

다음에, 산화막(4)상에 CVD법에 의해, 폴리실리콘막(21)을 형성하고, 폴리실리콘막(21)상에, CVD법에 의해 질화막(22)을 형성한다. 또한, 산화막(4), 폴리실리콘막(21) 및 질화막(22)은 분리산화막 형성을 위해 보조적으로 기능하는 것으로 보조막이라 호칭하는 적도 있다. 또한, 폴리실리콘막(21)은 설치하지 않아도 된다.

그 후, MOS 트랜지스터의 형성영역에 대응하는 질화막(22)상의 영역을 레지스트 마스크 RM2로 덮는다.

그리고, 도 14에 나타내는 공정에서, 레지스트 마스크(RM2)를 에칭마스크로 하여, 질화막(22) 및 폴리실리콘막(21)을 드라이 에칭 혹은 웨트 에칭에 의해 선택적으로 제거한다.

또한, 패터닝된 질화막(22)을 에칭마스크로 하여, 질화막(22)으로 덮여지지 않은 산화막(4) 및 SOI층(3)을 제거하여, MOS 트랜지스터의 형성영역에만 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(99)을 남긴다.

그 후, 열산화에 의해, SOI층(3) 및 폴리실리콘층(21)의 노출한 측면에 측벽산화막(41)을 형성한다.

다음에, 도 15에 나타내는 공정에서, 기판 전체면에 HDP(High-Density-Plasma)-CVD법으로 산화막( $\text{SiO}_2$ )(HX)을 형성하여 적층막(99)을 덮은 후, CMP(Chemical Mechanical Polishing)처리로 산화막(HX)을 평탄화하여, 질화막(22)의 최상면을 노출시킨다.

여기서, HDP-CVD법은 일반적인 플라즈마 CVD보다도 1자리수~2자리수 높은 밀도의 플라즈마를 사용하고, 스퍼터링과 디포지션을 동시에 행하면서 산화막을 퇴적하는 것으로, 막질이 양호한 산화막을 얻을 수 있다.

다음에, 도 16에 나타내는 공정에서, 웨트 에칭에 의해 산화막(HX)의 두께를 감하여, 열인산으로 질화막(22)을 제거하고, 또한 폴리실리콘막(21)을 제거함으로써, 완전트렌치 분리산화막(FT)에 의해 규정되는 SOI층(3)상에 산화막(4)이 남은 구성을 얻는다.

여기서, 폴리실리콘막(21)의 제거는, 알칼리액, 예컨대 KOH(수산화칼륨)용액 혹은 암모니아와 과산화 수소수와의 혼합용액을 사용한 웨트 에칭을 사용해도 되며, 산화막과의 선택성이 있는 드라이 에칭을 사용해도 된다.

그 후, 산화막(4)상의 소정영역을 덮도록 레지스트 마스크 RM3을 패터닝한다. 이 레지스트 마스크(RM3)로 덮는 영역이, 두꺼운 게이트 절연막의 영역이 된다.

다음에, 도 17에 나타내는 공정에서, 웨트 에칭에 의해, 레지스트 마스크(RM3)로 덮여지지 않은 영역의 산화막(4)을 제거한다.

다음에, 도 18에 나타내는 공정에서 게이트 산화에 의해 얇은 게이트 절연막을 형성한 후, 게이트전극(12)을 패터닝한다. 이때, 게이트전극(12)의 게이트 폭 방향의 한쪽 끝이 산화막(4)상에 연동하도록 게이트전극(12)을 형성한다.

이상의 공정에 의해, 게이트 폭 방향에 있어서, 두께가 비교적 얇은 게이트 절연막(11)과 두께가 비교적 두꺼운 게이트 절연막(4)이 연속하는 구성을 얻을 수 있고, 해당 게이트 절연막(11, 4)을 사이에 개재하여 배치된 게이트전극(12)을 얻을 수 있다.

또한, 게이트 절연막(4)이 설치되는 측의 게이트전극(12)의 단부의 외쪽의 SOI층(3)의 표면내에는 보타콘택부(BD)가 설치되어 있다.

또한, 도 18에서는 보디콘택부(BD)상에는 얇은 게이트 절연막(11)을 형성한 구성을 나타냈지만, 도 19에 나타내는 바와 같이, 보디콘택부(BD)상에도 게이트 절연막(4)이 형성되는 구성으로 해도 된다. 도 16에 나타내는 레지스트 마스크 RM3의 패터닝을 변경함으로써, 게이트 절연막(4)을 남기는 영역을 임의로 설정할 수 있다.

#### <D-2. 작용효과>

이상 설명한 실시예 4의 제조방법에 의하면, 두꺼운 게이트 절연막을 하지산화막으로 겸용하므로, 두꺼운 게이트 절연막의 형성공정을 삭감할 수 있고, 공정을 간략화하여, 제조비용의 증가를 억제할 수 있다.

#### <D-3. 응용예>

또한, 실시예 4의 제조방법을 응용하면, 게이트 절연막의 두께가 다른 2종류의 MOS 트랜지스터와, 게이트 폭 방향에 있어서, 두께가 비교적 얇은 게이트 절연막과 두께가 비교적 두꺼운 게이트 절연막이 연속하는 보디고정이 가능한 2종류의 MOS 트랜지스터와 4종류의 MOS 트랜지스터를, 공통의 SOI기판상에, 간략화된 제조공정에 의해 형성할 수 있어, 제조비용의 증가를 억제할 수 있다.

이하, 해당 수법에 대하여, 제조공정을 순서대로 나타내는 단면도인 도 20~도 26을 사용하여 설명한다.

우선, 도 13~도 16을 사용하여 설명한 공정을 거쳐, 도 20에 나타내는 바와 같이, 완전트랜치 분리산화막(FT)에 의해 규정되는 SOI층(3)의 복수의 영역상에 산화막(4)이 형성된 구성을 얻는다. 또한, 산화막(4)의 두께는 7~30nm이다.

여기서, SOI층(3)의 복수개 영역은, 영역 LV1, LV2, HV1 및 HV2에 구별된다. 영역 LV1 및 LV2는, 예컨대 게이트전압이 0.5~2.0V의 저전압 트랜지스터를 형성하는 영역이며, 이들은 저전압영역 LVR에 형성된다.

또한, 영역 HV1 및 HV2는, 예컨대 게이트전압이 1.5~5.0V의 고전압 트랜지스터를 형성하는 영역이고, 이들은 고전압영역(HVR)에 형성된다.

다음에, 도 21에 나타내는 공정에서, 영역 LV2 및 HV2의 산화막(4)상의 소정영역을 덮도록 레지스트 마스크 RM4를 패터닝한다. 이 레지스트 마스크(RM4)로 덮는 영역이, 두꺼운 게이트 절연막의 영역이 된다.

그 후, 플루오르화수소산(HF) 등을 사용한 웨트에칭에 의해, 레지스트 마스크(RM4)로 덮여지지 않은 영역의 산화막(4)을 제거한다.

다음에, 레지스트 마스크(RM4)를 제거한 후, 도 22에 나타내는 공정에서, 노출한 SOI층(3)상에 게이트산화에 의해 게이트 절연막(11B)을 형성한다. 또한, 게이트 절연막(11B)의 두께는 3~10nm이다.

다음에, 도 23에 나타내는 공정에서, 고전압영역(HVR)의 전체 영역과, 영역 LV2의 산화막(4)상의 소정영역을 덮도록 레지스트 마스크 RM5를 패터닝한다. 여기서, 영역 LV2의 산화막(4)상에도 레지스트 마스크(RM5)를 형성하는 것은, 레지스트 마스크(RM5)로 덮여지는 부분의 산화막(4)만을 남기기 위해서이고, 도 21에 나타내는 공정에서는, 산화막(4)을 최종적으로 필요하게 되는 영역보다 넓게 남겨, 도 23에 나타내는 공정에서 산화막(4)을 최종적으로 필요하게 되는 영역에까지 감축하도록 구성함으로써, 레지스트 마스크(RM5)의 중첩 어긋남에 의해, 영역 LV2에서 최종적으로 필요하게 되는 산화막(4)의 면적이 작아지는 것을 방지할 수 있다.

다음에, 도 24에 나타내는 공정에서, 플루오르화수소산(HF) 등을 사용한 웨트에칭에 의해, 레지스트 마스크(RM5)로 덮여지지 않은 영역의 산화막(4)을 제거한다.

다음에, 레지스트 마스크 RM5를 제거한 후, 도 25에 나타내는 공정에서, 노출한 SOI층(3)상에 게이트산화에 의해 게이트 절연막(11A)을 형성한다. 또한, 게이트 절연막(11A)의 두께는 1~5nm이다.

다음에, 도 26에 나타내는 공정에서, 영역 LV1, LV2, HV1 및 HV2의 각각 게이트전극(12)을 패터닝한다. 이때, 영역 LV2 및 HV2에서는 게이트전극(12)의 게이트 폭 방향의 한쪽 끝이 산화막(4)상에 연동하도록 게이트전극(12)을 형성한다.

이상의 공정에 의해, 영역 LV1 및 HV1에서는, 게이트 절연막(11A, 11B)을 갖는, 플로팅 트랜지스터 QL1 및 QH1을 얻을 수 있고, 영역 LV2에서는, 게이트 폭 방향에 있어서, 가장 얇은 게이트절연막(11)과 두께가 가장 두꺼운 게이트 절연막(4)이 연속하는, 보디고정 가능한 트랜지스터 QL2를 얻을 수 있으며, 영역 HV2에서는, 게이트 폭 방향에 있어서, 중간 두께의 게이트 절연막(11B)과 두께가 가장 두꺼운 게이트 절연막(4)이 연속하는, 보디고정 가능한 트랜지스터 QH2를 얻을 수 있고, 4종류의 MOS 트랜지스터를 간략화된 제조공정에 의해 얻을 수 있다.

또한, 트랜지스터 QL2 및 QH2의 게이트 절연막(4)이 설치되는 측의 게이트전극(12)의 단부의 외쪽의 SOI층(3)의 표면 내에는 보디콘택부(BD)가 설치되어 있다.

여기서, 예컨대 산화막(4)의 두께가 7.2nm인 경우, 도 22에 나타내는 공정에서, 게이트산화에 의해 두께 3.5nm의 게이트 절연막(11B)을 형성하면, 이 게이트산화에 의해 증가하는 산화막(4)의 두께는 0.3nm 정도이며, 산화막(4)의 두께에 큰 변화는 없다.

<E. 실시예 5>

도 1 및 도 2를 사용하여 설명한 실시예 1이나, 도 8~도 11을 사용하여 설명한 실시예 2에서는, 두꺼운 게이트 절연막을 활성영역의 SOI층상 전체 면에 형성한 후, 두꺼운 게이트 절연막을 남기는 영역을 마스크 패턴에 의해 규정하고 있었지만, 이하, 실시예 5에서 설명하는 제조방법에 의해서도 두꺼운 게이트 절연막을 얻을 수 있다.

<E-1. 제조방법>

실시예 5에 관한 제조방법을, 제조공정을 순서대로 나타내는 단면도인 도 27~도 33을 사용하여 설명한다.

우선 도 27에 나타내는 바와 같이 SOI기판을 준비하고, SOI기판의 SOI층(3)상에 산화막(4)을 형성한다. 이 산화막(4)은, 소위 하지산화막(패드산화막)이다.

다음에, 산화막(4)상에 CVD법에 의해, 폴리실리콘막(21)을 형성하고, 폴리실리콘막(21)상에, CVD법에 의해 질화막(22)을 형성한다. 또한, 산화막(4), 폴리실리콘막(P1) 및 질화막(22)은 분리산화막 형성을 위해 보조적으로 기능하므로 보조막이라 호칭하는 적도 있다. 또한, 폴리실리콘막(21)은 설치하지 않아도 된다.

그 후, MOS 트랜지스터의 활성영역(AR) 및 보디콘택부의 형성영역(BR)에 대응하는 질화막(22)상의 영역을 레지스트 마스크 RM6으로 덮는다.

이때, 후에 두꺼운 게이트 절연막을 형성하는 영역(XR)은 개구부(OP)가 되도록 레지스트 마스크(RM6)를 패턴닝한다.

그리고, 레지스트 마스크(RM6)를 에칭마스크로 하여, 질화막(22) 및 폴리실리콘막(21)을 드라이에칭 혹은 웨트에칭에 의해 선택적으로 제거한다.

또한, 패턴닝된 질화막(22)을 에칭마스크로 하여, 질화막(22)으로 덮여지지 않은 산화막(4) 및 SOI층(3)을 제거하여, MOS 트랜지스터의 활성영역(AR)과 보디콘택부의 형성영역(BR)에만 질화막(22), 폴리실리콘막(21) 및 산화막(4)의 적층막(991, 992)을 남긴다. 영역(XR)은 하부(OP1)가 되며, 그 바닥부에는 SOI층(3)이 노출된다.

또한, 적층막(991)에서의 폭 W가, 후에 형성되는 MOS 트랜지스터의 게이트 폭에 대응한다.

다음에, 레지스트 마스크(RM6)를 제거한 후, 도 28에 나타내는 공정에서, 열산화를 행하여 개구부(OP1)의 바닥면을 포함하는 SOI층(3)의 표면에 두께 10~40nm의 산화막(5)을 형성한다. 이때 폴리실리콘층(21)의 노출된 측벽에도 산화막(41)이 형성되게 된다(측벽산화).

다음에, 도 29에 나타내는 공정에서, MOS 트랜지스터의 활성영역(AR), 보디콘택부의 형성영역(BR) 및 두꺼운 게이트 절연막의 형성영역(XR)만을 덮도록 레지스트 마스크 RM7을 형성한다. 이 레지스트 마스크(RM7)는, 후에 형성되는 완전트렌치 분리산화막의 형성영역을 규정하는 개구패턴을 가지며, 레지스트 마스크(RM7)로 덮여지지 않은 영역에 완전트렌치 분리산화막이 형성되게 된다.

그리고 레지스트 마스크(RM7)를 에칭마스크로 하여, 레지스트 마스크(RM7)로 덮여지지 않은 영역의 산화막(5) 및 SOI층(3)을 제거함으로써, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(993)을 형성한다.

여기서, 도 29에서는, 레지스트 마스크(RM7)는 질화막(22)상을 완전하게는 덮고 있지 않지만, 이것은, 실제의 프로세스에서는 레지스트 마스크(RM7)가 중첩 어긋남을 발생하는 것을 고려한 것이다. 또한, 이와 같이 레지스트 마스크(RM7)가 중첩 어긋남을 발생했다고 해도, 질화막(22)이 존재하므로 에칭마스크로서 기능하고, MOS 트랜지스터의 게이트 폭은, 영역(BR)의 질화막(22)의 폭으로 정해지며, 레지스트 마스크(RM7)가 중첩 어긋남의 영향을 받지 않는다.

다음에, 레지스트 마스크(RM7)를 제거한 후, 도 30에 나타내는 공정에서 열산화를 행하고, SOI층(3)의 노출하는 측벽에 두께 3~30nm의 산화막(42)을 형성한다(측벽산화). 그 후, 기판 전체 면에 HDP-CVD법으로 산화막(SiO<sub>2</sub>)(HX)을 형성하여, 적층막(993)을 덮은 후, CMP처리로 HX를 평탄화하여, 질화막(22)의 최상면을 노출시킨다. 이것에 의해, 후에 완전트렌치 분리산화막이 형성되는 영역 IR과, 영역 XR의 개구부(OP1)내에는 산화막(HX)이 충전되게 된다.

다음에, 도 31에 나타내는 공정에서, 웨트에칭에 의해 산화막(HX)의 두께를 감하여, 열인산으로 질화막(22)을 제거하고, 또 폴리실리콘막(21)을 제거함으로써, 완전트렌치 분리산화막(FT)에 의해 규정되는 SOI층(3)상에 산화막(4, 5)이 남은 구성을 얻는다.

여기서, 폴리실리콘막(21)의 제거는, 알칼리액, 예컨대 KOH(수산화칼륨)용액 혹은 암모니아와 과산화 수소수와의 혼합용액을 사용한 웨트에칭을 사용해도 되며, 산화막과의 선택성이 있는 드라이에칭을 사용해도 된다.

그 후, 도 32에 나타내는 공정에서, 하지산화막(4)을 제거한 후, MOS 트랜지스터의 활성영역(AR) 및 보디콘택부의 형성영역(BR)상에 산화막(4A)을 형성한다. 이 산화막(4A)은 게이트 절연막이 되며, 그 두께는 예컨대, 1~10nm의 범위에서 선택하면 된다. 그리고, 활성영역(AR)의 산화막(4A)상에 게이트전극(12)을 패턴닝한다. 이때, 게이트전극(12)은, 게이트 폭 방향의 한쪽의 단부가 산화막(5)상에 연동하고, 다른쪽의 단부는 완전트렌치 분리산화막(FT)상에 연동하도록 패턴닝되며, 영역(BR)의 산화막(4A)상에 형성되는 부분이, 실질적인 게이트로서 기능한다. 또한, 산화막(5)도 게이트 절연막이

라 호칭할 수 있고, 산화막 4A와 5로 연속된 게이트 절연막을 구성한다. 이후, 소스·드레인 불순물의 주입에 의해 소스·드레인영역을 형성하고, 또한, 게이트 절연막(5)이 설치되는 측의 게이트전극(12)의 단부의 외쪽의 SOI층(3)의 표면내로 불순물주입에 의해 보디콘택부(BD)를 형성함으로써, MOS 트랜지스터 Q21을 얻을 수 있다.

또한, 이상의 설명에서는 도 30을 사용하여 설명한 바와 같이, SOI층(3)의 측벽에 산화막(42)을 형성하는 예를 나타냈지만, 도 30에서의 영역 D의 상세한 구성을 도 33에 나타낸다.

도 33에 나타내는 바와 같이, SOI층(3)의 측벽에 산화막(42)을 형성하면, SOI층(3)의 바닥면과 매립산화막(2)과의 사이에 침입하는 산화막(421)이 형성되는 경우가 있다. 산화막(421)이 형성되면, SOI층(3)에 기계적인 스트레스가 가해져, 전류누설의 원인이 된다.

그래서, 도 29에 나타내는 공정 후, 레지스트 마스크(RM7)를 제거한 후에는, 열산화를 행하지 않고, 기판 전체 면에 HDP-CVD법으로 산화막(SiO<sub>2</sub>)(HX)을 형성하여, 적층막(993)을 덮도록 함으로써, 도 34에 나타내는 바와 같이, SOI층(3)의 측벽이 산화되어 있지 않은 구성을 얻도록 해도 된다.

단, 도 29에 나타낸 완전트렌치 분리산화막 형성을 위한 에칭에 의해, SOI층(3)의 측벽이 손상을 받은 경우에는 그것이 전류누설의 원인이 되는 경우가 있으므로, 그 경우에는 측벽산화를 행하여 전류누설을 방지하는 것이 바람직하다.

따라서, SOI층(3)의 측벽에 형성한 산화막(42)에 기인하는 전류누설과, SOI층(3)의 측벽의 에칭손상에 의한 전류누설과의 트레이드오프 관계를 고려하여, SOI층(3)의 측벽산화를 행하는지 여부를 결정하는 것이 가장 바람직하다.

<E-1-1. 변형예 1>

도 28 및 도 29에 나타낸 공정 대신에, 이하에 설명하는 도 35~도 37에 나타내는 공정을 채용해도 된다.

즉, 도 27을 사용하여 설명한 공정을 실시한 후, 레지스트 마스크(RM6)를 제거하고, 대신에 도 35에 나타내는 바와 같이 MOS 트랜지스터의 활성영역(AR), 보디콘택부의 형성영역(BR) 및 두꺼운 게이트 절연막의 형성영역(XR)만을 덮도록 레지스트 마스크 RM8을 형성한다.

다음에, 도 36에 나타내는 공정에서, 레지스트 마스크(RM8)를 에칭마스크로 하여, 레지스트 마스크(RM8)로 덮여지지 않은 영역의 산화막(4) 및 SOI층(3)을 제거함으로써, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(993)을 형성한다.

다음에, 레지스트 마스크(RM8)를 제거한 후, 도 37에 나타내는 공정에서, 열산화를 행하여 SOI층(3)의 표면에 두께 10~40nm의 산화막(5)을 형성함과 동시에, 폴리실리콘층(21) 및 SOI층(3)의 노출된 측벽에 산화막(41, 42)을 형성한다(측벽산화).

또한, 상기 수법을 채용하면, 산화막(5)의 형성과 동시에 SOI층(3)의 측벽산화를 행하는 것이 가능하게 되므로, 제조공정을 간략화 한다는 이점을 얻을 수 있지만, 한쪽에서, SOI층(3)의 측벽산화를 행하지 않도록 하는 선택을 할 수 없으므로, 상기 수법을 채용하는데 있어서는, 전술한 전류누설과의 트레이드오프 관계를 고려하여 결정하는 것이 바람직하다.

<E-1-2. 변형예 2>

도 27~도 29에 나타낸 공정 대신에, 이하에 설명하는 도 38~도 40에 나타내는 공정을 채용해도 된다.

즉, 도 38에 나타내는 바와 같이, SOI기판상에 질화막(22), 폴리실리콘막(21) 및 산화막(4)의 적층막을 형성하고, MOS 트랜지스터의 형성영역에 대응하는 질화막(22)상의 영역을 레지스트 마스크(RM6)로 덮는다.

이때, 후에 두꺼운 게이트 절연막을 형성하는 영역(XR)은 개구부(OP)가 되도록 레지스트 마스크(RM6)를 패터닝한다.

그리고, 레지스트 마스크(RM6)를 에칭마스크로 하여, 질화막(22) 및 폴리실리콘막(21)을 드라이에칭 혹은 웨트에칭에 의해 선택적으로 제거한다.

또한, 패터닝된 질화막(22)을 에칭마스크로 하여, 질화막(22)으로 덮여지지 않은 산화막(4) 및 SOI층(3)을 제거하여, MOS 트랜지스터의 활성영역(AR)과, 보디콘택부의 형성영역(BR)에만 질화막(22), 폴리실리콘막(21) 및 산화막(4)의 적층막(991, 992)을 남긴다. 영역(XR)은 하부(OP1)가 되며, 그 바닥부에는 SOI층(3)이 노출된다. 또한, 이때, SOI층(3)을 오버에칭에 의해 약간 제거한다. 그 제거 두께는 최대 50nm 정도이다. 또한, 질화막(22), 폴리실리콘막(21) 및 산화막(4)을 하나하나 순서대로 에칭하므로, PTI의 형성과 달리, SOI층(3)의 오버에칭량에 변동의 차이가 생기기 어렵다.

다음에, 레지스트 마스크(RM6)를 제거한 후, 도 39에 나타내는 공정에서, MOS 트랜지스터의 활성영역으로(AR), 보디콘택부의 형성영역(BR) 및 두꺼운 게이트 절연막의 형성영역(XR)만을 덮도록 레지스트 마스크 RM8을 형성하고, 레지스트 마스크(RM8)를 에칭마스크로 하여, 레지스트 마스크(RM8)로 덮여지지 않은 영역의 산화막(4) 및 SOI층(3)을 제거함으로써, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(993)을 형성한다.

다음에, 레지스트 마스크(RM8)를 제거한 후, 도 40에 나타내는 공정에서, 열산화를 행하여 개구부(OP1)의 바닥면을 포함하여, SOI층(3)의 표면에 두께 10~40nm의 산화막(5)을 형성함과 동시에, 폴리실리콘층(21) 및 SOI층(3)의 노출된 측벽에 산화막(41, 42)을 형성한다(측벽산화).

여기서, 산화막(5)은 SOI층(3)의 오버에칭된 부분에 형성되므로, 그 두께를 두껍게 하기 쉽다는 특징이 있다.

또한, 도 38에서 나타내는 공정을 실시한 후, 개구부(OP1)내를 산화하여 산화막(5)을 형성하도록 해도 된다.

또한, 도 27 및 38에 나타내는 공정에서는, 질화막(22) 및 폴리실리콘막(21)을 드라이에칭 혹은 웨트에칭에 의해 선택적으로 제거하고, 또한, 패터닝된 질화막(22)을 에칭마스크로 하여, 산화막(4) 및 SOI층(3)을 제거한다고 설명했지만, 산화막(4) 및 SOI층(3)의 제거시에는, 케미컬 드라이에칭(CDE)과 같은 에칭데미지가 작은 에칭을 사용하면, SOI층(3)의 표면에 에칭손상이 가해지지 않고, 또한, 오버에칭을 행하는 경우에는, 오버에칭량의 제어성도 양호하게 된다.

여기서, CDE란, 특정한 가스분위기중 혹은 압력이 제어된 진공용기중에서 행하는 드라이에칭의 하나의 형태이며, 에칭종류로서 화학적으로 활성적인 래디컬을 사용하며, 또한 활성적인 래디컬을 형성하는 부위와, 에칭을 행하는 부위를 분리한 장치를 사용하여 행하는 에칭이다.

또한 에칭종류로서는, CF<sub>4</sub>가스와 O<sub>2</sub>가스와의 혼합가스를 사용한 플라즈마로부터 얻을 수 있는 불소(F) 래디컬을 사용하는 예가 보고(주식회사 프레스저널 발행, 월간 Semiconductor World 1994.1 P64~P67 참조)되어 있다.

### <E-1-3. 변형예 3>

또한, SOI기판상에 질화막(22), 폴리실리콘막(21) 및 산화막(4)의 적층막을 형성한 후, 우선, 완전트렌치 분리산화막의 형성영역을 규정하는 에칭을 행하도록 해도 된다.

즉, 도 41에 나타내는 바와 같이, SOI기판상에 형성한 질화막(22), 폴리실리콘막(21) 및 산화막(4)의 적층막상에, 완전트렌치 분리산화막의 형성영역을 규정하는 개구패턴을 가진 레지스트 마스크 RM9를 형성하고, 레지스트 마스크(RM9)로 덮여지지 않은 영역의, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)을 제거한다.

그 후, 도 42에 나타내는 공정에서, 후에 두꺼운 게이트 절연막을 형성하는 영역(XR)만이 개구부(OP)가 되도록 패터닝된 레지스트 마스크 RM10을 SOI기판 전체 면에 형성하고, 레지스트 마스크(RM10)를 에칭마스크로 하여, 질화막(22), 폴리실리콘막(21), 산화막(4)을 제거하여 개구부(OP1)를 형성한다.

그 후, 개구부(OP1)내를 산화함으로써 산화막(5)을 형성하는 공정은, 도 37을 사용하여 설명한 공정, 혹은 도 40을 사용하여 설명한 공정을 채용하면 된다.

### <E-2. 평면레이아웃>

이하, 도 27~도 32를 사용하여 설명한 각 공정에서의 평면레이아웃의 일례에 대하여, 도 43~도 46을 사용하여 설명한다.

도 43은, 도 27에 나타내는 공정에서 사용되는 레지스트 마스크 RM6의 평면레이아웃을 나타내고 있고, MOS 트랜지스터의 활성영역(AR) 및 보디콘택부의 형성영역(BR)에 대응하는 영역에 개개에 형상이 다른 레지스트가 배치되어 그 이외의 영역이 개구부로 되어 있다. 또한, 레지스트가 배치된 영역이, 소위 필드영역이 된다. 또한, 도 43에서는, 활성영역(AR)(도시하지 않음)을 포함하는 필드영역을 규정하는 마스크 데이터를 FM1, 보디콘택부의 형성영역(BR)(도시하지 않음)을 포함하는 필드영역을 규정하는 마스크 데이터를 FM2로서 모식적으로 나타내고 있다. 또한, 마스크 데이터 FM1과 FM2와의 사이가, 도 27을 사용하여 설명한 바와 같이, 두꺼운 게이트 절연막의 형성영역이 된다.

도 44는, 도 29에 나타내는 공정에서 사용되는 레지스트 마스크 RM7의 평면레이아웃을 나타내고 있고, MOS 트랜지스터의 활성영역(AR), 후에 두꺼운 게이트 절연막을 형성하는 영역(XR) 및 보디콘택부의 형성영역(BR)에 대응하는 영역에 연속하는 레지스트가 배치되며, 그 이외의 영역이 개구부로 되어 있다. 또한, 레지스트가 배치된 영역과, 마스크 데이터 FM1 및 FM2로 규정되는 점선으로 둘러싸인 영역 이외의 영역이, 소위 완전트렌치 분리산화막의 형성영역이 된다. 또한, 도 44에서는, 완전트렌치 분리산화막의 비형성영역(FTR)을 규정하는 마스크 데이터를 FTM으로서 모식적으로 나타내고 있다.

도 45는, 도 32에 나타내는 공정에서 형성되는 게이트전극(12)을 형성하기 위한 레지스트 마스크 RM11(도 32에서는 도시하지 않음)의 평면레이아웃을 나타내고 있고, 게이트전극(12)을 형성하는 부분에만 레지스트가 배치되어 있다.

이상 설명한 레지스트 마스크 RM6, RM7 및 RM11을 사용하여 형성된 MOS 트랜지스터 Q21의 평면레이아웃을, 도 46에 나타낸다.

도 46에서는, 소스·드레인영역을 포함하는 활성영역(AR) 및 게이트전극(12)을 구비하는 MOS 트랜지스터 Q21과, 게이트전극(12)의 게이트 콘택패드(GP)측의, 게이트 폭 방향 외쪽에 설정된 보디콘택부(BD)가 나타나 있다.

여기서, 활성영역(AR)으로의 소스·드레인 불순물의 주입영역 및 보디콘택부(BD)로의 불순물의 주입영역을 규정하는 마스크 데이터 SDM 및 BM을, 도 46에 중첩된 모식도를, 도 47에 나타낸다.

도 47에서, 마스크 데이터 SDM 및 BM으로 표시되는 구형영역이 레지스트의 개구부가 된다. 또한, 게이트패드(GP)의 선단이 마스크 데이터(BM)의 영역내에 도달하는 바와 같이 마스크 데이터 BM을 설정하는 것이 바람직하다. 게이트패드(GP)의 선단이 마스크 데이터(BM)의 영역내에 도달되어 있지 않으면, 소스·드레인 불순물이 보디콘택부(BD)와 활성영역(AR)과의 사이의 SOI층내에 도입되어 버리므로, 이것을 방지하기 위함이다.

또한, 주입마스크를 형성하는 경우, 레지스트의 재질의 차이에 의해 2개의 형성방법이 있다.

즉, 불순물을 주입해야 할 영역을 CAD 등으로 설계한 후, 해당 영역 이외의 영역을 차광부로 한 네거티브 마스크를 작성하고, 그것을 사용하여 포지티브형 레지스트를 노광하여 개구우선 마스크를 형성하는 방법과, 불순물을 주입해야 할 영역을 CAD 등으로 설계한 후, 해당 영역을 그대로 마스크상의 차광부로 한 포지티브 마스크를 작성하고, 그것을 사용하여 네거티브형 레지스트를 노광하여 개구우선 마스크를 형성하는 방법의 2개이다.

또한, 도 47에서는, 게이트전극(12)의 게이트패드(GP)측의, 게이트 폭 방향 외쪽에 보디콘택부(BD)를 설치한 구성을 나타냈지만, 게이트전극(12)을 반전시킨 평면레이아웃이어도 된다. 해당 평면레이아웃을 도 48에 나타낸다.

도 48에서, 게이트전극(12)의 게이트패드(GP)와는 반대측의, 게이트 폭 방향 외쪽에 보디콘택부(BD)가 설치된 레이아웃으로 되어 있다.

### <E-3. 작용효과>

이상 설명한 실시예 5에 관한 제조방법에 의하면, 보조막을 사용하여 완전트렌치 분리산화막을 형성하는 수법을 채용하는 경우에서, 게이트 폭 방향에 있어서 게이트 절연막의 두께가 다른 구성으로 하여, SOI층(3)상이 넓은 면적에 걸쳐 배치되는 게이트 콘택패드(GP)의 하부에, 두꺼운 게이트 절연막(5)을 형성할 수 있고, 전류가 많이 흐르는 영역의 게이트 절연막(15)에 대해서는 두께를 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 저감할 수 있어, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

또한, 도 28에서, 적층막(991)의 폭 W로서 나타낸 바와 같이, MOS 트랜지스터의 게이트 폭이, 1회의 사진제판 프로세스로, 자기 정합적(셀프 얼라인먼트)으로 정할 수 있는, 게이트 폭의 변동이 적은 MOS 트랜지스터를 얻을 수 있다.

또한, 보디고정의 MOS 트랜지스터의 평면레이아웃으로서, 도 49에 나타내는 바와 같은 구성도 B. W. Min 등에 의해 공표(2001 IEEE International SOI Conference p71, 72)되어 있지만, 해당 구성으로서의 소스-드레인 사이에서의 전류 누설패스가 형성될 가능성을 가지고 있다.

즉, 도 49에서는, 활성영역(101)과 보디콘택영역(103)과의 사이에 부분트렌치 분리영역(102)이 배치되어 있고, 게이트전극(104)은 부분트렌치 분리영역(102)상의 도중까지 밖에 연장하고 있지 않다. 따라서, 소스·드레인 주입을 행한 경우, 게이트전극(102)의 선단과 보디콘택영역(103)과의 사이의 영역 X(해칭부분)의 트렌치 분리영역(102) 하부의 SOI층에도 소스·드레인 불순물이 도입되어 버리며, 영역 X를 통해, 소스·드레인 사이에서 전류누설이 발생할 가능성이 있다.

이것을 방지하기 위해서는, 영역 X의 SOI층의 불순물(소스·드레인 불순물과는 반대의 도전형)의 농도를, 주입된 소스·드레인 불순물에 의해서도 보상되지 않도록 높게 할 필요가 있다. 그렇게 하면, 소스·드레인 불순물층 혹은 그 하부에 형성되는 공핍층이 매립산화막(2)까지 도달시키는 것이 어려워지며, SOI 디바이스의 특징인 접합용량이 작다는 장점을 지속할 수 없게 된다. 또한, 소스·드레인 불순물층이나 공핍층이 매립산화막(2)까지 도달했다고 해도, 채널영역의 불순물 농도가 높으면, 접합용량이 커지며, SOI 디바이스의 장점을 지속할 수 없다.

그러나, 도 47이나 도 48에 나타내는 본 실시예의 평면레이아웃을 채용하면, 이와 같은 문제는 발생하지 않는다.

### <E-4. 평면레이아웃의 변형예>

도 47에 나타낸 평면레이아웃에서는, 완전트렌치 분리산화막의 비형성영역 FTR의 평면에서 보아 형상은 T자형이고, T자의 각 부에 대응하는 부분의 게이트 길이 방향의 길이가, 게이트전극(12)의 게이트 콘택패드(GP)의 게이트 길이 방향의 길이보다도 길게 설정되어 있었지만, 도 50에 나타내는 바와 같이, T자의 각 부에 대응하는 부분의 게이트 길이 방향의 길이를 게이트전극(12)의 게이트 콘택패드(GP)의 게이트 길이 방향의 길이보다도 짧게 해도 된다.

이와 같이 구성함으로써, 보디콘택부(BD)와 활성영역(AR)과의 사이의 접속부가 게이트 콘택패드(GP)로 덮여지는 것에 의해, 소스·드레인 불순물의 주입시에, 해당 접속부에 도입되는 것을 방지할 수 있다.

### <E-5. 마스크 데이터의 반자동 작성에 대해>

도 43~도 45를 사용하여 설명한 바와 같이, 도 46에 나타내는 MOS 트랜지스터의 평면레이아웃의 작성에는, 레지스트 마스크 RM6, RM7 및 RM11의 적어도 3장의 레지스트 마스크가 필요하지만, 이하의 수법을 채용함으로써, 레지스트 마스크 RM7형성을 위한 마스크 데이터(FTM)를 간편히 얻을 수 있다.

즉, 완전트렌치 분리산화막의 비형성영역(FTR)을 규정하는 마스크 데이터 FTM은, 활성영역(AR)을 규정하는 마스크 데이터 FM1 및 보디콘택부의 형성영역(BR)을 규정하는 마스크 데이터 FM2를 사용함으로써 반자동적으로 작성할 수 있다.

도 51은, 마스크 데이터(FTM)의 반자동 작성방법을 모식적으로 나타내는 도면이며, 마스크 데이터(FM1, FM2)를, 치수  $\epsilon$ 만큼 언더사이즈 처리함으로써, 마스크 데이터(FTM1, FTM2)(언더사이즈 처리완료 데이터)를 자동적으로 얻을 수 있고, 이것에, 마스크 데이터 FTM1과 FTM2와의 사이의 마스크 데이터 FTM3(보디콘택영역과 활성영역과의 사이의 접속부의 데이터)을 입력함으로써, 완전트렌치 분리산화막의 비형성영역(FTR)을 규정하는 마스크 데이터 FTM(바꾸어 말하면 완전트렌치 분리산화막의 형성영역을 규정하는 마스크 데이터)을 얻을 수 있다. 이것에 의해, 마스크 데이터 FTM을 간편히 얻을 수 있다.

여기서, 언더사이즈 처리란, 대상이 되는 데이터를 등방적으로 소정량만큼 작게 하는 처리이며, 예컨대(L31 UNO, 1 $\mu$ m)라 하면, 당초의 필드데이터(L31이라 호칭함)가 구형영역을 규정하는 경우, 4변 각각이 0.1 $\mu$ m씩 내측에 이동하는 것을 의미한다.

<E-6. 응용예>

이상 설명한 실시예 5의 제조방법의 응용예로서, 게이트 절연막의 두께가 다른 2종류의 MOS 트랜지스터를 형성하는 방법에 대하여, 제조공정을 순서대로 나타내는 단면도인 도 52~도 55를 사용하여 설명한다.

우선, 도 27~도 31을 사용하여 설명한 공정을 거쳐, 도 52에 나타내는 바와 같이, 완전트렌치 분리산화막(FT)에 의해 규정되는 SOI층(3)의 2개의 영역 R10 및 R20상에 산화막(5)이 형성된 구성을 얻는다. 또한, 산화막(5)의 두께는 10~40nm이다.

다음에, 도 53에 나타내는 공정에서, 영역(R10, R20)의 노출한 SOI층(3)에 게이트산화를 행하고, 게이트 절연막(11B)을 형성한다. 또한, 게이트 절연막(11B)의 두께는 3~10nm이다.

다음에, 도 54에 나타내는 공정에서, 영역 R20을 덮도록 레지스트 마스크 RM21을 패터닝하고, 플루오르화수소산(HF) 등을 사용한 웨트에칭에 의해, 레지스트 마스크 RM21로 덮여지지 않은 영역 R10의 게이트 절연막(11B)을 제거한다.

다음에, 레지스트 마스크 RM21을 제거한 후, 도 55에 나타내는 공정에서, 노출한 SOI층(3)상에 게이트산화에 의해 게이트 절연막(11A)을 형성한다. 또한, 게이트 절연막(11A)의 두께는 1~5nm이다.

이하, 도 32를 사용하여 설명한 공정을 거침으로써, 게이트 절연막의 두께가 다른 2종류의 MOS 트랜지스터를 얻을 수 있다.

<E-7. 개량예>

활성영역과, 해당 활성영역을 규정하는 완전트렌치 분리산화막과의 경계를 필드에지(field edge)라 호칭하지만, 이 필드에지상에 게이트전극이 배치되는 경우, 제조공정에 기인하여 필드에지 부분에 홈 등이 형성되면, 거기에 게이트전극이 들어가, 소위 게이트의 와인딩(gate winding)이라 호칭되는 현상이 발생하는 경우가 있다.

이하, 이 게이트의 와인딩을 방지하는 제조방법에 대하여, 제조공정을 순서대로 나타내는 단면도인 도 56~도 58을 사용하여 설명한다.

우선, 도 27 및 도 28을 사용하여 설명한 공정을 거쳐, SOI층(3)의 표면에 두께 10~40nm의 산화막(5)을 형성함과 동시에, 측벽산화에 의해 폴리실리콘층(21)의 노출된 측벽에도 산화막(41)을 형성한다. 그리고, 도 56에 나타내는 공정에서, SOI기판의 전체 면에 CVD법에 의해 두께 5~20nm의 산화막(45)을 형성한다.

다음에, 도 57에 나타내는 공정에서, MOS 트랜지스터의 활성영역(AR), 보디콘택부의 형성영역(BR) 및 두꺼운 게이트 절연막의 형성영역(XR)만을 덮도록 레지스트 마스크 RM12를 형성한다. 이것은, 도 29에 나타낸 레지스트 마스크 RM7과 동일하다.

그리고 레지스트 마스크(RM12)를 에칭마스크로 하여, 레지스트 마스크(RM12)로 덮여지지 않은 영역의 산화막(5, 45), SOI층(3)을 제거함으로써, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(993)을 형성한다. 또한, 질화막(22) 및 폴리실리콘막(21)의 측벽에는 산화막(45)이 남는다.

그 후, 도 30 및 도 31을 사용하여 설명한 공정을 거침으로써, 도 58에 나타내는 구성을 얻을 수 있다.

도 58에 나타내는 바와 같이, 완전트렌치 분리산화막(FT)과 활성영역(AR)과의 경계인 필드에지 부분과, 완전트렌치 분리산화막(FT)과 보디콘택부의 형성영역(BR)과의 경계부분에서 산화막의 두께가 국소적으로 두껍게 된 볼록부(bulged portion)(MP)가 형성되어 있다.

이 볼록부(MP)는, 열산화로 형성한 산화막(5)의 단부 모서리부에 해당하며, 열산화로 형성한 산화막(5)은, HDP-CVD법으로 형성된 산화막(HX)보다도, 에칭레이트가 작으므로, 도 31을 사용하여 설명한 산화막(HX)의 웨트에칭에서, 산화막(5)의 단부 모서리부가 부풀어 오른 모양으로 남게 된다.

또, 볼록부(MP)에서, 완전트렌치 분리산화막(FT)의 단부로부터 폭 d1로 표시되는 영역은, 상부에 산화막(45)이 형성되어 있던 영역이며, 산화막(HX)의 에칭의 영향이 더 작았던 영역이다. 따라서 산화막(45)은, 볼록부(MP)를 크게 하기 위한 스페이서라 할 수 있다.

이와 같이, 필드에지부에 산화막의 불록부(MP)를 의도적으로 형성함으로써, 필드에지상에 게이트전극이 연동하는 경우에서도, 게이트의 와인딩을 방지할 수 있다.

또한, 이상의 설명으로서는, 도 27 및 도 28을 사용하여 설명한 공정을 거친 후, SOI기관의 전체 면에 CVD법에 의해 산화막(45)을 형성하는 예를 나타냈지만, 대신에 스페이서로서 질화막을 형성하도록 해도 된다.

도 59는, 도 27 및 도 28을 사용하여 설명한 공정을 거친 후, SOI기관의 전체 면에 CVD법에 의해 질화막(46)을 형성한 후, 이방성 에칭에 의해, 질화막(46)을 제거한 상태를 나타내고 있고, 질화막(22) 및 폴리실리콘막(21)의 측벽에는 질화막(46)이 남아 있다.

이 상태에서, 도 60에 나타내는 바와 같이, MOS 트랜지스터의 활성영역(AR), 보디콘택부의 형성영역(BR) 및 두꺼운 게이트 절연막의 형성영역(XR)만을 덮도록 레지스트 마스크 RM13을 형성한다. 이것은, 도 29에 나타낸 레지스트 마스크 RM7과 동일하다.

그리고 레지스트 마스크 RM13을 에칭마스크로 하여, 레지스트 마스크(RM13)로 덮여지지 않은 영역의 산화막(5, 45), SOI층(3)을 제거함으로써, 질화막(22), 폴리실리콘막(21), 산화막(4) 및 SOI층(3)의 적층막(993)을 형성한다. 또한, 질화막 46은 질화막 22 및 폴리실리콘막 21의 측벽에 남은 상태이다.

그 후, 도 30 및 도 31을 사용하여 설명한 공정을 거침으로써, 도 58에 나타내는 구성을 얻을 수 있다.

#### <F. 실시예 6>

도 1을 사용하여 설명한 실시예 1의 MOS 트랜지스터 Q1의 평면레이아웃에서는, 마스크 데이터(RX1)의 한 변이, 게이트 콘택패드(GP)의 소스·드레인영역측의 한 변과 완전하게는 겹치지 않고, 보디콘택부(BD)측에 길이  $\alpha$ 만큼 어긋난 구성을 나타냈다.

그러나, 이 경우, 게이트 콘택패드(GP)의 일부는, 얇은 게이트 절연막상에 형성되게 되므로, 해당 영역에서는 기생용량이 커질 가능성이 있었다.

본 발명에 관한 실시예 6에서는, 이와 같은 가능성을 배제하는 MOS 트랜지스터의 평면레이아웃 및 제조방법에 대하여 설명한다.

#### <F-1. 평면레이아웃>

도 61에 나타내는 바와 같이 MOS 트랜지스터 Q1A에서는, 두꺼운 게이트 절연막의 마스크 데이터(RX1)의 한 변이, 게이트 콘택패드(GP)의 소스·드레인영역측의 한 변과 완전하게는 겹치지 않고, 활성영역(AR)측에 길이  $\beta$ 만큼 어긋나도록 배치되어 있다. 기타, 도 1을 사용하여 설명한 MOS 트랜지스터 Q1과 동일한 구성에 대해서는 동일한 부호를 부착하고, 중복하는 설명은 생략한다.

여기서, 길이  $\beta$ 는, 게이트 콘택패드(GP)의 활성영역(AR)측의 단부 모서리로부터, 마스크 데이터부(RX1)의 활성영역(AR)측의 단부 모서리부까지의 길이로 정의된다.

이와 같은 평면레이아웃을 채용함으로써, 게이트 콘택패드(GP)는 모두, 두꺼운 게이트 절연막상에 형성되게 되므로, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있고, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

#### <F-2. 불순물주입시의 배려>

도 61에 나타내는 평면레이아웃을 채용하면, 도 61에서의 A영역(해칭영역), 즉, 게이트길이  $\gamma$ 가 짧고, 게이트전극(12)의 하부에 두꺼운 게이트 절연막이 존재하는 영역에서, 소스-드레인 사이에 전류누설이 발생할 가능성이 있다.

이것을 방지하기 위해, 도 61에서의 A영역에서는 LDD(저도우프·드레인)주입(익스텐션 주입)시에 주입불순물이, 가능한 한 적어지도록 배려한다.

도 62에, LDD 주입시의 도 61에서의 C-C선에서의 화살표방향 단면(즉 A영역의 단면)의 구성을 나타낸다. 도 62에 나타내는 바와 같이, 게이트전극(12)의 하부와, 게이트의 양측면에서 게이트 길이 방향으로 길이  $\gamma$ 의 범위에서는, 두꺼운 게이트 절연막(110)이 배치되어 있다.

따라서, 저도우프 드레인층(혹은 소스·드레인 익스텐션층)의 형성시에는 활성영역(AR)에서의 주입에너지와 동일한 에너지로 불순물을 주입함으로써, 두꺼운 게이트 절연막(110)에 의해 주입불순물이 저지되고, 도 61의 A영역의 SOI층(3)에서의 주입불순물량은, 활성영역(AR)에서의 SOI층(3)의 주입불순물량보다도 적어지며, 전류누설을 감소할 수 있다.

이와 같은 제조공정상의 배려는, 도 47 및 도 48에 나타낸 구성, 또한 도 50에 나타낸 구성을 채용하는 경우에도 유효하다.

또한, 도 61에 나타내는 A영역에, 소스·드레인 주입시에 주입불순물이, 가능한 한 적어지도록 배려함으로써, 소스-드레인 사이에서의 전류누설을 감소할 수 있다.

도 63에, 소스·드레인 주입시 도 61에서 C-C선에서의 화살표방향 단면의 구성을 나타낸다.

도 63에 나타내는 바와 같이, 게이트전극(12)의 측면에는, 측벽절연막(13)이 형성되지만, 측벽절연막(13)의 형성시에는, 측벽절연막(13)의 폭  $\delta$ 가, 두꺼운 게이트 절연막(110)의 형성범위를 나타내는  $y$ 의 길이 이상( $y \leq \delta$ )이(로) 되도록 함으로써, 소스·드레인 불순물이, 게이트 절연막(110) 하부의 SOI층(3)에 도입되는 것을 억제할 수 있다.

보다 구체적으로는 예컨대,  $y$ 의 길이를 30nm로 하면 폭  $\delta$ 을 50nm 정도로 함으로써, 목적에 도달할 수 있다.

또한, 보는 관점을 바꾸면, 두꺼운 게이트 절연막(110)의 하부의 SOI층의 게이트 길이 방향의 길이를, 게이트전극(12)의 게이트길이(Lg)와 측벽절연막(13)의 폭( $\delta$ )의 2배의 길이를 합친 길이보다도 짧게 하면 된다.

### <F-3. 작용효과>

이상 설명한 바와 같이, 게이트길이(가) 좁고, 게이트전극(12)의 하부에 두꺼운 게이트 절연막이 존재하는 영역의 SOI층(3)에는, LDD주입의 불순물 및 소스·드레인 주입의 불순물이 도입되는 것을 최대한 방지함으로써, 전류누설을 감소할 수 있다.

또한, 도 61에 나타내는 바와 같이, 두꺼운 게이트 절연막(110)은 보디콘택부(BD)상에까지 연장해도 되며, 보디콘택부(BD)상에는 연장하지 않고 트렌치 분리산화막과의 배치패턴상의 차이로 되어 있다.

### <G. 실시예 7>

실시예 1, 2 및 실시예 5에 나타낸 제조방법에서는, 게이트 폭 방향에 있어서 게이트 절연막의 두께가 다른 구성을 얻기 위해, 적어도 2회의 산화공정을 행했지만, 이하에 설명하는 실시예 7의 수법을 채용하면, 1회의 산화공정에서, 게이트 폭 방향에 있어서 게이트 절연막의 두께가 다른 구성을 얻을 수 있다.

#### <G-1. 제조방법>

우선, 도 64에 나타내는 바와 같이 실리콘기판(1), 매립산화막(2) 및 SOI층(3)으로 구성되는 SOI기판을 준비하고, SOI기판의 SOI층(3)을 관통하여 매립산화막(2)에 도달하는 완전트렌치 분리산화막(FT)을 형성하며, 후에, 활성영역 및 보디콘택부가 되는 영역을 규정한다.

그리고, 예컨대 도 1에 나타낸 마스크 테이더(RX1)에 의거하여 레지스트 마스크 RM31을 패터닝한다. 레지스트 마스크 RM31에서는, 개구부(OP10)의 형성영역이, 두꺼운 게이트 절연막의 형성영역에 대응한다.

그 후, 레지스트 마스크(RM31)상에서 SOI층(3)내에 불소이온을 주입한다. 이때의 주입조건은, 주입에너지 10~50keV에서, 도우즈량은  $1 \times 10^{14} \sim 1 \times 10^{15}/\text{cm}^2$ 이다.

다음에, 레지스트 마스크(RM31)를 제거한 후, 얇은 게이트 절연막을 형성하는 조건으로 열산화를 행함으로써, 도 65에 나타내는 바와 같이, 불소이온을 주입한 SOI층(3)의 영역상에는 전기물성적으로 실효적으로 두꺼운 게이트 절연막(110)이 형성되어, 레지스트 마스크(RM31)로 덮여져 있던 SOI층(3)의 영역상에는 얇은 게이트 절연막(11)이 형성된다.

이것은, SOI층(3)에 주입한 불소가, 산화막중에 확산함으로써 산화막의 유전율이 저하하고, 전기물성적으로 실효적으로 두께가 두꺼워지기 때문이다.

또한, 실제로는 도 65의 게이트 절연막(110)과 같이 두께가 두꺼워지는 것은 아니다.

또한, 질소를 주입한 SOI층상에는 얇은 산화막이 형성된다는 현상을 이용해도 된다.

즉, L. K. Han 등(IEDM97 p643~p646)에 의하면, 실리콘기판에 질소를  $5 \times 10^{14}/\text{cm}^2$  이상 주입하면, 그 위에 형성되는 산화막의 두께가, 비주입의 경우에 비해 50% 이상 얇아진다는 보고가 되어 있다.

따라서, 도 66에 나타내는 공정에서, 예컨대 도 1에 나타낸 마스크 테이더(RX1)에 의거하여 레지스트 마스크 RM32를 패터닝한다. 레지스트 마스크 RM32에서는, 개구부(OP20)의 형성영역이, 얇은 게이트 절연막의 형성영역에 대응한다.

그 후, 레지스트 마스크(RM32)상에서 SOI층(3)내에 질소이온을 주입한다. 이때의 주입조건은, 주입에너지 3~30keV로, 도우즈량을  $5 \times 10^{14}/\text{cm}^2$  이상으로 한다.

다음에, 레지스트 마스크(RM32)를 제거한 후, 두꺼운 게이트 절연막을 형성하는 조건으로 열산화를 행함으로써, 도 67에 나타내는 바와 같이, 질소이온을 주입한 SOI층(3)의 영역상에는 얇은 게이트 절연막(11)이 형성되고, 레지스트 마스크(RM32)로 덮여져 있던 SOI층(3)의 영역상에는 두꺼운 게이트 절연막(110)이 형성된다.

또한, 이 경우의 얇은 게이트 절연막(11)의 두께는, 두꺼운 게이트 절연막(110)의 반 정도로 된다.

<G-2. 작용효과>

이상 설명한 바와 같이, SOI층중에 불소 혹은 질소를 선택적으로 이온주입함으로써, 1회의 산화공정에서, 게이트 폭 방향에 있어서 게이트 절연막의 두께가 다른 구성을 얻을 수 있다.

또한, 실리콘층중에 불소 혹은 질소를 주입하면, 실리콘층내에 미량의 결정결함이 생기고, 해당 결함이 라이프타임 길러로서 동작하므로, 보디고정의 SOI 디바이스에서는 보디 고정능력을 높이는 효과도 나타낸다.

<H. 저전압 트랜지스터 및 고전압 트랜지스터에 대해>

이하, 도 68~도 72를 사용하여, 고전압 트랜지스터 및 저전압 트랜지스터의 제조방법에 대하여 설명한다.

우선, 도 68에 나타내는 바와 같이, 실리콘기판 등의 반도체기판(201)상에 비교적 막두께가 두꺼운 절연막(202)을 형성한다.

그리고, 도 69에 나타내는 바와 같이, 고전압 동작영역(A1)상을 덮도록 패터닝된 레지스트(203)를 형성하고, 레지스트(203)를 마스크로 하여 절연막(202)에 대한 에칭처리를 행하여 저전압 동작영역(A2)상에 형성된 절연막(202)을 제거한다.

그 후, 도 70에 나타내는 바와 같이, 레지스트(203)를 제거하여 전체 면에 비교적 막두께가 얇은 절연막을 형성함으로써, 저전압 동작영역(A2)에 절연막(204)을 형성함과 동시에, 고전압 동작영역(A1)의 절연막(202)의 막두께를 약간 증가시킨다. 그 후, 전체 면에 도전층(205)을 퇴적한다.

그리고, 도 71에 나타내는 바와 같이, 도전층(205)을 선택적으로 에칭하고, 고전압 동작영역(A1)에 게이트 절연막(61) 및 게이트전극(62)을 형성함과 동시에, 저전압 동작영역(A2)에 게이트 절연막(71) 및 게이트전극(72)을 동시에 형성한다. 이때, 게이트 절연막(61)은 게이트 절연막(71)보다 막두께가 두껍게 형성되며, 게이트전극 62는 게이트전극 72보다 게이트 길이가 길게 형성된다.

또한, 저전압 동작영역(A2)을 제1 레지스트(도 72에서는 도시하지 않음)로 덮으면서, 고전압 동작영역(A1)에만 불순물 이온(64)을 주입하여, LDD영역의 원인이 되는 불순물 확산영역(63)을 형성하는 제1 LDD 주입처리를 행하고, 고전압 동작영역(A1)을 제2 레지스트(도 71에서는 도시하지 않음)로 덮으면서, 저전압 동작영역(A2)에만 불순물 이온(74)을 주입하여, LDD영역의 원인이 되는 불순물 확산영역(73)을 형성하는 제2 LDD 주입처리를 행한다.

이와 같이, 제1 및 제2 LDD 주입은 다른 공정에서 행해지며, 통상, 불순물 확산영역 63은 불순물 확산영역 73보다도 깊게 형성된다. 또한, 제1 및 제2 LDD 주입처리에서는, 포켓영역 형성을 위한 포켓주입처리를 동시에 행해도 된다.

그리고, 도 72에 나타내는 바와 같이, 하층, 상층의 측벽이 되는 절연층(측벽절연막)을 순차 형성하여 에치백(etch back)을 행함으로써, 고전압 동작영역(A1)에서, 상층측벽(65) 및 하층측벽(66)으로 이루어지는 측벽절연막을 게이트전극(62)의 측면에 형성함과 동시에, 저전압 동작영역(A2)에서, 상층측벽(75) 및 하층측벽(76)으로 이루어지는 측벽절연막을 게이트전극(72)의 측면에 형성한다.

또한, 고전압 동작영역(A1)에서는 게이트전극(62), 상층측벽(65) 및 하층측벽(66)을 마스크로 하여, 저전압 동작영역(A2)에서는 게이트전극(72), 상층측벽(75) 및 하층측벽(76)을 마스크로 하여, 위쪽으로부터의 불순물 이온(55)의 주입을 행하여 소스·드레인영역 형성처리를 실행하고, 고전압 동작영역(A1)에는 소스·드레인영역(67)과 LDD영역(68)(측벽(65, 66)하의 불순물 확산영역(63))을 형성하여, 저전압 동작영역(A2)에는 소스·드레인영역(77)과 LDD영역(78)(측벽(75, 76)하의 불순물 확산영역(73))을 형성한다.

그 결과, 고전압 동작영역(A1)에는, 게이트 절연막(61), 게이트전극(62), 상층측벽(65), 하층측벽(66), 소스·드레인영역(67), LDD영역(68)으로 이루어지는 고전압 MOS 트랜지스터 Q101이 형성되고, 저전압 동작영역(A2)에는, 게이트 절연막(71), 게이트전극(72), 상층측벽(75), 하층측벽(76), 소스·드레인영역(77), LDD영역(78)으로 이루어지는 저전압 MOS 트랜지스터 Q102가 형성된다. 또한, 여기서 말하는 고전압 MOS 트랜지스터란 3.3V 정도로 동작하는 주로 입출력용의 MOS 트랜지스터를 의미하며, 저전압 MOS 트랜지스터란 1.8V 정도로 동작하는 주로 논리동작용의 MOS 트랜지스터를 의미한다.

전술한 제조방법을 이용하여 CMOS 구조의 반도체장치를 얻는 경우의 제조공정에 대하여, 도 73에 나타내는 플로우 차트를 사용하여 설명한다.

또한, 도 73에서 나타내는 플로우 차트는 고전압 동작영역(A1) 및 저전압 동작영역(A2)의 양쪽에 게이트 절연막 및 게이트전극이 이미 형성된 후의 처리순서를 나타내고 있다.

우선, 스텝 S1에서 저전압 NMOS 트랜지스터에 대한 LDD 주입처리를 실행하고, 스텝 S2에서 저전압 PMOS 트랜지스터에 대한 LDD 주입처리를 실행하며, 스텝 S3에서 고전압 NMOS 트랜지스터에 대한 LDD 주입처리를 실행하고, 스텝 S4에서 고전압 PMOS 트랜지스터에 대한 LDD 주입처리를 실행한다.

스텝 S1~S4의 처리는 선택적으로 행해도 되며, 스텝 S1, S2 각각에 있어서 포켓영역 형성을 위한 포켓주입처리를 동시에 실행해도 된다.

다음에, 스텝 S5에서 웨트처리(웨트에칭, 액체를 사용한 세정 등을 포함함)를 사용한 이전(以前) 처리를 실행한다. 웨트처리를 사용한 이전 처리로서, 예컨대, RCA 세정 등이 있다. RCA 세정이란,  $\text{NH}_4\text{OH}/\text{H}_2\text{O}_2$ 에 의한 처리(파티클 제거를 행하는 처리)와  $\text{HCl}/\text{H}_2\text{O}_2$ 에 의한 처리(금속오염 제거를 행하는 처리)를 겸한 처리를 의미한다.

그리고, 스텝 S6에서 하층측벽막을 형성한 후, 스텝 S7에서 상층측벽막을 형성한 에치백, HF(플루오르화수소산)처리 등의 후 처리를 행하고, 모든 MOS 트랜지스터의 게이트전극의 측면에 측벽을 형성한다.

그 후, 스텝 S8에서, 전체(고전압 및 저전압)의 NMOS 트랜지스터에 대한 소스·드레인영역 형성처리를 실행하고, 스텝 S9에서 모든 PMOS 트랜지스터에 대한 소스·드레인영역 형성처리를 실행한다. 또한, 스텝 S8, S9의 처리는 선택적으로 행해도 된다.

그 후,  $\text{CoSi}_2$ ,  $\text{TiSi}_2$  등의 실리사이드(silicide)를 소스·드레인영역의 표면 및 게이트전극의 표면에 형성하여, 모든 MOS 트랜지스터를 완성한다.

이상 설명한 바와 같이, 하나의 반도체기판상에, 저전압 트랜지스터 및 고전압 트랜지스터를 형성하는 기술은 확립되어 있고, 이 기술에, 도 12를 사용하여 설명한 실시예 3의 수법, 또한, 도 20~도 26을 사용하여 설명한 실시예 4의 수법을 조합함으로써, 간략화된 공정에서 복수종류의 MOS 트랜지스터를 얻을 수 있다.

### 발명의 효과

본 발명에 관한 제1 국면에 기재의 반도체장치의 제조방법에 의하면, 게이트 절연막이, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지며, 양자가 연속한 반도체장치를 얻을 수 있고, 예컨대 SOI층상이 넓은 면적에 걸쳐 배치되는 게이트 콘택패드의 하부의 게이트 절연막의 두께를 두껍게 하고, 전류가 많이 흐르는 영역의 게이트 절연막의 두께를 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있고, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

본 발명에 관한 제2 국면에 기재의 반도체장치의 제조방법에 의하면, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 갖는 게이트 절연막을, 듀얼옥사이드 프로세스에 의해, 두께가 다른 제1 및 제2 게이트 절연막을 갖는 제1 및 제2 MOS 트랜지스터를 형성하는 공정을 겸용하여 형성함으로써, 새로운 제조공정을 추가하는 필요가 없고, 제조비용의 증가를 억제할 수 있다.

본 발명에 관한 제3 국면에 기재의 반도체장치의 제조방법에 의하면, 트렌치 분리절연막의 형성시에 SOI층상에 형성되는 보조막의 하지산화막을 제거하지 않고 남김으로써, 게이트 절연막의 제2 부분을 포함하는 제2 두께의 절연막으로 하므로, 두꺼운 게이트 절연막의 형성공정을 삭감할 수 있고, 공정을 간략화하여, 제조비용의 증가를 억제할 수 있다.

본 발명에 관한 제4 국면에 기재의 반도체장치의 제조방법에 의하면, 제1 및 제2 MOS 트랜지스터의 제조공정에서, 하지산화막을 게이트 절연막의 제2 부분을 포함하는 제2 두께의 절연막으로서 겸용하므로, 두꺼운 게이트 절연막의 형성공정을 삭감할 수 있고, 공정을 간략화하여, 제조비용의 증가를 억제할 수 있다.

본 발명에 관한 제5 국면에 기재의 반도체장치의 제조방법에 의하면, 보조막을 사용하여 트렌치 분리산화막을 형성하는 수법을 채용하는 경우에서, 게이트 절연막이, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지며, 양자가 연속한 반도체장치를 얻을 수 있고, 예컨대 SOI층상이 넓은 면적에 걸쳐 배치되는 게이트 콘택패드의 하부의 게이트 절연막의 두께를 두껍게 하고, 전류가 많이 흐르는 영역의 게이트 절연막의 두께를 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있어, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

본 발명에 관한 제6 국면에 기재의 반도체장치의 제조방법에 의하면, MOS 트랜지스터의 게이트 폭을, 1회의 사진제판 프로세스로 자기 정합적으로 결정할 수 있으므로, 게이트 폭의 변동이 적은 MOS 트랜지스터를 얻을 수 있다.

본 발명에 관한 제7 국면에 기재의 반도체장치의 제조방법에 의하면, SOI층을 오버에칭하게 되도록 에칭하고, 거기에 산화막을 형성하므로, 그 두께를 용이하게 두껍게 할 수 있다.

본 발명에 관한 제8 국면에 기재의 반도체장치의 제조방법에 의하면, 케미컬 드라이 에칭에 의해 하지산화막을 제거하므로, SOI층에 주어지는 에칭손상이 작아진다.

본 발명에 관한 제9 국면에 기재의 반도체장치의 제조방법에 의하면, 케미컬 드라이 에칭에 의해 SOI층의 오버에칭을 행하므로, 오버에칭량의 제어성이 양호하게 된다.

본 발명에 관한 제10 국면에 기재의 반도체장치의 제조방법에 의하면, 완전트렌치 분리산화막을 형성할 수 있다.

본 발명에 관한 제11 국면에 기재의 반도체장치의 제조방법에 의하면, 완전트렌치 분리산화막 형성을 위해 트렌치의 형성에 앞서, 다층막의 측면에 절연막의 스페이서를 형성함으로써, 완전트렌치 분리산화막과 활성영역과의 경계인 필드에 지 부분에서 산화막의 두께가 국소적으로 두꺼워진 볼록부를 형성할 수 있고, 필드에 지상에 게이트전극이 연동하는 경우에서도, 게이트의 와인딩을 방지할 수 있다.

본 발명에 관한 제12 국면에 기재의 반도체장치의 제조방법에 의하면, 절연막의 스페이서를 얻는 구체적인 방법을 제공할 수 있다.

본 발명에 관한 제13 국면에 기재의 반도체장치의 제조방법에 의하면, 절연막의 스페이서를 얻는 구체적인 방법을 제공할 수 있다.

본 발명에 관한 제14 국면에 기재의 반도체장치의 제조방법에 의하면, 두꺼운 산화막을 형성하기 전에, 완전트렌치 분리산화막 형성을 위한 트렌치를 형성할 수 있다.

본 발명에 관한 제15 국면에 기재의 반도체장치의 제조방법에 의하면, 트렌치의 내벽에 노출하는 SOI층을 산화하므로, 트렌치형성을 위한 에칭에 의해, SOI층의 측면이 손상을 받은 경우에서도, 전류누설의 원인이 되는 것을 방지할 수 있다.

본 발명에 관한 제16 국면에 기재의 반도체장치의 제조방법에 의하면, 트렌치분리 산화막의 비형성영역을 규정하는 제3 마스크 데이터를, 활성영역을 규정하는 제1 마스크 데이터 및 보디콘택부의 형성영역을 규정하는 제2 마스크 데이터를 사용하여 간편히 얻을 수 있다.

본 발명에 관한 제17 국면에 기재의 반도체장치의 제조방법에 의하면, SOI층에 주입한 불소가, 산화막중에 확산함으로써 산화막의 유전율이 저하하고, 전기물리적으로 실효적인 두께가 두꺼워진다. 따라서, 불소이온을 주입한 SOI층의 영역상에는 전기물리적으로 실효적으로 두꺼운 게이트 절연막이 형성되며, 레지스트 마스크로 덮여져 있던 SOI층의 영역상에는 실효적으로 얇은 게이트 절연막이 형성되므로, 1회의 산화공정으로 두께가 다른 산화막을 형성할 수 있어, 제조공정을 간략화할 수 있다.

본 발명에 관한 제18 국면에 기재의 반도체장치의 제조방법에 의하면, 질소이온을 주입한 SOI층의 영역상에는 얇은 게이트 절연막이 형성되고, 레지스트 마스크로 덮여져 있던 SOI층의 영역상에는 두꺼운 게이트 절연막이 형성되므로, 1회의 산화공정으로 두께가 다른 산화막을 형성할 수 있어, 제조공정을 간략화 할 수 있다.

본 발명에 관한 제19 국면에 기재의 반도체장치에 의하면, 에컨대 SOI층상의 넓은 면적에 걸쳐 배치되는 게이트 콘택패드의 하부의 게이트 절연막의 두께를 두껍게 하고, 전류가 많이 흐르는 영역의 게이트 절연막의 두께를 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있어, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

본 발명에 관한 제20 국면에 기재의 반도체장치에 의하면, 두꺼운 게이트 절연막이 게이트 콘택패드의 하부 및 그 주위에 배치되므로, 소스-드레인 사이에서의 전류누설패스가 형성되는 것이 방지된다.

본 발명에 관한 제21 국면에 기재의 반도체장치에 의하면, 제2 두께의 절연막이, 보디콘택부와 채널형성영역과의 접속부가 되는 SOI층의 상부에까지 배치되므로, 접속부에 불필요한 불순물이 주입되는 것을 방지할 수 있다.

본 발명에 관한 제22 국면에 기재의 반도체장치에 의하면, 보디콘택부와 채널형성영역과의 접속부가 되는 SOI층의 게이트 길이 방향의 길이가, 게이트전극의 게이트길이와, 게이트전극의 측면에 배치되는 측면절연막의 폭의 2배의 길이를 합친 길이보다도 짧으므로, 게이트길이와 좁고, 게이트전극의 하부에 두꺼운 게이트 절연막이 존재하는 영역의 SOI층에, LDD 주입의 불순물 및 소스-드레인 주입의 불순물이 도입되는 것을 최대한 방지할 수 있고, 전류누설을 감소할 수 있다.

본 발명에 관한 제23 국면에 기재의 반도체장치에 의하면, 보디콘택부와 채널형성영역과의 접속부가 되는 SOI층의 게이트 길이 방향의 길이가, 게이트 콘택패드의 게이트 길이 방향의 길이보다도 짧으므로, 접속부가 게이트 콘택패드로 덮여지게 됨으로써, 소스-드레인 불순물의 주입시에, 해당 접속부에 도입되는 것을 방지할 수 있다.

본 발명에 관한 제24 국면에 기재의 반도체장치에 의하면, 소스타이 구조에서, 보디콘택부와 채널영역과의 접속부의 상부에 두꺼운 게이트 절연막이 설치되게 되며, 게이트전극의 전류가 많이 흐르는 영역의 게이트 절연막의 두께는 얇게 함으로써, 보디고정이 가능한 구성이면서, 게이트-드레인 사이의 기생용량을 감소할 수 있어, 저소비전력 또한 고속이며 안정적인 동작이 가능한 MOS 트랜지스터를 얻을 수 있다.

(57) 청구의 범위

청구항 C.

반도체기관, 매립산화막 및 SOI층이 순서대로 적층된 SOI기관의 상기 SOI층상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며,

상기 MOS 트랜지스터의 게이트전극의 평면에서 보아 형상이, 게이트 폭 방향의 적어도 한쪽의 단부가 게이트 길이 방향으로 넓어져 게이트 콘택패드를 구성하는 형상을 가지며,

상기 보디콘택부가, 상기 게이트 콘택패드의 게이트 폭 방향의 단부 외쪽의 상기 SOI층의 표면내에 설치되고, 상기 SOI층을 통하여, 상기 게이트 전극 하부의 채널형성영역에 전기적으로 접속되며,

상기 MOS 트랜지스터의 게이트 절연막의 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지고, 상기 제2 두께가, 상기 제1 두께보다도 두꺼운 반도체장치의 제조방법에 있어서,

(a) 상기 SOI층 상에, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막을 선택적으로 형성하는 공정과,

(b) 상기 제2 부분을 포함하는 상기 제2 두께의 절연막에 연속하도록, 상기 SOI 기판 상에, 상기 게이트 절연막의 제1 부분을 포함하는 상기 제1 두께의 절연막을 선택적으로 형성하는 공정을 구비하고,

상기 공정 (a)는 적어도 상기 게이트 콘택패드의 하부가 되는 영역에, 상기 제2 두께의 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 2.

제 1 항에 있어서,

상기 MOS 트랜지스터의 형성영역이 되는 활성영역을 규정함과 동시에, 상기 MOS 트랜지스터를 전기적으로 분리하는 트렌치 분리절연막을 형성하는 공정을 더 구비하고,

상기 공정 (a)는,

(a-1) 상기 트렌치 분리절연막의 형성시에 상기 SOI층 상에 형성되는 보조막의 하지산화막을 제거하지 않고 남김으로써, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막으로 하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 3.

제 1 항에 있어서,

상기 MOS 트랜지스터의 형성영역이 되는 활성영역, 상기 보디콘택부의 형성영역 및 상기 활성영역과 상기 보디콘택부의 형성영역과의 접속부를 규정함과 동시에, 상기 MOS 트랜지스터를 전기적으로 분리하는 트렌치 분리절연막을 형성하는 공정을 더 구비하고,

상기 공정 (a)는,

(a-1) 상기 트렌치 분리절연막의 형성시에 보조막이 되는 다층막을 상기 SOI층 상에 형성하는 공정과,

(a-2) 상기 다층막 상에, 적어도 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막의 형성영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정과,

(a-3) 상기 레지스트 마스크에 덮이지 않은 영역을, 상기 SOI층의 표면에 도달할 때까지 에칭에 의해 제거하는 공정과,

(a-4) 노출한 상기 SOI층의 표면에 비교적 두꺼운 산화막을 형성하고, 상기 개구부에 대응하는 영역의 상기 비교적 두꺼운 산화막을, 상기 게이트 절연막의 제2 부분을 포함하는 상기 제2 두께의 절연막으로 하는 공정을 포함하며,

상기 (a-1)은,

상기 다층막의 최하층막으로서, 상기 SOI층 상에 하지산화막을 형성하는 공정을 포함하고,

상기 공정 (b)는 상기 공정 (a)의 후에 실행되고, 상기 하지산화막을 제거한 후, 해당 영역에 상기 제1 두께의 절연막을 형성하는 공정을 포함하는 것을 특징으로 하는 반도체장치의 제조방법.

## 청구항 4.

제 3 항에 있어서,

상기 공정 (a-2)는,

상기 트렌치 분리산화막의 형성영역에 대응하는 부분에도 개구부를 가지도록 상기 레지스트 마스크를 패터닝하는 공정을 포함하고,

상기 레지스트 마스크의 패터닝으로, 상기 MOS 트랜지스터의 게이트 폭을 자기 정합적으로 결정하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 5.

반도체기판, 매립산화막 및 SOI층이 순서대로 적층된 SOI 기판의 상기 SOI층 상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며,

상기 MOS 트랜지스터의 게이트 절연막이, 게이트 폭 방향에 있어서 불소를 갖지 않은 제1 부분과, 불소를 갖는 제2 부분을 갖는 반도체장치의 제조방법에 있어서,

(a) 상기 SOI층 상에, 상기 게이트 절연막의 제2 부분을 포함하는 불소를 갖는 절연막을 형성하는 영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정과,

(b) 상기 개구부에서 상기 SOI층내에 불소이온을 이온주입하는 공정과,

(c) 상기 레지스트 마스크를 제거한 후, 상기 SOI층 상을 산화하는 공정을 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 6.

반도체기판, 매립산화막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층 상에 배치된 MOS 트랜지스터와, 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며,

상기 MOS 트랜지스터의 게이트 절연막이, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 두께의 제2 부분을 가지며, 상기 제2 두께가, 상기 제1 두께보다도 두꺼운 반도체장치의 제조방법에 있어서,

(a) 상기 SOI층 상에, 상기 게이트 절연막의 제1 부분을 포함하여 상기 제1 두께의 절연막을 형성하는 영역이 개구부가 된 레지스트 마스크를 패터닝하는 공정과,

(b) 상기 개구부로부터 상기 SOI층내에 질소이온을 이온주입하는 공정과,

(c) 상기 레지스트 마스크를 제거한 후, 상기 SOI층 상을 상기 제2 두께의 절연막을 형성하는 조건으로 산화하는 공정을 구비하는 것을 특징으로 하는 반도체장치의 제조방법.

### 청구항 7.

반도체기판, 매립절연막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층 상에 배치된 MOS 트랜지스터와,

상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며,

상기 MOS 트랜지스터의 게이트전극의 평면에서 보아 형상이, 게이트 폭 방향의 적어도 한쪽의 단부가 게이트 길이 방향으로 넓어져 게이트 콘택패드를 구성하는 형상을 가지며, 상기 보디콘택부가, 상기 게이트 콘택패드의 게이트 폭 방향의 단부 외쪽의 상기 SOI층의 표면내에 설치되고, 상기 SOI층을 통하여, 상기 게이트전극 하부의 채널형성영역에 전기적으로 접속되며,

상기 MOS 트랜지스터의 게이트 절연막은, 게이트 폭 방향에 있어서 제1 두께의 제1 부분을 가지며,

상기 제2 두께는 상기 제1 두께보다도 두껍고,

상기 게이트절연막의 상기 제2 부분은, 상기 게이트 콘택패드의 하부에 적어도 배치되는 것을 특징으로 하는 반도체장치.

청구항 8.

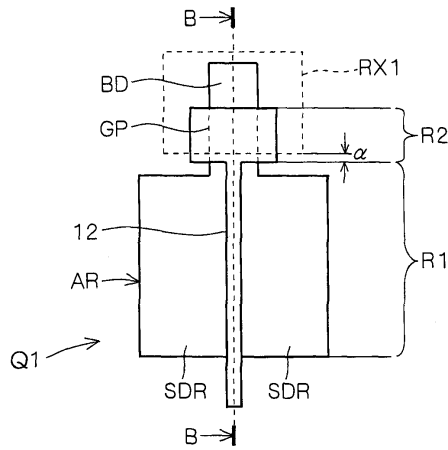
반도체기판, 매립 절연막 및 SOI층이 순서대로 적층된 SOI기판의 상기 SOI층 상에 배치된 MOS 트랜지스터와,  
 상기 SOI층의 표면내에 설치되고, 외부에서 전위고정 가능한 보디콘택부를 구비하며,  
 상기 MOS 트랜지스터의 게이트 절연막은, 게이트 폭 방향에 있어서 제1 두께의 제1 부분, 제2 부분을 가지며,  
 상기 제2 두께는, 상기 제1 두께보다도 두껍고,  
 상기 보디콘택부는,

상기 MOS 트랜지스터의 소스영역의, 게이트 폭 방향의 단 모서리부 외측의 상기 SOI층의 표면내에, 상기 소스영역에 인접하여 띠 형상으로 설치되며,

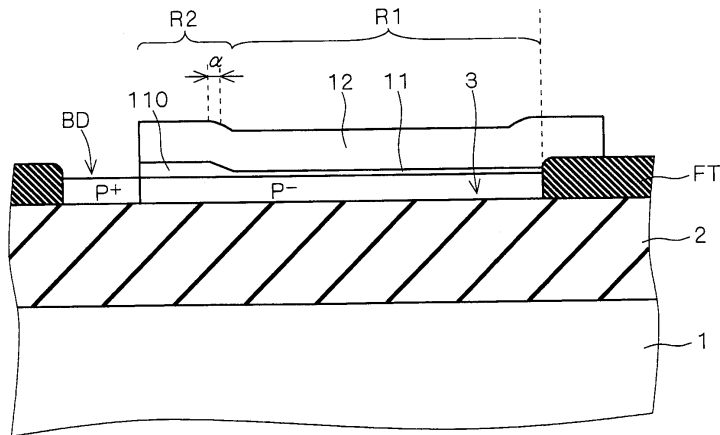
상기 게이트 절연막의 상기 제2 부분을 포함하여, 상기 제2 두께의 절연막은, 상기 MOS 트랜지스터의 게이트전극의 게이트 폭 방향의 2개의 단부 중, 띠 형상의 상기 보디콘택부가 배치된 측에 배치되는 것을 특징으로 하는 반도체장치.

도면

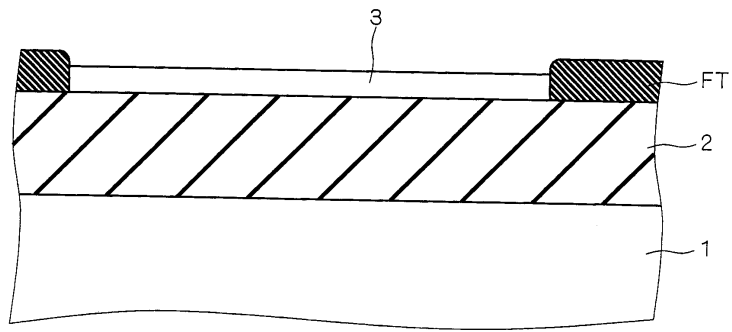
도면1



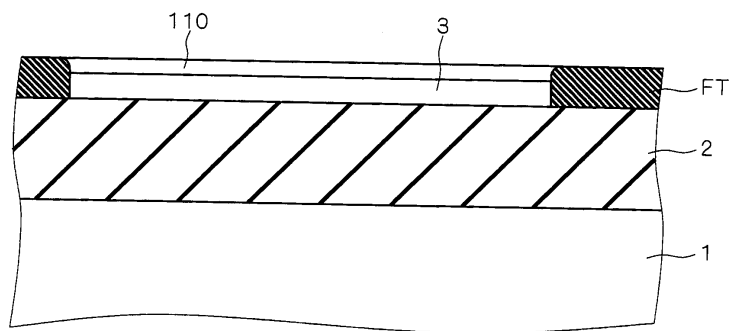
도면2



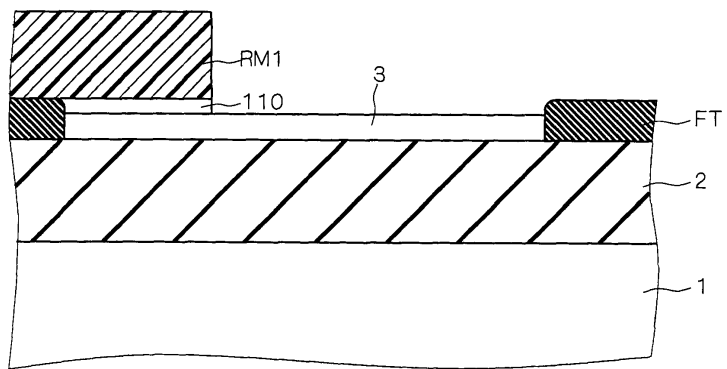
도면3



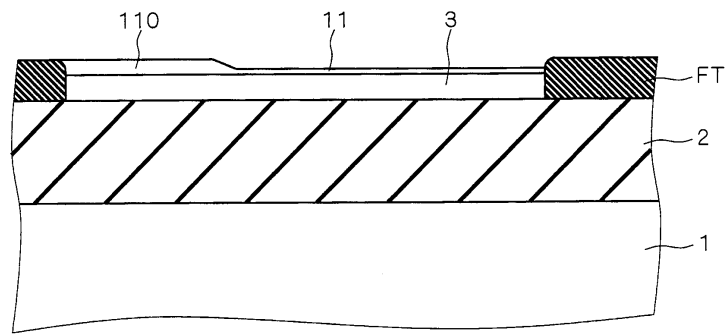
도면4



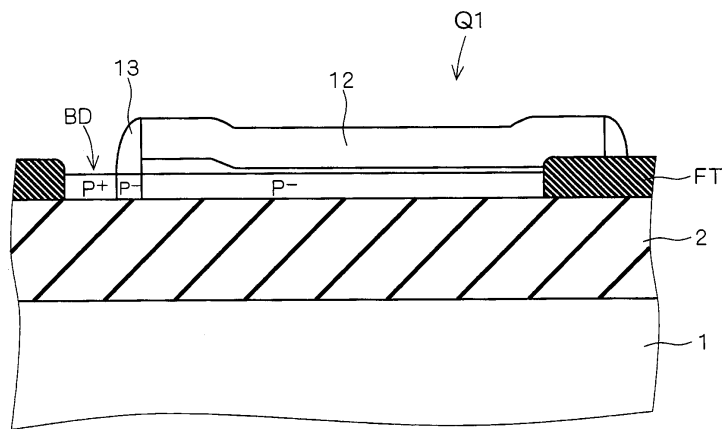
도면5



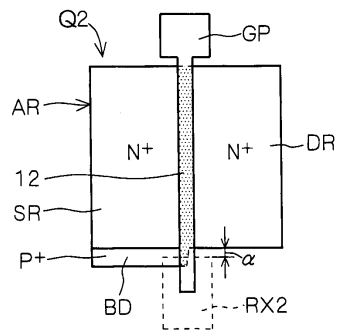
도면6



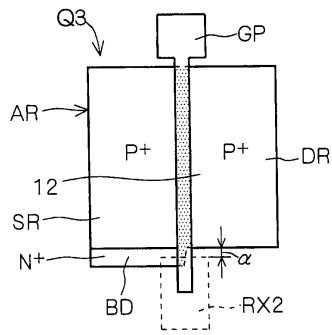
도면7



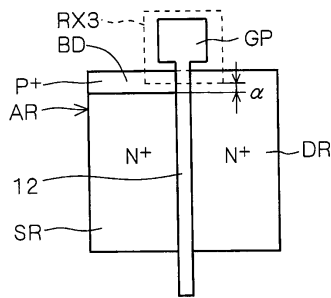
도면8



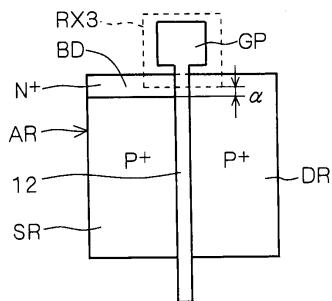
도면9



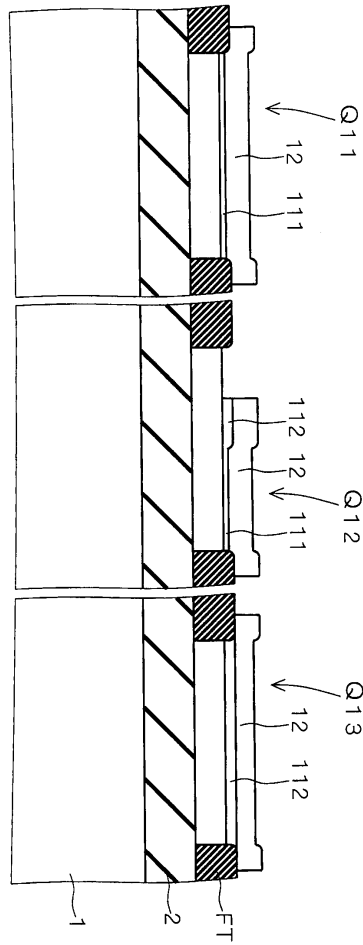
도면10



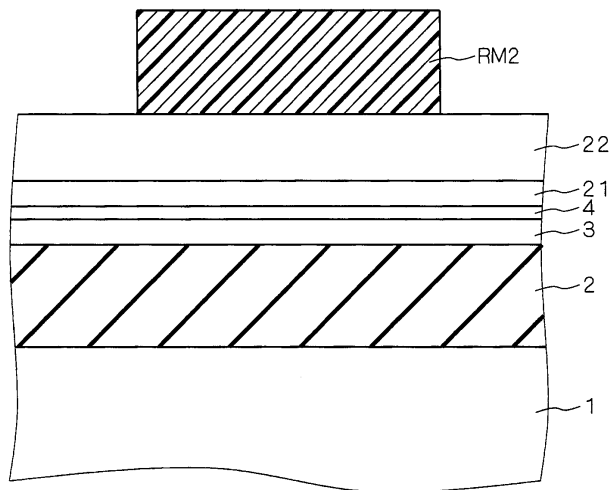
도면11



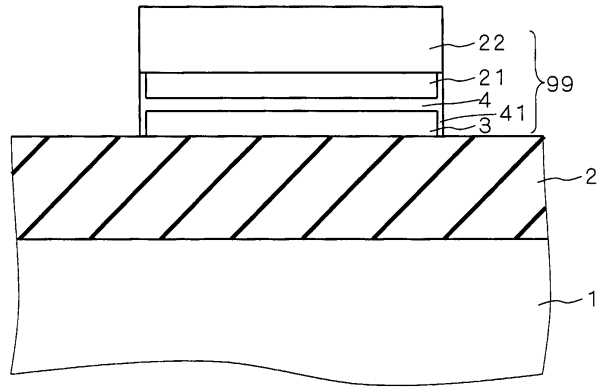
도면12



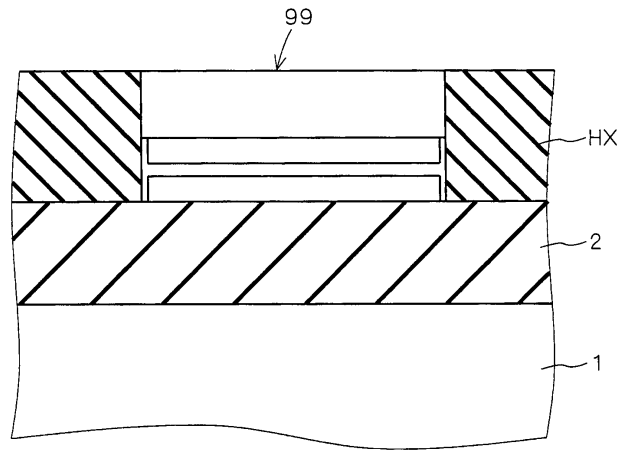
도면13



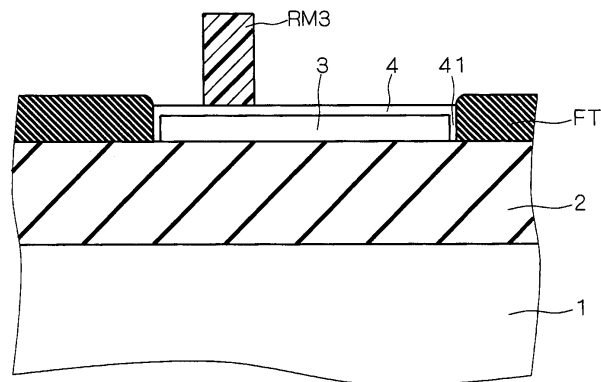
도면14



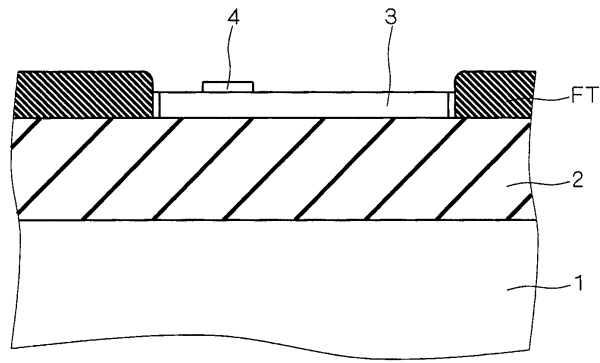
도면15



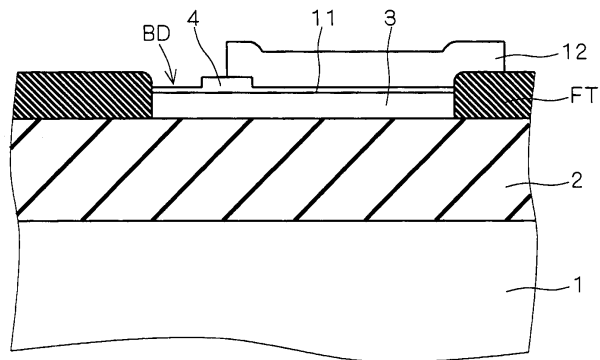
도면16



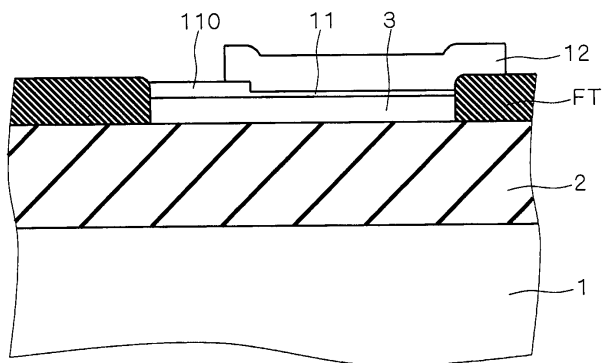
도면17



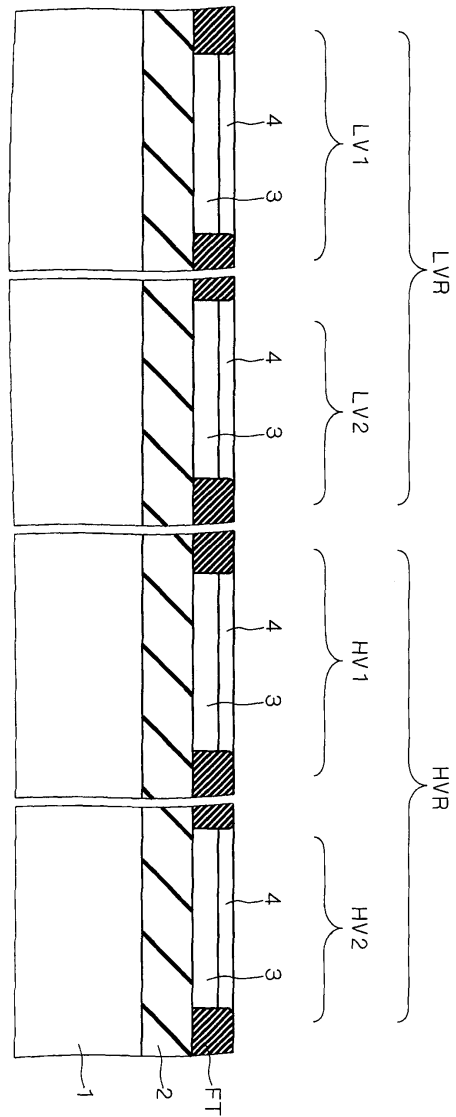
도면18



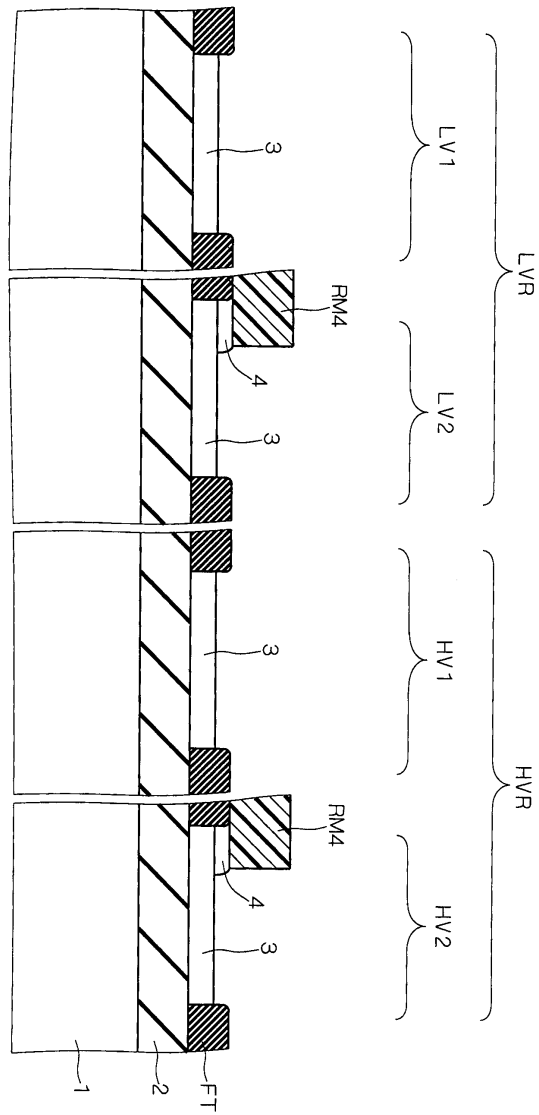
도면19



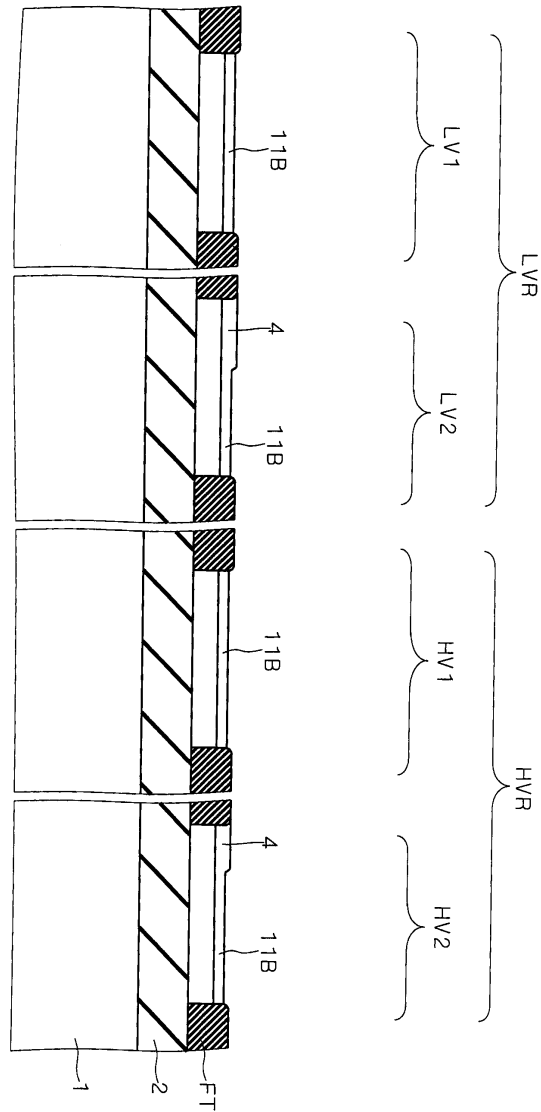
도면20



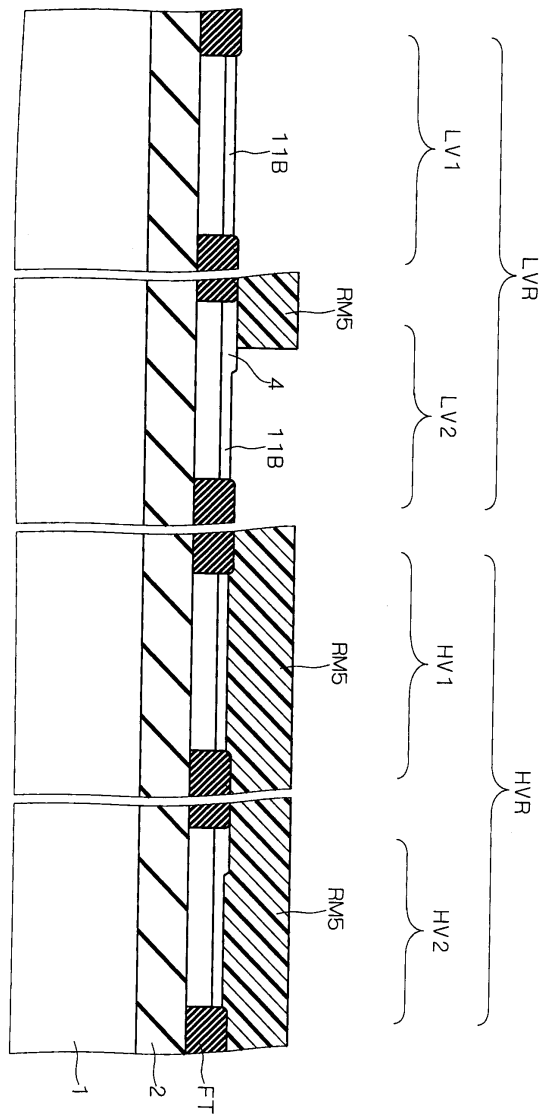
도면21



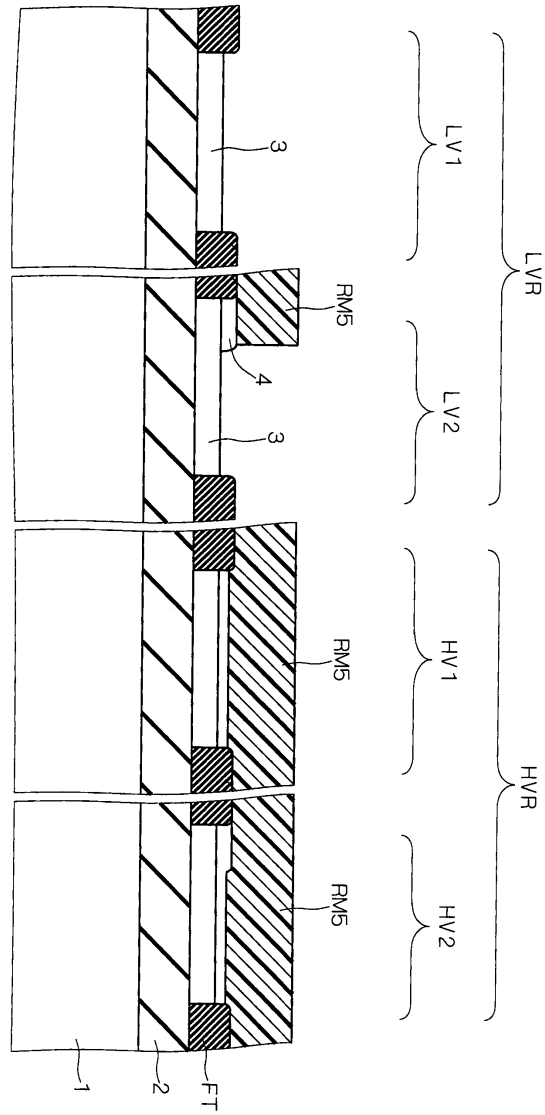
도면22



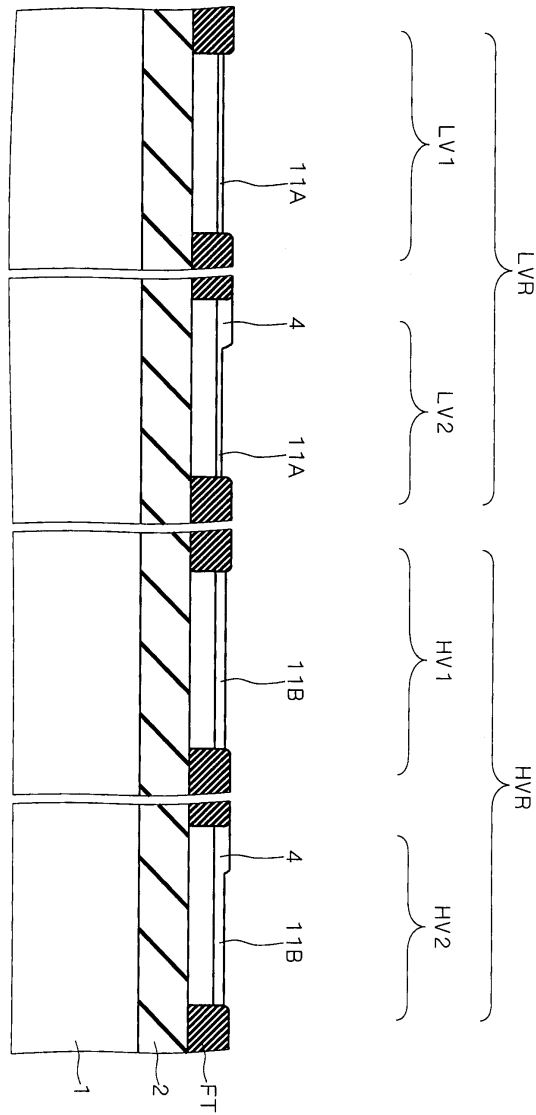
도면23



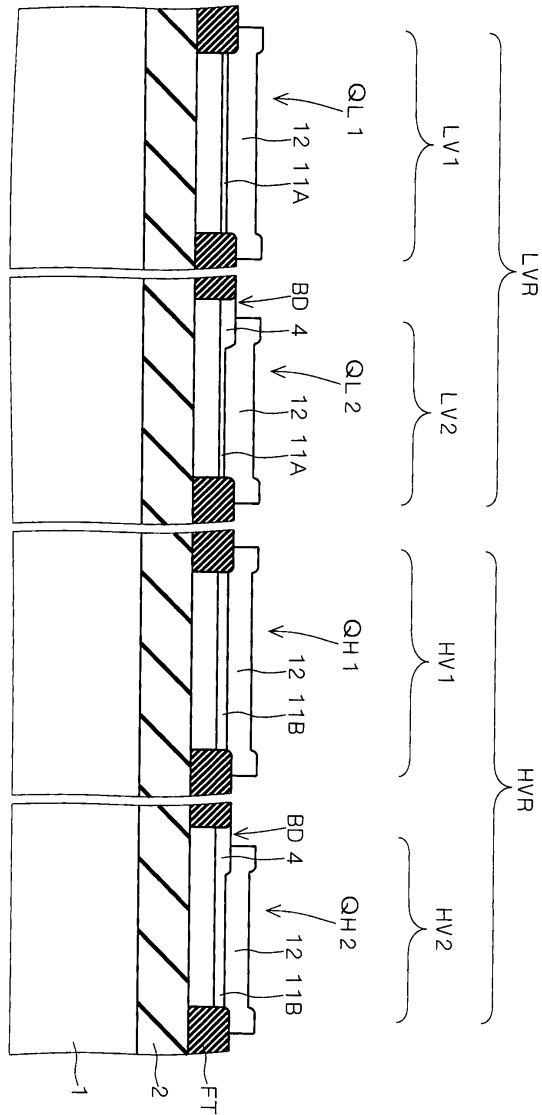
도면24



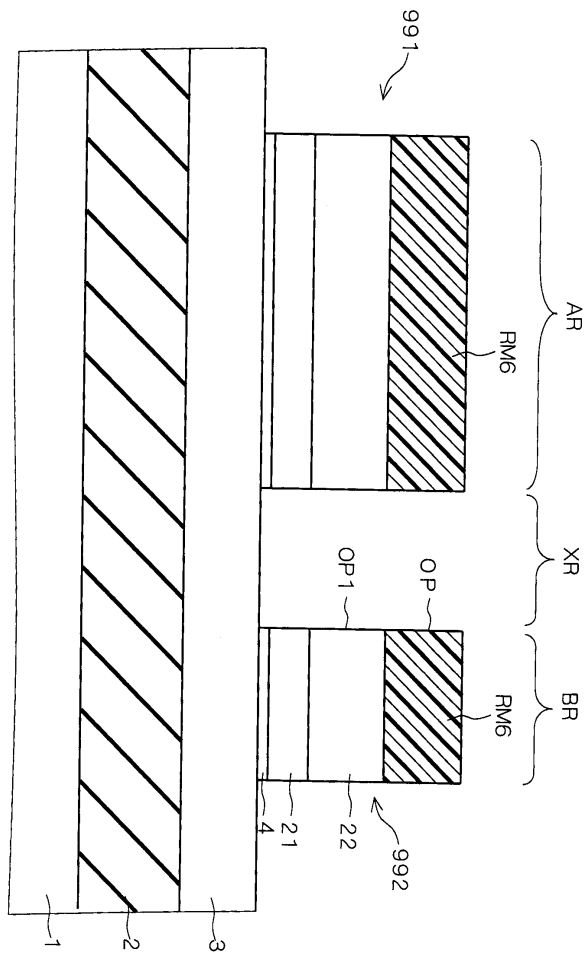
도면25



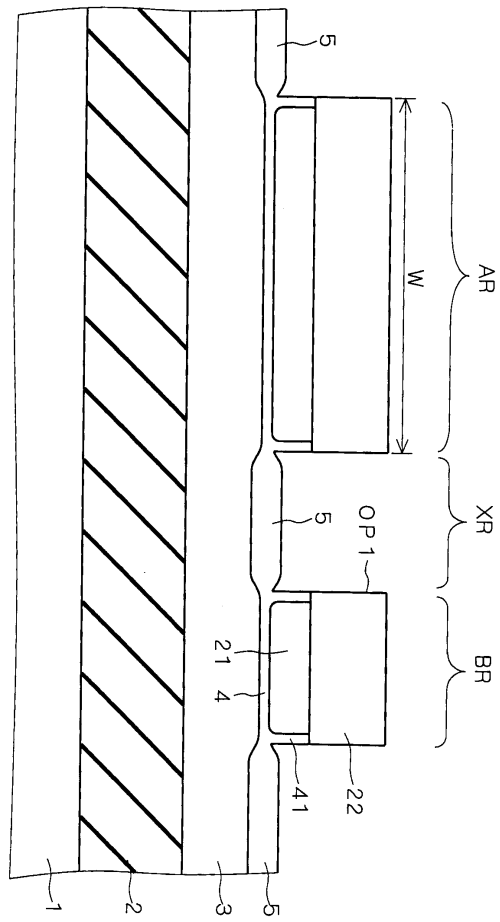
도면26



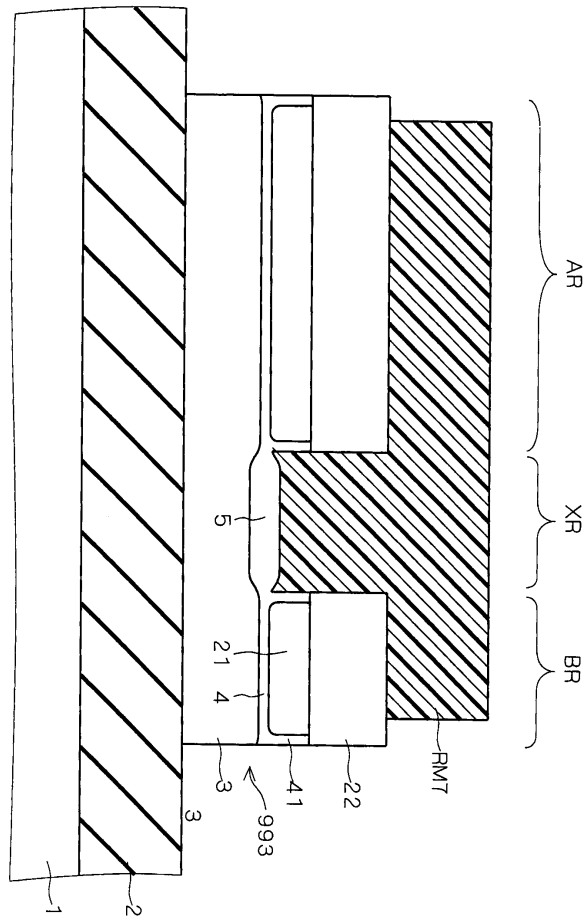
도면27



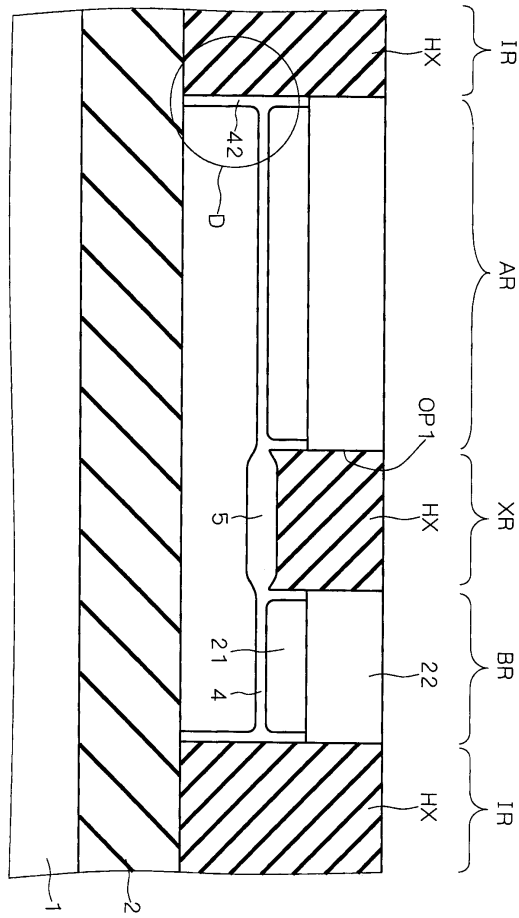
도면28



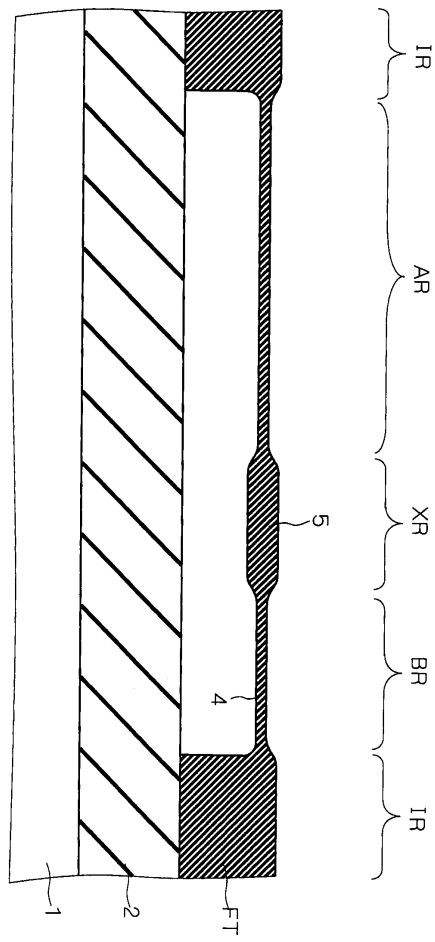
도면29



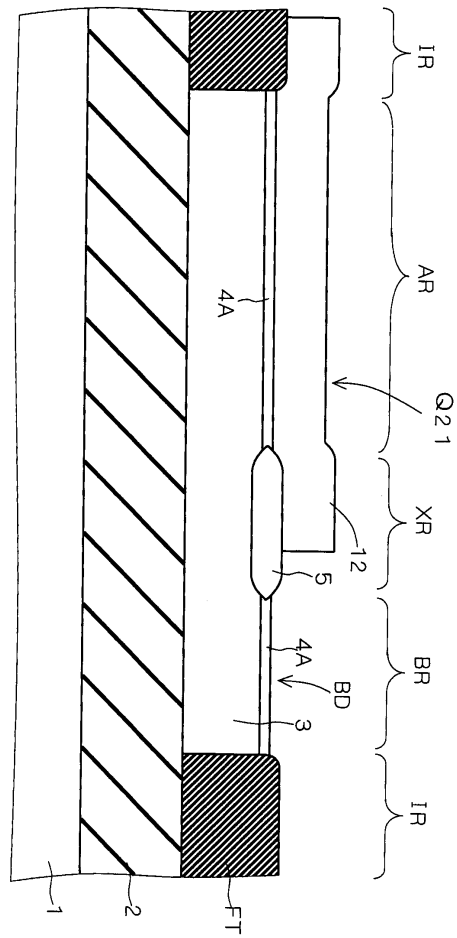
도면30



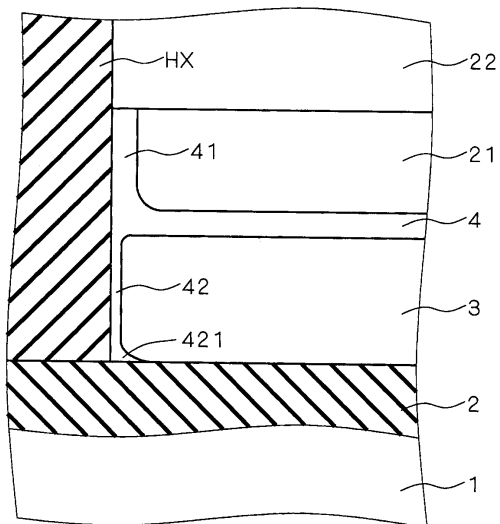
도면31



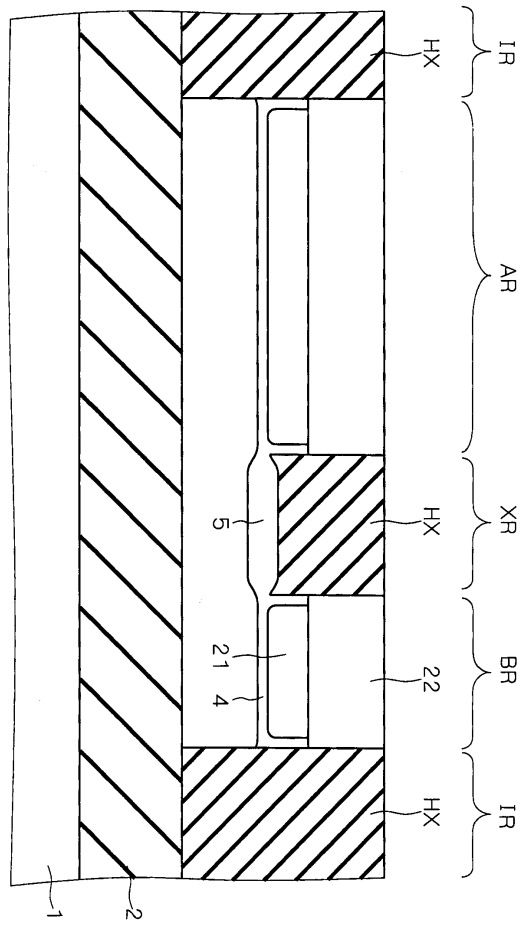
도면32



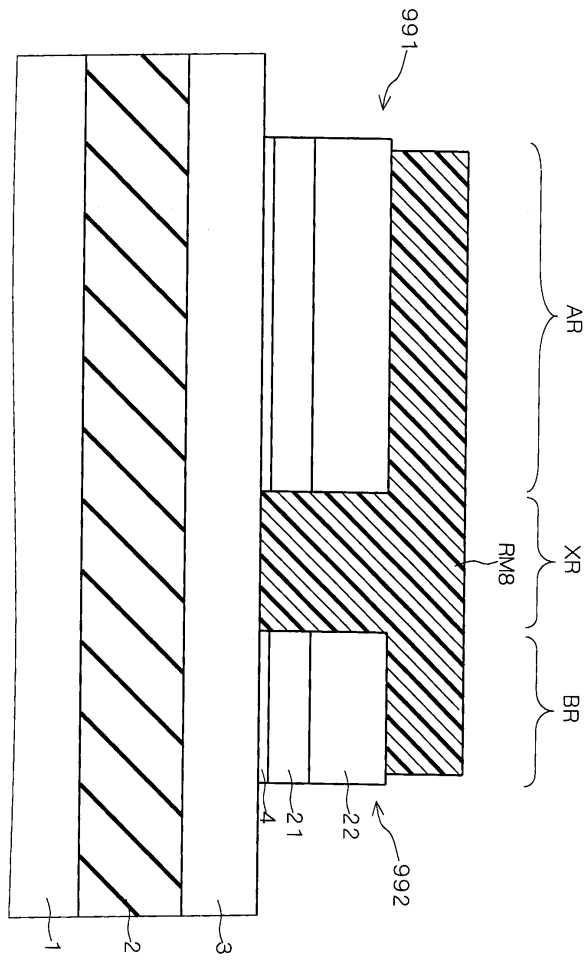
도면33



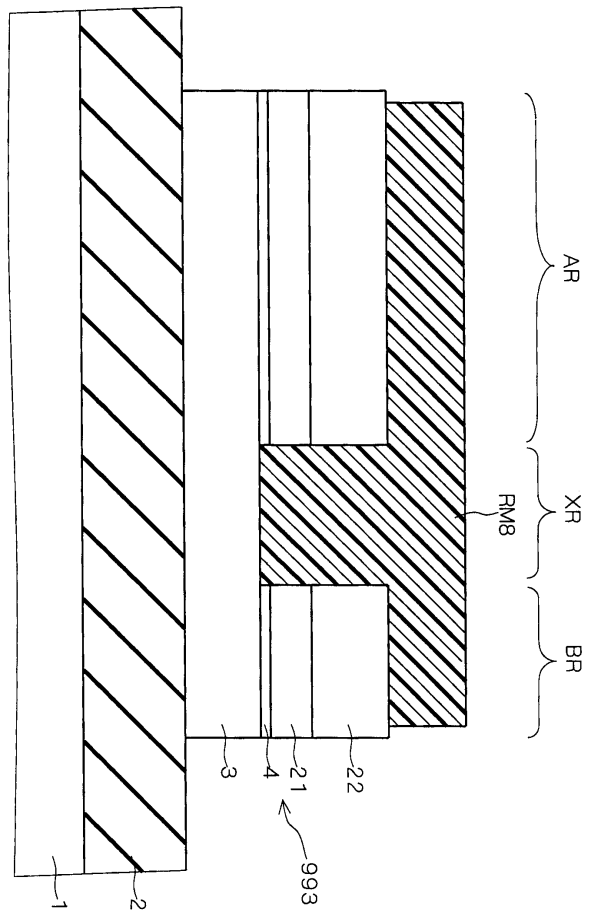
도면34



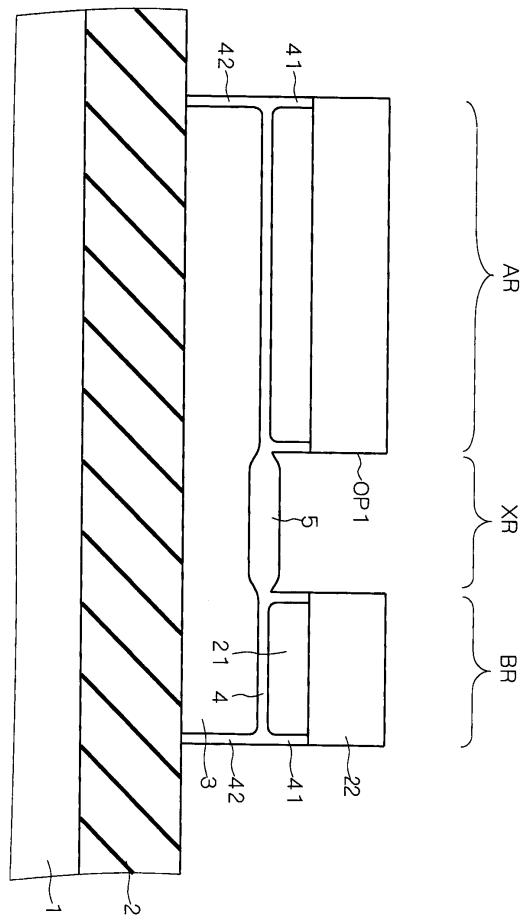
도면35



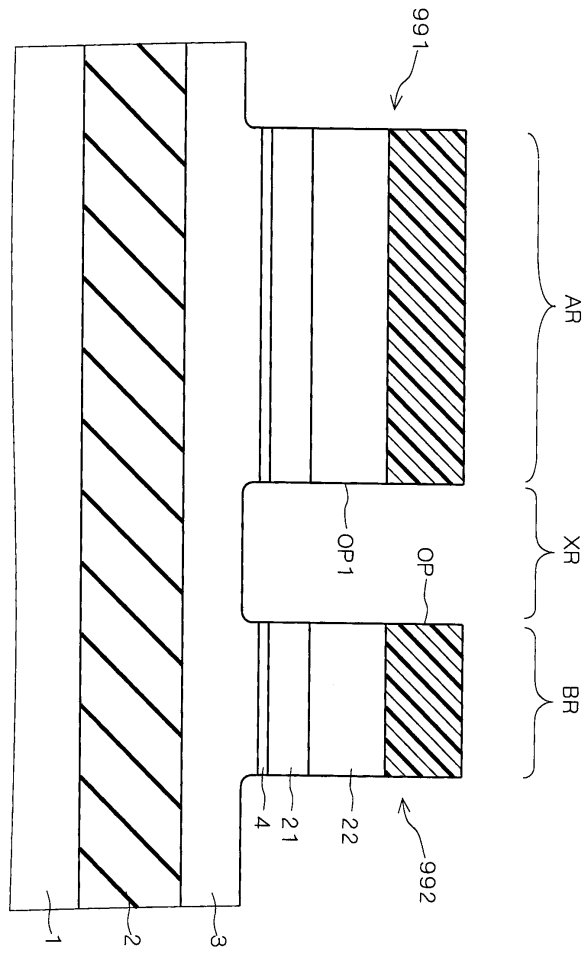
도면36



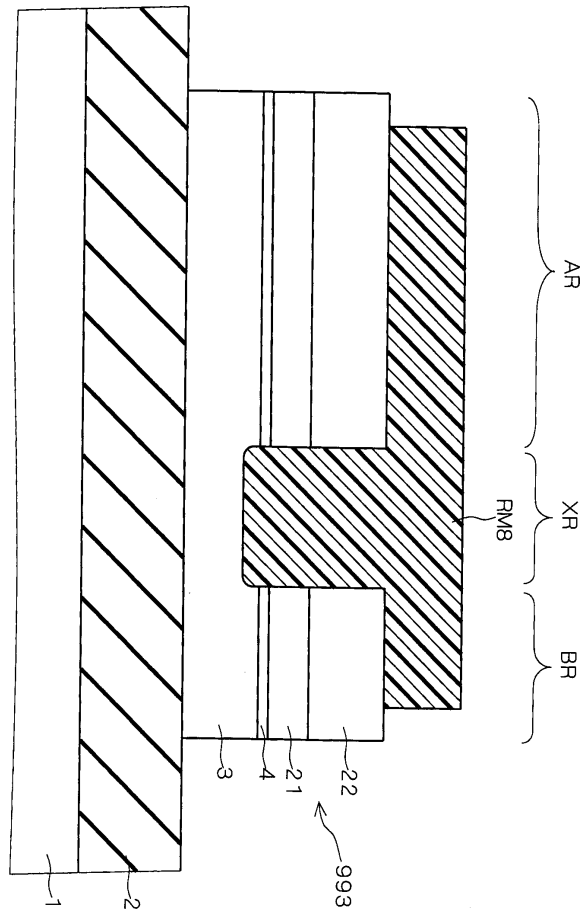
도면37



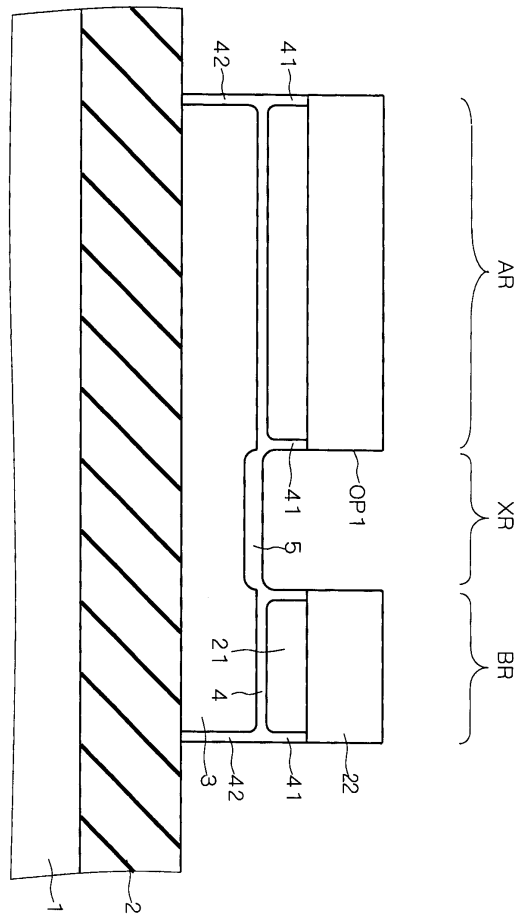
도면38



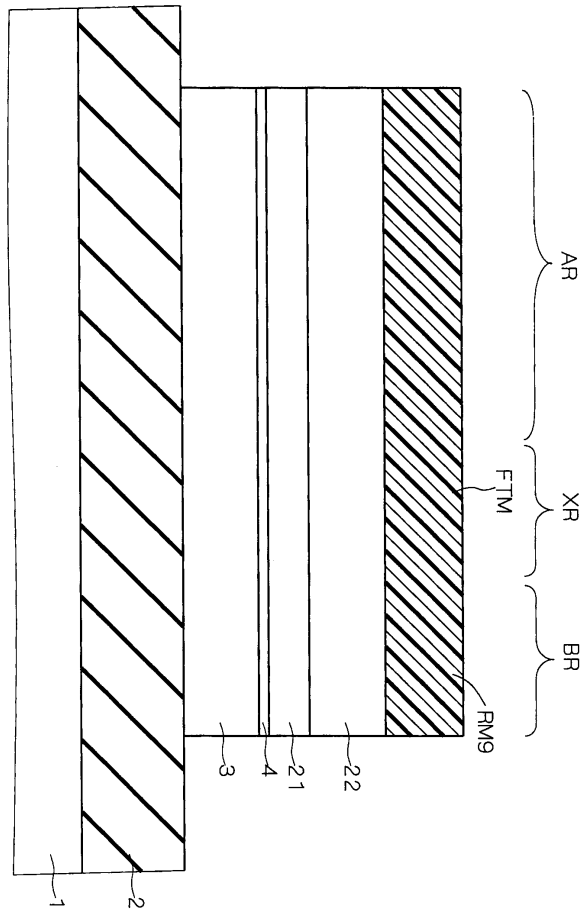
도면39



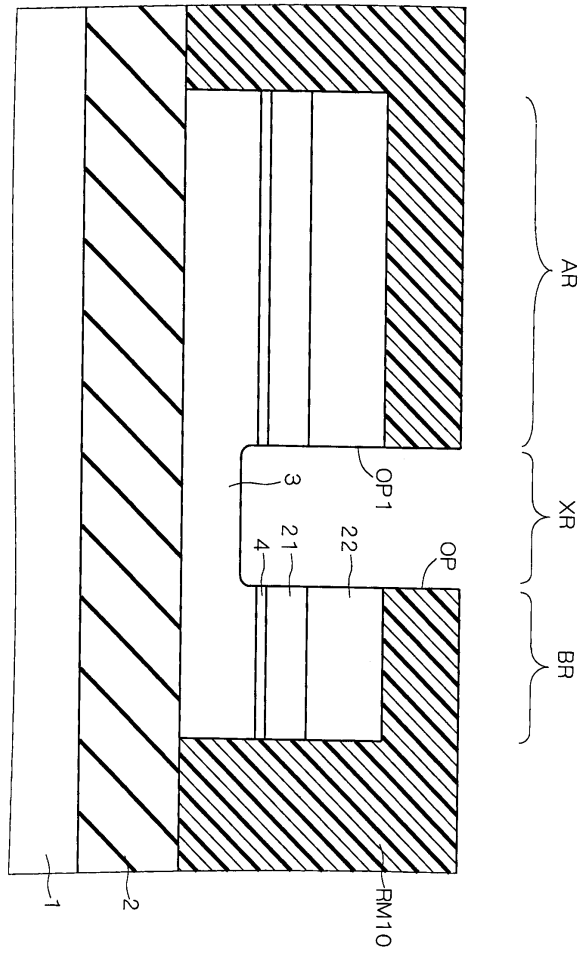
도면40



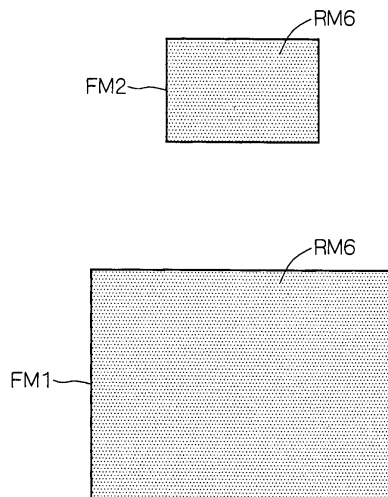
도면41



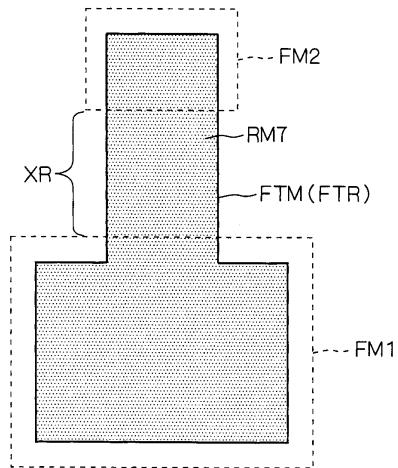
도면42



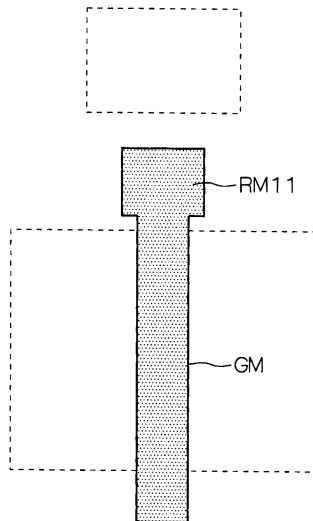
도면43



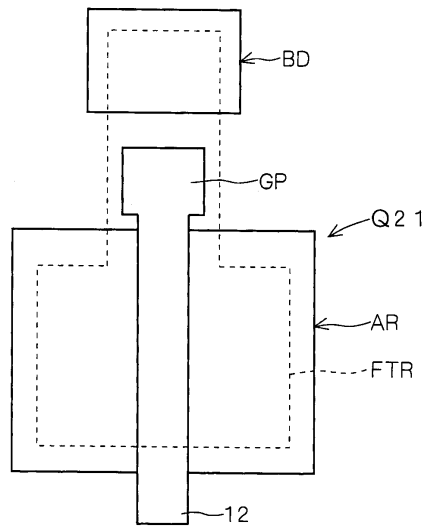
도면44



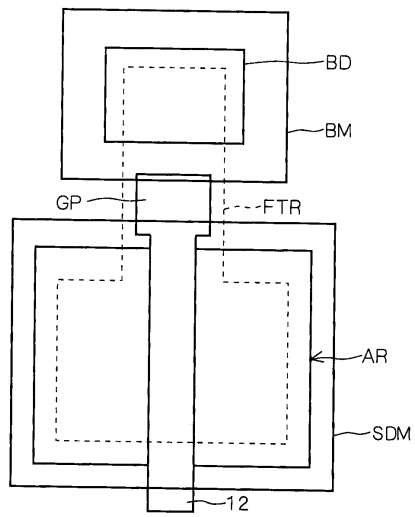
도면45



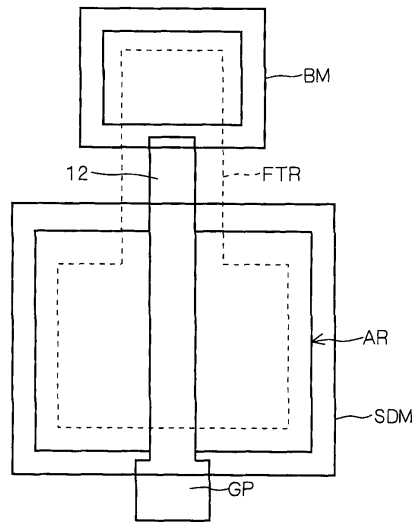
도면46



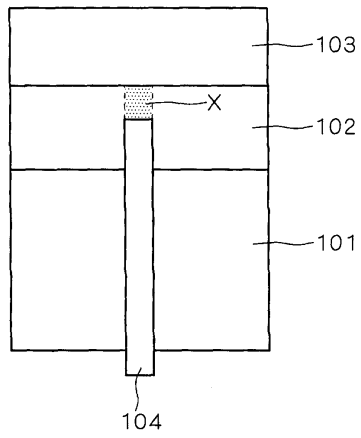
도면47



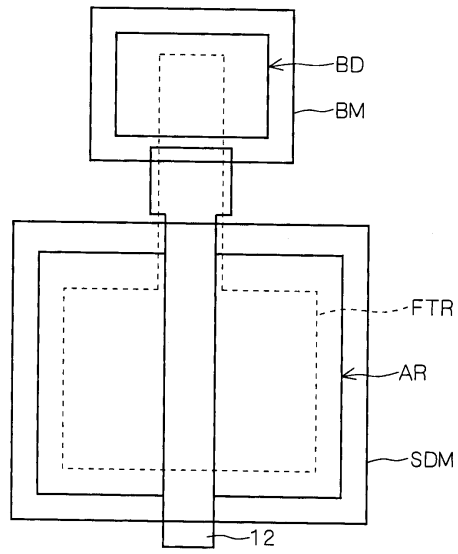
도면48



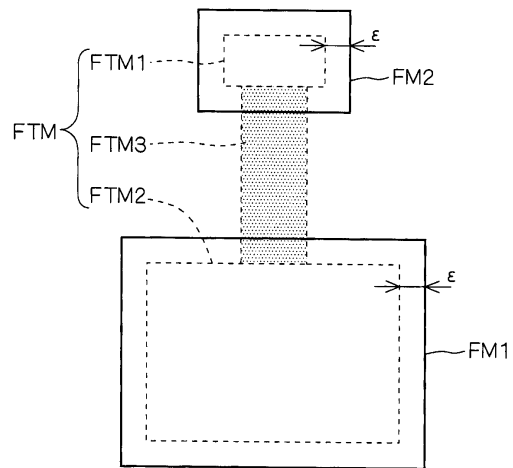
도면49



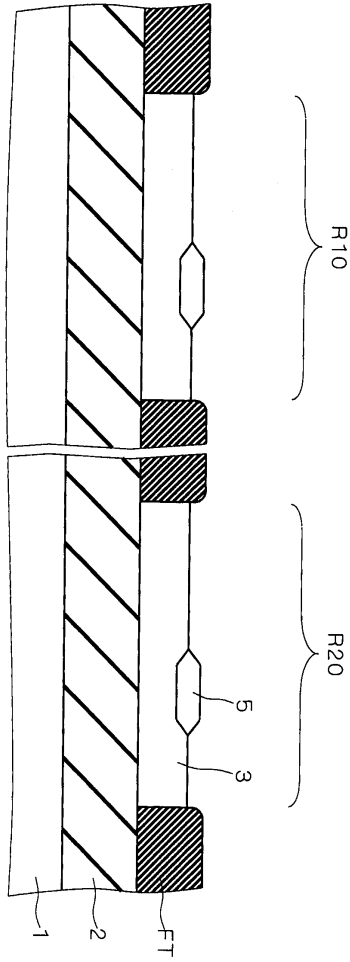
도면50



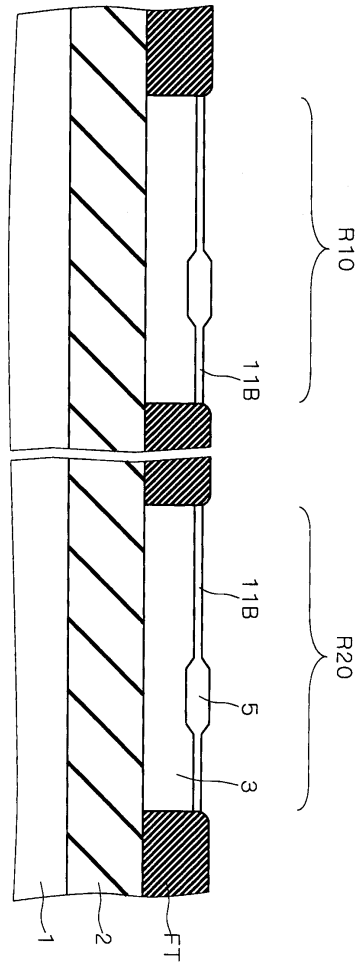
도면51



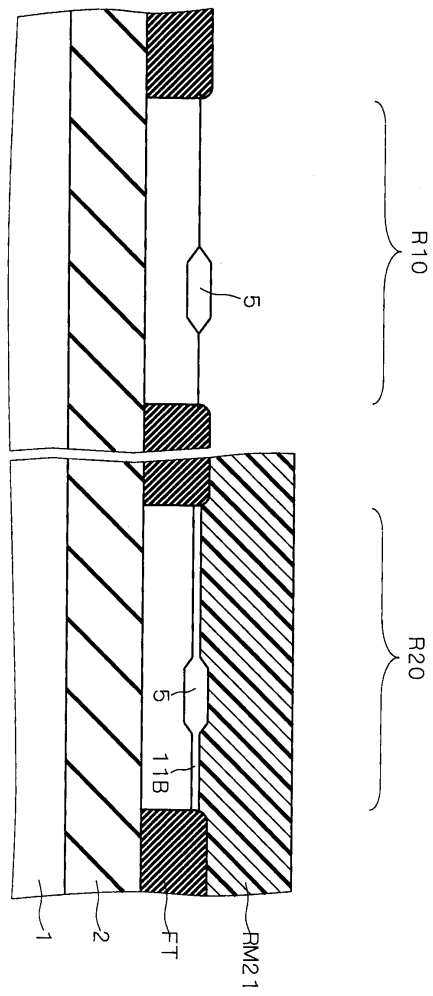
도면52



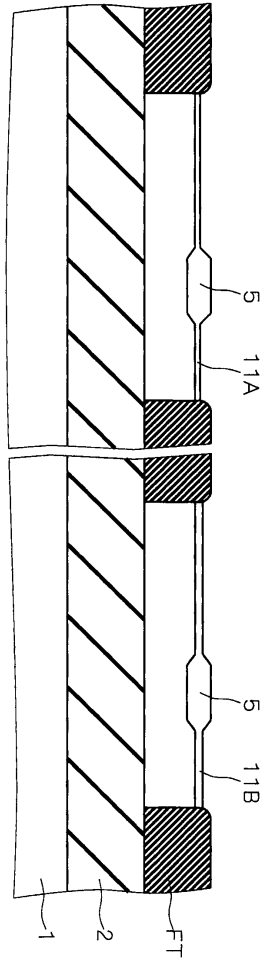
도면53



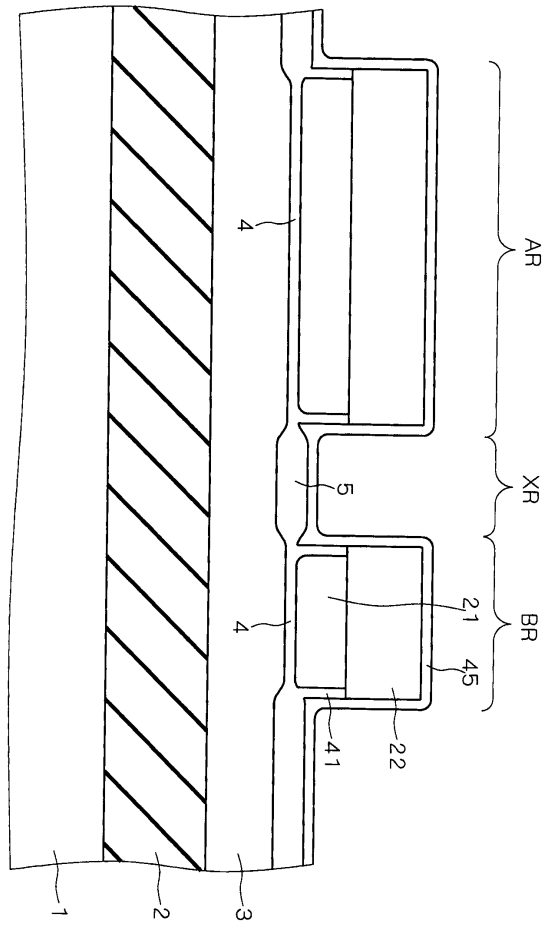
도면54



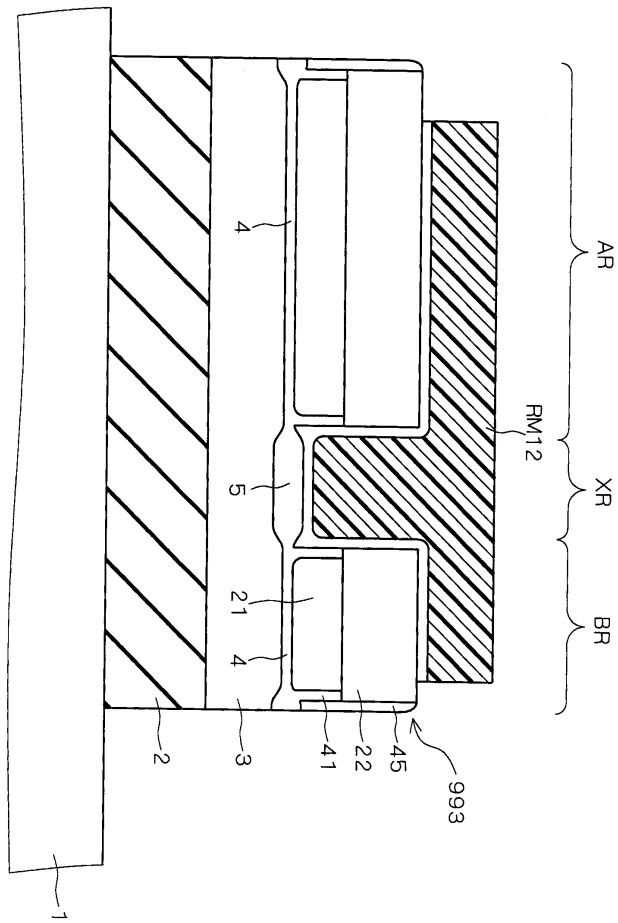
도면55



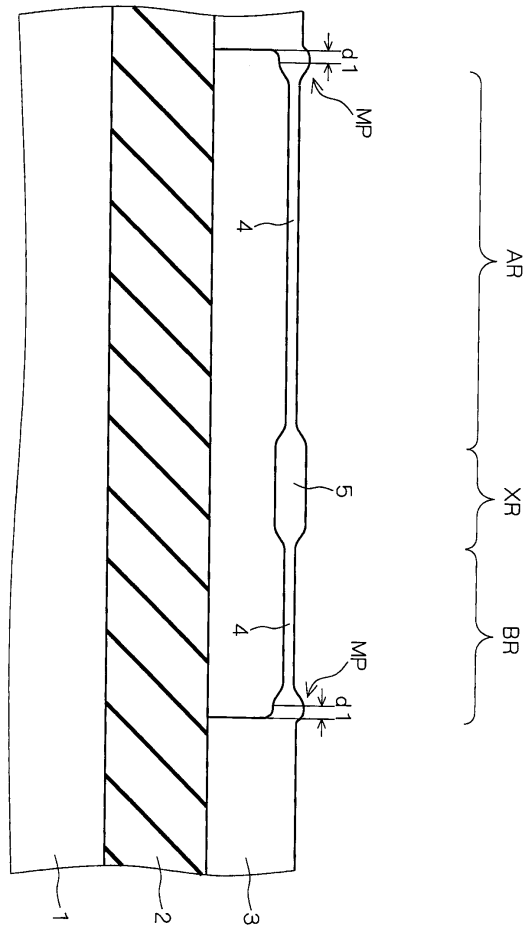
도면56



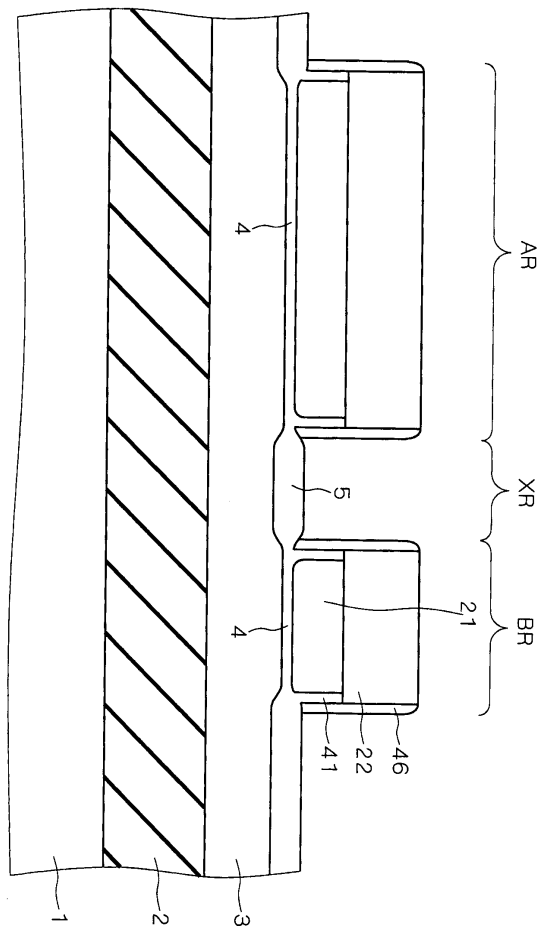
도면57



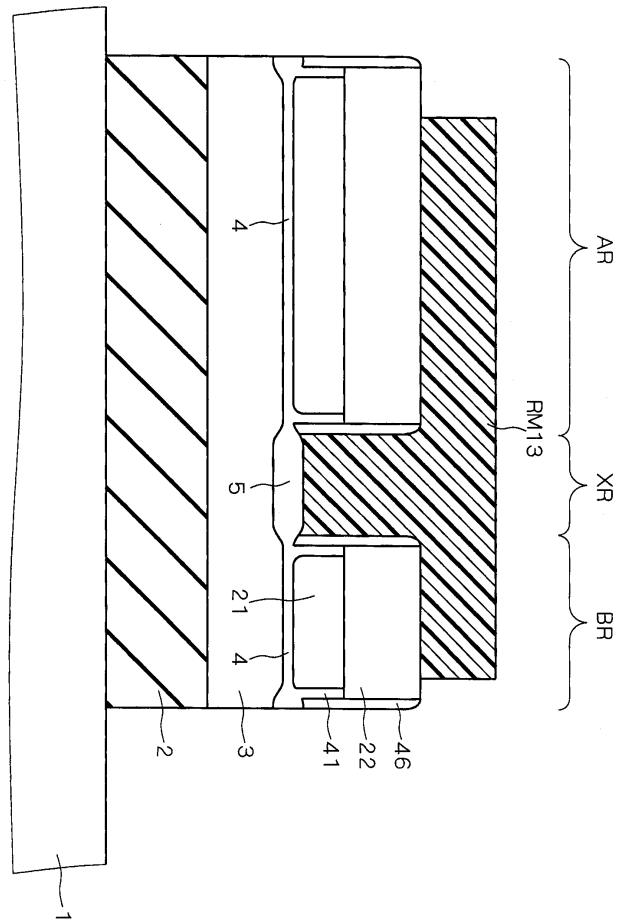
도면58



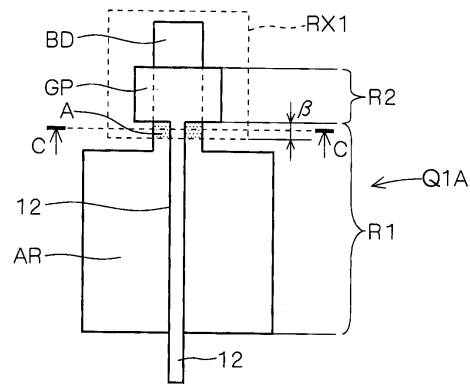
도면59



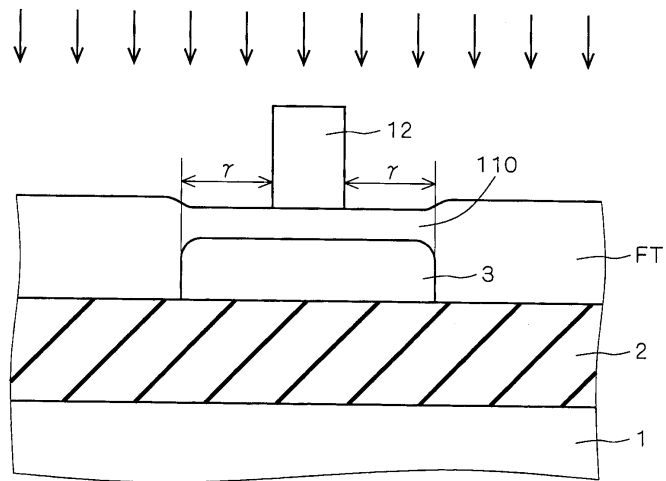
도면60



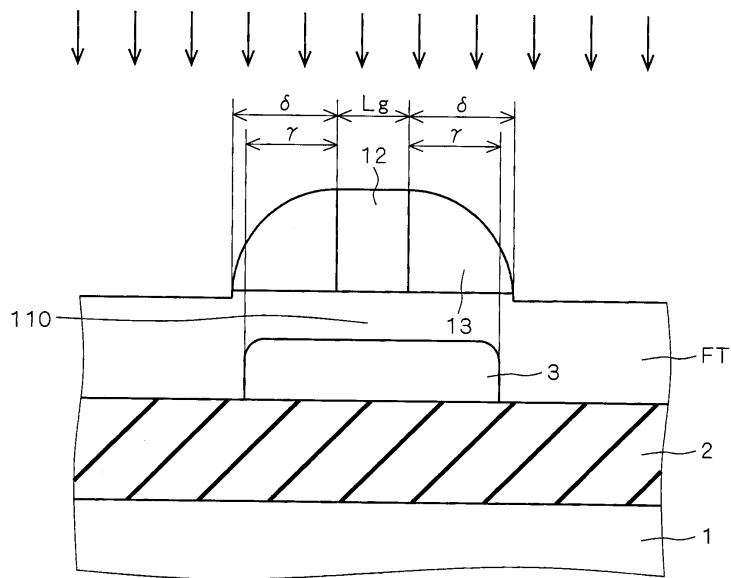
도면61



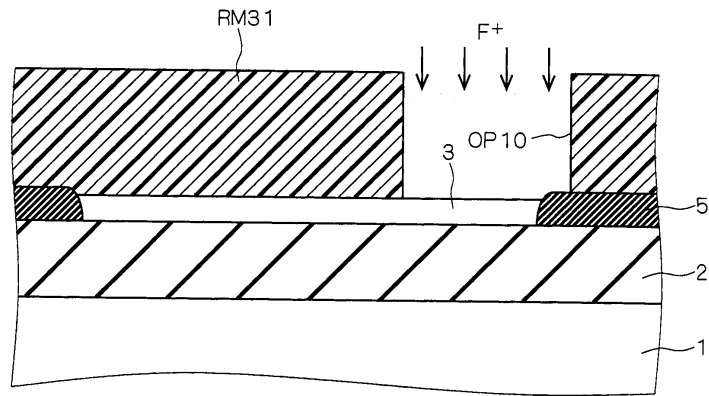
도면62



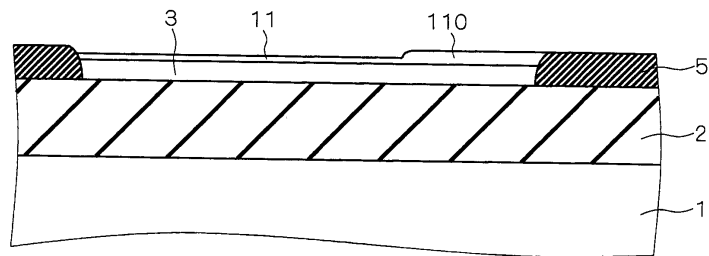
도면63



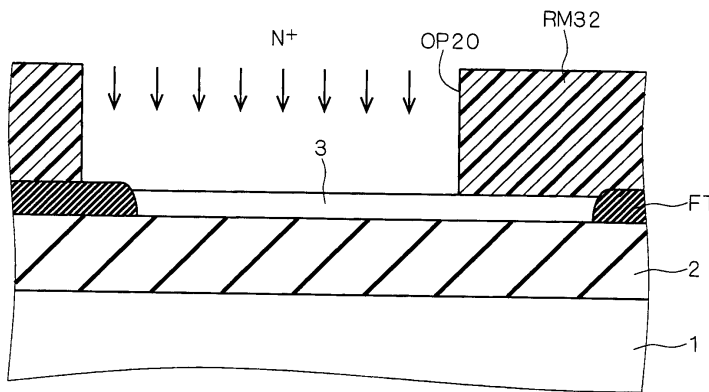
도면64



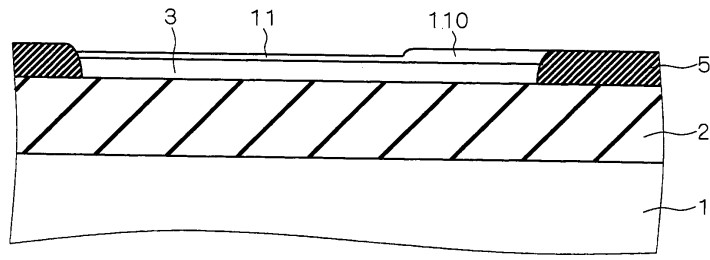
도면65



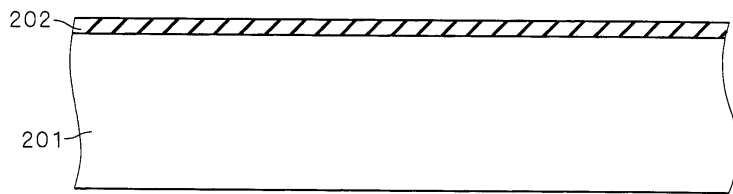
도면66



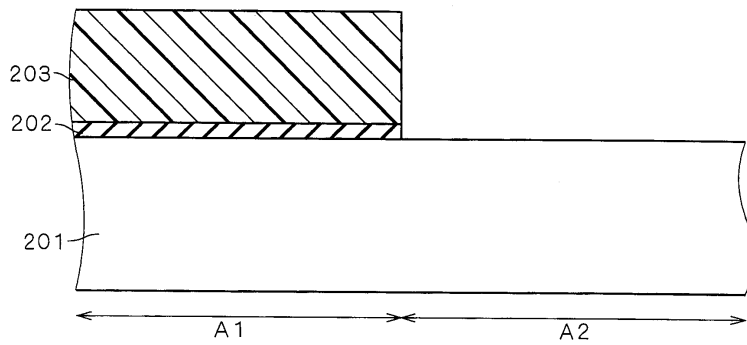
도면67



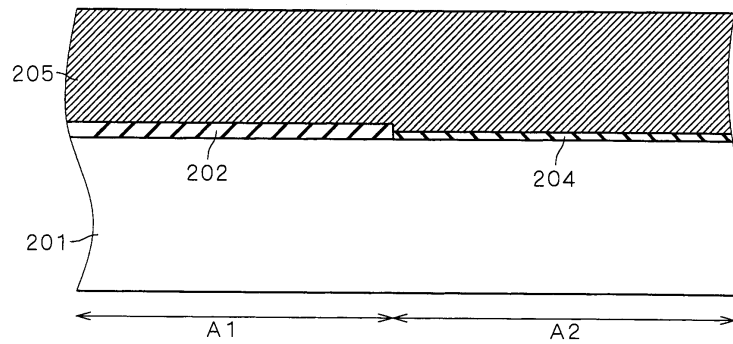
도면68



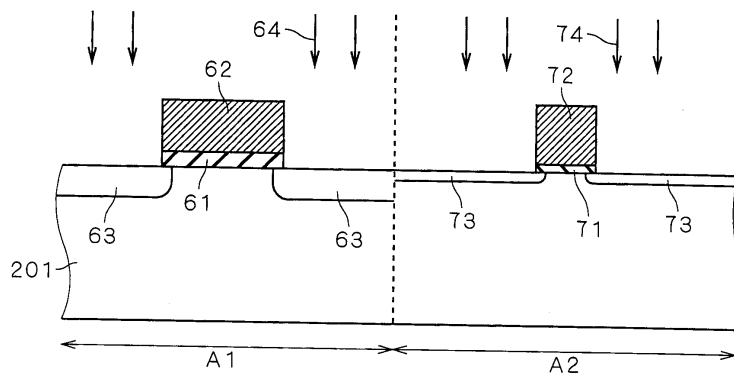
도면69



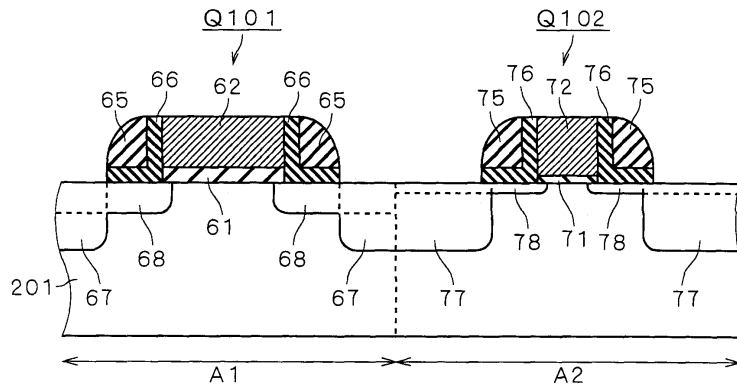
도면70



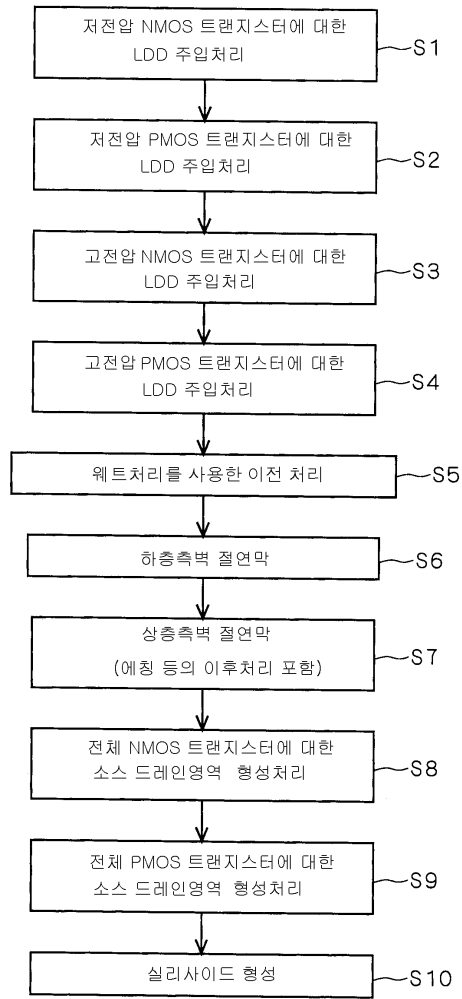
도면71



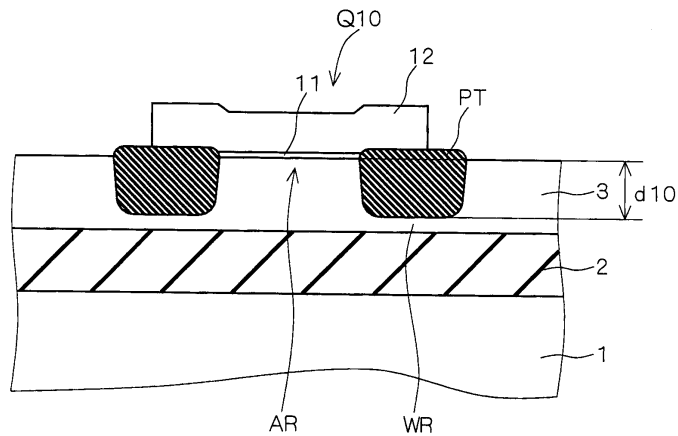
도면72



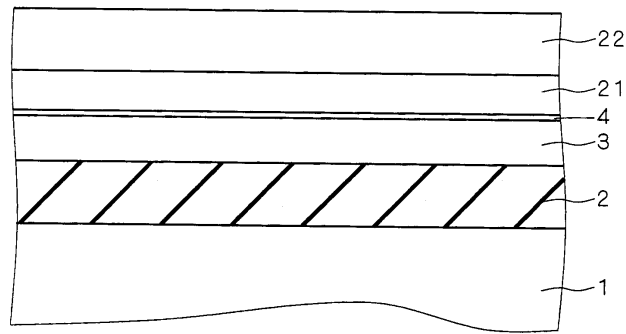
도면73



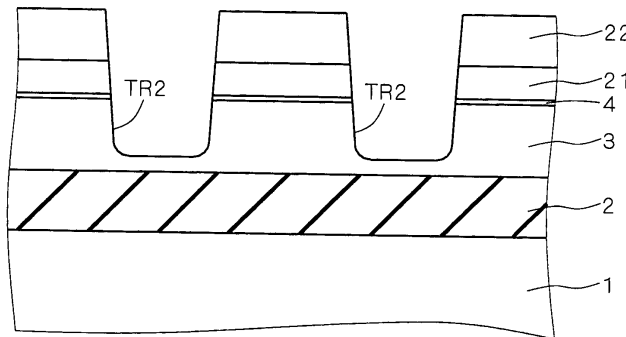
도면74



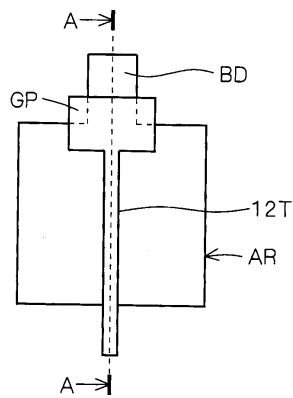
도면75



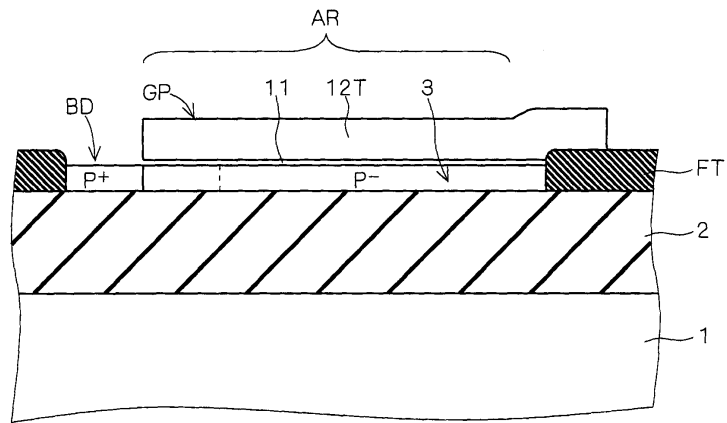
도면76



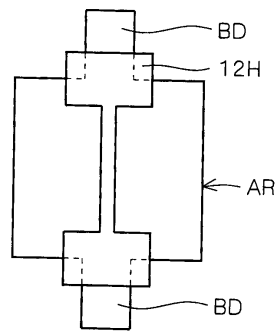
도면77



도면78



도면79



도면80

