(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 104425423 A
(43)申请公布日 2015.03.18

(21)申请号 201410441444.9

(22)申请日 2014.09.01

(30)优先权数据
2013-182362 2013.09.03 JP

(71)申请人 瑞萨电子株式会社
地址 日本神奈川县

(72)发明人 冈田真喜雄 前田武彦

(74)专利代理机构 北京市金杜律师事务所 11256
代理人 王茂华

(51)Int.Cl.
H01L 23/488(2006.01)
H01L 23/31(2006.01)

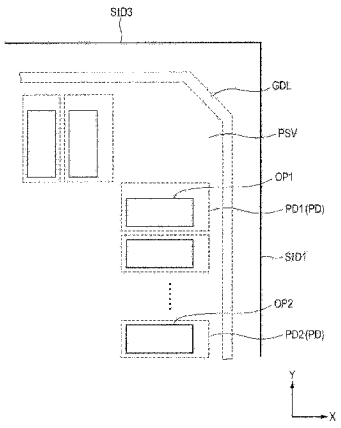
权利要求书1页 说明书6页 附图9页

(54)发明名称

半导体器件

(57)摘要

本发明提供了一种半导体器件，其中即使在热应力施加到电极焊盘时，也可防止电极焊盘移动。半导体芯片的衬底具有矩形的平面形状。半导体芯片具有多个电极焊盘。第一电极焊盘的中心定位为在沿着衬底的第一边的方向上比第一开口的中心更接近第一边的端部。因此，在第一电极焊盘的覆盖有绝缘膜的部分中，在沿着第一边的方向上，该部分的更接近第一边端部的宽度大于该部分的与该宽度相对的另一宽度。



CN 104425423 A

1. 一种半导体器件，包括：

衬底，具有第一表面以及与所述第一表面相对的第二表面；

半导体芯片，具有第一主表面、与所述第一主表面相对的第二主表面、以及在所述第一主表面上的第一边，所述半导体芯片安装在所述衬底上使得所述第二主表面面朝所述衬底的所述第一表面，多个电极焊盘沿着所述边布置，绝缘膜形成在所述主表面之上并且具有定位在相应所述电极焊盘之上的多个开口；

多个电极，沿着所述半导体芯片的所述第一边布置，每个所述电极经由多个接线而分别与在所述半导体芯片上的所述电极焊盘连接；以及

密封树脂体，将所述衬底、所述半导体芯片、所述电极和所述接线密封，

其中所述开口比所述电极焊盘更小，以及

其中在将最接近所述第一边的一端的所述电极焊盘定义为第一电极焊盘并且将定位在所述第一电极焊盘之上的所述开口定义为第一开口时，所述第一电极焊盘的中心定位为在沿着所述第一边的方向上比所述第一开口的中心更接近所述一端。

2. 根据权利要求 1 所述的半导体器件，其中在将最接近所述第一边的中心的所述电极焊盘定义为第二电极焊盘并且将定位在所述第二电极焊盘之上的所述开口定义为第二开口时，在沿着所述第一边的方向上，所述第二电极焊盘的中心与所述第二开口的中心之间的距离小于所述第一电极焊盘的中心与所述第一开口的中心之间的距离。

3. 根据权利要求 2 所述的半导体器件，其中在沿着所述第一边的方向上，所述第一开口的宽度与所述第二开口的宽度相同，并且所述第一电极焊盘的宽度大于所述第二电极焊盘的宽度。

4. 根据权利要求 1 所述的半导体器件，其中所述第一电极焊盘的厚度≥ 1.2μm。

5. 根据权利要求 1 所述的半导体器件，其中所述绝缘膜的厚度大于所述电极焊盘的厚度。

6. 一种半导体器件，包括：

矩形衬底；

多层互连层，形成在所述衬底之上；

多个电极焊盘，形成在所述多层互连层的最上布线层中，所述电极焊盘沿着所述衬底的第一边布置；以及

绝缘膜，形成在所述最上布线层之上，并且具有定位在相应电极焊盘之上的多个开口，

其中所述绝缘膜的厚度大于所述电极焊盘的厚度。

7. 根据权利要求 6 所述的半导体器件，

其中所述绝缘膜为包括氧化硅膜和氮化硅膜的叠层，所述氧化硅膜和所述氮化硅膜按该顺序层叠，以及

其中所述氧化硅的厚度大于所述电极焊盘的厚度。

半导体器件

[0001] 相关申请的交叉引用

[0002] 2013 年 9 月 3 日提交的日本专利申请 No. 2013-182362 的公开的包括说明书、附图和摘要的全文以引用的方式并入本文。

技术领域

[0003] 本发明涉及半导体器件，更具体地涉及一种可以应用在具有电极焊盘的半导体器件上的技术。

背景技术

[0004] 半导体芯片具有充当外部连接用的端子的电极焊盘。例如专利文件 1 中所公开的，电极焊盘由保护绝缘膜中设置的开口暴露于外部。专利文件 1 还描述了：在垂直于半导体芯片的边缘的方向上，保护绝缘膜中设置的开口的中心从电极焊盘的中心移开。

[0005] [相关技术文件]

[0006] [专利文件]

[0007] [专利文件 1]：日本特开平 06(1994)-163629 号公报

发明内容

[0008] 近年来，半导体芯片的功耗不断增加。为此，本发明人研究了增加电极焊盘厚度以便抑制布线层内部的布线电阻的影响。

[0009] 另一方面，半导体芯片安装在布线衬底（诸如，引线框架或中介层）之上，然后使用密封树脂密封。密封树脂的热膨胀系数与在布线层中使用的绝缘体或金属材料的热膨胀系数不同。结果，在密封树脂和半导体芯片之间的接口处生成热应力。然而，当如上面提及的增加电极焊盘的厚度时，热应力可能会施加到电极焊盘，有可能会使焊盘移动。

[0010] 本发明的其它问题和创新特征将在下面结合附图在详细说明中阐明。

[0011] 根据本发明的一个实施例，多层互连层形成在矩形衬底之上。多个电极焊盘形成在多层互连层的最上布线层中。电极焊盘沿着衬底的第一边布置。在将最接近第一边的一端的电极焊盘定义为第一电极焊盘并且将定位在第一电极焊盘之上的开口定义为第一开口时，在沿着第一边的方向上，第一电极焊盘的中心定位为比第一开口的中心更接近该一端。

[0012] 即使在热应力施加到电极焊盘时，上面提及的本发明实施例也可以防止电极焊盘移动。

附图说明

[0013] 图 1 是示出了根据本发明的一个实施例的半导体器件的结构的截面图；

[0014] 图 2 是半导体芯片的平面图；

[0015] 图 3 是用于阐释第一开口相对于第一电极焊盘的位置以及第二开口相对于第二

电极焊盘的位置的示意图；

[0016] 图 4A 是示出了第一开口相对于第一电极焊盘的位置的示意图；

[0017] 图 4B 是示出了第二开口相对于第二电极焊盘的位置的示意图；

[0018] 图 5A 和图 5B 是示出了图 4A 和图 4B 的修改示例的示意图；

[0019] 图 6 是用于阐释半导体芯片的结构的截面图；

[0020] 图 7 是示出了根据第一修改示例的半导体器件中所使用的半导体芯片的结构的平面图；

[0021] 图 8 是示出了图 7 的主要部分的放大示意图；

[0022] 图 9 是示出了根据第二修改示例的半导体器件的结构的截面图；以及

[0023] 图 10 是示出了根据第三修改示例的半导体器件的结构的截面图。

具体实施方式

[0024] 在下文中，将参照附图对本发明的优选实施例进行描述。只要可能之处，在所有附图中相同的附图标记表示相同或相似的部分，因而下文中省略了对其的说明。

[0025] 实施例

[0026] 图 1 示出了根据本发明的一个实施例的半导体器件 SD 的结构的截面图。该实施例的半导体器件 SD 包括使用密封树脂 MDR 密封的半导体芯片 SC。具体地，半导体芯片 SC 保持在衬底安装部 DP 之上，其中芯片的电极形成表面朝上。衬底安装部 DP 例如是引线框架的裸片焊盘。半导体芯片 SC 经由键合接线 WIR 耦合至引线端子 LD。键合接线 WIR、以及引线端子 LD 的与键合接线 WIR 耦合部，使用密封树脂 MDR 密封。引线端子 LD 的一端延伸至密封树脂 MDR 的外部。

[0027] 在图中示出的示例中，衬底安装部 DP 小于半导体芯片 SC。作为替代方案，衬底安装部 DP 可以大于半导体芯片 SC。

[0028] 图 2 示出了半导体芯片 SC 的平面图。半导体芯片 SC 的衬底 SUB 具有矩形的平面形状。半导体芯片 SC 包括多个电极焊盘 PD。每个电极焊盘 PD 具有例如长方形的平面形状。电极焊盘 PD 耦合至图 1 中示出的键合接线 WIR 的一端。

[0029] 电极焊盘 PD 至少沿着衬底 SUB 的至少第一边 SID1 布置。在图中示出的示例中，电极焊盘 PD 不仅沿着衬底 SUB 的第一边 SID1，还沿着与第一边 SID1 相对的边（第二边 SID2）以及其余两个边（第三边 SID3 和第四边 SID4）布置。电极焊盘 PD 的短边设置为与衬底 SUB 的四个边中最接近电极焊盘 PD 的一个边平行。

[0030] 在图中示出的示例中，电极焊盘 PD 布置成列（in line）。虽然电极焊盘 PD 按相等的间隔布置，但是至少一些电极焊盘 PD 可以按照与其它电极焊盘 PD 之间的距离不同的距离来彼此间隔开。电极焊盘 PD 定位在由保护环 GDL 围起的区域中。

[0031] 绝缘膜 PSV 形成为半导体芯片 SC 的最上层。绝缘层 PSV 例如是称为钝化膜的膜，并且具有例如氧化硅膜和氮化硅膜的叠层，氧化硅膜和氮化硅膜按该顺序层叠。绝缘膜 PSV 用于保护半导体芯片 SC 的多层互连层 MINC（稍后将结合图 5 进行描述）。绝缘膜 PSV 设置有定位在相应电极焊盘 PD 之上的开口 OP（稍后将结合图 3 进行描述）。在电极焊盘 PD 中最接近衬底 SUB 角部的电极焊盘 PD（以下称为“第一电极焊盘 PD1”）与定位在该电极焊盘之上的开口 OP（以下称为“第一开口 OP1”）之间的相对位置，不同于在电极焊盘 PD 中最接

近衬底各边中心的电极焊盘 PD（以下称为“第二电极焊盘 PD2”）与定位在该电极焊盘之上的开口 OP（以下称为“第二开口 OP2”）之间的相对位置。下文将参考图 3 和图 4 对相对位置的差别进行描述。

[0032] 图 3 示出了用于阐释第一开口 OP1 相对于第一电极焊盘 PD1 的位置以及第二开口 OP2 相对于第二电极焊盘的位置的示意图。图 4A 示出了用于阐释第一开口 OP1 相对于第一电极焊盘 PD1 的位置的示意图。图 4B 示出了用于阐释第二开口 OP2 相对于第二电极焊盘 PD2 的位置的示意图。

[0033] 如图 3 所示，第一电极焊盘 PD1 的中心定位为，在沿着第一边 SID1 的方向（图中的 Y 方向）上比第一开口 OP1 的中心更接近第一边 SID1 的端部。由此，如图 4A 所示，对于第一电极焊盘 PD1 的由绝缘膜 PSV 覆盖的部分，在沿着第一边 SID1 的方向上，该部分的更接近第一边 SID1 的端部的宽度（在图的上侧）大于该部分的与上面提及的宽度相对的另一宽度（在图的下侧）。详细地说，如上面提及的，第一电极焊盘 PD1 的短边与第一边 SID1 平行。从第一电极焊盘 PD1 的两个长边中的更接近第一边 SID1 端部的一个长边（或者在图的上侧的长边）到第一开口 OP1 的边缘的距离 α_1。大于从第一电极焊盘 PD1 的另一长边（或者在图的下侧的长边）到第一开口 OP1 的另一边缘的距离 α_2。距离 α_1 是在例如既不小于 5μm 也不大于 20μm 的范围中，而距离 α_2 是在例如既不小于 1μm 也不大于 5μm 的范围中。从第一电极焊盘 PD1 的短边中的更接近第一边 SID1 的一个短边到开口 OP1 的另一边缘的距离 α_3，大于从第一电极焊盘 PD1 的另一短边到第一开口 OP1 的另一边缘的距离 α_4。距离 α_3 是在例如既不小于 5μm 也不大于 20μm 的范围中，而距离 α_4 是在例如既不小于 1μm 但也不大于 5μm 的范围中。

[0034] 另一方面，如图 3 所示，第二电极焊盘 PD2 的中心在沿着第一边 SID1 的方向（在图的方向 Y）上，基本上叠置的第二开口 OP2 的中心之上。详细地说，从第二电极焊盘 PD2 的两个长边到第一开口 OP1 的边缘的相应距离 β_1 和 β_2 彼此相等。距离 β_1 是在例如既不小于 1μm 也不大于 5μm 的范围中。受制造误差的影响，第二电极焊盘 PD2 的中心有时也定位为比第二开口 OP2 的中心更接近第一边 SID1 的端部。然而，即使是在这种情况下，从第二电极焊盘 PD2 的中心到第二开口 OP2 的中心的距离还是也小于从第一电极焊盘 PD1 的中心到第一开口 OP1 的中心的距离。从第二电极焊盘 PD2 的短边中的更接近第二边 SID2 的一个短边到第二开口 OP2 的边缘的距离 β_3，大于从第二电极焊盘 PD2 的另一短边到第二开口 OP2 的另一边缘的距离 β_4。距离 β_3 和距离 β_4 分别基本上等于距离 α_3 和距离 α_4。

[0035] 在图中示出的示例中，在沿着第一边 SID1 的方向上，第一电极焊盘 PD1 的宽度设置为大于的第二电极焊盘 PD2 的宽度，使得可以在第一开口 OP1 的大小等于第二开口 OP2 的大小的情况下实现上面提及的相对位置。这样，不需要减小第一开口 OP1 的大小，从而可以确保在第一电极焊盘 PD1 和键合接线 WIR 之间的耦合用的面积。

[0036] 如图 5 所示，在沿着第一边 SID1 的方向上，第一开口 OP1 的宽度设置为相对于第二开口 OP2 更小，使得可以在第一电极焊盘 PD1 的大小与第二电极焊盘 PD2 的大小相同的情况下实现上面提及的相对位置。

[0037] 在图 3 中示出的示例中，在除了第一电极焊盘 PD1 以外的电极焊盘 PD 与在其之上的开口 OP 之间的相对位置，与在第二电极焊盘 PD2 与第二开口 OP 之间的相对位置相同。作为替代方案，在另一电极焊盘 PD 与定位在其之上的开口 OP 之间的相对位置，例如在与第一

电极焊盘 PD1 相邻的电极焊盘 PD 与其之上的开口 OP 之间的相对位置，可以与在第二电极焊盘 PD2 和第二开口 OP2 之间的相对位置相同。

[0038] 图 6 示出了用于阐释半导体芯片 SC 的结构的截面图。如上面提及的，半导体芯片 SC 具有衬底 SUB。衬底 SUB 为半导体衬底，例如硅衬底等。元件隔离膜 EI 形成在衬底 SUB 中。元件隔离膜 EI 例如由 STI 方法形成，但是也可以由 LOCOS 方法形成。晶体管 Tr 进一步形成在衬底 SUB 之上。元件隔离膜 EI 充当使晶体管 Tr 与其它区域隔离。

[0039] 多层互连层 MINC 形成在衬底 SUB、元件隔离膜 EI 和晶体管 Tr 之上。包括在多层互连结构 MINC 中的至少一个布线层（例如，图中示出的具有布线 INC1 的层）为铜布线层，该铜布线层通过大马士革方法形成。布线 INC1 的厚度是在例如既不小于 0.1μm 也不大于 0.8μm 的范围中。

[0040] 多个电极焊盘 PD 形成在多层互连层 MINC 的最上层布线层之上。充当电极焊盘 PD 的下层的绝缘膜例如是氧化硅膜。电极焊盘 PD 使用 Al（或 Al 合金）形成。布线 INC2 与电极焊盘 PD 形成在相同层中，以便耦合至电极焊盘 PD。为了降低布线 INC2 的布线电阻，电极焊盘 PD 和布线 INC2 形成为厚度大于布线 INC1 的厚度。电极焊盘 PD 和布线 INC2 中的每一方的厚度例如是 1.2μm 或更厚。

[0041] 绝缘膜 PSV 形成在电极焊盘 PD 和布线 INC2 之上。绝缘膜 PSV 由第一绝缘膜 PSV1 和第二绝缘膜 PSV2 的叠层形成。第一绝缘膜 PSV1 例如是氧化硅膜，而第二绝缘膜 PSV2 例如是镍化硅膜。绝缘膜 PSV 的厚度大于电极焊盘 PD 的厚度。在图中示出的实施例中，第一绝缘膜 PSV1 的厚度大于电极焊盘 PD 的厚度。

[0042] 接着将对该实施例中的半导体器件 SD 的制造方法进行描述。首先，在衬底 SUB 中形成元件隔离膜 EI。这样，使形成晶体管 Tr 的区域（元件形成区域）与其它区域分隔开。然后，在衬底 SUB 中、定位在元件形成区域中，形成栅极绝缘膜和栅极电极。栅极绝缘膜可以是氧化硅膜，或者是具有比氧化硅膜的介电常数更高的介电常数的高介电常数膜（例如，硅酸铪膜）。当栅极绝缘膜为氧化硅膜时，栅极电极由多晶硅膜形成。当栅极绝缘膜为高介电常数膜时，栅极电极由金属材料膜（例如，由 TiN 制得）和多晶硅膜的叠层形成。当栅极电极由多晶硅形成时，可以在形成栅极电极的步骤中将多晶硅电阻形成在元件隔离膜 EI 之上。

[0043] 然后，在衬底 SUB 中、定位在元件形成区域中，形成用于源极和漏极的延伸区域，之后在栅极电极的侧壁上形成侧墙。之后，在定位在元件形成区域中的衬底 SUB 中形成充当源极和漏极的杂质区域。这样，在衬底 SUB 之上形成晶体管 Tr。

[0044] 接下来，在衬底 SUB、晶体管 Tr 和元件隔离膜 EI 之上形成多层互连层 MINC。在该步骤中，在最上层布线层中形成电极焊盘 PD。电极焊盘 PD 例如是通过沉积 Al 膜、在 Al 膜上形成抗蚀图案、然后将抗蚀图案用作掩膜来对 Al 膜进行蚀刻，而形成的。

[0045] 然后，将第一绝缘膜 PSV1 和第二绝缘膜 PSV2 按该顺序沉积在多层互连层 MINC 之上。第一和第二绝缘膜 PSV1 和 PSV2 是利用例如等离子体 CVD 方法而形成的。从而，形成绝缘膜 PSV。

[0046] 然后，在第二绝缘膜 PSV2 上形成抗蚀图案，将抗蚀图案用作掩膜对绝缘膜 PSV 进行蚀刻。从而，形成开口 OP。然后，去除抗蚀图案。

[0047] 之后，将衬底 SUB 划片，使其单片化为半导体芯片 SC。

[0048] 将由此得到的半导体芯片 SC 安装在衬底安装部 DP 之上，利用键合接线 WIR 使半导体芯片 SC 的电极焊盘 PD 与引线端子 LD 耦合在一起。然后，通过使用裸片形成密封树脂 MDR。

[0049] 接下来将对本发明的优选实施例的效果进行描述。本实施例增加了电极焊盘的厚度，由此使与电极焊盘 PD 位于同一层中的接线的电阻降低。在这种情况下，在密封树脂 MDR 和半导体芯片 SC 之间生成的热应力更有可能施加至电极焊盘 PD。具体地，相较于其它电极焊盘 PD，定位在衬底 SUB 角部附近的第一电极焊盘 PD1 具有大的离衬底 SUB 的中心的距离，因此可以比其它电极焊盘 PD 受到更大的热应力。在这种情况下，第一电极焊盘 PD1 可以从作为下层的绝缘层剥离，以致可能移动。

[0050] 为此，在该实施例中，第一电极焊盘 PD1 的中心定位为比第一开口 OP1 的中心更接近第一边 SID1 的端部。因此，在沿着第一边 SID1 的方向上，在第一电极的焊盘 PD1 的覆盖有绝缘膜 PSV 的部分中，该部分的的更接近第一边 SID1 端部的宽度，大于该部分的与该宽度相对的另一宽度。施加有热应力的第一电极焊盘 PD1 的区域受到绝缘膜 PSV 的挤压，这就防止第一电极焊盘 PD1 从下层剥离。结果，第一电极焊盘 PD1 不太可能移动。

[0051] 在该实施例中，绝缘膜 PSV 的厚度大于电极焊盘 PD 的高度。从而，在电极焊盘 PD 和下层之间的台阶部填有绝缘膜 PSV，这就可以减小由于在电极焊盘 PD 和下层之间的台阶部而在绝缘膜 PSV 表面处生成的台阶部。采用该布置，在密封树脂 MDR 和半导体芯片 SC 之间生成的热应力不太可能施加到电极焊盘 PD 的侧表面。

[0052] 在该实施例中，绝缘膜 PSV 是第一绝缘膜 PSV1 和第二绝缘膜 PSV2 的叠层。第一绝缘膜 PSV1 由氧化硅膜形成，第二绝缘膜 PSV2 由镍化硅膜形成，并且第一绝缘膜 PSV1 的厚度大于电极焊盘 PD 的厚度。在这种情况下，即使在绝缘膜 PSV 的厚度变得更大时，该实施例也可以抑制在绝缘膜 PSV 和多层互连层 MINC 之间可能生成的热应力的增加。

[0053] 在所有电极焊盘 PD 中，从电极焊盘 PD 的短边中的接近衬底 SUB 边缘的一个短边到开口 OP 的距离，大于从电极焊盘 PD 的另一短边（在中心侧的短边）到开口 OP 的距离。换言之，在朝向衬底 SUB 的中心的方向上，在电极焊盘 PD 的覆盖有绝缘膜 PSV 的部分中，该部分的的更接近的衬底 SUB 的边缘的宽度，大于该部分的与该宽度相对的另一宽度。采用该布置，所有电极焊盘 PD 即使在热应力作用下也不太可能会移动。

[0054] （第一修改示例）

[0055] 图 7 示出了在第一修改示例中的半导体器件 SD 中使用的半导体芯片 SC 的结构的平面图，与根据实施例的图 2 相对应。图 8 是图 7 的主要部分的放大图。该修改示例的半导体器件 SD 具有与上面实施例的半导体器件 SD 的结构相同的结构，不同之处在于半导体芯片 SC 的电极焊盘 PD 沿着每个边布置成多个列（例如，两个列）。

[0056] 详细地说，电极焊盘 PD 按交错方式沿着每个边布置。在任何列中，在该修改示例中的在最接近每个边的端部（换言之，衬底 SUB 角部）的第一电极焊盘 PD1 与在其之上的第一开口 OP1 之间的相对位置，与在上面实施例中的在第一电极焊盘 PD1 与第一开口 OP1 之间的相对位置相同。在每列中，在该修改示例中的在第二电极焊盘 PD2 与第二开口 OP2 之间的相对位置，与在上面实施例的在第二电极焊盘 PD2 与第二开口 OP2 之间的相对位置相同。

[0057] 该修改示例也可以取得与该实施例相同的效果。在该修改示例中，在除了最外侧

的焊盘以外的任何焊盘的列中，在第一电极焊盘 PD1 与在其之上的第一开口 OP1 之间的相对位置，与在第二电极焊盘 PD2 与第二开口 OP2 之间的相对位置相同。

[0058] 该修改示例也可以取得与该实施例相同的效果。

[0059] （第二修改示例）

[0060] 图 9 示出了根据第二修改示例的半导体器件 SD 的结构的截面图。该修改示例的半导体器件 SD 具有与上面实施例或第一修改示例中半导体器件 SD 相同的结构，不同之处在于半导体器件 SD 具有四方扁平无引线封装 (QFN)。

[0061] 具体地，衬底安装部 DP 的未安装有半导体芯片 SC 的表面从密封树脂 MDR 中暴露出来。多个端子 TER 嵌入在密封树脂 MDR 的表面中，其中衬底安装部 DP 从该表面暴露出来。端子 TER 沿着密封树脂 MDR 的四个边布置。

[0062] 该修改示例也可以取得与该实施例相同的效果。

[0063] （第三修改示例）

[0064] 图 10 示出了根据第三修改示例的半导体器件 SD 的结构的截面图。该修改示例的半导体器件 SD 具有与上面实施例或第一修改示例中的半导体器件 SD 相同的结构，不同之处在于半导体芯片 SC 安装在布线衬底 IP（诸如，中介层）之上。

[0065] 具体地，半导体芯片 SC 保持在布线衬底 IP 之上，其中芯片的电极形成表面朝上。在布线衬底 IP 之上的端子（例如，指 (finger)）经由键合接线 WIR 耦合至半导体芯片 SC 的电极焊盘 PD。

[0066] 半导体芯片 SC、布线衬底 IP 的其上安装有半导体芯片 SC 的表面、以及键合接线 WIR 由密封树脂 MDR 密封。在图中示出的示例中，密封树脂 MDR 的侧表面与布线衬底 IP 的侧表面齐平。作为替代方案，密封树脂 MDR 的侧表面可以定位在布线衬底 IP 内部。

[0067] 焊球 SB 设置在布线衬底 IP 的未用密封树脂 MDR 密封的表面处。每个焊球 SB 经由在布线衬底 IP 中的布线以及键合接线 WIR 而耦合至半导体芯片 SC。

[0068] 该修改示例也可以取得与该实施例相同的效果。

[0069] 虽然已经基于实施例和修改示例对本发明人所做的发明进行了具体描述，但是本发明并不限于上面描述的实施例和修改示例，并且在不背离本发明的范围的情况下，可以对上面的实施例和修改示例做出各种修改和改变。

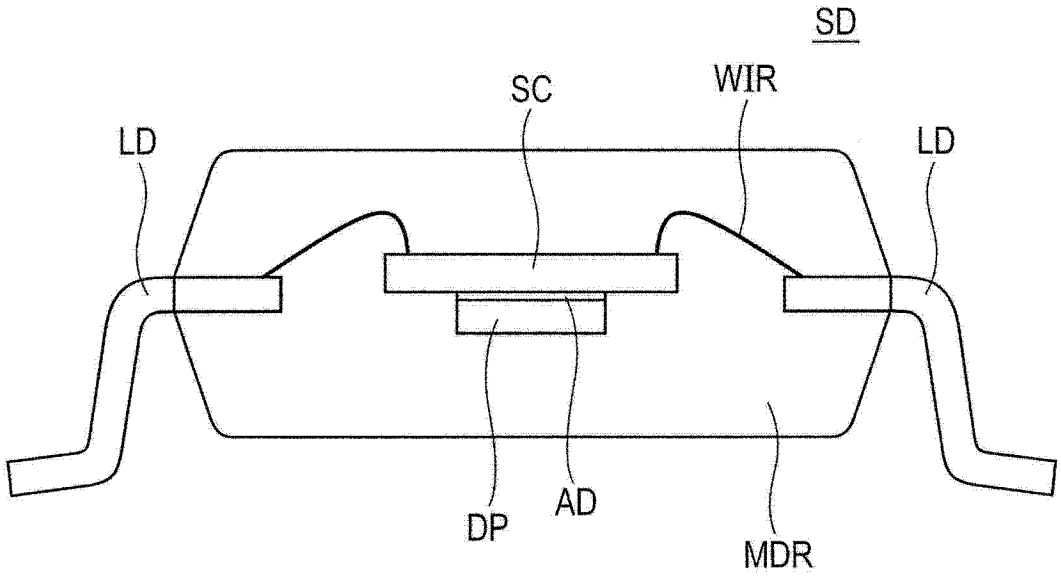


图 1

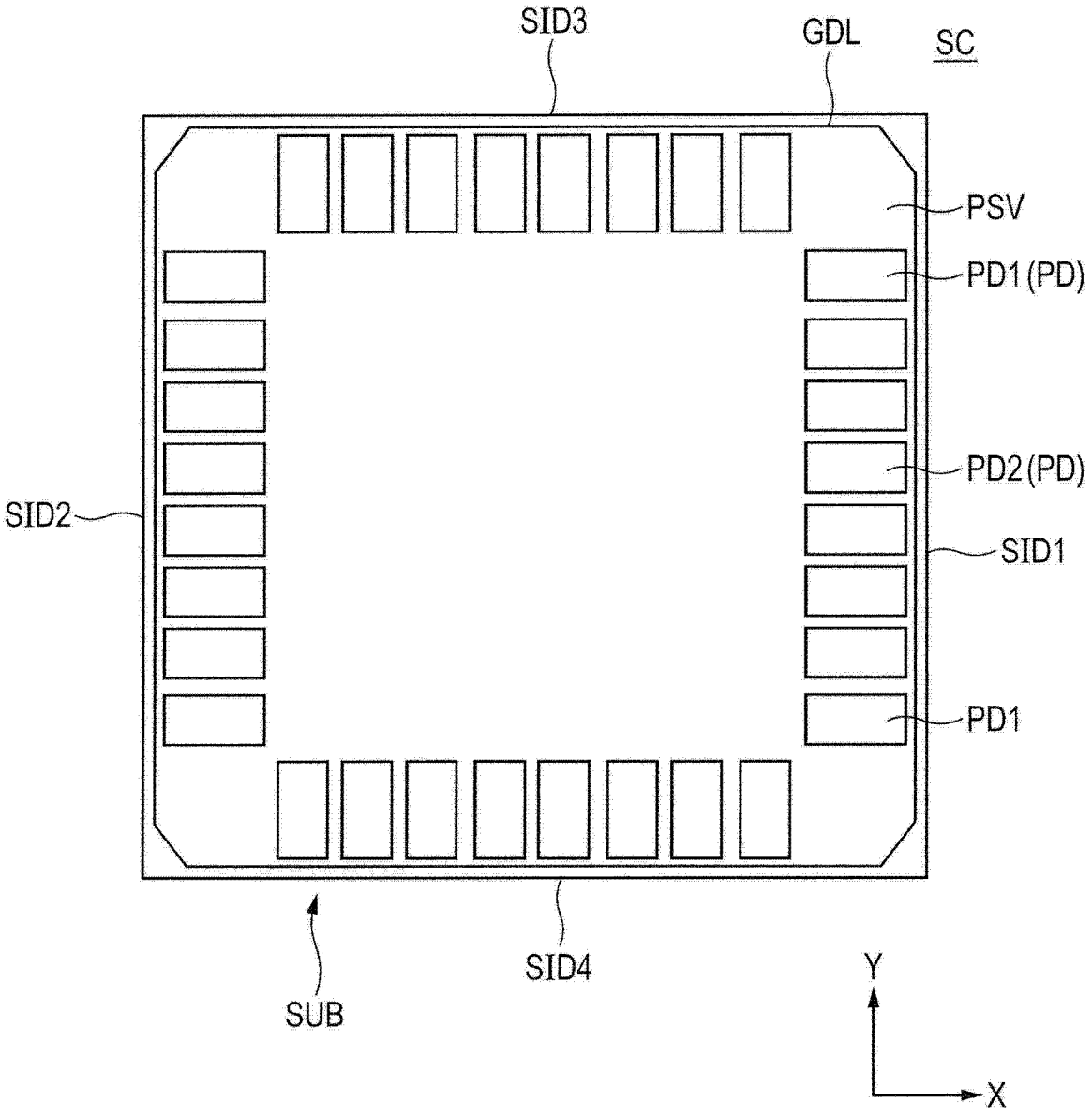


图 2

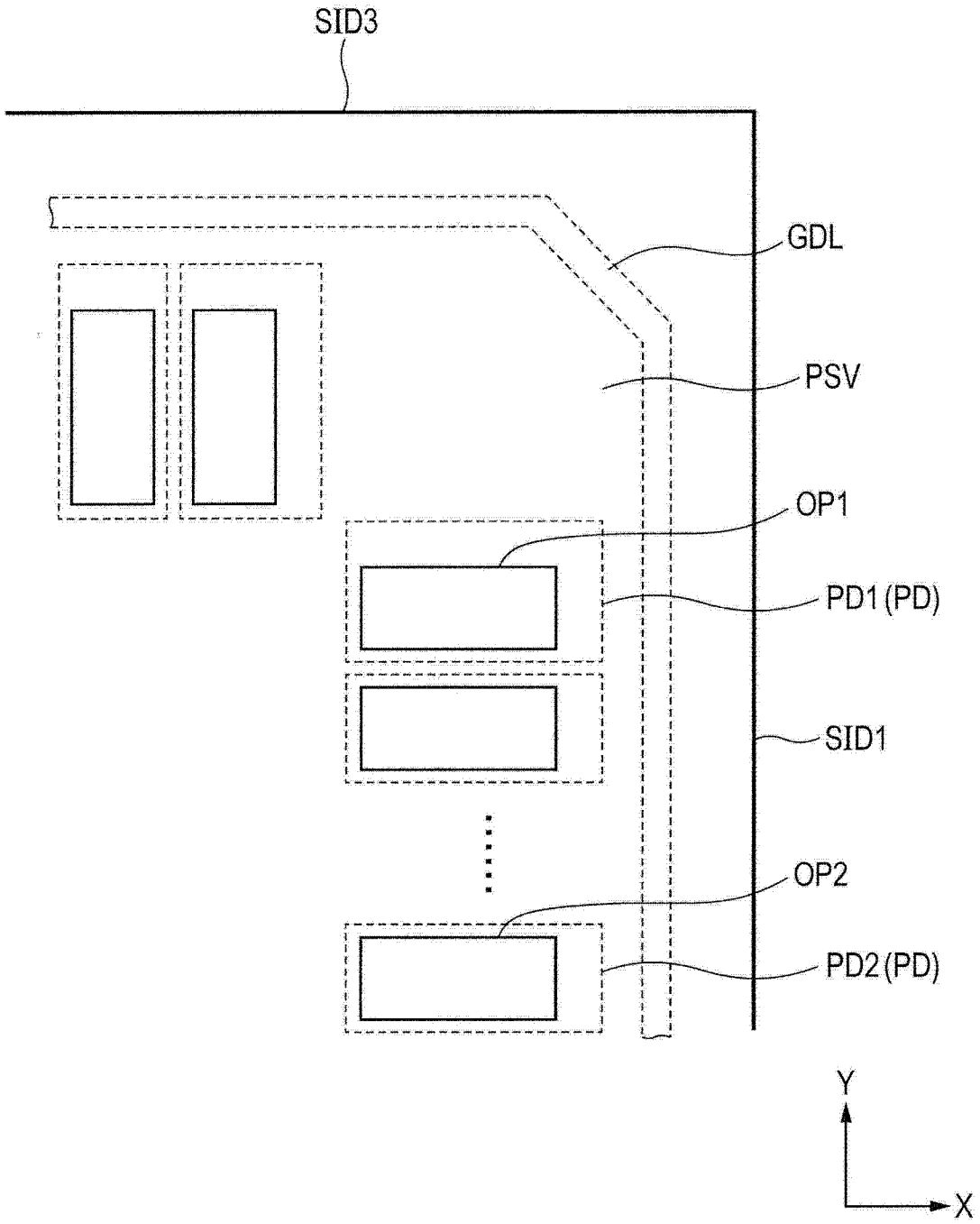


图 3

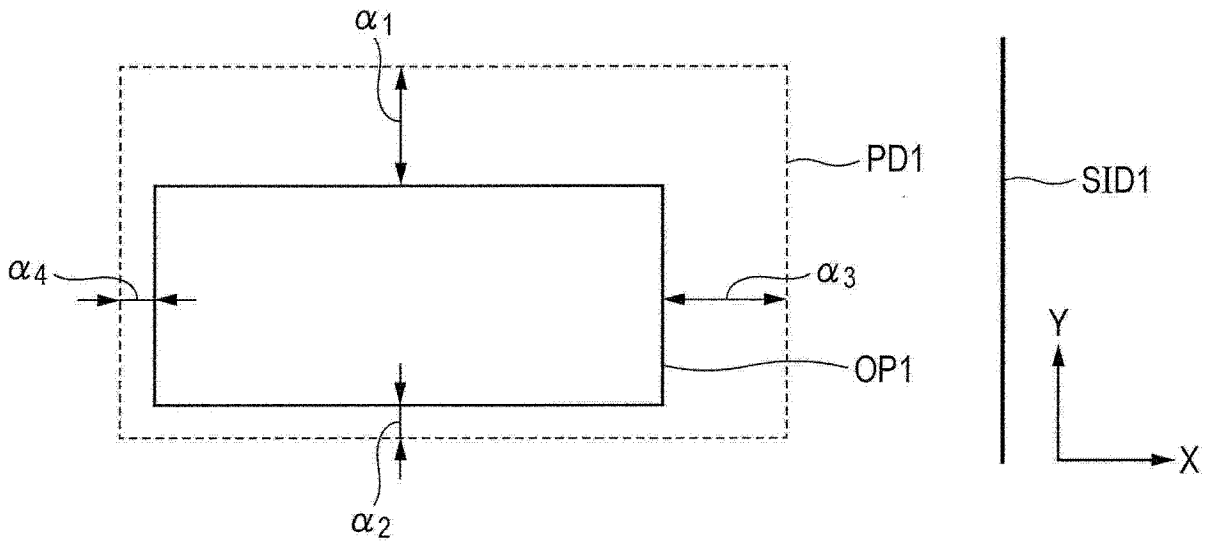


图 4A

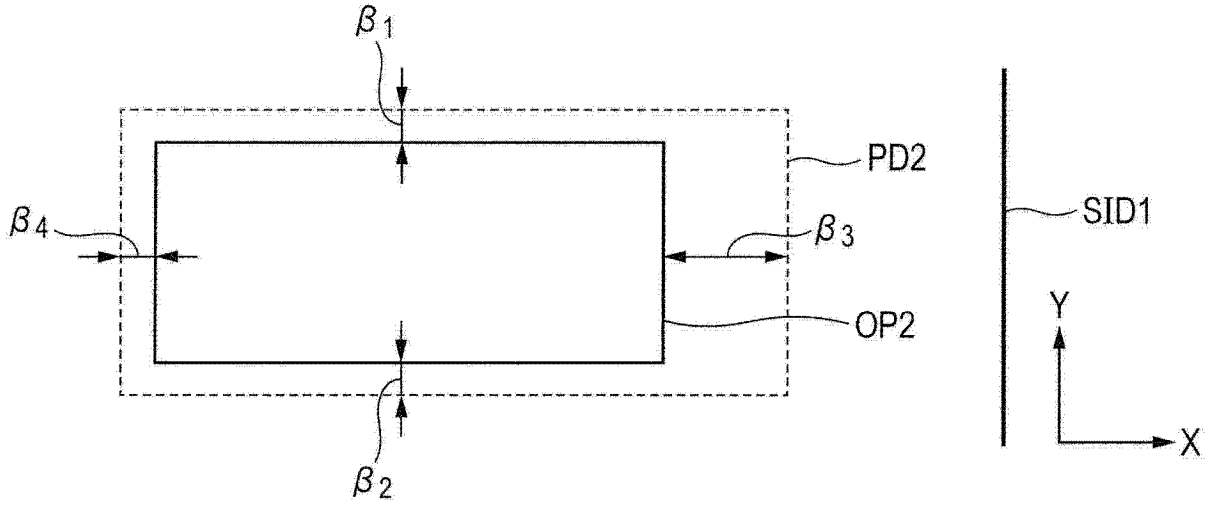


图 4B

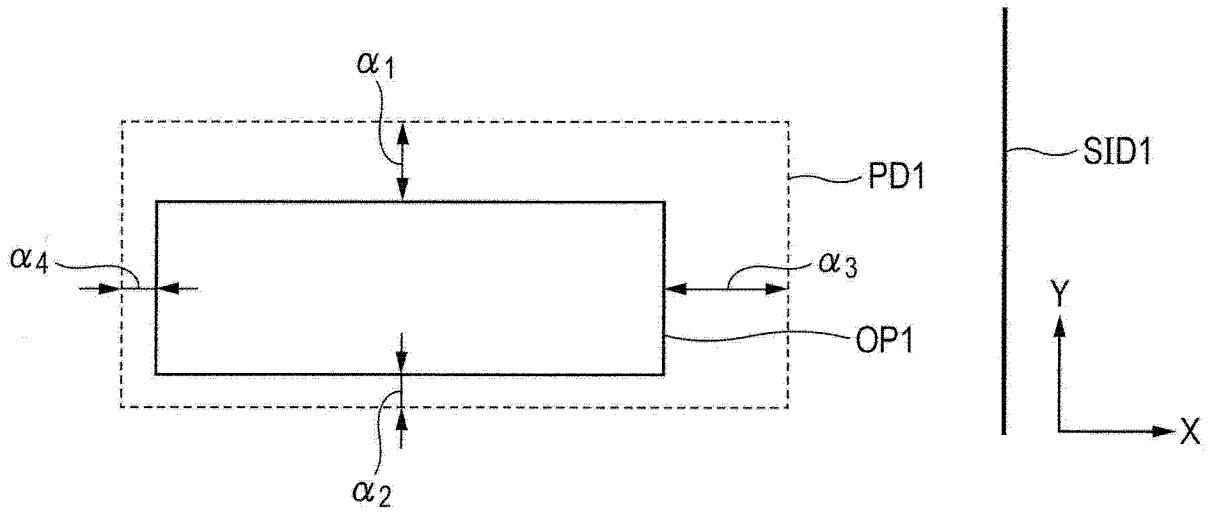


图 5A

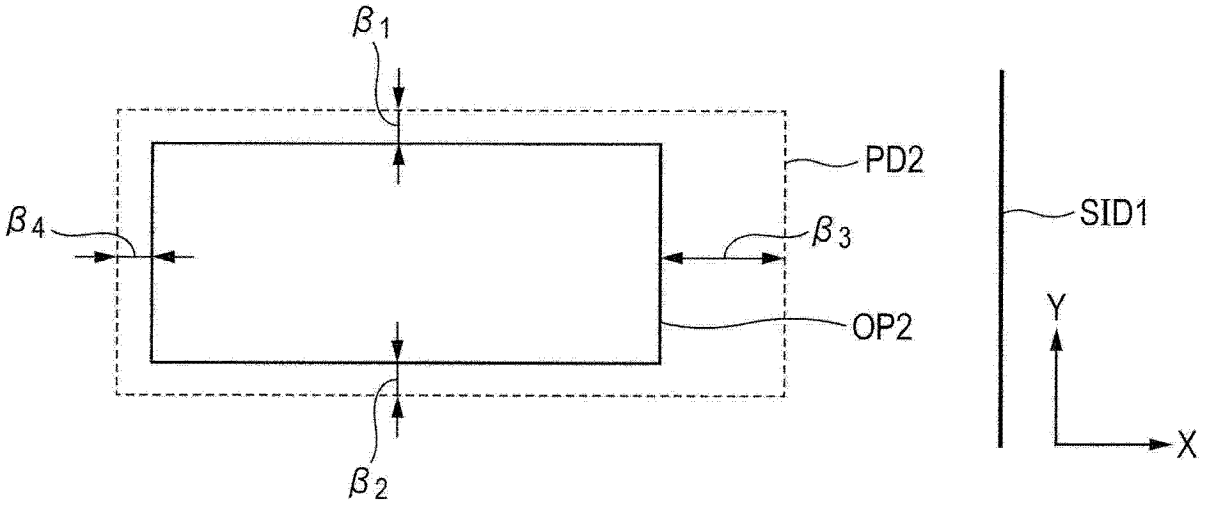


图 5B

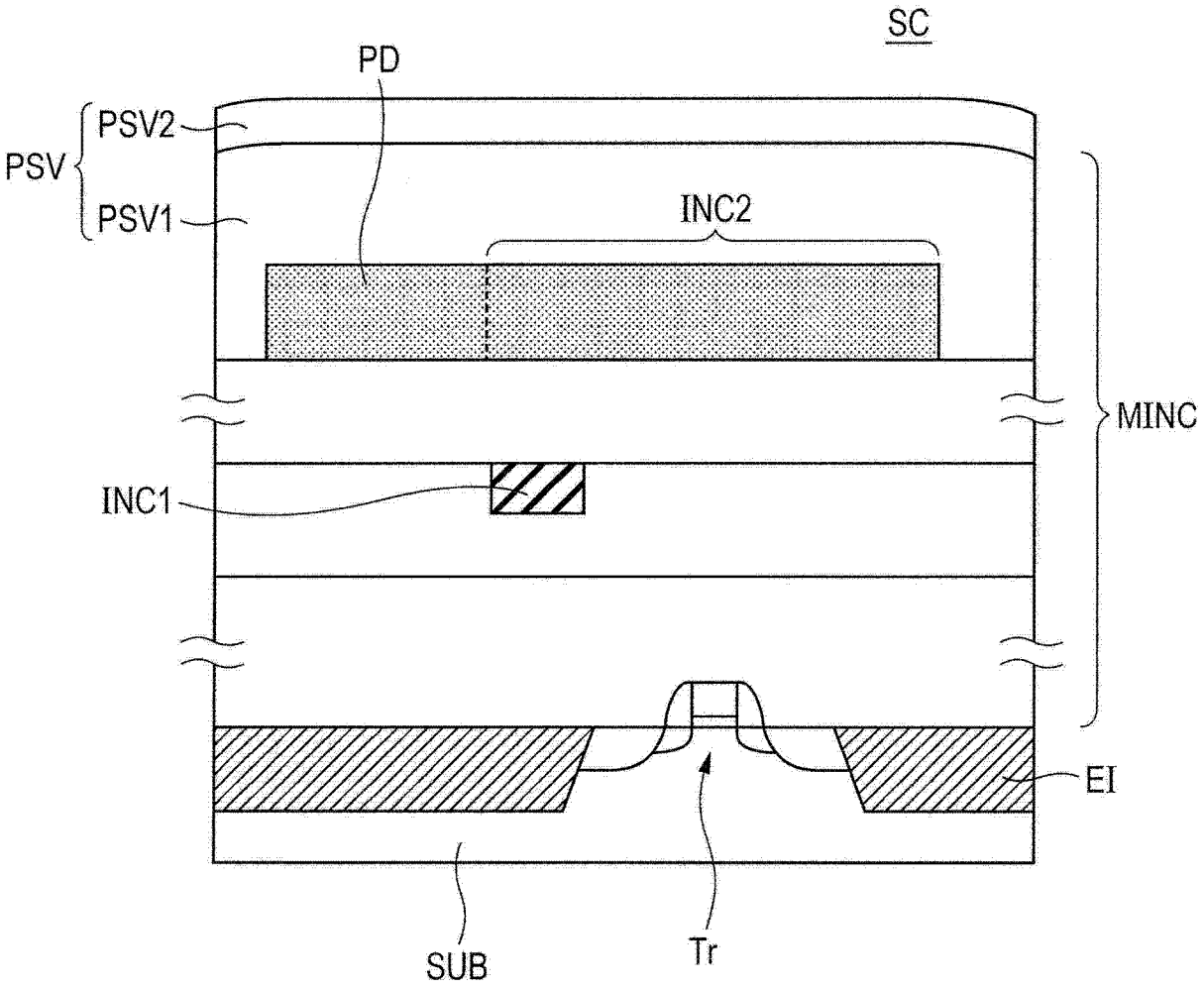


图 6

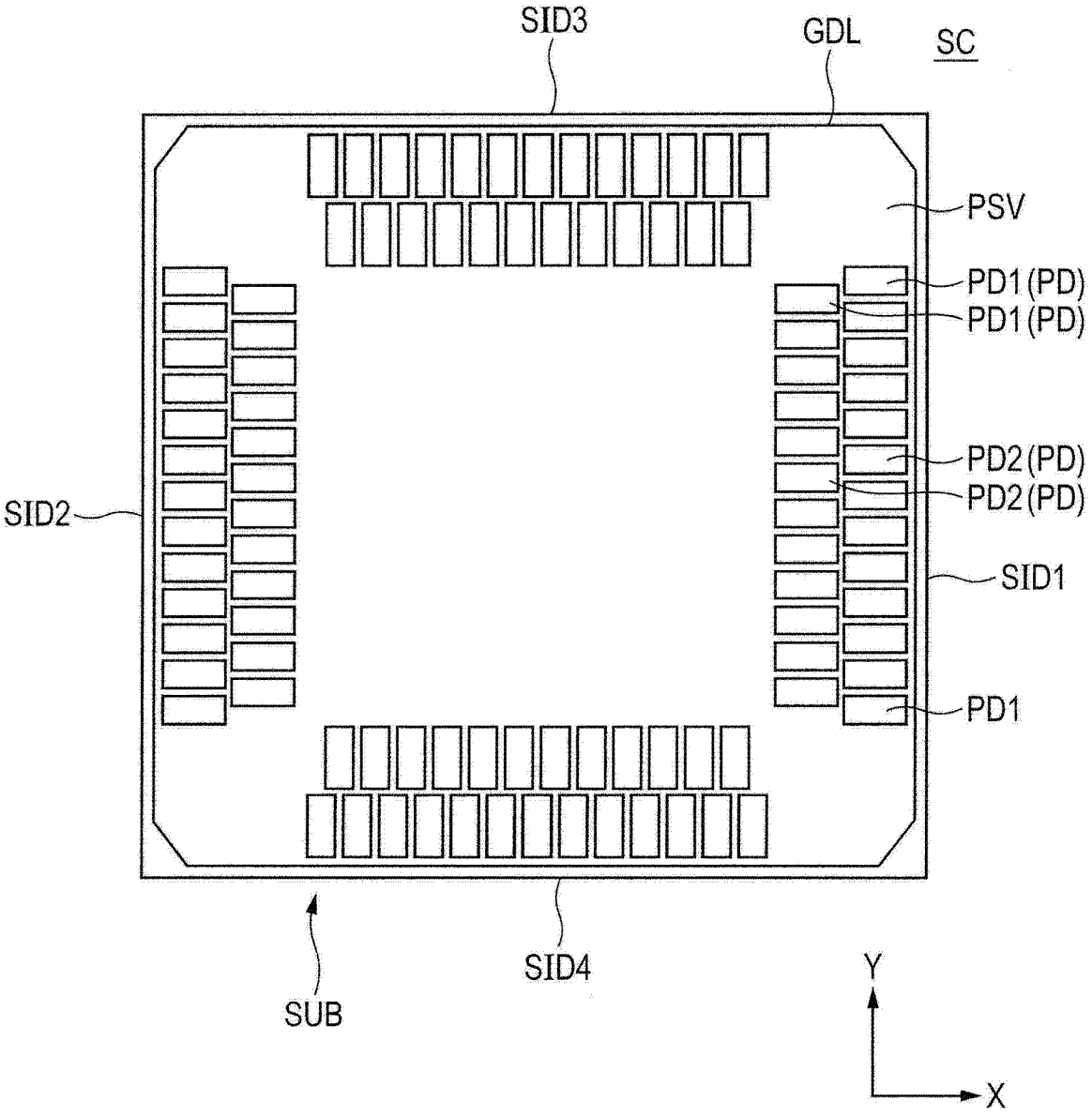

SID3
GDL
SC
PSV
PD1(PD)
PD1(PD)
PD2(PD)
PD2(PD)
SID2
SID1
PD1
SUB
SID4
Y
X

图 7

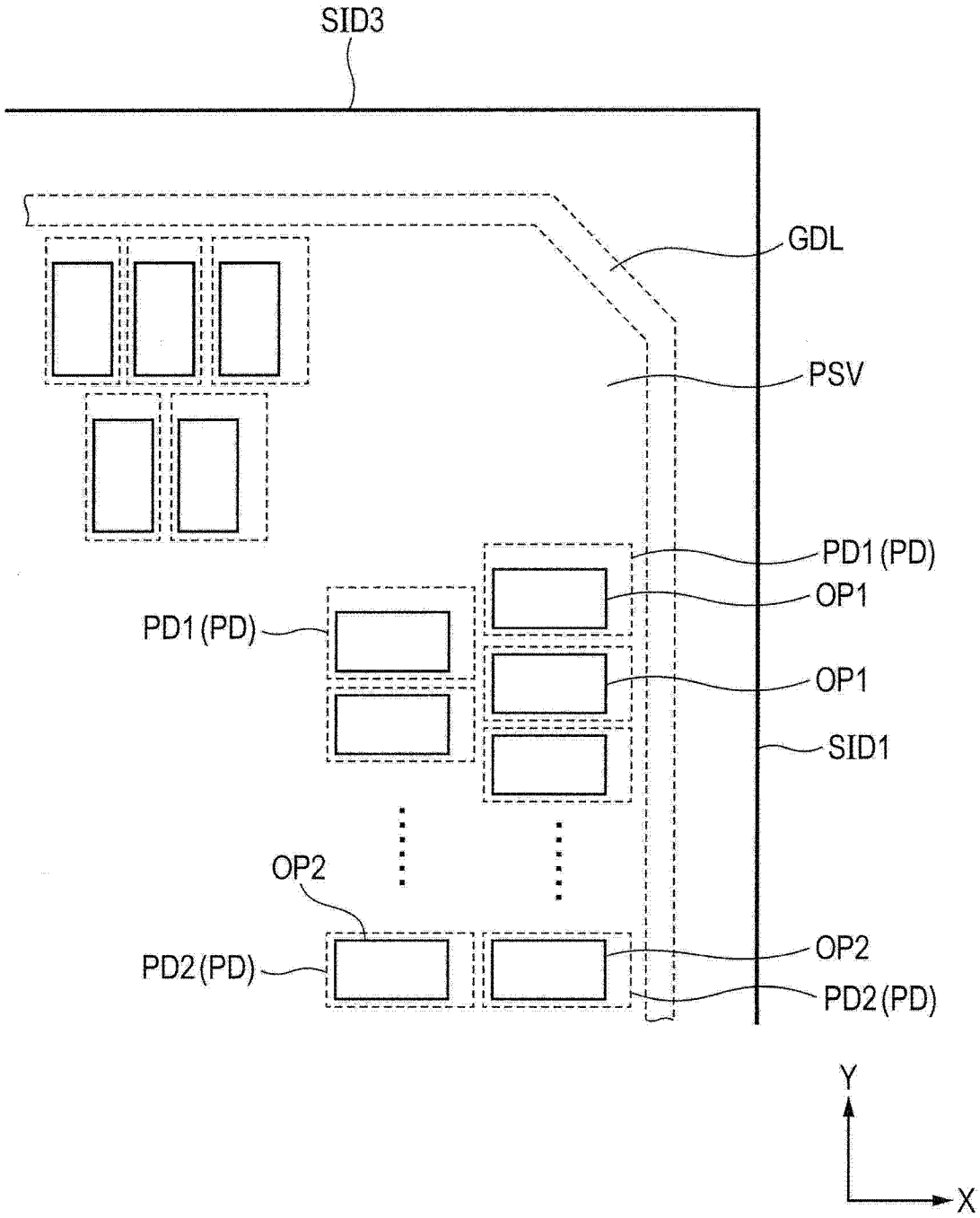


图 8

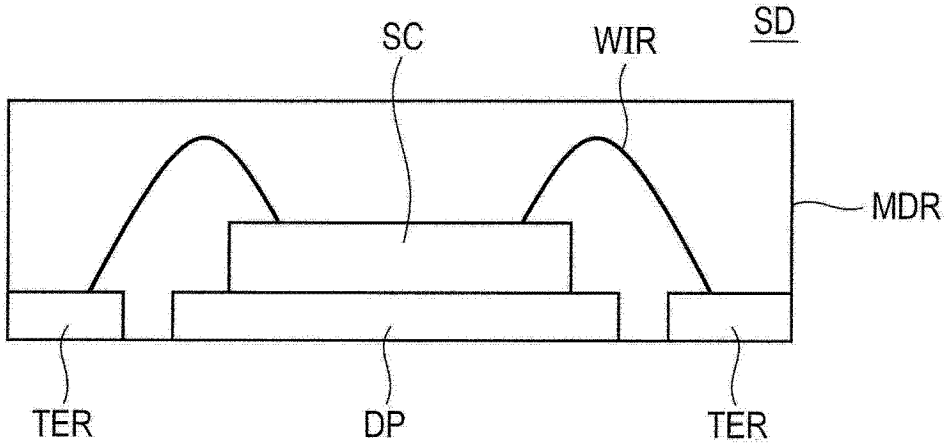


图 9

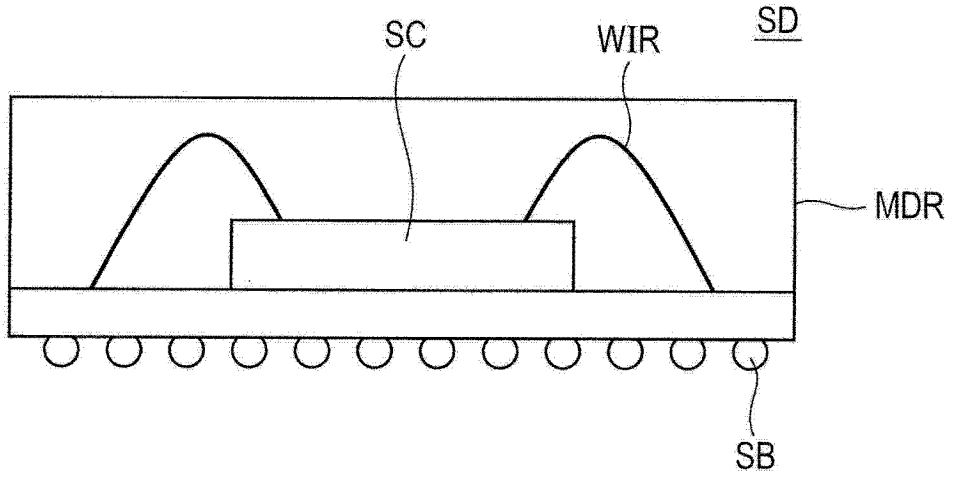


图 10

Abstract

Even when a thermal stress is applied to an electrode pad, the electrode pad is prevented from being moved. A substrate of a semiconductor chip has a rectangular planar shape. The semiconductor chip has a plurality of electrode pads. The center of a first electrode pad is positioned closer to the end of a first side in the direction along the first side of the substrate as compared to the center of a first opening. Thus, in a part of the first electrode pad covered with an insulating film, a width of the part closer to the end of the first side in the direction along the first side is larger than another width of the part opposite to the above-mentioned width.