

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年6月20日(20.06.2024)



(10) 国際公開番号

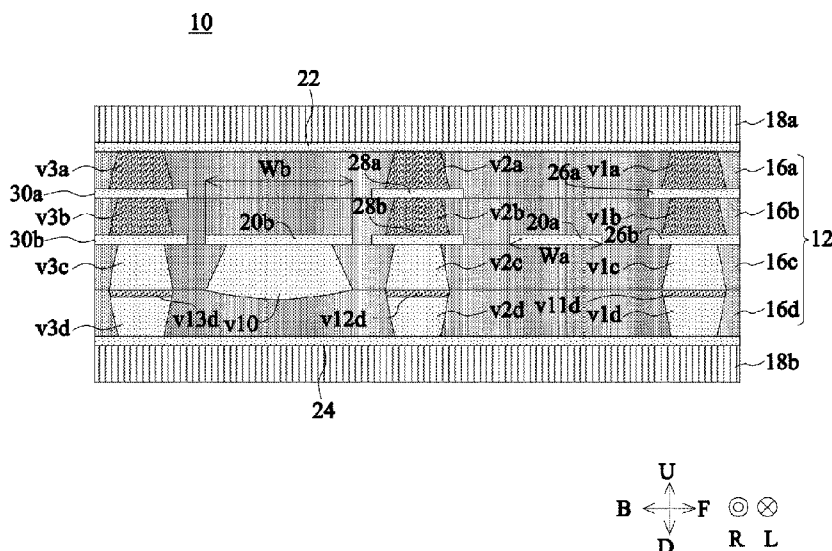
WO 2024/127989 A1

- (51) 国際特許分類:
H05K 1/02 (2006.01) *H05K 3/46* (2006.01)
H01P 3/08 (2006.01)
- (21) 国際出願番号: PCT/JP2023/042681
- (22) 国際出願日: 2023年11月29日(29.11.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-199648 2022年12月14日(14.12.2022) JP
- (71) 出願人: 株式会社村田製作所
(MURATA MANUFACTURING CO., LTD.) [JP/
- JP]; 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 Kyoto (JP).
- (72) 発明者: 水上 隆達 (MIZUKAMI Ryutatsu);
〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 馬場 貴博 (BABA Takahiro); 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP). 古村 知大 (FURUMURA Tomohiro); 〒6178555 京都府長岡京市東神足 1 丁目 1 0 番 1 号 株式会社村田製作所内 Kyoto (JP).
- (74) 代理人: 弁理士法人 楓 国際特許事務所 (KAEDE PATENT ATTORNEYS' OFFICE); 〒5400011 大阪府大阪市中央区農人橋 1 丁目 4 番 3 4 号 Osaka (JP).

(54) Title: MULTILAYER SUBSTRATE AND METHOD FOR MANUFACTURING MULTILAYER SUBSTRATE

(54) 発明の名称: 多層基板及び多層基板の製造方法

Fig.2



(57) Abstract: According to the present invention, a first insulator layer has a positive main surface and a negative main surface positioned on a negative side of a Z-axis relative to the positive main surface. A first conductor layer and a second conductor layer are positioned on the positive main surface of the first insulator layer. A first columnar conductor and a second columnar conductor are provided in a through-hole that passes through the first insulator layer along the Z axis. An end of the first columnar conductor on the positive side of the Z-axis is in contact with the first conductor layer. An



(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

end of the first columnar conductor on the negative side of the Z-axis is connected to a first conductor positioned on the negative side of the Z-axis of the first columnar conductor. An end of the second columnar conductor on the positive side of the Z-axis is in contact with the second conductor layer. An end of the second columnar conductor on the negative side of the Z-axis is not in contact with any of the conductors. The material of the first columnar conductor is the same as the material of the second columnar conductor.

(57) 要約: 第1絶縁体層は、正主面、及び、正主面よりZ軸の負側に位置する負主面を有している。第1導体層及び前記第2導体層は、第1絶縁体層の正主面に位置している。第1柱状導体及び第2柱状導体は、第1絶縁体層をZ軸に沿って貫通する貫通孔内に設けられている。第1柱状導体のZ軸の正側の端部は、第1導体層に接触している。第1柱状導体のZ軸の負側の端部は、第1柱状導体のZ軸の負側に位置している第1導体に接続されている。第2柱状導体のZ軸の正側の端部は、第2導体層に接触している。第2柱状導体のZ軸の負側の端部は、いずれの導体にも接触していない。第1柱状導体の材料及び第2柱状導体の材料は、同じ材料である。

明 細 書

発明の名称：多層基板及び多層基板の製造方法

技術分野

[0001] 本発明は、複数の絶縁体層が積層された構造を有する多層基板に関する。

背景技術

[0002] 従来の多層基板に関する発明としては、例えば、特許文献１に記載の配線回路基板の製造方法が知られている。この配線回路基板の製造方法では、ベース絶縁層の上に種膜及び配線を重ねて形成している。種膜及び配線は、導体により作製される。そのため、種膜及び配線を含む電流経路の低抵抗化が図られる。

先行技術文献

特許文献

[0003] 特許文献１：特開２０２２－０２７９２７号公報

発明の概要

発明が解決しようとする課題

[0004] 以上のように、特許文献１に記載の配線回路基板の分野では、種膜及び配線を含む電流経路の低抵抗化が望まれている。

[0005] そこで、本発明の目的は、電流経路の低抵抗化を図ることができる多層基板及び多層基板の製造方法を提供することである。

課題を解決するための手段

[0006] 本発明の一形態に係る多層基板は、

積層体、第１導体層、第２導体層、第１柱状導体、第２柱状導体及び接続導体を少なくとも備えており、

前記積層体は、第１絶縁体層を含む複数の絶縁体層がＺ軸に沿って積層された構造を有しており、

前記第１絶縁体層は、正主面、及び、前記正主面より前記Ｚ軸の負側に位置する負主面を有しており、

前記第 1 導体層及び前記第 2 導体層は、前記第 1 絶縁体層の前記正主面に位置しており、

前記第 1 柱状導体及び前記第 2 柱状導体は、前記第 1 絶縁体層を前記 Z 軸に沿って貫通する貫通孔の内部に設けられており、

前記第 1 柱状導体の前記 Z 軸の正側の端部は、前記第 1 導体層に接触しており、

前記接続導体は前記積層の方向の導体間を電氣的に接続する導体であり、

前記第 1 柱状導体の前記 Z 軸の負側の端部は、前記接続導体を介して柱状導体又は導体層に接続されており、

前記第 2 柱状導体の前記 Z 軸の正側の端部は、前記第 2 導体層に接触されており、

前記第 2 柱状導体の前記 Z 軸の負側の端部は、いずれの導体にも接触しておらず、

前記第 1 柱状導体の材料及び前記第 2 柱状導体の材料は、同じ材料である

。

[0007] 本発明の一形態に係る多層基板の製造方法は、

第 1 準備工程と、貫通孔形成工程と、導体層形成工程と、柱状導体形成工程と、第 2 準備工程と、圧着工程と、を備える多層基板の製造方法であり、

前記第 1 準備工程では、正主面、及び、前記正主面より Z 軸の負側に位置している負主面を有していて、前記正主面を覆う金属箔が設けられた第 1 絶縁体層を準備し、

前記貫通孔形成工程では、前記 Z 軸に沿って貫通する第 1 貫通孔及び第 2 貫通孔を前記第 1 絶縁体層に形成し、

前記導体層形成工程では、前記金属箔を加工することにより、第 1 導体層及び第 2 導体層を形成し、

前記柱状導体形成工程では、前記第 1 貫通孔及び前記第 2 貫通孔のそれぞれに第 1 柱状導体及び第 2 柱状導体を形成し、

前記第 2 準備工程では、接続導体が設けられた第 2 絶縁体層を準備し、

前記圧着工程では、前記第 1 絶縁体層が前記第 2 絶縁体層より前記 Z 軸の正側に位置するように、前記第 1 絶縁体層及び前記第 2 絶縁体層を含む複数の絶縁体層を積層及び圧着し、

前記第 1 柱状導体の前記 Z 軸の正側の端部は前記第 1 導体層に接触しており、

前記第 2 柱状導体の前記 Z 軸の正側の端部は前記第 2 導体層に接触しており、

前記第 1 柱状導体の前記 Z 軸の負側の端部は、前記接続導体に接続されている。

発明の効果

[0008] 本発明に係る多層基板及び多層基板の製造方法によれば、電流経路の低抵抗化を図ることができる。

図面の簡単な説明

[0009] [図1]図 1 は、多層基板 10 の分解斜視図である。

[図2]図 2 は、多層基板 10 の断面図である。

[図3]図 3 は、多層基板 10 の製造時の断面図である。

[図4]図 4 は、多層基板 10 の製造時の断面図である。

[図5]図 5 は、多層基板 10 の製造時の断面図である。

[図6]図 6 は、多層基板 10 の製造時の断面図である。

[図7]図 7 は、多層基板 10 の製造時の断面図である。

[図8]図 8 は、多層基板 10 の製造時の断面図である。

[図9]図 9 は、多層基板 10 の製造時の断面図である。

[図10]図 10 は、多層基板 10 の製造時の断面図である。

[図11]図 11 は、多層基板 10 a の断面図である。

[図12]図 12 は、多層基板 10 b の断面図である。

[図13]図 13 は、多層基板 10 c の絶縁体層 16 c の上面図である。

[図14]図 14 は、多層基板 10 d の絶縁体層 16 c の上面図である。

[図15]図 15 は、多層基板 10 d の使用時の背面図である。

[図16]図16は、多層基板10eの絶縁体層16cの上面図である。

発明を実施するための形態

[0010] (実施形態)

[多層基板の構造]

以下に、本発明の実施形態に係る多層基板10の構造について図面を参照しながら説明する。図1は、多層基板10の分解斜視図である。図2は、多層基板10の断面図である。図2では、図1のA-Aにおける断面を示した。なお、図1では、複数の柱状導体v1a～v1d, v2a～v2d, v3a～v3dの内の代表的な柱状導体v1a～v1d, v2a～v2d, v3a～v3dにのみ参照符号を付した。

[0011] 本明細書において、方向を以下のように定義する。多層基板10の積層体12の積層方向を上下方向と定義する。また、上下方向は、Z軸方向と一致する。上方向は、Z軸の正方向である。下方向は、Z軸の負方向である。また、多層基板10の信号導体層20a及び電源導体層20bが延びている方向を左右方向と定義する。また、上下方向に見て、信号導体層20a及び電源導体層20bの線幅方向を前後方向と定義する。上下方向、前後方向及び左右方向は、互いに直交している。なお、上下方向の上方向と下方向とが入れ替わってもよいし、左右方向の左方向と右方向とが入れ替わってもよいし、前後方向の前方向と後方向とが入れ替わってもよい。

[0012] 以下では、Xは、多層基板10の部品又は部材である。本明細書において、特に断りのない場合には、Xの各部について以下のように定義する。Xの前部とは、Xの前半分を意味する。Xの後部とは、Xの後半分を意味する。Xの左部とは、Xの左半分を意味する。Xの右部とは、Xの右半分を意味する。Xの上部とは、Xの上半分を意味する。Xの下部とは、Xの下半分を意味する。Xの前端とは、Xの前方向の端を意味する。Xの後端とは、Xの後方向の端を意味する。Xの左端とは、Xの左方向の端を意味する。Xの右端とは、Xの右方向の端を意味する。Xの上端とは、Xの上方向の端を意味する。Xの下端とは、Xの下方向の端を意味する。Xの前端部とは、Xの前端

及びその近傍を意味する。Xの後端部とは、Xの後端及びその近傍を意味する。Xの左端部とは、Xの左端及びその近傍を意味する。Xの右端部とは、Xの右端及びその近傍を意味する。Xの上端部とは、Xの上端及びその近傍を意味する。Xの下端部とは、Xの下端及びその近傍を意味する。

[0013] まず、図1を参照しながら、多層基板10の構造について説明する。多層基板10は、高周波信号を伝送する。多層基板10は、スマートフォン等の電子機器において、2つの回路を電氣的に接続するために用いられる。多層基板10は、図1に示すように、積層体12、保護層18a、18b、信号導体層20a、電源導体層20b、第1グラウンド導体層22、第2グラウンド導体層24、グラウンド導体層26a、26b、28a、28b、30a、30b、複数の柱状導体v1a～v1d、複数の柱状導体v2a～v2d、複数の柱状導体v3a～v3d、柱状導体v10及び接続導体v11d、v12d、v13dを備えている。接続導体v11d、v12d、v13dと柱状導体v1c～v3c、v1d～v3dとは材料が異なる。

[0014] 積層体12は、板形状を有している。従って、積層体12は、上主面（正主面）、及び、上主面（正主面）より下（Z軸の負側）に位置する下主面（負主面）を有している。積層体12の上主面及び下主面は、左右軸に沿って延びる長辺を有する長形状を有している。従って、積層体12の左右方向の長さは、積層体12の前後方向の長さより長い。積層体12は、可撓性を有している。

[0015] 積層体12は、図1に示すように、絶縁体層16c（第1絶縁体層）を含む絶縁体層16a～16dが上下軸（Z軸）に沿って積層された構造を有している。絶縁体層16a～16dは、上から下へとこの順に並んでいる。絶縁体層16a～16dは、上主面（正主面）、及び、上主面（正主面）より下（Z軸の負側）に位置する下主面（負主面）を有している。絶縁体層16a～16dの材料は、例えば、熱可塑性樹脂である。熱可塑性樹脂は、例えば、液晶ポリマである。そして、絶縁体層16a～16dは、上下に隣り合うもの同士で融着している。

[0016] 信号導体層 20a には、高周波信号が伝送される。信号導体層 20a（第 3 導体層）は、図 1 に示すように、絶縁体層 16c（第 1 絶縁体層）の上主面（正主面）に位置している。信号導体層 20a は、下方向に見て、左右軸に沿って延びる線形状を有している。信号導体層 20a は、上主面、及び、上主面より下に位置している下主面を有している。信号導体層 20a の下主面の表面粗さは、信号導体層 20a の上主面の表面粗さより大きい。

[0017] 電源導体層 20b には、電源電位が接続される。電源導体層 20b（第 2 導体層）は、図 1 に示すように、絶縁体層 16c（第 1 絶縁体層）の上主面（正主面）に位置している。電源導体層 20b は、下方向（Z 軸の負方向）に見て、左右軸に沿って延びる線形状を有している。従って、電源導体層 20b は、信号導体層 20a と平行である。本実施形態では、電源導体層 20b は、信号導体層 20a の後に位置している。図 2 に示すように、電源導体層 20b の線幅 W_b は、信号導体層 20a の線幅 W_a より大きい。電源導体層 20b（第 2 導体層）は、上主面（正主面）、及び、上主面（正主面）より下（Z 軸の負側）に位置している下主面（負主面）を有している。電源導体層 20b の下主面（負主面）の表面粗さは、電源導体層 20b の上主面（正主面）の表面粗さより大きい。

[0018] 第 1 グランド導体層 22 は、図 1 に示すように、積層体 12 に設けられている。第 1 グランド導体層 22 は、信号導体層 20a 及び電源導体層 20b より上に位置し、かつ、下方向に見て、信号導体層 20a 及び電源導体層 20b と重なっている。本実施形態では、第 1 グランド導体層 22 は、絶縁体層 16a の上主面に位置している。また、第 1 グランド導体層 22 は、絶縁体層 16a の上主面の略全面を覆っている。第 1 グランド導体層 22 は、上主面、及び、上主面より下に位置している下主面を有している。第 1 グランド導体層 22 の下主面の表面粗さは、第 1 グランド導体層 22 の上主面の表面粗さより大きい。第 1 グランド導体層 22 には、グランド電位が接続される。

[0019] 第 2 グランド導体層 24 は、図 1 に示すように、積層体 12 に設けられて

いる。第2グラウンド導体層24は、信号導体層20a及び電源導体層20bより下に位置し、かつ、下方向に見て、信号導体層20a及び電源導体層20bと重なっている。本実施形態では、第2グラウンド導体層24は、絶縁体層16dの下主面に位置している。また、第2グラウンド導体層24は、絶縁体層16dの下主面の略全面を覆っている。第2グラウンド導体層24は、上主面、及び、上主面より下に位置している下主面を有している。第2グラウンド導体層24の上主面の表面粗さは、第2グラウンド導体層24の下主面の表面粗さより大きい。第2グラウンド導体層24には、グラウンド電位が接続される。以上のような信号導体層20a、第1グラウンド導体層22及び第2グラウンド導体層24は、ストリップライン構造を有している。

[0020] グラウンド導体層26a, 28a, 30aは、図1に示すように、積層体12に設けられている。グラウンド導体層26a, 28a, 30aは、下方向に見て、信号導体層20a及び電源導体層20bと重なっていない。本実施形態では、グラウンド導体層26a, 28a, 30aは、絶縁体層16bの上主面に位置している。グラウンド導体層26a, 28a, 30aは、下方向に見て、左右方向に延びる線形状を有している。グラウンド導体層26aは、下方向に見て、信号導体層20aの前に位置している。グラウンド導体層28aは、下方向に見て、信号導体層20aの後かつ電源導体層20bの前に位置している。グラウンド導体層30aは、下方向に見て、電源導体層20bの後に位置している。グラウンド導体層26a, 28a, 30aは、上主面、及び、上主面より下に位置している下主面を有している。グラウンド導体層26a, 28a, 30aの下主面の表面粗さは、グラウンド導体層26a, 28a, 30aの上主面の表面粗さより大きい。

[0021] グラウンド導体層26b, 28b, 30bは、図1に示すように、積層体12に設けられている。グラウンド導体層26b, 28b, 30bは、下方向に見て、信号導体層20a及び電源導体層20bと重なっていない。本実施形態では、グラウンド導体層26b, 28b, 30b（第1導体層）は、絶縁体層16cの上主面に位置している。グラウンド導体層26b, 28b, 30b

は、下方方向に見て、左右方向に延びる線形状を有している。グランド導体層 26 b は、下方方向に見て、信号導体層 20 a の前に位置している。グランド導体層 28 b は、下方方向に見て、信号導体層 20 a の後かつ電源導体層 20 b の前に位置している。グランド導体層 30 b は、下方方向に見て、電源導体層 20 b の後に位置している。グランド導体層 26 b, 28 b, 30 b は、上主面、及び、上主面より下に位置している下主面を有している。グランド導体層 26 b, 28 b, 30 b の下主面の表面粗さは、グランド導体層 26 b, 28 b, 30 b の上主面の表面粗さより大きい。

[0022] 図 2 に示すように、複数の柱状導体 v 1 a, v 2 a, v 3 a は、絶縁体層 16 a を上下軸に沿って貫通している。複数の柱状導体 v 1 a, v 2 a, v 3 a は、上方向に行くにしたがって、複数の柱状導体 v 1 a, v 2 a, v 3 a の太さが細くなる区間を有している。複数の柱状導体 v 1 a の上端部は、第 1 グランド導体層 22 に接触している。複数の柱状導体 v 1 a の下端部は、グランド導体層 26 a に接触している。複数の柱状導体 v 1 a は、左右軸に沿って一列に並んでいる。複数の柱状導体 v 2 a の上端部は、第 1 グランド導体層 22 に接触している。複数の柱状導体 v 2 a の下端部は、グランド導体層 28 a に接触している。複数の柱状導体 v 2 a は、左右軸に沿って一列に並んでいる。複数の柱状導体 v 3 a の上端部は、第 1 グランド導体層 22 に接触している。複数の柱状導体 v 3 a の下端部は、グランド導体層 30 a に接触している。複数の柱状導体 v 3 a は、左右軸に沿って一列に並んでいる。

[0023] 複数の柱状導体 v 1 b, v 2 b, v 3 b は、絶縁体層 16 b を上下軸に沿って貫通している。複数の柱状導体 v 1 b, v 2 b, v 3 b は、上方向に行くにしたがって、複数の柱状導体 v 1 b, v 2 b, v 3 b の太さが細くなる区間を有している。複数の柱状導体 v 1 b の上端部は、グランド導体層 26 a に接触している。複数の柱状導体 v 1 b の下端部は、グランド導体層 26 b に接触している。複数の柱状導体 v 1 b は、左右軸に沿って一列に並んでいる。複数の柱状導体 v 2 b の上端部は、グランド導体層 28 a に接触して

いる。複数の柱状導体 $v2b$ の下端部は、グランド導体層 $28b$ に接触している。複数の柱状導体 $v2b$ は、左右軸に沿って一列に並んでいる。複数の柱状導体 $v3b$ の上端部は、グランド導体層 $30a$ に接触している。複数の柱状導体 $v3b$ の下端部は、グランド導体層 $30b$ に接触している。複数の柱状導体 $v3b$ は、左右軸に沿って一列に並んでいる。

[0024] 複数の柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ （第1柱状導体）は、絶縁体層 $16c$ （第1絶縁体層）を上下軸に沿って貫通する貫通孔内に設けられている。本実施形態では、複数の柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ （第1柱状導体）は、絶縁体層 $16c$ （第1絶縁体層）を上下軸に沿って貫通している。複数の柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ （第1柱状導体）は、上方向（Z軸の正方向）に行くにしたがって、複数の柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ の太さが細くなる区間を有している。複数の柱状導体 $v1c$ の上端部は、グランド導体層 $26b$ に接触している。複数の柱状導体 $v1c$ は、左右軸に沿って一列に並んでいる。複数の柱状導体 $v2c$ の上端部（第1柱状導体）は、グランド導体層 $28b$ に接触している。複数の柱状導体 $v2c$ は、左右軸に沿って一列に並んでいる。複数の柱状導体 $v3c$ の上端部は、グランド導体層 $30b$ に接触している。複数の柱状導体 $v3c$ は、左右軸に沿って一列に並んでいる。

[0025] 複数の柱状導体 $v1d$ 、 $v2d$ 、 $v3d$ は、絶縁体層 $16d$ を上下軸に沿って貫通する貫通孔内に設けられている。ただし、複数の柱状導体 $v1d$ の上端、複数の柱状導体 $v2d$ の上端及び複数の柱状導体 $v3d$ の上端は、絶縁体層 $16d$ の上主面より下に位置している。複数の柱状導体 $v1d$ 、 $v2d$ 、 $v3d$ は、下方向に行くにしたがって、複数の柱状導体 $v1d$ 、 $v2d$ 、 $v3d$ の太さが細くなる区間を有している。複数の柱状導体 $v1d$ の下端部は、第2グランド導体層 24 に接触している。複数の柱状導体 $v1d$ は、左右軸に沿って一列に並んでいる。複数の柱状導体 $v2d$ の下端部は、第2グランド導体層 24 に接触している。複数の柱状導体 $v2d$ は、左右軸に沿って一列に並んでいる。複数の柱状導体 $v3d$ の下端部は、第2グランド導

体層 2 4 に接触している。複数の柱状導体 v 3 d は、左右軸に沿って一列に並んでいる。

[0026] 複数の接続導体 v 1 1 d, v 1 2 d, v 1 3 d は、絶縁体層 1 6 d を上下軸に沿って貫通する貫通孔内に設けられている。本実施形態では、複数の接続導体 v 1 1 d, v 1 2 d, v 1 3 d のそれぞれは、複数の柱状導体 v 1 d, v 2 d, v 3 d の上に位置している。これにより、複数の柱状導体 v 1 c の下端部のそれぞれは、複数の接続導体 v 1 1 d に接触している。複数の柱状導体 v 1 d の上端部のそれぞれは、複数の接続導体 v 1 1 d に接触している。その結果、複数の柱状導体 v 1 c の下端部のそれぞれは、複数の接続導体 1 1 c の下に位置している複数の柱状導体 v 1 d に複数の接続導体 v 1 1 d を介して接続されている。複数の柱状導体 v 2 c の下端部のそれぞれは、複数の接続導体 v 1 2 d に接触している。複数の柱状導体 v 2 d の上端部のそれぞれは、複数の接続導体 v 1 2 d に接触している。その結果、複数の柱状導体 v 2 c の下端部（第 1 柱状導体）のそれぞれは、複数の柱状導体 v 2 c（第 1 柱状導体）の下（Z 軸の負側）に位置している複数の柱状導体 v 2 d に複数の接続導体 v 1 2 d を介して接続されている。複数の柱状導体 v 3 c の下端部のそれぞれは、複数の接続導体 v 1 3 d に接触している。複数の柱状導体 v 3 d の上端部のそれぞれは、複数の接続導体 v 1 3 d に接触している。その結果、複数の柱状導体 v 3 c の下端部のそれぞれは、複数の柱状導体 v 3 c の下に位置している複数の柱状導体 v 3 d に複数の接続導体 v 1 3 d を介して接続されている。

[0027] 柱状導体 v 1 0（第 2 柱状導体）は、絶縁体層 1 6 c（第 1 絶縁体層）を上下軸に沿って貫通している。柱状導体 v 1 0（第 2 柱状導体）は、上方向（Z 軸の正方向）に行くにしたがって、柱状導体 v 1 0（第 2 柱状導体）の太さが細くなる区間を有している。柱状導体 v 1 0（第 2 柱状導体）の上端部（Z 軸の正側の端部）は、電源導体層 2 0 b（第 2 導体層）に接触している。柱状導体 v 1 0（第 2 柱状導体）の下端部（Z 軸の負側の端部）は、いずれの導体にも接触していない。そして、柱状導体 v 1 0（第 2 柱状導体）

の下側（Z軸の負側）の端面は、下方向（Z軸の負方向）に突出する形状を有している。柱状導体v10は、下方向に見て、左右軸に沿って延びる線形状を有している。柱状導体v10は、電源導体層20bに沿って延びている。

[0028] なお、信号導体層20a（第3導体層）には、以下の構造を備える柱状導体（第4柱状導体）の上端部（Z軸の正側の端部）が接続されていない。柱状導体（第4柱状導体）は、絶縁体層16c（第1絶縁体層）を上下軸（Z軸）に沿って貫通している。柱状導体（第4柱状導体）の下端部（Z軸の負側の端部）は、いずれの導体にも接触していない。ただし、信号導体層20aには、外部電極と電氣的に接続されている層間接続導体が接続されているもよい。

[0029] 保護層18aは、積層体12の上主面を覆っている。これにより、保護層18aは、第1グラウンド導体層22を保護している。保護層18bは、積層体12の下主面を覆っている。これにより、保護層18bは、第2グラウンド導体層24を保護している。以上のような保護層18a、18bの材料は、絶縁体層16a～16dの材料と異なっている。保護層18a、18bは、例えば、ソルダーレジストである。ソルダーレジストの材料は、アルカリ溶解性樹脂や、光重合開始剤、耐熱性を高めるためのエポキシ樹脂や無機粉体を配合した組成物等である。

[0030] 以上のような信号導体層20a、電源導体層20b、第1グラウンド導体層22、第2グラウンド導体層24、グラウンド導体層26a、26b、28a、28b、30a、30bは、例えば、絶縁体層16a～16dの上主面又は下主面に設けられた金属箔にエッチングが施されることにより形成されている。金属箔は、例えば、銅箔である。このように、信号導体層20aの材料、電源導体層20bの材料、第1グラウンド導体層22の材料、第2グラウンド導体層24の材料及びグラウンド導体層26a、26b、28a、28b、30a、30bの材料（第1導体層の材料、第2導体層の材料）は、樹脂を含まない金属である。

[0031] また、複数の柱状導体 v 1 a, v 1 b、複数の柱状導体 v 2 a, v 2 b 及び複数の柱状導体 v 3 a, v 3 b は、例えば、ビアホール導体である。ビアホール導体は、絶縁体層 1 6 a, 1 6 b に貫通孔を形成し、貫通孔に導電性ペーストを充填し、導電性ペーストを焼結させることにより作製される。複数の柱状導体 v 1 a, v 1 b、複数の柱状導体 v 2 a, v 2 b 及び複数の柱状導体 v 3 a, v 3 b の材料は、樹脂と金属との混合物である。

[0032] また、複数の柱状導体 v 1 c, v 1 d、複数の柱状導体 v 2 c, v 2 d、複数の柱状導体 v 3 c, v 3 d 及び柱状導体 v 1 0 は、例えば、スルーホール導体である。スルーホール導体は、絶縁体層 1 6 c, 1 6 d に貫通孔を形成し、貫通孔に金属メッキを施すことにより作製される。複数の柱状導体 v 1 c, v 1 d の材料、複数の柱状導体 v 2 c, v 2 d の材料、複数の柱状導体 v 3 c, v 3 d の材料及び柱状導体 v 1 0 の材料は、金属である。金属は、例えば、銅である。このように、複数の柱状導体 v 1 c, v 1 d の材料、複数の柱状導体 v 2 c, v 2 d の材料、複数の柱状導体 v 3 c, v 3 d の材料（第 1 柱状導体の材料）及び柱状導体 v 1 0 の材料（第 2 柱状導体の材料）は、樹脂を含まない金属である。そして、信号導体層 2 0 a の材料、電源導体層 2 0 b の材料、第 1 グランド導体層 2 2 の材料、第 2 グランド導体層 2 4 の材料、グランド導体層 2 6 a, 2 6 b, 2 8 a, 2 8 b, 3 0 a, 3 0 b の材料、複数の柱状導体 v 1 c, v 1 d の材料、複数の柱状導体 v 2 c, v 2 d の材料及び複数の柱状導体 v 3 c, v 3 d の材料（第 1 導体層の材料、第 2 導体層の材料、第 1 柱状導体の材料及び第 2 柱状導体の材料）は、同じ材料である。

[0033] また、複数の接続導体 v 1 1 d, v 1 2 d, v 1 3 d は、複数の柱状導体 v 1 d, v 2 d, v 3 d が形成された貫通孔に、貫通孔に導電性ペーストを充填し、導電性ペーストを焼結させることにより作製される。

[0034] 複数の接続導体 v 1 1 d, v 1 2 d, v 1 3 d は、樹脂と金属との混合物である。またこれら接続導体 v 1 1 d, v 1 2 d, v 1 3 d は、例えばはんだのように、合金化された金属であってもよい。

[0035] [多層基板 10 の製造方法]

次に、多層基板 10 の製造方法について図面を参照しながら説明する。図 3 ないし図 10 は、多層基板 10 の製造時の断面図である。

[0036] まず、図 3 に示すように、絶縁体層 16 a ~ 16 c (第 1 絶縁体層) の上主面 (正主面) を覆う金属箔 122, 126 a, 126 b が設けられた絶縁体層 16 a ~ 16 c (第 1 絶縁体層) を準備する (第 1 準備工程)。絶縁体層 16 d の下主面を覆う金属箔 124 が設けられた絶縁体層 16 d を準備する。

[0037] 次に、図 4 に示すように、絶縁体層 16 a の下からビームを照射することにより、上下軸 (Z 軸) に沿って貫通する貫通孔 H1 a, H2 a, H3 a を絶縁体層 16 a に形成する。更に、絶縁体層 16 b の下からビームを照射することにより、上下軸 (Z 軸) に沿って貫通する貫通孔 H1 b, H2 b, H3 b を絶縁体層 16 b に形成する。更に、絶縁体層 16 c の下からビームを照射することにより、上下軸 (Z 軸) に沿って貫通する貫通孔 H1 c, H2 c, H3 c (第 1 貫通孔) 及び第 2 貫通孔 H10 を絶縁体層 16 c (第 1 絶縁体層) に形成する (貫通孔形成工程)。更に、絶縁体層 16 d の上からビームを照射することにより、上下軸 (Z 軸) に沿って貫通する貫通孔 H1 d, H2 d, H3 d を絶縁体層 16 d に形成する。貫通孔形成工程は、ビームの照射の代わりに、ウェットエッチングにより貫通孔 H1 a, H2 a, H3 a, H1 b, H2 b, H3 b, H1 c, H2 c, H3 c, H1 d, H2 d, H3 d (第 1 貫通孔) 及び第 2 貫通孔 H10 を形成してもよい。

[0038] 次に、図 5 に示すように、金属箔 122, 126 a を加工することにより、第 1 グランド導体層 22 及びグランド導体層 26 a, 28 a, 30 a を形成する (導体層形成工程)。導体層形成工程では、金属箔 122, 126 a にマスクを介してエッチングを施すことにより、第 1 グランド導体層 22 及びグランド導体層 26 a, 28 a, 30 a を形成する。

[0039] 次に、図 6 に示すように、貫通孔 H1 a, H2 a, H3 a, H1 b, H2 b, H3 b に導電性ペーストを充填する。

[0040] 次に、図7に示すように、貫通孔H1c、H2c、H3c、H1d、H2d、H3d（第1貫通孔）及び第2貫通孔H10のそれぞれに金属箔126b、124と同じ材料により柱状導体v1c、v2c、v3c、v1d、v2d、v3d及び柱状導体v10（第1柱状導体及び第2柱状導体）を形成する（柱状導体形成工程）。柱状導体形成工程において、柱状導体v2d（第1導体）が設けられた絶縁体層16d（第2絶縁体層）を準備する（第2準備工程）。

[0041] 次に、図8に示すように、柱状導体v1d、v2d、v3dの上に導電性ペーストを付与する。

[0042] 次に、図9に示すように、金属箔126b、124を加工することにより、第2グランド導体層24、グランド導体層26b、28b、30bを形成する（導体層形成工程）。導体層形成工程では、金属箔126b、124にマスクを介してエッチングを施すことにより、第2グランド導体層24及びグランド導体層26b、28b、30bを形成する。

[0043] 次に、図10に示すように、絶縁体層16c（第1絶縁体層）が絶縁体層16d（第2絶縁体層）より上（Z軸の正側）に位置するように、絶縁体層16c（第1絶縁体層）及び絶縁体層16d（第2絶縁体層）を含む絶縁体層16a～16dを積層及び圧着する（圧着工程）。圧着工程では、加熱処理及び加圧処理を施す。

[0044] 次に、図2に示すように、圧着された積層体12に保護層18a、18bを形成する。以上の工程を経て、多層基板10が完成する。

[0045] [効果]

多層基板10では、柱状導体v10の上端部は、電源導体層20bに接触している。これにより、電流経路の断面積が大きくなる。その結果、電源導体層20b及び柱状導体v10を含む電流経路の低抵抗化を図ることができる。特に、電源導体層20bには、大きな電流が流れる。そのため、電源導体層20bの抵抗値が低くなることにより、多層基板10での電力損失が効果的に低減される。

- [0046] 多層基板 10 によれば、柱状導体 v 10 を形成するための新たな工程を追加する必要がない。より詳細には、柱状導体 v 1 c, v 2 c, v 3 c 及び柱状導体 v 10 は、絶縁体層 16 c を上下軸に沿って貫通する貫通孔に設けられている。これにより、柱状導体 v 1 c, v 2 c, v 3 c を形成する工程において、柱状導体 v 10 を形成できる。よって、多層基板 10 によれば、柱状導体 v 10 を形成するための新たな工程を追加する必要がない。
- [0047] 電源導体層 20 b の下主面の表面粗さは、電源導体層 20 b の上主面の表面粗さより大きい。ただし、電源導体層 20 b の下主面には、柱状導体 v 10 が接触している。これにより、電源導体層 20 b において、表面粗さが大きい面の面積が減少する。その結果、電源導体層 20 b 及び柱状導体 v 10 を含む電流経路の低抵抗化が図られる。
- [0048] 柱状導体 v 10 の材料（第 2 柱状導体の材料）は、樹脂を含まない金属である。これにより、柱状導体 v 10 の抵抗値が低くなる。よって、電源導体層 20 b 及び柱状導体 v 10 を含む電流経路の低抵抗化を図ることができる。
- [0049] 柱状導体 v 10（第 2 柱状導体）は、上方向（Z 軸の正方向）に行くにしたがって、柱状導体 v 10（第 2 柱状導体）の太さが細くなる区間を有している。すなわち、柱状導体 v 10 は、テーパ形状を有している。これにより、以下の理由により、電源導体層 20 b 及び柱状導体 v 10 を含む電流経路の低抵抗化を図ることができる。より詳細には、柱状導体 v 10 の上端の左右軸に沿う方向の幅は、電源導体層 20 b の左右軸に沿う方向の幅より小さい。これは、柱状導体 v 10 が位置ずれにより、電源導体層 20 b からはみ出すことを抑制するためである。ただし、柱状導体 v 10 の下端の左右軸に沿う方向の幅は、電源導体層 20 b の左右軸に沿う方向の幅による制限を受けない。従って、柱状導体 v 10 の下端の左右軸に沿う方向の幅は、柱状導体 v 10 の上端の左右軸に沿う方向の幅より大きくてもよい。これにより、柱状導体 v 10 の体積は、均一な太さを有する柱状導体の体積よりも大きくなる。その結果、電源導体層 20 b 及び柱状導体 v 10 を含む電流経路の低

抵抗化を図ることができる。

[0050] 柱状導体 $v10$ の下側の端面は、下方向に突出する形状を有している。これにより、柱状導体 $v10$ の体積が大きくなるので、電源導体層 $20b$ 及び柱状導体 $v10$ を含む電流経路の低抵抗化を図ることができる。

[0051] (第1変形例)

以下に、第1変形例に係る多層基板 $10a$ について図面を参照しながら説明する。図11は、多層基板 $10a$ の断面図である。

[0052] 多層基板 $10a$ は、柱状導体 $v11$ (第3柱状導体) を更に備えている点において多層基板 10 と相違する。柱状導体 $v11$ (第3柱状導体) の上端部 (Z 軸の正側の端部) は、電源導体層 $20b$ (第2導体層) に接触している。柱状導体 $v11$ (第3柱状導体) の下端部 (Z 軸の負側の端部) は、いずれの導体にも接触していない。柱状導体 $v10$ (第2柱状導体) 及び柱状導体 $v11$ (第3柱状導体) は、下方向 (Z 軸の負方向) に見て、電源導体層 $20b$ (第2導体層) の線幅方向に並んでいる。また、柱状導体 $v11$ の材料は、柱状導体 $v10$ の材料と同じである。多層基板 $10a$ のその他の構造は、多層基板 10 と同じであるので説明を省略する。多層基板 $10a$ は、多層基板 10 と同じ効果を奏することができる。

[0053] 多層基板 $10a$ によれば、柱状導体 $v11$ を更に備えているので、電源導体層 $20b$ に接続されている導体の表面積が大きい。その結果、多層基板 $10a$ は、高い放熱性を有する。

[0054] (第2変形例)

以下に、第2変形例に係る多層基板 $10b$ について図面を参照しながら説明する。図12は、多層基板 $10b$ の断面図である。

[0055] 多層基板 $10b$ は、信号導体層 $20a$ が第2導体層である点において多層基板 10 と相違する。従って、柱状導体 $v10$ の上端部は、信号導体層 $20a$ に接触している。信号導体層 $20a$ (第2導体層) には、 20GHz 以上の周波数を有する高周波信号が伝送される。多層基板 $10b$ のその他の構造は、多層基板 10 と同じであるので説明を省略する。多層基板 $10b$ は、多

層基板 10 と同じ効果を奏することができる。

[0056] 多層基板 10 b によれば、信号導体層 20 a の伝送損失が低減される。より詳細には、高周波信号は、表皮効果により、信号導体層 20 a の表面近傍を流れる。従って、信号導体層 20 a の表面粗さが小さいことが好ましい。そこで、信号導体層 20 a の下主面の表面粗さは、信号導体層 20 a の上主面の表面粗さより大きい。そして、信号導体層 20 a の下主面には、柱状導体 v 10 が接触している。これにより、信号導体層 20 a において、表面粗さが大きい面が減少する。その結果、信号導体層 20 a の伝送損失が低減される。

[0057] (第3変形例)

以下に、第3変形例に係る多層基板 10 c について図面を参照しながら説明する。図 13 は、多層基板 10 c の絶縁体層 16 c の上面図である。

[0058] 多層基板 10 c は、電源導体層 20 b の形状及び柱状導体 v 10 の形状において多層基板 10 と相違する。より詳細には、多層基板 10 c は、電源導体層 20 b (第2導体層) が第1線幅 w 1 a, w 1 b を有する第1区間 A 1 a, A 1 b と、電源導体層 20 b (第2導体層) が第1線幅 w 1 より大きな第2線幅 w 2 を有する第2区間 A 2 a, A 2 b を有している。第1線幅 w 1 a は、第1線幅 w 1 b より大きい。第2線幅 w 2 は、電源導体層 20 b (第2導体層) の線幅の最大値である。そして、柱状導体 v 10 は、第1区間 A 1 a, A 1 b に設けられている。柱状導体 v 10 (第2柱状導体) は、第2区間 A 2 a, A 2 b には設けられていない。多層基板 10 c のその他の構造は、多層基板 10 と同じであるので説明を省略する。多層基板 10 c は、多層基板 10 と同じ効果を奏することができる。

[0059] 多層基板 10 c では、第1区間 A 1 a, A 1 b では、電源導体層 20 b の抵抗値が高くなりやすい。そこで、柱状導体 v 10 は、第1区間 A 1 a, A 1 b に設けられている。これにより、多層基板 10 c では、電源導体層 20 b 及び柱状導体 v 10 を含む電流経路の低抵抗化を図ることができる。

[0060] (第4変形例)

以下に、第4変形例に係る多層基板10dについて図面を参照しながら説明する。図14は、多層基板10dの絶縁体層16cの上面図である。図15は、多層基板10dの使用時の背面図である。

[0061] 多層基板10dは、柱状導体v10が一部の区間に設けられていない点において多層基板10と相違する。より詳細には、多層基板10dは、第3区間A3及び第4区間A4を有している。第3区間A3は、前方向（Z軸に直交するY軸の正方向）に見て、屈曲している。柱状導体v10（第2柱状導体）は、第3区間A3には設けられていない。多層基板10dのその他の構造は、多層基板10と同じであるので説明を省略する。多層基板10dは、多層基板10と同じ効果を奏することができる。

[0062] 多層基板10dによれば、第3区間A3に柱状導体v10が設けられていないので、第3区間A3を容易に屈曲させることができる。

[0063] （第5変形例）

以下に、第5変形例に係る多層基板10eについて図面を参照しながら説明する。図16は、多層基板10eの絶縁体層16cの上面図である。多層基板10eの使用時の背面図については、図15を援用する。

[0064] 多層基板10eは、柱状導体v10が一部の区間に設けられていない点において多層基板10と相違する。より詳細には、多層基板10eは、第3区間A3及び第4区間A4を有している。第3区間A3は、前方向（Z軸に直交するY軸の正方向）に見て、屈曲している。柱状導体v10（第2柱状導体）は、第3区間A3に設けられている。多層基板10eのその他の構造は、多層基板10と同じであるので説明を省略する。多層基板10eは、多層基板10と同じ効果を奏することができる。

[0065] 多層基板10dによれば、第3区間A3に柱状導体v10が設けられている。第3区間A3が屈曲させられると、柱状導体v10が塑性変形する。その結果、第3区間A3が屈曲した状態が維持されやすい。

[0066] （その他の実施形態）

本発明に係る多層基板は、多層基板10、10a～10eに限らずその要

旨の範囲内において変更可能である。なお、多層基板 10, 10a~10e の構造を任意に組み合わせてもよい。

[0067] なお、保護層 18a, 18b は、必須の構成要件ではない。

[0068] なお、第 1 導体は、導体層であってもよい。

[0069] なお、複数の小さな柱状導体 v10 が電源導体層 20b に沿って並んでいてもよい。

[0070] なお、絶縁体層 16a~16d の材料は、セラミックであってもよい。

[0071] なお、柱状導体 v10 は、上方向に行くにしたがって、柱状導体 v10 の太さが細くなる区間を柱状導体 v10 の一部分に有していてもよいし、柱状導体 v10 の全体は、上方に行くにしたがって、柱状導体 v10 の太さが細くなっているもよい。

[0072] なお、複数の柱状導体 v1c の材料、複数の柱状導体 v2c の材料及び複数の柱状導体 v3c の材料（第 1 柱状導体の材料及び第 2 柱状導体の材料）は、同じ材料であればよい。従って、複数の柱状導体 v1c の材料、複数の柱状導体 v2c の材料及び複数の柱状導体 v3c の材料は、信号導体層 20a の材料、電源導体層 20b の材料、第 1 グランド導体層 22 の材料、第 2 グランド導体層 24 の材料、グランド導体層 26a, 26b, 28a, 28b, 30a, 30b の材料、複数の柱状導体 v1d の材料、複数の柱状導体 v2d の材料及び複数の柱状導体 v3d の材料と異なっているもよい。

[0073] なお、図 13 において、第 1 区間 A1b における積層体 12 の前後軸に沿う方向の幅は、第 1 区間 A1a における積層体 12 の前後軸に沿う方向の幅より小さくてもよい。

[0074] なお、柱状導体 v1c の下端部は、柱状導体 v1c の下に位置している柱状導体 v1d に接触していてもよい。すなわち、接触は、接続の下位概念である。

[0075] なお、例えば図 2 に示した例においては、接続導体 v11d~v13d は絶縁体層 16d に設けられた貫通孔内に位置しているが、接続導体 v11d~v13d は、絶縁体層 16c に設けられた貫通孔内に位置していてもよい。

。すなわち、接続導体は、接続先、接続元のいずれに位置していてもよい。

[0076] また、図2に示した例では、柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ と柱状導体 $v1d$ 、 $v2d$ 、 $v3d$ とを、接続導体 $v11d$ 、 $v12d$ 、 $v13d$ を介してそれぞれ導通させているが、本発明は、接続導体が柱状導体同士を接続することに限るものではない。例えば、接続導体 $v1c$ 、 $v2c$ 、 $v3c$ は銅箔等の金属箔による導体層に導通する構造であってもよい。その例であれば、柱状導体 $v1c$ 、 $v2c$ 、 $v3c$ が接続導体 $v11d$ 、 $v12d$ 、 $v13d$ を介して導体層に導通する構造となる。

[0077] 本発明に係る多層基板は、以下の構造を備える。

[0078] (1)

積層体、第1導体層、第2導体層、第1柱状導体、第2柱状導体及び接続導体を少なくとも備えており、

前記積層体は、第1絶縁体層を含む複数の絶縁体層がZ軸に沿って積層された構造を有しており、

前記第1絶縁体層は、正主面、及び、前記正主面より前記Z軸の負側に位置する負主面を有しており、

前記第1導体層及び前記第2導体層は、前記第1絶縁体層の前記正主面に位置しており、

前記第1柱状導体及び前記第2柱状導体は、前記第1絶縁体層を前記Z軸に沿って貫通する貫通孔の内部に設けられており、

前記第1柱状導体の前記Z軸の正側の端部は、前記第1導体層に接触しており、

前記接続導体は前記積層の方向の導体間を電氣的に接続する導体であり、

前記第1柱状導体の前記Z軸の負側の端部は、前記接続導体を介して柱状導体又は導体層に接続されており、

前記第2柱状導体の前記Z軸の正側の端部は、前記第2導体層に接触されており、

前記第2柱状導体の前記Z軸の負側の端部は、いずれの導体にも接触して

おらず、

前記第 1 柱状導体の材料及び前記第 2 柱状導体の材料は、同じ材料である

、

多層基板。

[0079] (2)

前記第 1 柱状導体の材料及び前記第 2 柱状導体の材料は、樹脂を含まない金属である、

(1) に記載の多層基板。

[0080] (3)

前記第 1 柱状導体は、前記 Z 軸の正方向に行くにしたがって、前記第 1 柱状導体の太さが細くなる区間を有しており、

前記第 2 柱状導体は、前記 Z 軸の正方向に行くにしたがって、前記第 2 柱状導体の太さが細くなる区間を有している、

(1) 又は (2) のいずれかに記載の多層基板。

[0081] (4)

前記第 2 柱状導体の前記 Z 軸の負側の端面は、前記 Z 軸の負方向に突出する形状を有している、

(1) ないし (3) のいずれかに記載の多層基板。

[0082] (5)

前記第 2 導体層は、前記 Z 軸の負方向に見て、線形状を有している、

(1) ないし (4) のいずれかに記載の多層基板。

[0083] (6)

前記多層基板は、第 3 柱状導体を、更に備えており、

前記第 3 柱状導体の前記 Z 軸の正側の端部は、前記第 2 導体層に接触しており、

前記第 3 柱状導体の前記 Z 軸の負側の端部は、いずれの導体にも接触しておらず、

前記第 2 柱状導体及び前記第 3 柱状導体は、前記 Z 軸の負方向に見て、前

記第 2 導体層の線幅方向に並んでおり、

前記第 2 柱状導体の材料は、前記第 1 柱状導体の材料と同じである、

(5) に記載の多層基板。

[0084] (7)

前記多層基板は、前記第 2 導体層が第 1 線幅を有する第 1 区間と、前記第 2 導体層が前記第 1 線幅より大きな第 2 線幅を有する第 2 区間を有しており

、

前記第 2 線幅は、前記第 2 導体層の線幅の最大値であり、

前記第 2 柱状導体は、前記第 1 区間には設けられており、

前記第 2 柱状導体は、前記第 2 区間には設けられていない、

(5) 又は (6) のいずれかに記載の多層基板。

[0085] (8)

前記多層基板は、第 3 区間及び第 4 区間を有しており、

前記第 3 区間は、前記 Z 軸に直交する Y 軸の正方向に見て、屈曲しており

、

前記第 2 柱状導体は、前記第 3 区間には設けられていない、

(5) 又は (6) のいずれかに記載の多層基板。

[0086] (9)

前記多層基板は、第 3 区間及び第 4 区間を有しており、

前記第 3 区間は、前記 Z 軸に直交する Y 軸の正方向に見て、屈曲しており

、

前記第 2 柱状導体は、前記第 3 区間に設けられている、

(5) 又は (6) のいずれかに記載の多層基板。

[0087] (10)

前記多層基板は、第 3 導体層を、更に備えており、

前記第 3 導体層は、前記第 1 絶縁体層の前記正主面に位置しており、

前記第 3 導体層には、第 4 柱状導体の前記 Z 軸の正側の端部が接続されておらず、

前記第4柱状導体は、前記第1絶縁体層を前記Z軸に沿って貫通しており、

前記第4柱状導体の前記Z軸の負側の端部は、いずれの導体にも接触していない、

(1) ないし(9)のいずれかに記載の多層基板。

[0088] (11)

前記第2導体層は、正主面、及び、前記第2導体層の前記正主面より前記Z軸の負側に位置している前記負主面を有し、

前記第2導体層の前記負主面の表面粗さは、前記第2導体層の前記正主面の表面粗さより大きい、

(1) ないし(10)のいずれかに記載の多層基板。

[0089] (12)

20GHz以上の周波数を有する高周波信号が伝送される信号導体層を備える、

(11)に記載の多層基板。

[0090] (13)

前記第1導体層の材料、前記第2導体層の材料、前記第1柱状導体の材料及び前記第2柱状導体の材料は、同じ材料である、

(1) ないし(12)のいずれかに記載の多層基板。

[0091] (14)

多層基板の製造方法は、

第1準備工程と、貫通孔形成工程と、導体層形成工程と、柱状導体形成工程と、第2準備工程と、圧着工程と、を備える多層基板の製造方法であり、

前記第1準備工程では、正主面、及び、前記正主面よりZ軸の負側に位置している負主面を有していて、前記正主面を覆う金属箔が設けられた第1絶縁体層を準備し、

前記貫通孔形成工程では、前記Z軸に沿って貫通する第1貫通孔及び第2貫通孔を前記第1絶縁体層に形成し、

前記導体層形成工程では、前記金属箔を加工することにより、第1導体層及び第2導体層を形成し、

前記柱状導体形成工程では、前記第1貫通孔及び前記第2貫通孔のそれぞれに第1柱状導体及び第2柱状導体を形成し、

前記第2準備工程では、接続導体が設けられた第2絶縁体層を準備し、

前記圧着工程では、前記第1絶縁体層が前記第2絶縁体層より前記Z軸の正側に位置するように、前記第1絶縁体層及び前記第2絶縁体層を含む複数の絶縁体層を積層及び圧着し、

前記第1柱状導体の前記Z軸の正側の端部は前記第1導体層に接触しており、

前記第2柱状導体の前記Z軸の正側の端部は前記第2導体層に接触しており、

前記第1柱状導体の前記Z軸の負側の端部は、前記接続導体に接続されている、

多層基板の製造方法。

[0092] (15)

前記貫通孔形成工程は、ビームの照射又はウェットエッチングにより前記第1貫通孔及び前記第2貫通孔を形成する、

(14)に記載の多層基板の製造方法。

符号の説明

[0093] 10, 10a～10e : 多層基板

12 : 積層体

16a～16d : 絶縁体層

16c : 第1絶縁体層

16d : 第2絶縁体層

18a, 18b : 保護層

20a : 信号導体層

20b : 電源導体層 (第2導体層)

2 2 : 第 1 グランド導体層

2 4 : 第 2 グランド導体層

2 6 a, 2 6 b, 2 8 a, 2 8 b, 3 0 a, 3 0 b : グランド導体層

2 6 b, 2 8 b, 3 0 b : グランド導体層 (第 1 導体層)

A 1 a, A 1 b : 第 1 区間

A 2 a : 第 2 区間

A 3 : 第 3 区間

A 4 : 第 4 区間

H 1 0 : 第 2 貫通孔

H 1 a ~ H 1 d : 貫通孔

v 1 a ~ v 1 d, v 2 a ~ v 2 d, v 3 a ~ v 3 d, v 1 0, v 1 1 : 柱状導体

v 1 c, v 2 c, v 3 c, v 1 d, v 2 d, v 3 d : 柱状導体 (第 1 柱状導体)

v 1 0 : 柱状導体 (第 2 柱状導体)

v 1 1 : 柱状導体 (第 3 柱状導体)

v 1 1 d, v 1 2 d, v 1 3 d : 接続導体

請求の範囲

- [請求項1] 積層体、第1導体層、第2導体層、第1柱状導体、第2柱状導体及び接続導体を少なくとも備えており、
- 前記積層体は、第1絶縁体層を含む複数の絶縁体層がZ軸に沿って積層された構造を有しており、
- 前記第1絶縁体層は、正主面、及び、前記正主面より前記Z軸の負側に位置する負主面を有しており、
- 前記第1導体層及び前記第2導体層は、前記第1絶縁体層の前記正主面に位置しており、
- 前記第1柱状導体及び前記第2柱状導体は、前記第1絶縁体層を前記Z軸に沿って貫通する貫通孔の内部に設けられており、
- 前記第1柱状導体の前記Z軸の正側の端部は、前記第1導体層に接触しており、
- 前記接続導体は前記積層の方向の導体間を電氣的に接続する導体であり、
- 前記第1柱状導体の前記Z軸の負側の端部は、前記接続導体を介して柱状導体又は導体層に接続されており、
- 前記第2柱状導体の前記Z軸の正側の端部は、前記第2導体層に接触されており、
- 前記第2柱状導体の前記Z軸の負側の端部は、いずれの導体にも接触しておらず、
- 前記第1柱状導体の材料及び前記第2柱状導体の材料は、同じ材料である、
- 多層基板。
- [請求項2] 前記第1柱状導体の材料及び前記第2柱状導体の材料は、樹脂を含まない金属である、
- 請求項1に記載の多層基板。
- [請求項3] 前記第1柱状導体は、前記Z軸の正方向に行くにしたがって、前記

第1柱状導体の太さが細くなる区間を有しており、

前記第2柱状導体は、前記Z軸の正方向に行くにしたがって、前記第2柱状導体の太さが細くなる区間を有している、

請求項1又は請求項2に記載の多層基板。

[請求項4] 前記第2柱状導体の前記Z軸の負側の端面は、前記Z軸の負方向に突出する形状を有している、

請求項1ないし請求項3のいずれかに記載の多層基板。

[請求項5] 前記第2導体層は、前記Z軸の負方向に見て、線形状を有している、

請求項1ないし請求項4のいずれかに記載の多層基板。

[請求項6] 前記多層基板は、第3柱状導体を、更に備えており、

前記第3柱状導体の前記Z軸の正側の端部は、前記第2導体層に接触しており、

前記第3柱状導体の前記Z軸の負側の端部は、いずれの導体にも接触しておらず、

前記第2柱状導体及び前記第3柱状導体は、前記Z軸の負方向に見て、前記第2導体層の線幅方向に並んでおり、

前記第2柱状導体の材料は、前記第1柱状導体の材料と同じである、

請求項5に記載の多層基板。

[請求項7] 前記多層基板は、前記第2導体層が第1線幅を有する第1区間と、前記第2導体層が前記第1線幅より大きな第2線幅を有する第2区間を有しており、

前記第2線幅は、前記第2導体層の線幅の最大値であり、

前記第2柱状導体は、前記第1区間には設けられており、

前記第2柱状導体は、前記第2区間には設けられていない、

請求項5又は請求項6に記載の多層基板。

[請求項8] 前記多層基板は、第3区間及び第4区間を有しており、

前記第3区間は、前記Z軸に直交するY軸の正方向に見て、屈曲しており、

前記第2柱状導体は、前記第3区間には設けられていない、
請求項5又は請求項6に記載の多層基板。

[請求項9] 前記多層基板は、第3区間及び第4区間を有しており、
前記第3区間は、前記Z軸に直交するY軸の正方向に見て、屈曲しており、

前記第2柱状導体は、前記第3区間に設けられている、
請求項5又は請求項6に記載の多層基板。

[請求項10] 前記多層基板は、第3導体層を、更に備えており、
前記第3導体層は、前記第1絶縁体層の前記正主面に位置しており、

、
前記第3導体層には、第4柱状導体の前記Z軸の正側の端部が接続されておらず、

前記第4柱状導体は、前記第1絶縁体層を前記Z軸に沿って貫通しており、

前記第4柱状導体の前記Z軸の負側の端部は、いずれの導体にも接触していない、

請求項1ないし請求項9のいずれかに記載の多層基板。

[請求項11] 前記第2導体層は、正主面、及び、前記第2導体層の前記正主面より前記Z軸の負側に位置している前記負主面を有しており、

前記第2導体層の前記負主面の表面粗さは、前記第2導体層の前記正主面の表面粗さより大きい、

請求項1又は請求項2に記載の多層基板。

[請求項12] 20GHz以上の周波数を有する高周波信号が伝送される信号導体層を備える、

請求項1ないし請求項11のいずれかに記載の多層基板。

[請求項13] 前記第1導体層の材料、前記第2導体層の材料、前記第1柱状導体

の材料及び前記第2柱状導体の材料は、同じ材料である、

請求項1ないし請求項12のいずれかに記載の多層基板。

[請求項14]

第1準備工程と、貫通孔形成工程と、導体層形成工程と、柱状導体形成工程と、第2準備工程と、圧着工程と、を備える多層基板の製造方法であり、

前記第1準備工程では、正主面、及び、前記正主面よりZ軸の負側に位置している負主面を有していて、前記正主面を覆う金属箔が設けられた第1絶縁体層を準備し、

前記貫通孔形成工程では、前記Z軸に沿って貫通する第1貫通孔及び第2貫通孔を前記第1絶縁体層に形成し、

前記導体層形成工程では、前記金属箔を加工することにより、第1導体層及び第2導体層を形成し、

前記柱状導体形成工程では、前記第1貫通孔及び前記第2貫通孔のそれぞれに第1柱状導体及び第2柱状導体を形成し、

前記第2準備工程では、接続導体が設けられた第2絶縁体層を準備し、

前記圧着工程では、前記第1絶縁体層が前記第2絶縁体層より前記Z軸の正側に位置するように、前記第1絶縁体層及び前記第2絶縁体層を含む複数の絶縁体層を積層及び圧着し、

前記第1柱状導体の前記Z軸の正側の端部は前記第1導体層に接触しており、

前記第2柱状導体の前記Z軸の正側の端部は前記第2導体層に接触しており、

前記第1柱状導体の前記Z軸の負側の端部は、前記接続導体に接続されている、

多層基板の製造方法。

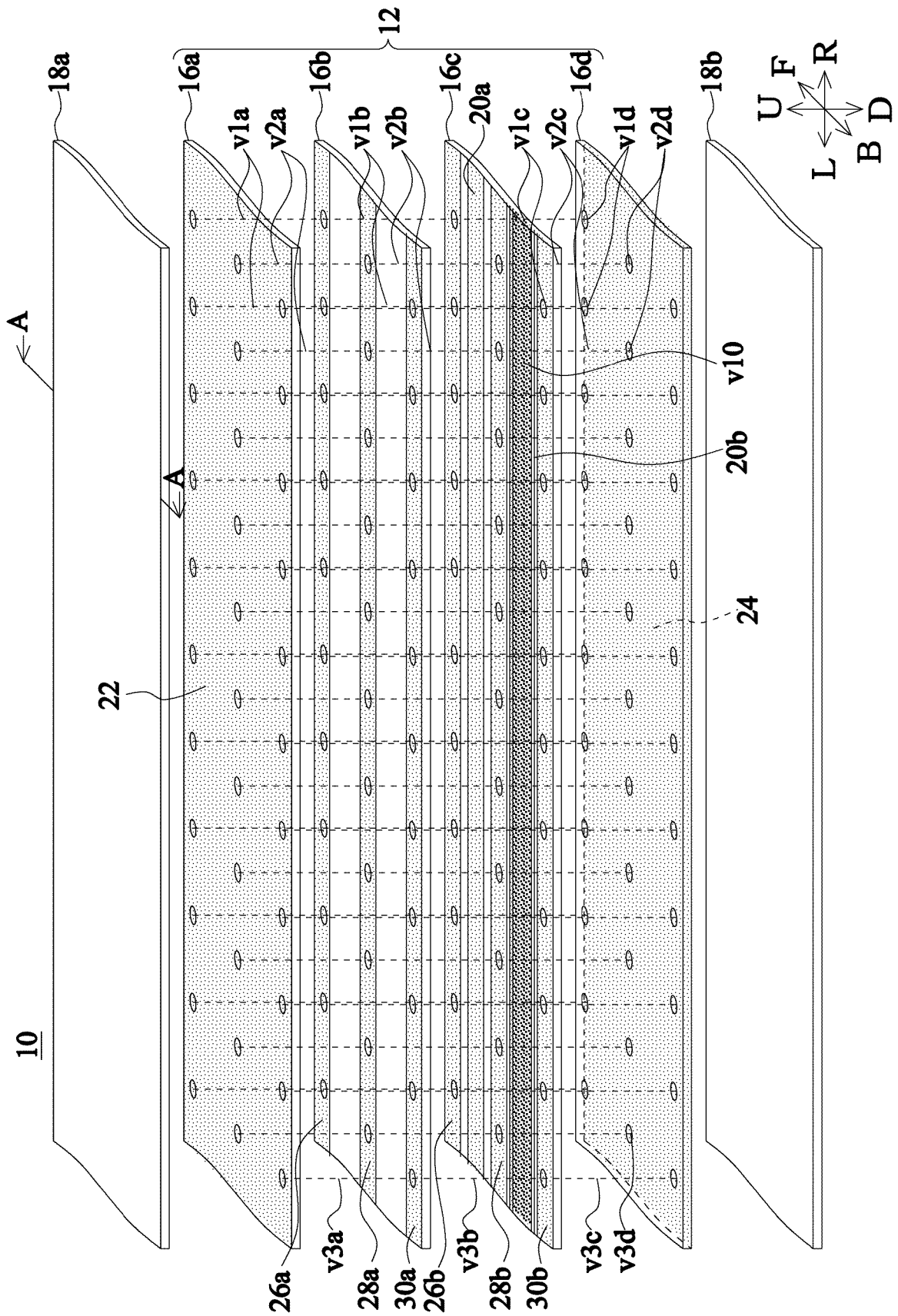
[請求項15]

前記貫通孔形成工程は、ビームの照射又はウェットエッチングにより前記第1貫通孔及び前記第2貫通孔を形成する、

請求項 1 4 に記載の多層基板の製造方法。

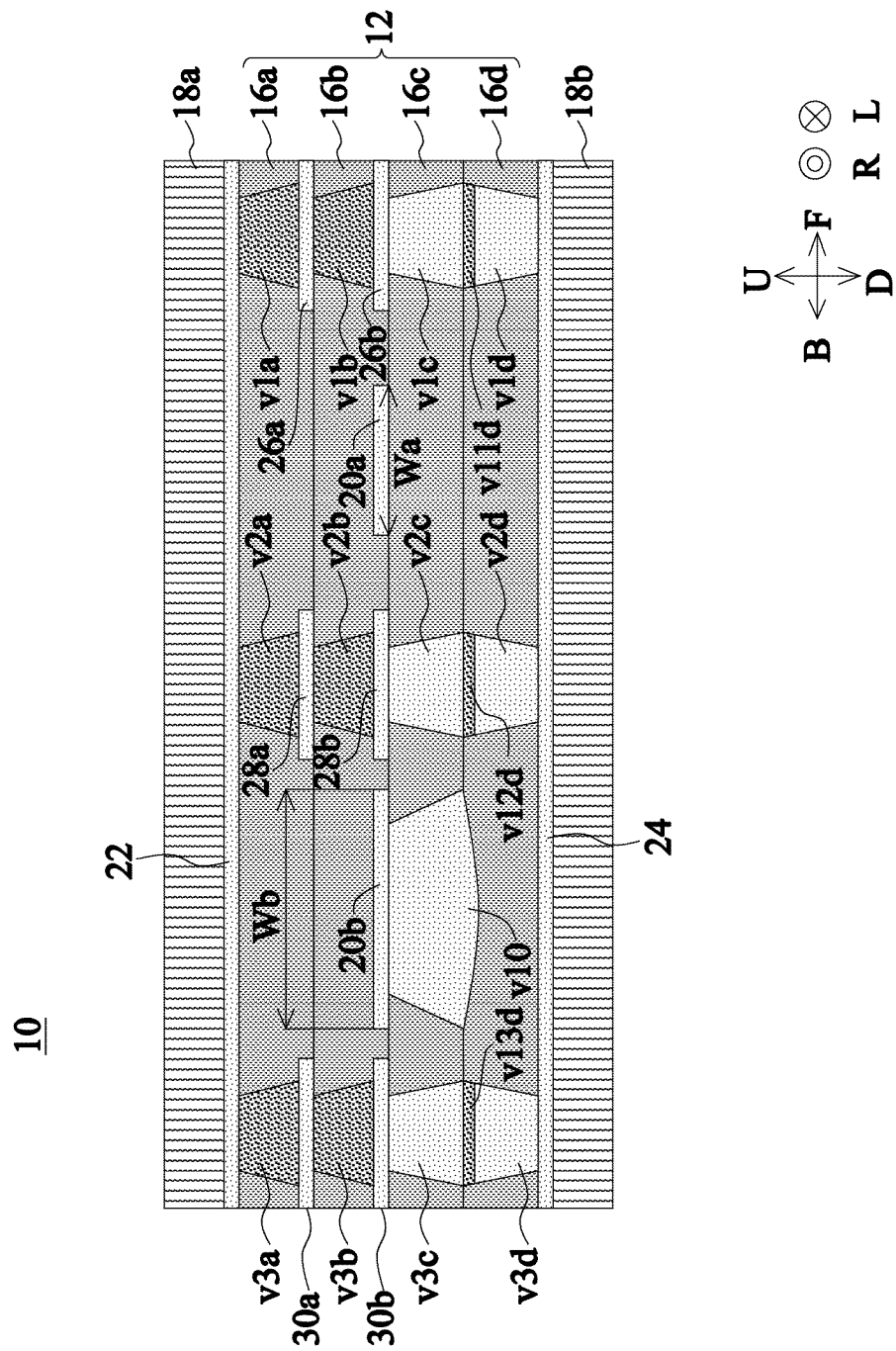
[図1]

Fig.1



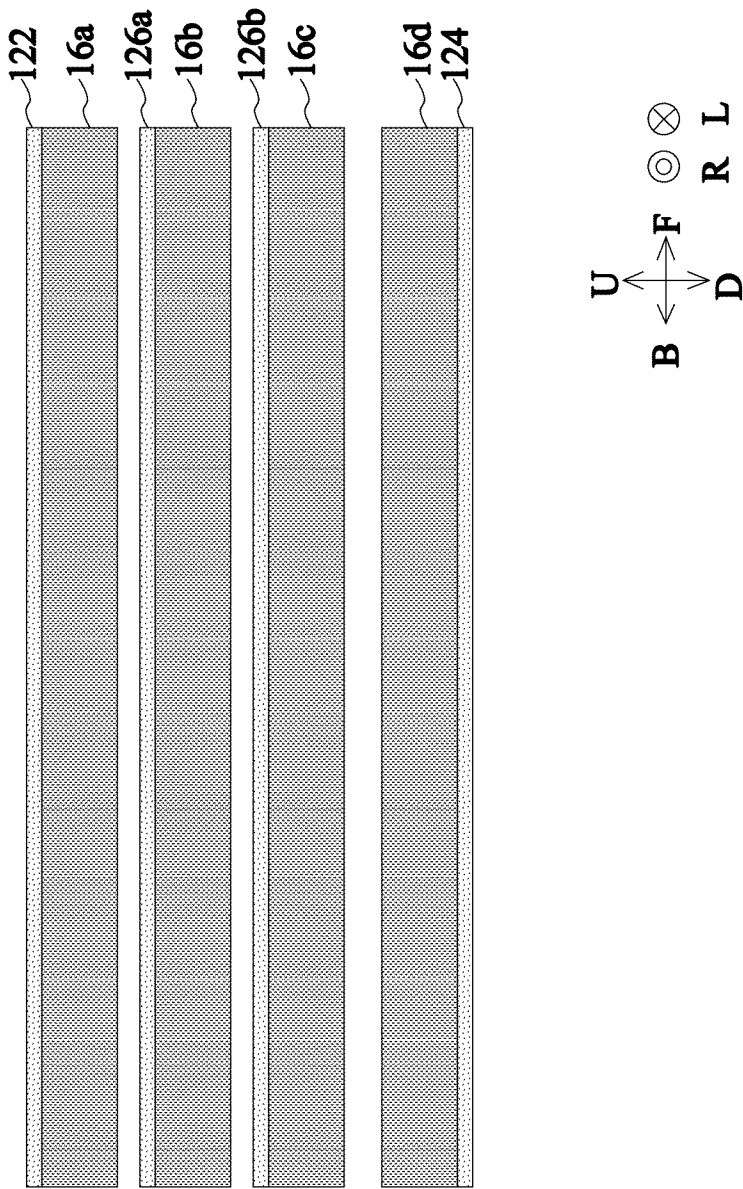
[図2]

Fig.2



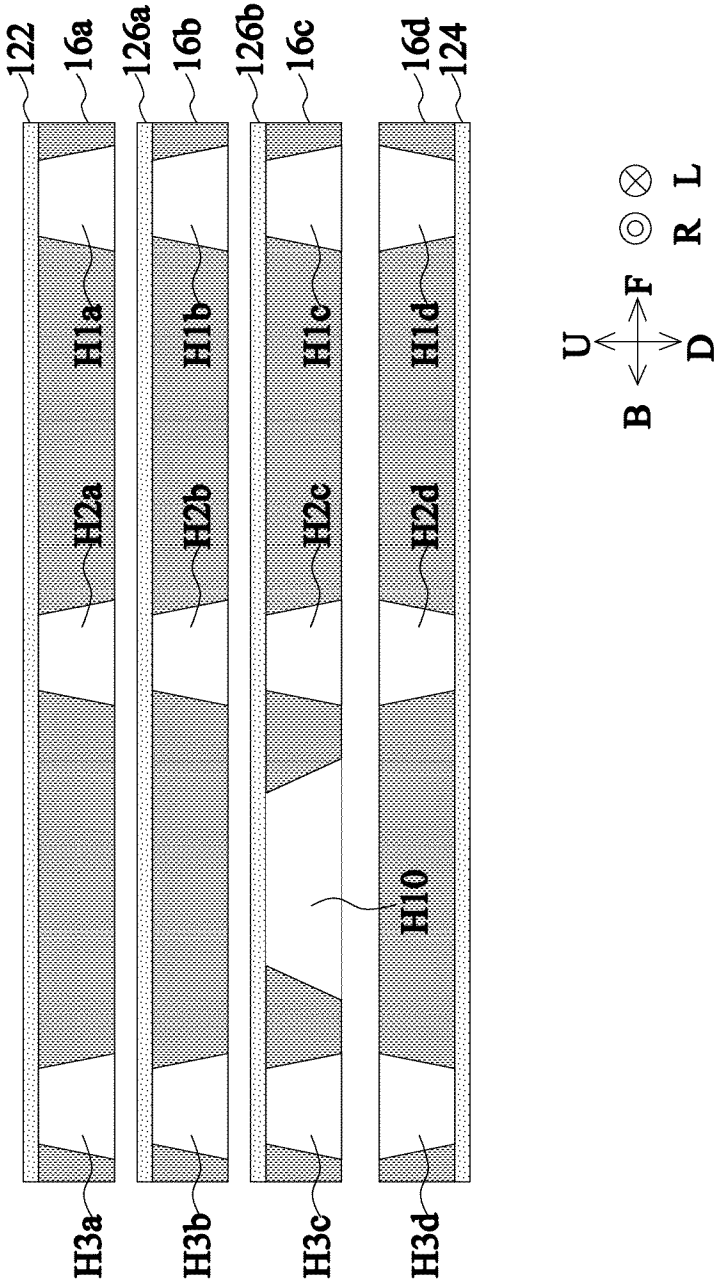
[図3]

Fig.3



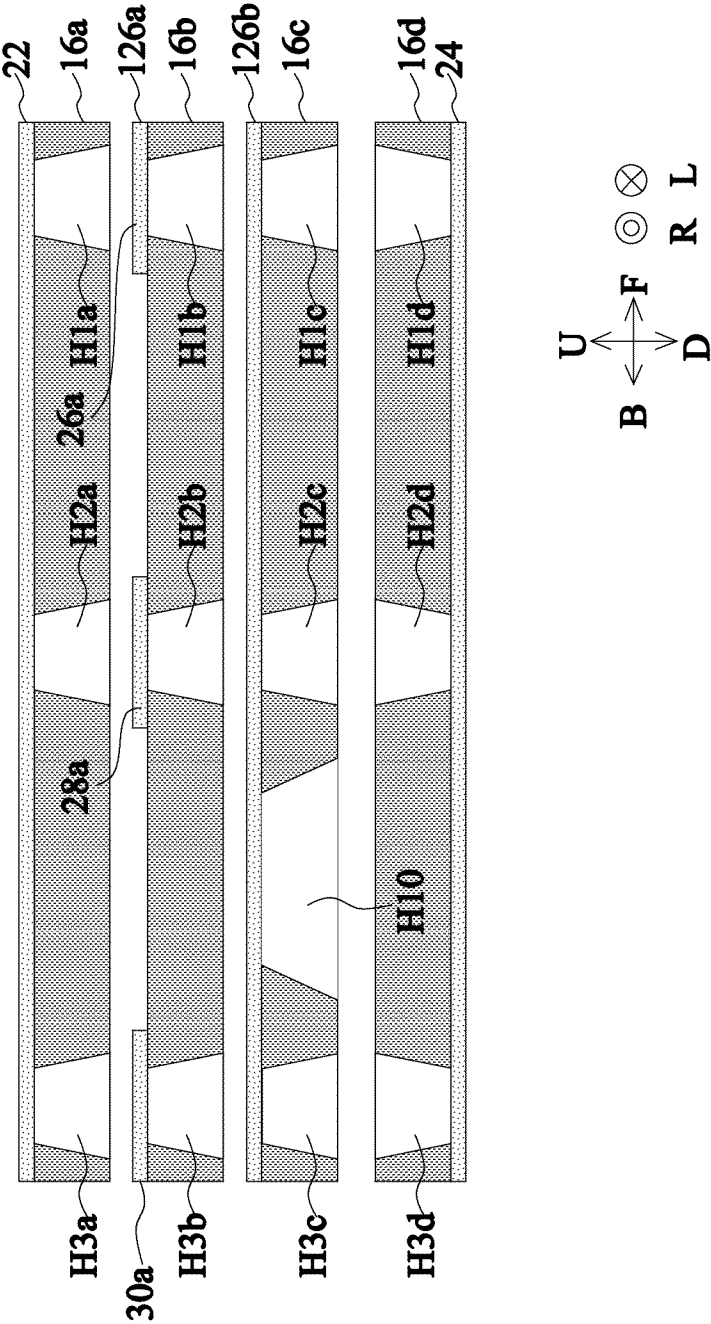
[図4]

Fig.4



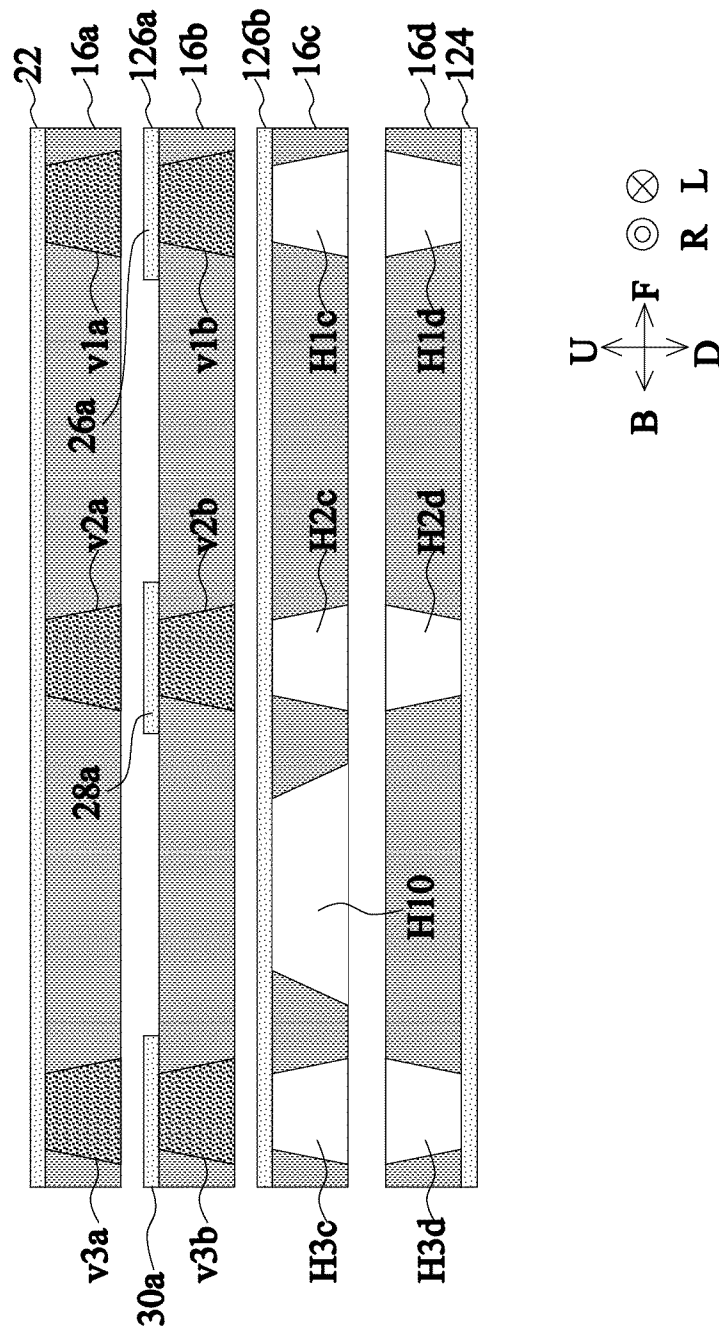
[図5]

Fig.5



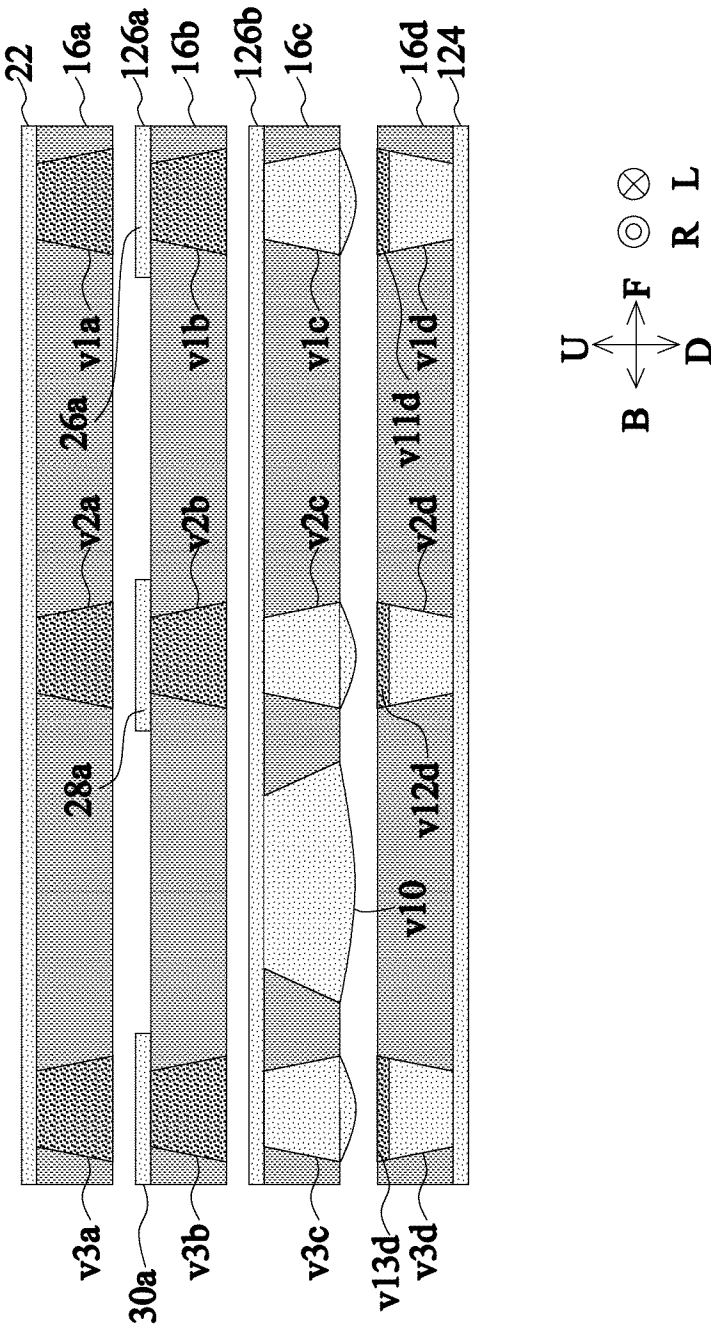
[図6]

Fig.6



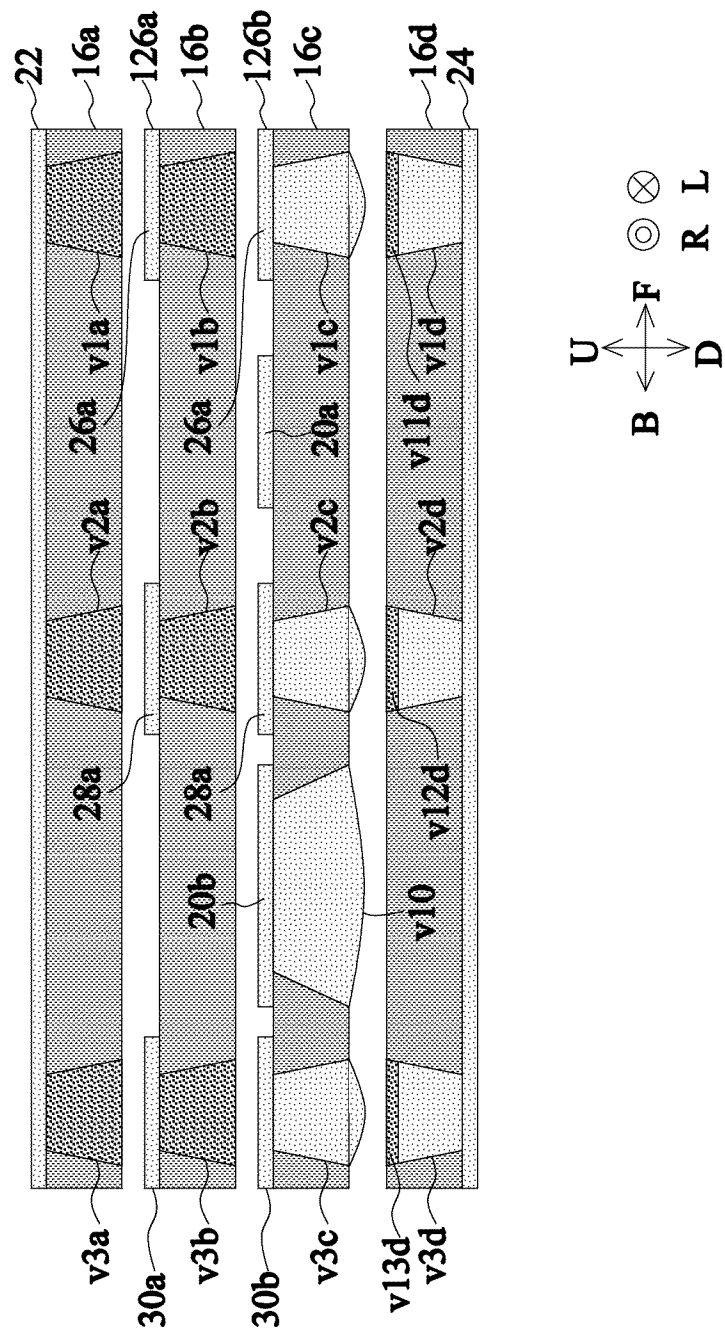
[図8]

Fig.8



[図9]

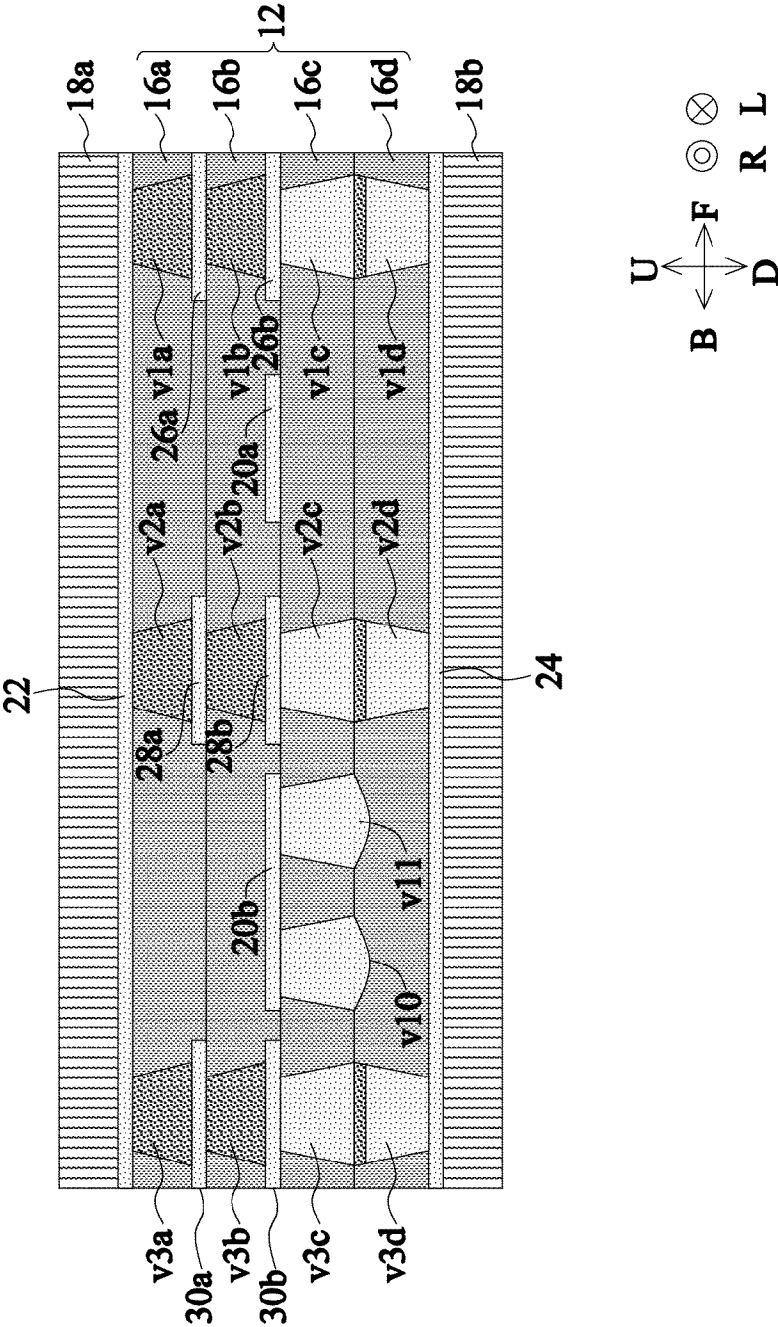
Fig.9



[図11]

Fig.11

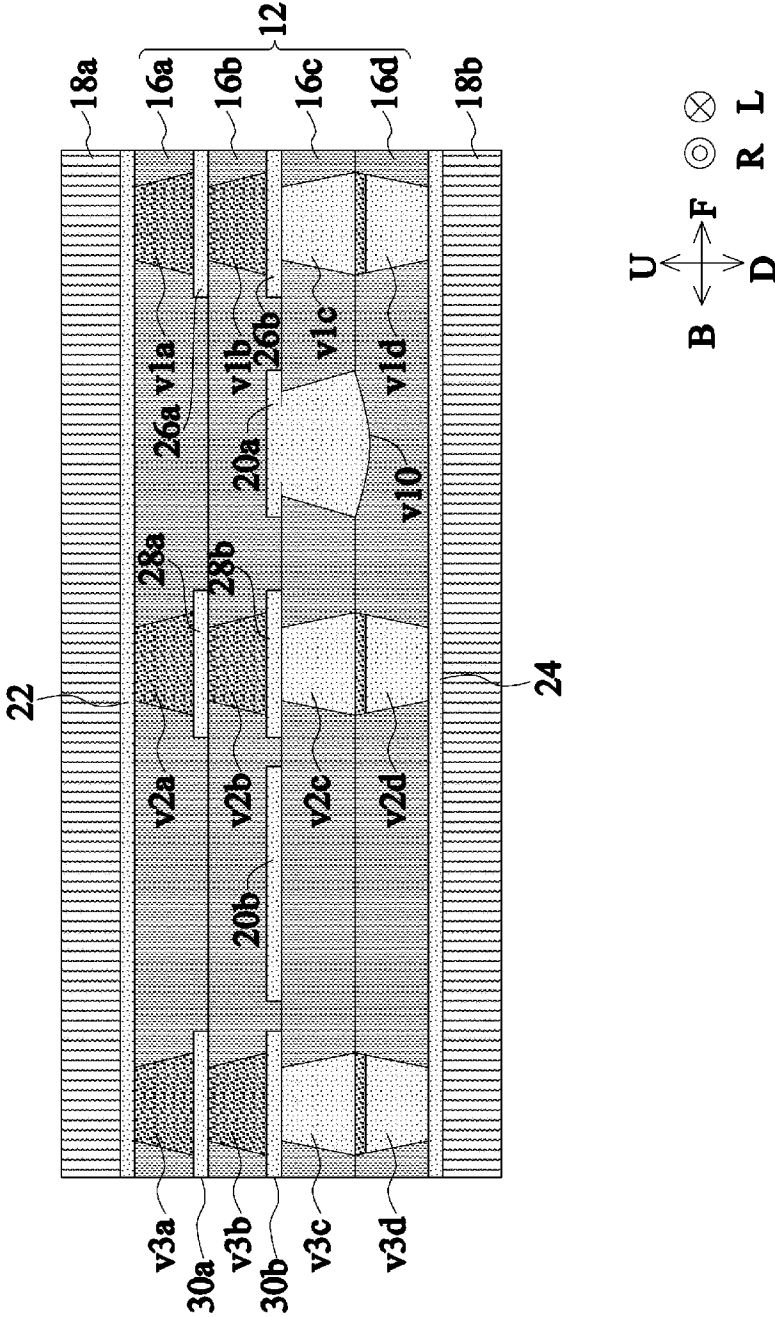
10a



[図12]

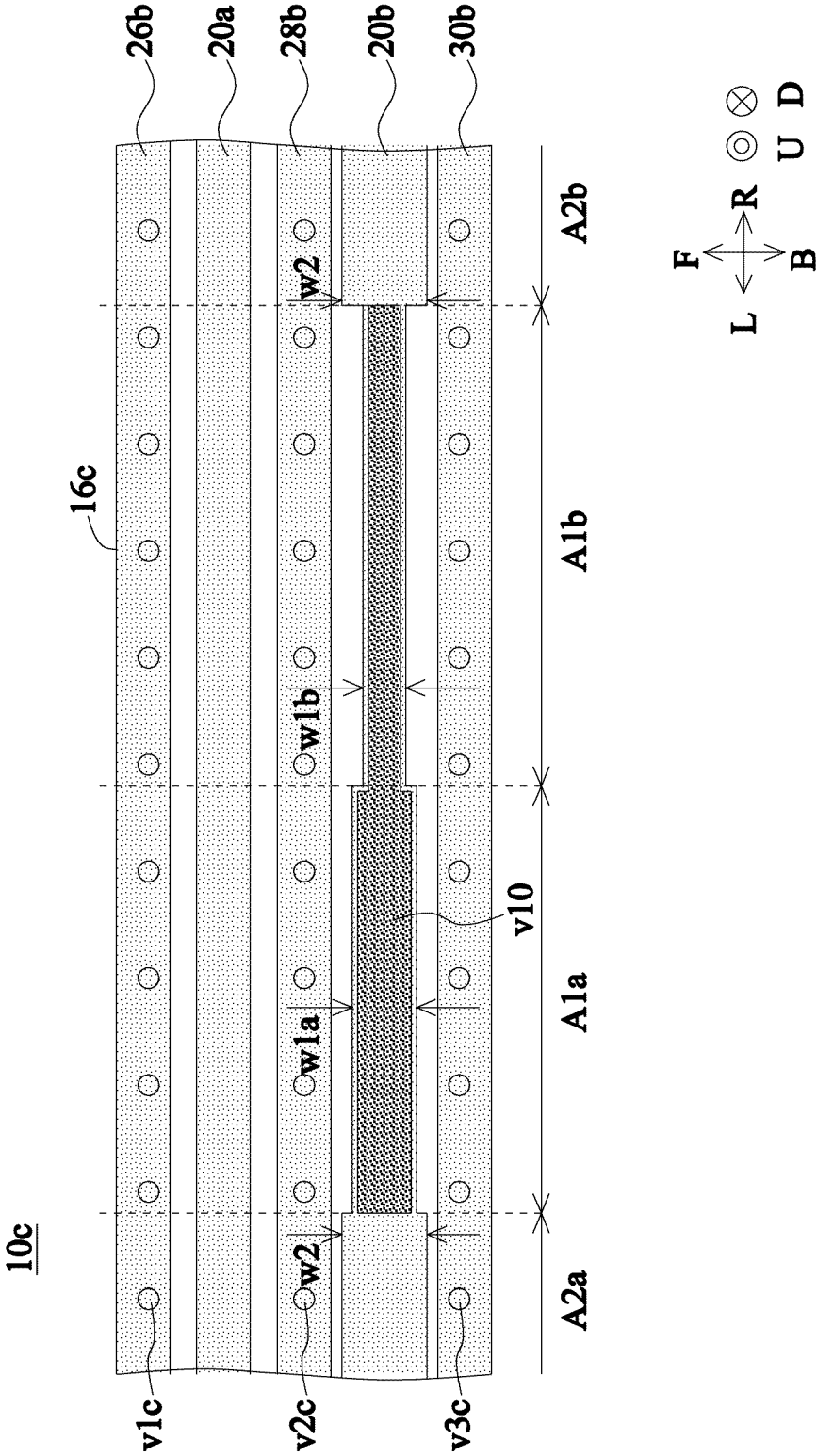
Fig.12

10b



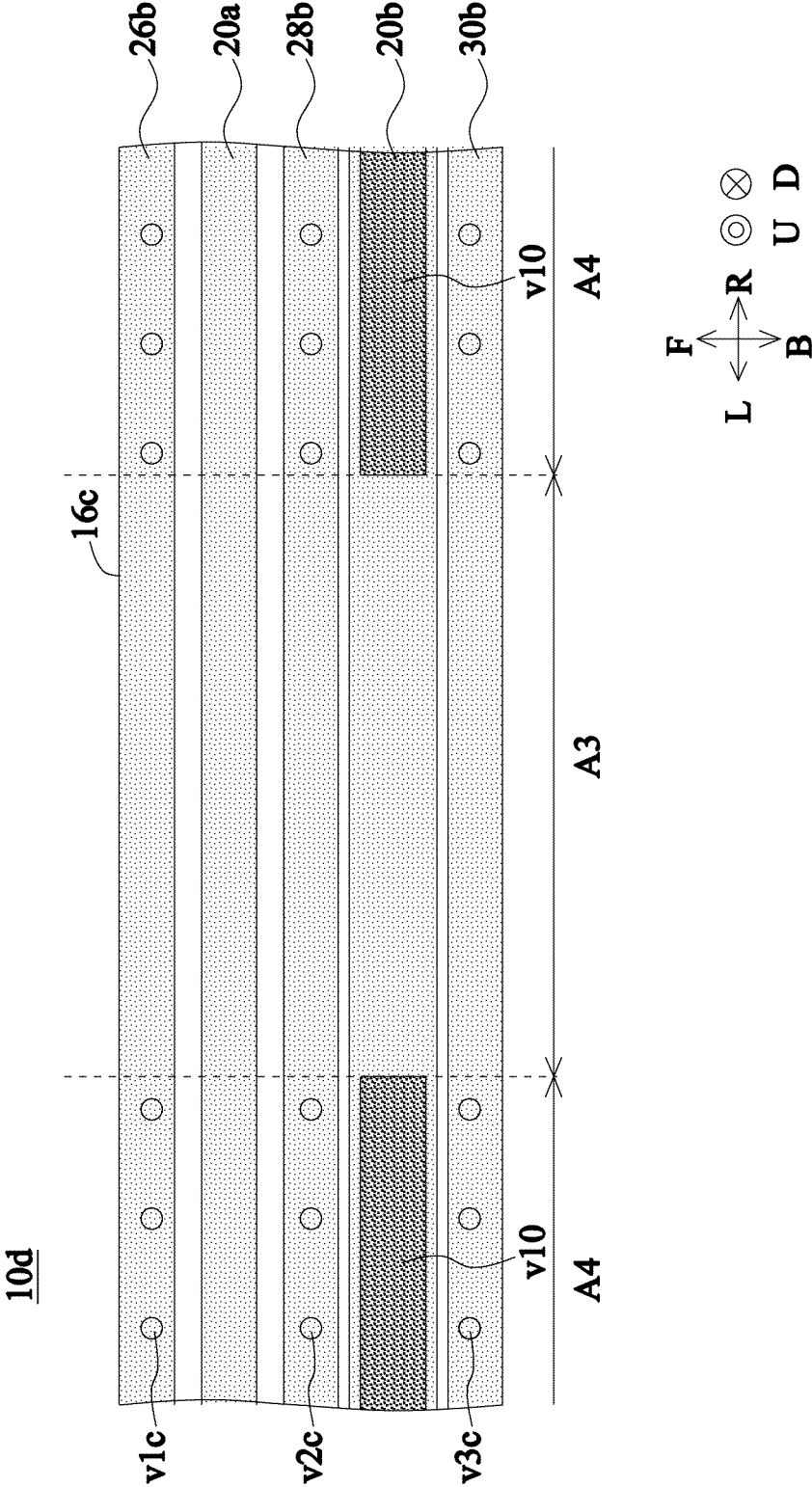
[図13]

Fig.13



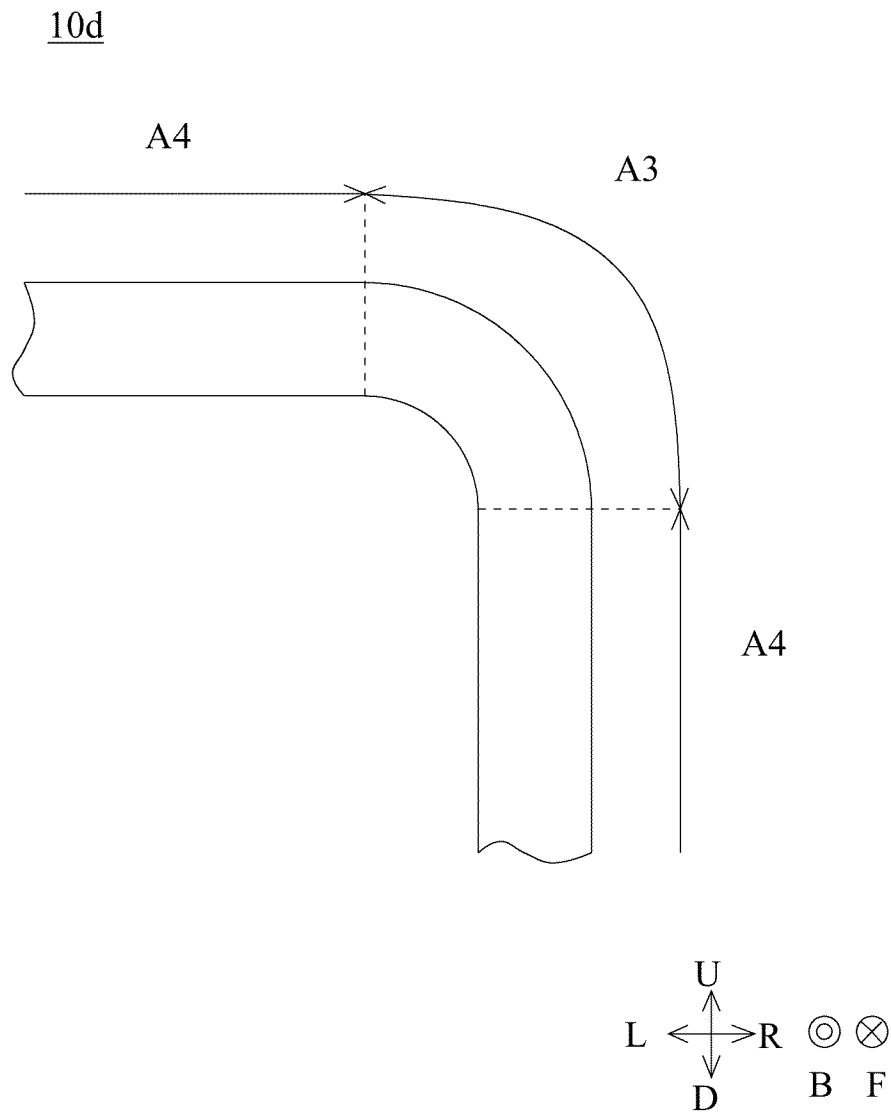
[図14]

Fig.14



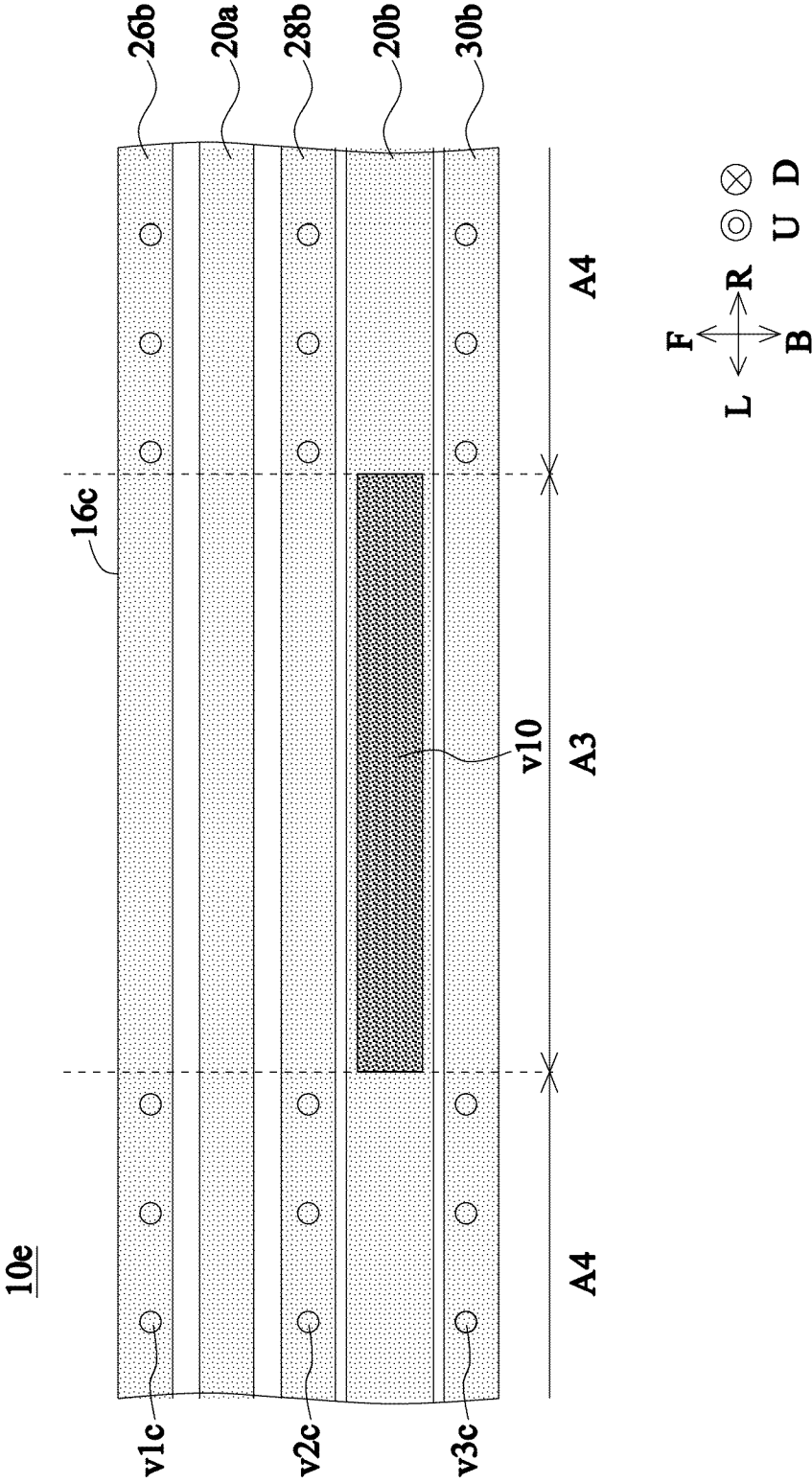
[図15]

Fig.15



[図16]

Fig.16



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/042681

A. CLASSIFICATION OF SUBJECT MATTER**H05K 1/02**(2006.01)i; **H01P 3/08**(2006.01)i; **H05K 3/46**(2006.01)i

FI: H05K1/02 P; H05K3/46 G; H01P3/08 200

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01P 3/00 - 3/08, H05K 1/00 - 3/46

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2024

Registered utility model specifications of Japan 1996-2024

Published registered utility model applications of Japan 1994-2024

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2016/163436 A1 (MURATA MANUFACTURING CO., LTD.) 13 October 2016 (2016-10-13) paragraphs [0032]-[0111], fig. 1-16	1-15
Y	JP 2003-347748 A (DENSO CORP) 05 December 2003 (2003-12-05) paragraphs [0016]-[0045], fig. 1	1-15
Y	JP 2000-196205 A (FUJITSU LTD) 14 July 2000 (2000-07-14) paragraphs [0018]-[0025], fig. 1-2	7-10, 12, 13



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

25 January 2024

Date of mailing of the international search report

06 February 2024

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/042681

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
WO	2016/163436	A1	13 October 2016	CN 106537684 A US 2017/0149111 A1 paragraphs [0050]-[0130], fig. 1-16B	
JP	2003-347748	A	05 December 2003	CN 1468048 A DE 10323903 A1 KR 10-0534548 B1 TW 200307495 A US 2003/0222340 A1 paragraphs [0011]-[0039], fig. 1A-2	
JP	2000-196205	A	14 July 2000	(Family: none)	

A. 発明の属する分野の分類（国際特許分類（IPC）） H05K 1/02(2006.01)i; H01P 3/08(2006.01)i; H05K 3/46(2006.01)i FI: H05K1/02 P; H05K3/46 G; H01P3/08 200		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01P 3/00 - 3/08, H05K 1/00 - 3/46 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922—1996年 日本国公開実用新案公報 1971—2024年 日本国実用新案登録公報 1996—2024年 日本国登録実用新案公報 1994—2024年 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	WO 2016/163436 A1（株式会社村田製作所）13.10.2016（2016 - 10 - 13） 段落0032—0111，図1—図16	1—15
Y	JP 2003-347748 A（株式会社デンソー）05.12.2003（2003 - 12 - 05） 段落0016—0045，図1—図	1—15
Y	JP 2000-196205 A（富士通株式会社）14.07.2000（2000 - 07 - 14） 段落0018—0025，図1—図2	7—10， 12，13
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技术水準を示すもの “D” 国際出願で出願人が先行技術文献として記載した文献 “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 25.01.2024	国際調査報告の発送日 06.02.2024	
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 齊藤 健一 5D 9742 電話番号 03-3581-1101 内線 3551	

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/042681

引用文献			公表日	パテントファミリー文献			公表日
WO	2016/163436	A1	13.10.2016	CN	106537684	A	
				US	2017/0149111	A1	
				[段落 0 0 5 0—0 1 3 0, 図 1—図 1 6 B]			
JP	2003-347748	A	05.12.2003	CN	1468048	A	
				DE	10323903	A1	
				KR	10-0534548	B1	
				TW	200307495	A	
				US	2003/0222340	A1	
				[段落 0 0 1 1—0 0 3 9, 図 1 A—図 2]			
JP	2000-196205	A	14.07.2000	(ファミリーなし)			