

(12) DEMANDE INTERNATIONALE PUBLIÉE EN VERTU DU TRAITÉ DE COOPÉRATION EN MATIÈRE DE BREVETS (PCT)

(19) Organisation Mondiale de la Propriété Intellectuelle

Bureau international



(10) Numéro de publication internationale

WO 2011/114046 A1

(43) Date de la publication internationale  
22 septembre 2011 (22.09.2011)

PCT

- (51) Classification internationale des brevets :  
H01L 21/28 (2006.01) H01L 29/49 (2006.01)
- (21) Numéro de la demande internationale :  
PCT/FR2011/050496
- (22) Date de dépôt international :  
11 mars 2011 (11.03.2011)
- (25) Langue de dépôt : français
- (26) Langue de publication : français
- (30) Données relatives à la priorité :  
1051832 15 mars 2010 (15.03.2010) FR
- (71) Déposant (pour tous les États désignés sauf US) :  
COMMISSARIAT A L'ENERGIE ATOMIQUE ET  
AUX ENERGIES ALTERNATIVES [FR/FR]; 25 Rue  
Lablanc - Bâtiment Le Ponant D, F-75015 Paris (FR).
- (72) Inventeurs; et  
(75) Inventeurs/Déposants (pour US seulement) :  
GASSILLOU, Remy [FR/FR]; 16 Lot des Peupliers,  
F-38380 Saint-Laurent-Du-Pont (FR). MARTIN,  
François [FR/FR]; 8 Rue Irvoy, F-38000 Grenoble (FR).
- (74) Mandataire : LEBKIRI, Alexandre; 87 Rue Taitbout,  
F-75009 Paris (FR).
- (81) États désignés (sauf indication contraire, pour tout titre de protection nationale disponible) : AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) États désignés (sauf indication contraire, pour tout titre de protection régionale disponible) : ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), eurasien (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), européen (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- Publiée :  
— avec rapport de recherche internationale (Art. 21(3))  
— avant l'expiration du délai prévu pour la modification des revendications, sera republiée si des modifications sont reçues (règle 48.2.h)

(54) Title : PROCESS FOR PRODUCING A CONDUCTING ELECTRODE

(54) Titre : Procédé de réalisation d'une électrode conductrice

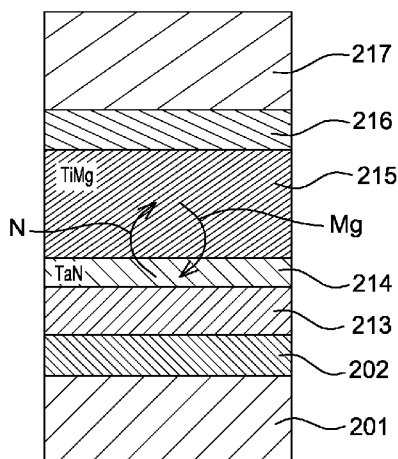


Fig. 1j

(57) Abstract : The present invention relates to a process for producing a conducting electrode on a substrate, comprising the following steps: a layer (213) made of a dielectric is deposited; a protective layer (214) made of the nitride of a metal M is deposited on the dielectric layer; a functionalization layer (215) made of a material comprising a chemical species E is deposited, such that the free enthalpy of formation of the nitride of this species is less, in absolute value, than the free enthalpy of formation of the nitride of the metal M of said protective layer (214) over the temperature range between 0°C and 1200°C; and the assembly comprising said protective layer (214) and said functionalization layer (215) is annealed (218) so that the species E diffuse from the functionalization layer (215) into the protective layer (214) and the nitrogen atoms migrate from the protective layer (214) into the functionalization layer (215).

(57) Abrégé : La présente invention concerne un procédé de réalisation d'une électrode conductrice sur un substrat comportant les étapes suivantes : - dépôt d'une couche (213) réalisée dans un matériau diélectrique; - dépôt sur la couche diélectrique d'une couche de protection (214) réalisée en nitrure d'un métal M; - dépôt d'une couche de fonctionnalisation (215) réalisée dans un matériau comportant une espèce chimique E telle que l'enthalpie libre de formation du nitrure de cette espèce soit inférieure, en valeur absolue, à l'enthalpie libre de formation du nitrure de métal M de ladite couche de protection (214) sur une gamme de température comprise entre 0 et 1200°C; - recuit (218) de l'ensemble comportant ladite couche de protection (214) et ladite couche de fonctionnalisation (215) de sorte que les espèces E diffusent de la couche de fonctionnalisation (215) vers la

couche de protection (214) et les atomes d'azote migrent de la couche de protection (214) vers la couche de fonctionnalisation (215).

WO 2011/114046 A1

### Procédé de réalisation d'une électrode conductrice

La présente invention concerne un procédé de réalisation d'une électrode conductrice. L'invention trouve une application particulièrement intéressante dans le cadre de la réalisation d'une grille métallique de transistor n-MOS, c'est-à-dire un transistor MOSFET dont le canal d'inversion est constitué d'électrons (i.e. canal dopé de type P et zones de source et de drain dopées de type N).

La course à la réduction des dimensions des transistors implique de nouvelles contraintes à prendre en considération pour la réalisation de ces transistors. Ainsi, pour la réalisation de transistors MOS avancés conformes à des nœuds technologiques de plus en plus bas (typiquement des nœuds technologiques 32 nm et 22 nm tels que définis par l'ITRS « International Technology Roadmap for Semiconductors »), la diminution de l'épaisseur de diélectrique de grille à base de dioxyde de silicium ( $\text{SiO}_2$ ) est devenue indispensable. D'une épaisseur inférieure au nanomètre pour les générations 32 nm et 22 nm (sachant que l'épaisseur physique minimale de  $\text{SiO}_2$  représente une monocouche de l'ordre de  $4\text{\AA}$ ), ces oxydes de grille ne permettent plus de maintenir une isolation électrique suffisante entre la grille, réalisée généralement en polysilicium, et le canal de conduction. Le courant de fuite à travers l'oxyde n'est plus négligeable. Il peut alors devenir essentiellement contrôlé par le courant tunnel transitant à travers l'oxyde de grille, compromettant ainsi la fonctionnalité du transistor et conduisant à une forte consommation en puissance pouvant réduire le temps d'utilisation des dispositifs portables intégrant de tels transistors. Ce courant tunnel direct est généré par les électrons d'énergie inférieure à la hauteur de barrière pouvant traverser la totalité du diélectrique sans transiter par la bande de conduction du diélectrique et va augmenter avec des épaisseurs de diélectrique de plus en plus faibles. Ainsi, lorsque l'épaisseur de  $\text{SiO}_2$  est réduite à quelques couches atomiques, les fuites par effet tunnel direct présentent un inconvénient majeur.

Une solution connue à ce problème consiste à utiliser des matériaux à forte constante diélectrique, dit matériau « high-k », pour remplacer le  $\text{SiO}_2$

ou le SiO:N pour réduire les courants de fuite. En maintenant une capacité élevée avec des épaisseurs de diélectrique plus importantes que pour le SiO<sub>2</sub>, les matériaux high-k permettent ainsi de réduire les fuites de grille.

5 Une telle solution présente toutefois quelques difficultés. En effet, du fait des incompatibilités chimiques entre matériaux, il n'est pas possible d'utiliser une grille en polysilicium sur un diélectrique high-k (phénomènes de réactions d'interface ou d'interdiffusion induits par exemple par les différents recuits).

10 Le problème soulevé ci-dessus peut être résolu en employant une grille métallique ; ainsi, l'utilisation de certains matériaux métalliques pour la grille permet de résoudre le problème de dégradation des caractéristiques électriques dû à la réactivité entre la grille polysilicium et le diélectrique high-k.

15 La sélection du matériau métallique de grille ad hoc est toutefois délicate : ce dernier devra en effet être non seulement compatible avec un diélectrique high-k mais également être stable chimiquement et présenter un travail de sortie dont l'influence sur la valeur de la tension seuil du transistor est considérable, cette dernière dépendant directement du travail de sortie du métal choisi. Dans le cas d'une grille en polysilicium, on peut moduler le travail de sortie afin d'obtenir une valeur de tension seuil correcte pour le cas d'un n-MOS et une autre valeur pour le p-MOS. Dans le cas de  
20 l'utilisation d'une grille métallique, pour une technologie CMOS, il sera le plus souvent nécessaire d'intégrer un métal différent pour chacun des deux types de transistors afin d'approcher les travaux de sortie proche de ceux d'une grille polysilicium dopée n+ et p+ ; en particulier, un travail de sortie compris dans l'intervalle [4.1 – 4.4eV] et [4.8 – 5.1eV] serait intéressant pour les n-MOS et les p-MOS respectivement. Pour chaque grille, le challenge est donc de pouvoir identifier un matériau métallique dont les propriétés doivent couvrir la gamme de travail de sortie désirée et qui soit compatible avec  
25 le procédé de fabrication du CMOS et plus particulièrement avec le diélectrique de grille.  
30

On distingue généralement deux approches pour former les grilles métalliques : une première approche dite « gate first » et une seconde approche dite « gate last ».

5 L'approche « gate first » garde l'ordre du procédé standard avec réalisation d'une grille en polysilicium. Le métal est simplement déposé à la place du polysilicium de grille. Les principales difficultés d'un tel procédé concernent la contamination des équipements « front end » durant le procédé de fabrication, la gravure du métal de grille et l'intégrité de l'empilement de grille pendant les recuits à haute température, par exemple le recuit  
10 d'activation des dopants après implantation dans les zones de drain et de source.

L'approche « gate last » est par exemple décrite dans le document US2005/0136677. Selon ce procédé, les grilles formées par l'empilement high-k/métal d'un circuit CMOS sont réalisées par remplacement d'une grille  
15 dite « sacrificielle » en polysilicium. Dans une première étape de fabrication, les grilles en polysilicium des zones N (respectivement P) sont protégées par masquage. Les grilles des zones P (respectivement N) sont ensuite gravées et les zones ainsi évidées sont remplies par un empilement high-k/métal N (identiquement high-k/métal P) permettant de définir les transistors de type n-MOS (respectivement p-MOS). Ensuite, une étape de planarisation par polissage mécano-chimique, dit également CMP, permet  
20 d'accéder aux grilles en polysilicium de remplissage des zones N. Les grilles des transistors n-MOS sont protégées par masquage et les zones N (respectivement P) sont évidées puis remplies par un high-k/métal P permettant de définir les transistors de type p-MOS (respectivement n-MOS). Enfin, une nouvelle étape de CMP permet de séparer les grilles P et N. Ce procédé « gate last » est en particulier basé sur le principe du procédé damascène consistant à remplir des cavités préalablement vidées d'un polysilicium sacrificiel par un matériau puis à polir la surface de manière à éliminer le surplus en surface.  
30

Une variante possible de ce procédé est décrite dans le document US2006/0121678. En lieu et place du processus séquentiel itératif décrit ci-dessus (premier masquage, premier évidage, premier remplissage, première

CMP, deuxième masquage, deuxième évidage, deuxième remplissage, deuxième CMP), le procédé alternatif est dit « approche par enlèvement du métal de grille ». Dans ce procédé de fabrication d'un circuit CMOS, une grille métallique de type N (respectivement P) est d'abord déposée sur un diélectrique high-k après évidage des zones N et P. Les zones P (respectivement N) sont ensuite protégées par un masque. Le métal de type N (ou respectivement P) non protégé par le masque est retiré par gravure et remplacé par un métal de type P. Le principal inconvénient de ce type d'intégration réside dans la nécessité de retirer un métal par gravure chimique ou par voie sèche sur un diélectrique high-k sans impacter ce dernier.

De façon général, l'avantage du procédé « gate last » par rapport au procédé « gate first » est qu'il permet de préserver l'intégrité de l'empilement de grille pendant les recuits à haute température, par exemple le recuit d'activation des dopants après implantation dans les zones de drain et de source, dans la mesure où le métal de grille est déposé après les traitements à haute température. A contrario, le métal de grille ad hoc ne peut être obtenu qu'à faible budget thermique.

S'agissant du métal permettant d'obtenir le travail de sortie souhaité en technologie « gate last », le document WO2006/019675 propose d'utiliser un alliage à base d'aluminium pour réaliser la grille d'un transistor n-MOS en technologie « gate last ». Il est ainsi connu de l'homme de l'art qu'une grille ternaire réalisée dans un matériau du type  $Ti_{1-x}Al_xN_y$  (avec  $x=0.25$  et  $y<1$ ) est de comportement N lorsqu'elle est déposée sur  $SiO_2$  et recuite à budget thermique modéré, typiquement  $600^\circ C$  (Cha et al, Applied Physics Letters 81, N° 22, p.4193 (2002)). Une telle solution pose toutefois également certaines difficultés.

Ainsi, en utilisant un alliage à base d'aluminium, on obtient une valeur minimale de travail de sortie égale à 4.36 eV dans des conditions optimales de dépôt et de pourcentage d'azote alors qu'il peut s'avérer utile d'atteindre des travaux de sortie en bord de bande de conduction (i.e. de l'ordre de 4.1 eV).

Il a également été envisagé de moduler le travail de sortie via l'implantation de dopants. Toutefois, les faibles épaisseurs de grille rendent ce type d'implantation très délicat à mettre en œuvre.

Dans ce contexte, la présente invention a pour but de fournir un procédé de réalisation d'une électrode conductrice sur une couche diélectrique, en particulier pour la réalisation d'une grille métallique d'un transistor n-MOS sur une couche diélectrique de type high-k, ce procédé permettant d'imposer le travail de sortie ad hoc de l'électrode à faible budget thermique tout en garantissant l'intégrité de la couche diélectrique.

Dans ce contexte, la présente invention a pour but de fournir un procédé de réalisation d'une électrode conductrice sur un substrat comportant les étapes suivantes :

- dépôt d'une couche réalisée dans un matériau diélectrique ;
- dépôt sur la couche diélectrique d'une couche de protection réalisée en nitrure d'un métal M ;
- dépôt d'une couche de fonctionnalisation réalisée dans un matériau comportant une espèce chimique E telle que l'enthalpie libre de formation du nitrure de cette espèce soit inférieure, en valeur absolue, à l'enthalpie libre de formation du nitrure de métal M de ladite couche de protection sur une gamme de température comprise entre 0 et 1200°C, ladite espèce chimique E étant choisie parmi les espèces suivantes : Mg ou Ca ;
- recuit de l'ensemble comportant ladite couche de protection et ladite couche de fonctionnalisation de sorte que les espèces E diffusent au moins partiellement de ladite couche de fonctionnalisation vers ladite couche de protection et les atomes d'azote migrent au moins partiellement de ladite couche de protection vers ladite couche de fonctionnalisation, ladite électrode conductrice incluant lesdites couches de protection et de fonctionnalisation après recuit.

On entend par enthalpie libre de formation d'un composé la variation d'enthalpie libre accompagnant la réaction de formation de ce composé à partir des éléments formant le composé.

Grâce à l'invention, on utilise une couche de protection permettant de garantir l'intégrité de la couche diélectrique. Le dépôt de cette couche de protection va permettre de préserver la qualité électrique de l'interface diélectrique/métal au cours de la fabrication du composant intégrant l'électrode (préférentiellement une électrode de grille d'un transistor n-MOS obtenu par un procédé « gate-last ») ; cette couche de protection pourra en particulier servir de couche d'arrêt à la gravure permettant de préserver les propriétés électriques du diélectrique.

La couche de protection doit ensuite être fonctionnalisée dans la deuxième partie de fabrication afin que l'ensemble formé par la couche de protection et la couche de fonctionnalisation présente, après activation thermique, le travail de sortie recherché. De façon général, le principe de cette fonctionnalisation est le suivant : la couche de fonctionnalisation agit comme une source apte à alimenter en espèces E la couche de protection sous l'effet de la diffusion pendant le recuit. On choisira préférentiellement le matériau (par exemple le TaMg ou le TiMg) de la couche de fonctionnalisation de façon à garantir la libération de l'oxygène provenant d'une couche d'oxydation potentiellement présente à la surface de la couche de protection et induite par les différentes étapes technologiques de réalisation, par exemple la réalisation d'un transistor obtenu selon un procédé gate-last. Dans le cas du TaMg ou du TiMg, le Ta ou le Ti vont réduire l'oxyde potentiellement présent à surface de la couche de protection. Le choix d'un tel matériau pour la couche de fonctionnalisation facilitera la diffusion de l'espèce E dans la couche de protection. Parallèlement, la couche de protection va se dénuder en azote par exodiffusion dans la couche de fonctionnalisation avide d'azote et redistribution des concentrations entre la couche de fonctionnalisation et la couche de protection. En d'autres termes, la couche de fonctionnalisation aspire l'azote présent dans la couche de protection. Ce phénomène de dénudation est assuré par le fait que l'enthalpie libre de formation du nitrure de l'espèce E est inférieure en valeur absolue à l'enthalpie libre de formation du nitrure de métal M de la couche de protection. A titre d'exemple préférentiel, l'espèce E peut être du magnésium Mg dans le cas de la réalisation d'une grille d'un transistor n-MOS en technologie « gate-

last » ; dans ce cas, la couche de protection doit être fonctionnalisée afin que l'ensemble couche de protection et couche de fonctionnalisation présente après activation thermique un comportement de type N (i.e. un travail de sortie compris entre 4.1eV et 4.3eV). Le budget thermique ne doit plus dépasser 500°C à cette étape de fabrication dans la mesure où les jonctions de source et de drain ont déjà été siliciurées (le dépassement de ce budget thermique pourrait entraîner une dégradation de la siliciuration). Le Mg présente des propriétés physiques particulières répondant au besoin d'une grille de type N diffusant à faible budget thermique pour les transistors n-MOS en technologie « gate last ». Ces propriétés sont :

- un faible travail de sortie (3.6eV) ;
- une capacité de diffusion compatible avec le budget thermique en technologie « gate last » ;
- une faible affinité chimique avec l'azote.

De par son affinité avec l'oxygène, il est préférable que le magnésium soit allié avec un autre métal afin de réduire sa réactivité. Par ailleurs la quantité de Mg dans cet alliage doit être adaptée pour fournir une source suffisante en Mg dans la couche de protection. Par exemple, le TiMg peut servir de couche de fonctionnalisation. Il est source de Mg, ce dernier étant alors libre de diffuser dans la couche de protection (par exemple une couche de protection en TaN) dès lors que le Titane réduit l'oxyde potentiellement présent à surface de la couche de protection au contact de la couche diélectrique en high-k. De plus le TiMg va permettre la dénudation de l'azote de la couche de protection par redistribution des concentrations entre la couche de protection et la couche de fonctionnalisation. La combinaison de la diffusion de Mg et la dénudation en azote permet après recuit d'obtenir une grille de type N.

On notera que la couche de fonctionnalisation peut être elle-même composée soit d'une seule couche réalisée dans un alliage à base de l'espèce E soit de deux ou plusieurs couches dont l'une est une couche de l'espèce E (de sorte que l'alliage à base de l'espèce E se forme au moment du recuit thermique).



Le procédé selon l'invention peut également présenter une ou plusieurs des caractéristiques ci-dessous, considérées individuellement ou selon toutes les combinaisons techniquement possibles :

- 5 - la couche diélectrique est un matériau isolant dont la constante diélectrique est supérieure ou égale à celle de l'oxyde silicium, notamment le  $\text{SiO}_2$ , le  $\text{SiO:N}$  ou un matériau à forte constante diélectrique, dit matériau high-k ;
- les épaisseurs des couches de protection et de fonctionnalisation sont inférieures ou égales à 5nm ;
- 10 - le matériau de la couche de fonctionnalisation est choisi parmi les matériaux suivants : TaMg, TiMg, ZrMg, HfMg, TaMgN ou TiMgN, ZrMgN, HfMgN, TaCa, TiCa, ZrCa, HfCa, TaCaN, TiCaN, ZrCaN, HfCaN, TaMgCa, TiMgCa, ZrMgCa, HfMgCa, TaMgCaN, TiMgCaN, ZrMgCaN, HfMgCaN ;
- 15 - la couche de protection est une couche en TiN, TaN, TiCN ou TaCN présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium ;
- on réalise la couche de protection sous la forme d'une bicouche par le dépôt successif d'une première couche présentant, avant le recuit, un comportement de type p, et une deuxième couche présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium.
- 20 - on réalise la couche de protection sous la forme d'une bicouche par le dépôt successif d'une couche de TiN présentant, avant le recuit, un comportement de type p, et une couche de TaN présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium ;
- 25 - la température de recuit de l'ensemble comportant ladite couche de protection et ladite couche de fonctionnalisation est strictement inférieure à 500°C ;
- 30 - le procédé selon l'invention comporte une étape de dépôt d'une couche piédestal d'interface diélectrique entre la couche diélectrique et le substrat ;

- le procédé selon l'invention comporte une étape de dépôt d'une couche de couverture au-dessus de la couche de fonctionnalisation apte à protéger la couche de fonctionnalisation de l'oxydation, ladite couche de couverture subissant ledit recuit ;
- 5 - la couche de couverture est réalisée dans un matériau nitruré tel que le TiN, TaN, TiCN ou TaCN ;
- la nitruration de la couche de couverture est obtenue par un traitement plasma ;
- le procédé selon l'invention comporte les étapes suivantes :
  - 10     o dépôt de la couche piédestal d'interface diélectrique sur le substrat ;
  - o dépôt d'une couche en polysilicium sacrificiel ;
  - o réalisation de zones de drain et source ;
  - o réalisation d'une cavité damascène par retrait du polysilicium sacrificiel ;
  - 15     o dépôt de la couche réalisée dans le matériau diélectrique, ledit matériau diélectrique étant un matériau de type high-k ;
  - o dépôt sur la couche diélectrique de la couche de protection réalisée en nitrure de métal M ;
  - 20     o dépôt sur la couche de protection de la couche de fonctionnalisation ;
  - o dépôt sur la couche de fonctionnalisation de la couche de couverture ;
  - o dépôt d'un matériau métallique visant à remplir le reste de la
  - 25     cavité damascène ;
  - o recuit de l'ensemble comportant ladite couche de protection et ladite couche de fonctionnalisation de sorte que les espèces E diffusent partiellement de ladite couche de fonctionnalisation vers ladite couche de protection et les atomes d'azote migrent
  - 30     partiellement de ladite couche de protection vers ladite couche de fonctionnalisation ;
- Le procédé selon l'invention comporte les étapes suivantes :

- dépôt de la couche piédestal d'interface diélectrique sur le substrat ;
- dépôt sur la couche piédestal de la couche réalisée dans le matériau diélectrique, ledit matériau diélectrique étant un matériau de type high-k ;
- dépôt sur la couche diélectrique de la couche de protection réalisée en nitrure de métal M ;
- dépôt d'une couche en polysilicium sacrificiel ;
- réalisation de zones de drain et source ;
- réalisation d'une cavité damascène par retrait du polysilicium sacrificiel avec arrêt sur la couche de protection ;
- dépôt sur la couche de protection de la couche de fonctionnalisation ;
- dépôt sur la couche de fonctionnalisation de la couche de couverture ;
- dépôt d'un matériau métallique visant à remplir le reste de la cavité damascène ;
- recuit de l'ensemble comportant ladite couche de protection et ladite couche de fonctionnalisation de sorte que les espèces E diffusent partiellement de ladite couche de fonctionnalisation vers ladite couche de protection et les atomes d'azote migrent partiellement de ladite couche de protection vers ladite couche de fonctionnalisation.

La présente invention a également pour objet un transistor n-MOS caractérisé en ce que la grille du transistor est une électrode réalisée par un procédé selon l'invention.

D'autres caractéristiques et avantages de l'invention ressortiront clairement de la description qui en est donnée ci-dessous, à titre indicatif et nullement limitatif, en référence aux figures annexées, parmi lesquelles :

- les figures 1a à 1j illustrent les différentes étapes d'un premier mode de réalisation du procédé selon l'invention ;
- les figures 2a à 2j illustrent les différentes étapes d'un second mode de réalisation du procédé selon l'invention ;

- la figure 3 illustre une variante possible pour la réalisation de la couche de fonctionnalisation utilisée dans le procédé selon l'invention ;
- 5 - les figures 4a à 4c illustrent plus spécifiquement un mode de réalisation d'une couche de couverture susceptible d'être utilisée dans le procédé selon l'invention ;
- la figure 5 illustre une variante possible pour la réalisation de la couche de protection utilisée dans le procédé selon l'invention pour l'obtention d'une grille de n-MOS compatible avec la réalisation d'un transistor p-MOS en technologie « gate last » ;
- 10 - les figures 5a à 5d et 5d-bis illustrent l'utilisation de la bicouche telle que représentée en figure 5.

Dans toutes les figures, les éléments communs portent les mêmes numéros de référence. Pour des raisons de clarté, seuls les éléments utiles pour la compréhension de l'invention ont été représentés, et ceci sans respect de l'échelle et de manière schématique.

Les figures 1a à 1j illustrent les différentes étapes d'un premier mode de réalisation du procédé selon l'invention pour l'obtention d'une grille d'un transistor n-MOS en technologie « gate last ». On notera que les étapes illustrées aux 1a à 1g sont des étapes standard connues de l'homme du métier mettant en œuvre une technologie « gate last » selon une architecture damascène. L'architecture damascène est une architecture à remplacement de grille : dans un premier temps, on réalise un transistor avec un procédé de fabrication conventionnel mais la grille en polysilicium est sacrificielle. Cette dernière permet de définir de manière auto-alignée les zones de source et de drain. Ensuite les zones de source et de drain sont protégées à l'aide d'un matériau diélectrique et on fabrique une cavité en ôtant de manière sélective la grille sacrificielle. L'empilement diélectrique-grille souhaité est ensuite déposé dans la cavité.

La première étape 100 représentée en figure 1a consiste à déposer successivement sur un substrat 201 (par exemple un substrat de Si) l'empilement suivant :

- une couche 202 de diélectrique en  $\text{SiO}_2$  qui servira par la suite de couche piédestal d'interface entre le diélectrique high-k et le substrat 201 en Si,
- une couche 203 de grille en polysilicium sacrificiel ;
- 5 - une couche 204 de masque dur en SiN.

La figure 1b illustre une étape 101 de gravure permettant d'obtenir à partir de l'empilement précédemment défini, un empilement aux dimensions de la grille du transistor toujours formé, après gravure, par la couche 202 de diélectrique en  $\text{SiO}_2$ , la couche 203 de grille en polysilicium sacrificiel et la  
10 couche 4 de masque dur en SiN.

La gravure s'effectue en utilisant le masque dur définissant la zone Z destinée à former ultérieurement la grille et protégeant ladite zone pendant l'opération.

Selon l'étape 102 représentée en figure 1c, on réalise un dépôt conforme d'une couche 205 de SiN.  
15

Cette couche 205 est ensuite gravée (étape 103 en figure 1d) de façon à ne conserver que les espaceurs 206 en SiN. Les espaceurs 206 permettent de définir la longueur de canal du transistor et assurent l'isolation électrique entre la grille et les jonctions : ils peuvent être obtenus via une  
20 gravure anisotrope de la couche 205 de SiN.

On réalise alors le dopage par implantation ionique des zones 207 et 208 de source et de drain de part et d'autre des espaceurs latéraux 206. Ainsi dans le cas de la réalisation d'un transistor n-MOS sur un substrat 201 de type p, les zones 207 et 208 sont dopées n+. Afin de restituer la cristallinité du matériau et une mise en site substitutionnel des atomes dopants, on  
25 réalise ensuite un recuit d'implantation (dit également recuit d'activation) : la température d'un tel recuit est de l'ordre de 1000 °C.

Afin de minimiser la résistance des zones de drain et de source réalisées en silicium monocristallin dopé, on effectue également une étape de siliciuration de ces zones ; la siliciuration correspond à la métallisation de  
30 ces zones de drain et de source par réaction chimique entre le silicium et un métal (par exemple du nickel) de façon à former des zones de faible résistivité. Cette étape de siliciuration des jonctions 207 et 208 est obtenue à une

température ne dépassant pas 500°C. Il convient de noter qu'à ce stade (jonctions source et drain siliciurées), le budget thermique ne doit plus dépasser 500°C de façon à ne pas détériorer la siliciuration.

5 Selon l'étape 104 représentée en figure 1e, on réalise ensuite un remplissage à l'aide d'un matériau diélectrique 209 de type TEOS (Tetra Ethyl Ortho Silane) à une température inférieure à 500°C.

10 On réalise ensuite (étape 105 figure 1f) un polissage mécano-chimique dit CMP (pour « Chemical-Mechanical-Polishing » en anglais) avec arrêt sur la couche 203 de polysilicium de façon à retirer sur la partie supérieure de la zone de grille la surépaisseur formée par la couche 204 de SiN et la couche 209 de TEOS. Les zones de drain et de source 207 et 208 sont protégées par les parties latérales 210 et 211 en TEOS.

15 Comme évoqué précédemment, la couche de polysilicium 203 est une couche sacrificielle ; selon l'étape 106 illustrée en figure 1g, cette couche 203 est donc retirée de façon à laisser apparaître une cavité damascène 212, par exemple par une gravure sélective TMAH (hydroxyde de tétraméthylammonium) avec arrêt sur la couche 202 en SiO<sub>2</sub>.

20 Selon l'étape 107 illustrée en figure 1h, la cavité damascène 212 représentée en figure 1g est remplie avec un empilement formé successivement par :

- une couche 213 de HfO<sub>2</sub> (d'épaisseur inférieure à 5 nm et préférentiellement comprise entre 0.5 et 2.5 nm) au contact de la couche 202 en SiO<sub>2</sub> (d'épaisseur de 0.5 à 10 nm) ;
- une couche de protection 214 en TaN (d'épaisseur inférieure ou égale à 5 nm, par exemple de l'ordre de 2nm) ;
- une couche de fonctionnalisation 215 en TiMg (d'épaisseur inférieure ou égale à 5 nm, par exemple de l'ordre de 3 nm) ;
- une couche de couverture 216 (dite aussi « capping layer » en anglais) en TiN (d'épaisseur inférieure ou égale à 5 nm).

30 Le fait de choisir des couches d'épaisseur fine (i.e. inférieure ou égale à 5 nm) permet d'éviter le stress mécanique sur l'empilement de grille.

Le reste de la cavité damascène (i.e. au-dessus de l'empilement formé par les couches 213 à 216) est rempli par un métal 217 neutre du type

tungstène W. Le remplissage de la cavité peut-être réalisé avec un métal neutre chimiquement par rapport aux couches fonctionnelles et doit être relativement facile à polir en CMP. Par ailleurs, la composition de cette couche peut-être choisie judicieusement afin de créer un stress dans les structures de grilles n-MOS et p-MOS afin d'améliorer les caractéristiques électriques des transistors. Le métal neutre choisi pour remplir la cavité damascène doit préférentiellement présenter une résistivité inférieure à celle de la couche de couverture 216.

La couche 213 de  $\text{HfO}_2$  est donc une couche réalisée dans un matériau de type high-k ; les matériaux high-k ou matériau diélectrique à forte constante diélectrique peuvent être définis comme des matériaux ayant une constante diélectrique k strictement supérieure à 3.9 (constant diélectrique du silicium). En l'espèce, le matériau  $\text{HfO}_2$  possède une constante diélectrique proche de 20-25.

La couche de protection 214 en TaN est une couche réalisée dans un métal ayant un travail de sortie autour du milieu du gap du silicium (« Mid-gap ») c'est-à-dire vers 4.6-4.7 eV.

On comprend ici le rôle de la couche 202 en  $\text{SiO}_2$  qui sert de couche d'oxyde piédestal interfaciale entre les deux matériaux hétérogènes de la couche 213 en high-k et du substrat 201 en Si (ceci afin d'éviter la croissance d'une interface non contrôlée et de mauvaise qualité).

La couche de couverture 216 en TiN permet d'éviter l'oxydation à l'air de la couche de fonctionnalisation 215 en TiMg, le magnésium étant particulièrement avide d'oxygène.

Selon l'étape 108 (figure 1i), on réalise un polissage CMP permettant de supprimer la surépaisseur de matière au-dessus de la cavité damascène puis on effectue un recuit thermique (illustré par les flèches 218) à une température, préférentiellement supérieure ou égale à 300°C et strictement inférieure à 500°C (pour mémoire, 500°C constitue la limite supérieure de recuit du fait de la limitation du budget thermique liée à la siliciuration antérieure des jonctions de drain et de source).

La figure 1j représente un zoom sur les différentes couches 201, 202, 213, 214, 215, 216 et 217 illustrant les phénomènes liés au recuit.

L'ensemble formé par la couche de protection 214 et la couche de fonctionnalisation 215 présente après activation thermique un comportement de type N (i.e. un travail de sortie compris entre 4.1eV et 4.3eV). Le Magnésium présente des propriétés physiques particulières répondant au besoin d'une grille de type N diffusant à faible budget thermique pour les transistors n-MOS en technologie « gate last ». Ces propriétés sont les suivantes :

- un faible travail de sortie (3.6eV) ;
- une capacité de diffusion compatible avec le budget thermique en technologie « gate last » ;
- une faible affinité chimique avec l'azote.

De par son affinité avec l'oxygène, il est souhaitable que le magnésium soit allié avec un autre métal afin de réduire sa réactivité. Par ailleurs, la quantité de Mg dans cet alliage doit être suffisante afin de garantir une source suffisante en Mg. Selon ce premier mode de réalisation, le TiMg sert de couche de fonctionnalisation 215. Cette couche de fonctionnalisation 215 est source de Mg, ce dernier étant alors libre de diffuser dans la couche fine de protection 214 en TaN au contact de la couche high-k 213. De plus, le TiMg va permettre la dénudation de l'azote N de la couche de protection 215 par redistribution des concentrations entre la couche de protection 214 et la couche de fonctionnalisation 215. L'affinité chimique de l'azote avec le Mg doit être de préférence plus faible que celle du Ti, afin que la redistribution en azote dans la couche de fonctionnalisation 215 en TiMg ne bloque pas la diffusion du Mg vers la couche de protection 214 par formation de MgN. La combinaison de la diffusion de Mg et de la dénudation en azote permet après recuit d'obtenir une grille métallique de type N comprenant la couche de fonctionnalisation 215 et la couche de protection 214 après recuit thermique, ladite grille métallique étant formée sur une couche diélectrique 213 high-k.

On notera que la couche de couverture 216 doit être préférentiellement choisie pour que le Mg descende dans la couche de protection 214 plutôt que de remonter dans la couche de couverture 216. C'est le cas ici puisque l'enthalpie libre de formation à 300K du TiN ( $\Delta G(300K)_{TiN} = -742kJ$ ) est supérieure à celle du TaN ( $\Delta G(300K)_{TaN} = -657kJ$ ) : la liaison TaN est



donc plus faible que la liaison TiN de sorte que le Mg prendra préférentiellement la place de l'azote dans la couche de protection 216 en TaN que dans la couche de couverture 216 en TiN.

5 Les figures 2a à 2j illustrent les différentes étapes d'un second mode de réalisation du procédé selon l'invention pour l'obtention d'une grille d'un transistor n-MOS en technologie « gate last ». On notera que ce second mode de réalisation se différencie du premier mode de réalisation décrit en référence aux figures 1a à 1j en ce que la couche de diélectrique high-k va être déposée avant et subir le recuit d'activation des jonctions de source et  
10 de drain.

La première étape 300 représentée en figure 2a consiste à déposer successivement sur un substrat 401 (par exemple un substrat Si) l'empilement suivant :

- une couche 402 de diélectrique en SiO<sub>2</sub>
- 15 - une couche 413 de diélectrique high-k en HfO<sub>2</sub> (d'épaisseur inférieure à 5 nm et préférentiellement comprise entre 0.5 et 2.5 nm), la couche 402 en SiO<sub>2</sub> servant de couche piédestal d'interface entre le diélectrique high-k et le substrat 401 en Si ;
- une couche de protection 414 en TaN (d'épaisseur inférieure ou  
20 égale à 5 nm, par exemple de l'ordre de 2nm) ;
- une couche 403 de grille en polysilicium sacrificiel ;
- une couche 404 de masque dur en SiN.

La figure 2b illustre une étape 301 de gravure permettant d'obtenir à partir de l'empilement précédemment défini, un empilement aux dimensions  
25 de la grille du transistor toujours formé, après gravure, par la couche 402 de diélectrique en SiO<sub>2</sub>, la couche 413 de diélectrique high-k en HfO<sub>2</sub>, couche de protection 414 en TaN, la couche 403 de grille en polysilicium sacrificiel et la couche 404 de masque dur en SiN.

La gravure s'effectue en utilisant le masque dur définissant la zone Z destinée à former ultérieurement la grille et protégeant ladite zone pendant  
30 l'opération.

Selon l'étape 302 représentée en figure 1c, on réalise un dépôt conforme d'une couche 405 de SiN.

Cette couche 405 est ensuite gravée (étape 303 en figure 1d) de façon à ne conserver que les espaceurs 406. Les espaceurs 406 permettent de définir la longueur de canal du transistor et assurent l'isolation électrique entre la grille et les jonctions : ils peuvent être obtenus via une gravure anisotrope de la couche 405 de SiN.

On réalise alors le dopage par implantation ionique des zones 407 et 408 de source et de drain de part et d'autre des espaceurs latéraux 406. Ainsi dans le cas de la réalisation d'un transistor n-MOS sur un substrat 401 de type p, les zones 407 et 408 sont dopées n+. Afin de restituer la cristallinité du matériau et une mise en site substitutionnel des atomes dopants, on réalise ensuite un recuit d'implantation (dit également recuit d'activation) : la température d'un tel recuit est de l'ordre de 1000°C. On constate donc que la couche de diélectrique high-k 413 (contrairement au mode de réalisation des figures 1a à 1j) va subir ce recuit d'activation : le fait de faire subir ce recuit à la couche 413 high-k permet d'améliorer les propriétés électriques du high-k. La couche de protection 414 en TaN Mid-gap est déposée sur la couche 413 high-k en HfO<sub>2</sub> afin de prévenir le mélange du polysilicium sacrificiel de la couche 403 avec le high-k au moment du recuit d'activation des jonctions. Cette couche de protection 414 est préférentiellement réalisée dans un métal chimiquement stable par rapport au high-k de sorte que le matériau de cette couche ne réagit pas avec le matériau high-k.

Afin de minimiser la résistance des zones de drain et de source réalisées en silicium monocristallin dopé, on effectue également une étape de siliciuration de ces zones ; la siliciuration correspond à la métallisation de ces zones de drain et de source par réaction chimique entre le silicium et un métal (par exemple du nickel) de façon à former des zones de faible résistivité. Cette étape de siliciuration des jonctions 407 et 408 est obtenue à une température ne dépassant pas 500°C. Il convient de noter qu'à ce stade (jonctions source et drain siliciurées), le budget thermique ne doit plus dépasser 500°C de façon à ne pas détériorer la siliciuration.

Selon l'étape 304 représentée en figure 2e, on réalise ensuite un remplissage à l'aide d'un matériau diélectrique 409 de type TEOS (Tetra Ethyl Ortho Silane) à une température inférieure à 500°C.

On réalise ensuite (étape 305 figure 2f) un polissage mécano-chimique dit CMP (pour « Chemical-Mechanical-Polishing » en anglais) avec arrêt sur la couche 403 de polysilicium de façon à retirer sur la partie supérieure de la zone de grille la surépaisseur formée par la couche 404 de SiN et la couche 409 de TEOS. Les zones de drain et de source 407 et 408 sont protégées par les parties latérales 410 et 411 en TEOS.

La couche de polysilicium 403 est une couche sacrificielle. Selon l'étape 306 illustrée en figure 2g, cette couche 403 est donc retirée de façon à laisser apparaître une cavité damascène 412, par exemple par une gravure chimique sélective TMAH (hydroxyde de tétraméthylammonium) avec arrêt sur la couche 414 en TaN : à nouveau la couche 414 en TaN sert de couche de protection pour la couche high-k 413 (i.e. on évite un arrêt de gravure chimique sur le matériau high-k).

Selon l'étape 307 illustrée en figure 2h, la cavité damascène 412 représentée en figure 1g est remplie avec un empilement formé successivement par :

- une couche de fonctionnalisation 415 en TiMg (d'épaisseur inférieure ou égale à 5 nm, par exemple de l'ordre de 3 nm) ;
- une couche de couverture 416 en TiN (d'épaisseur inférieure ou égale à 5 nm).

Le fait de choisir des couches d'épaisseur fine (i.e. inférieure ou égale à 5 nm) permet d'éviter le stress mécanique sur l'empilement de grille.

Le reste de la cavité damascène est rempli par un métal 417 neutre du type tungstène W.

La couche de couverture 416 en TiN permet d'éviter l'oxydation à l'air de la couche de fonctionnalisation 415 en TiMg, le magnésium étant particulièrement avide d'oxygène.

Selon l'étape 308 (figure 2i), on réalise un polissage CMP permettant de supprimer la surépaisseur de matière au-dessus de la cavité damascène puis on effectue un recuit thermique (illustré par les flèches 418) à une température, préférentiellement supérieure ou égale à 300 °C et strictement inférieure à 500 °C (pour mémoire, 500 °C constitue la limite supérieure de recuit

du fait de la limitation du budget thermique liée à la siliciuration antérieure des jonctions de drain et de source).

La figure 1j représente un zoom sur les différentes couches 401, 402, 413, 414, 415, 416 et 417 illustrant les phénomènes liés au recuit.

5 Le recuit de la couche de fonctionnalisation 415 en TiMg permet de faire diffuser le Mg à travers la couche de protection 414. Le TaN de la couche de protection 414 initialement Mig-gap devient alors de type N (i.e. un travail de sortie compris entre 4.1eV et 4.3eV) par diffusion de Mg et dénudation en azote.

10 Toute comme dans le premier mode de réalisation, l'ensemble formé par la couche de protection 414 et la couche de fonctionnalisation 415 présente après activation thermique un comportement de type N.

La figure 3 illustre une variante possible des empilements représentés respectivement aux figures 1j et 2j, en particulier pour la réalisation de la  
15 couche de fonctionnalisation utilisée. En l'espèce, l'empilement réalisé dans la cavité damascène est ici formé par les couches suivantes :

- une couche 501 en Si
- une couche piédestal 502 en  $\text{SiO}_2$  ;
- une couche 513 de  $\text{HfO}_2$  ;
- 20 - une couche de protection 514 en TaN ;
- une bicouche de fonctionnalisation 515 ;
- une couche de couverture 516 en TiN ;
- une couche de métal neutre 517 en W.

La bicouche 515 de fonctionnalisation est composée de 2 couches  
25 515A et 515B de Ti et de Mg déposées successivement. Sous l'effet du recuit 518, le Mg de la couche 515B va se mélanger au Ti de la couche 515A puis diffuser vers la couche de protection 514, cette dernière étant dénudée en azote de sorte que l'ensemble formé par les couches 514, 515A et 515B ait un comportement de type N.

30 Les figures 4a à 4c illustrent plus spécifiquement une alternative à la réalisation de la couche de couverture susceptible d'être utilisée dans le procédé selon l'invention.

En l'espèce, tout comme pour les premier et deuxième modes de réalisation, la figure 4a représente un agrandissement sur l'empilement réalisé dans la cavité damascène formé dans un premier temps par les couches suivantes :

- 5           - une couche 601 en Si
- une couche piédestal 602 en  $\text{SiO}_2$  ;
- une couche 613 de  $\text{HfO}_2$  ;
- une couche de protection 614 en TaN ;
- une couche de fonctionnalisation 615 en TiMg.

10           En figure 4b, la réalisation de la couche de couverture 616 en TiN se fait via l'implantation 619 d'azote par nitruration plasma à basse température de la couche de fonctionnalisation 615 en TiMg. L'azote étant plus réactif avec le titane par rapport au magnésium, le magnésium se retrouve repoussé et concentré dans la couche de fonctionnalisation 615 de sorte que l'on

15           crée une couche de couverture supérieure 616 de TiN.

On finit de remplir la cavité damascène par un métal neutre 617 de type W (figure 4c).

Comme déjà expliqué en référence aux deux premiers modes de réalisation, le recuit 618 (après avoir réalisé un polissage CMP permettant de

20           supprimer la surépaisseur de matière au-dessus de la cavité damascène) permet alors d'assister à la diffusion du magnésium de la couche de fonctionnalisation 615 vers la couche de protection 614.

La figure 5 illustre une variante possible pour la réalisation de la couche de protection 714 utilisée dans le procédé selon l'invention pour

25           l'obtention d'une grille de n-MOS compatible avec la réalisation d'un transistor p-MOS en technologie « gate last ».

En l'espèce, l'empilement réalisé dans la cavité damascène est ici formé par les couches suivantes :

- 30           - une couche 701 en Si
- une couche piédestal 702 en  $\text{SiO}_2$  ;
- une couche 713 de  $\text{HfO}_2$  ;
- une bicouche de protection 714 ;
- une couche de fonctionnalisation 715 en TiMg ;

- une couche de couverture 716 en TiN ;
- une couche de métal neutre 717 en W.

La bicouche 714 de protection est composée de 2 couches 714A et 714B respectivement de TiN de type P et de TaN mid-gap déposées successivement. La couche 714A de TiN de type P est par exemple obtenue  
5 par un dépôt ALD (pour « Atomic Layer Deposition » en anglais).

Sous l'effet du recuit 718, le Mg de la couche 715 va diffuser vers la bicouche de protection 714, les couches 714A et 714B de cette dernière étant dénudée en azote de sorte que l'ensemble formé par les couches 715,  
10 714A et 714B ait un comportement de type N.

L'utilisation d'une bicouche TiN-ALD/TaN-Mid-gap permet après intégration de séparer les fonctions n-MOS et p-MOS de chaque transistor, afin de réaliser un circuit CMOS. Le TiN-ALD peut en effet permettre par la suite de réaliser la fonction p-MOS (i.e. la grille du transistor p-MOS). Dans ce  
15 cas, la couche 714B de TaN mid-gap peut être utilisée comme couche d'arrêt à la gravure de la couche de fonctionnalisation 715 en TiMg (i.e. retrait sélectif du TiMg par rapport au TaN) lors de la réalisation ultérieure du transistor p-MOS. Cette utilisation de la bicouche TiN-ALD/TaN-Mid-gap est illustrée en référence aux figures 5a à 5d et 5d-bis.

20 Comme illustrée en figure 5a, on part ainsi d'un empilement au sein d'une cavité damascène formé par les couches suivantes :

- une couche 701 en Si
- une couche piédestal 702 en SiO<sub>2</sub> ;
- une couche 713 de HfO<sub>2</sub> ;
- 25 - une bicouche de protection 714 ;
- une couche de fonctionnalisation 715 en TiMg ;
- une couche de couverture 716 en TiN.

Comme mentionné en référence à la figure 5, la bicouche 714 de protection est composée de 2 couches 714A et 714B respectivement de TiN de type P et de TaN mid-gap déposées successivement.  
30

L'obtention du transistor p-MOS est illustrée en référence aux figures 5b-bis à 5d-bis tandis que l'obtention du transistor n-MOS est illustrée en référence aux figures 5b à 5d.

En figure 5b-bis, on retire par gravure les couches de couverture 716 TiN et de fonctionnalisation 715 en TiMg en utilisant la couche 714B de TaN mid-gap comme couche d'arrêt à la gravure (i.e. retrait sélectif du TiMg par rapport au TaN).

5 En figure 5b, l'empilement de la figure 5-a est conservé intact.

En référence aux figures 5c et 5c-bis, la cavité damascène est remplie par un métal 717 et 717' neutre du type tungstène W ou Ni.

En référence à la figure 5d, sous l'effet du recuit 718, le Mg de la couche 715 va diffuser vers la bicouche de protection 714, les couches 10 714A et 714B de cette dernière étant dénudée en azote de sorte que l'ensemble formé par les couches 715, 714A et 714B ait un comportement de type N. On réalise ainsi la fonction n-MOS.

En référence à la figure 5d-bis, on conserve un comportement de type p (grâce à la couche 714A) sous l'effet du recuit 718 car la couche de fonctionnalisation 715 en TiMg a été enlevée sélectivement sur la couche 714B 15 de TaN.

De façon générale, pour la mise en œuvre du procédé selon l'invention, le matériau diélectrique est préférentiellement un matériau dit high-k; dans le cas d'un diélectrique high-k, ce dernier se présente sous la 20 forme d'un oxyde à base de Hf (par exemple  $\text{HfO}_2$ ) et/ou de Si (par exemple des silicates à base d'hafnium  $\text{Hf}_{1-x}\text{Si}_x\text{O}_y$ ), La, Al, Sr, Ti, Zn, Sn. Ce matériau peut également être nitruré, par exemple du  $\text{HfSiO:N}$ .

La couche de high-k est déposée sur une couche d'oxyde de silicium  $\text{SiO}_2$  ou de  $\text{SiO:N}$  (qui sert de couche piédestal d'interface). Ce piédestal 25 peut être conservé ou retiré au cours de la réalisation du transistor et peut être réalisé en technologie froide par oxydation plasma.

La couche de protection du high-k est réalisée dans un métal chimiquement stable par rapport au high-k. Elle est préférentiellement composée d'un métal M pouvant aussi être nitruré  $\text{MxNy}$  (par ex. TiN, TaN, WN, MoN), 30 ou une combinaison avec un carbure  $\text{MxCyNz}$  (par ex. TiCN, TaCN). Le métal M ou son nitrure est préférentiellement en milieu de gap du silicium ou de type P (i.e. travail de sortie supérieur à 4.6eV), M pouvant être un métal de transition Ti, Ta, W, Mo. Comme déjà évoqué en référence à la figure 5, la

couche de protection peut-être réalisée par dépôt successif de deux couches, par ex. TiN-ALD (de type P ou P+)/TaN(de type mid-gap).

La couche de fonctionnalisation est composée d'une espèce chimique possédant un faible travail de sortie (i.e. travail de sortie inférieur ou égal à 4.1eV) et une capacité de diffusion compatible avec la technologie gate last. Les espèces des colonnes IIA, IIIB et lanthanides entrent dans cette catégorie, notamment le Mg, Ca, Sc, Y.

Les espèces des colonnes IIA entrent préférentiellement dans cette catégorie, notamment le Mg et Ca. L'enthalpie libre de formation du nitrure de cette espèce dans la gamme 0-1200°C doit être inférieure, en valeur absolue, à celle du nitrure métallique de la couche de protection.

Ainsi, l'enthalpie libre de formation à 273.15K du nitrure de magnésium et du nitrure de calcium est respectivement  $\Delta G(273.15K)Mg_3N_2 = -633.8kJ$  (pour une mole d'azote) et  $\Delta G(273.15K)Ca_3N_2 = -622kJ$ . La valeur absolue de ces enthalpies libres est inférieure à la valeur absolue de l'enthalpie libre de formation du TiN et du TaN ( $\Delta G(273.15K)TiN = -742.2kJ$  et  $\Delta G(273.15K)TaN = -657.3kJ$ ).

De même, l'enthalpie libre de formation à 300K du nitrure de magnésium est  $\Delta G(300K)Mg_3N_2 = -633kJ$  (pour une mole d'azote). La valeur absolue de cette enthalpie libre est inférieure à la valeur absolue de l'enthalpie libre de formation du TiN et du TaN ( $\Delta G(300K)TiN = -742kJ$ ,  $\Delta G(300K)TaN = -657kJ$ ).

Le magnésium ou le calcium peut-être mélangé dans un alliage avec un métal (préférentiellement Ti, Ta, Zr ou Hf) ou un nitrure métallique (par exemple TiN, TaN, ZrN ou HfN) amenant par exemple aux alliages TaMg, TiMg, ZrMg, HfMg, TaMgN, TiMgN, ZrMgN, HfMgN, TaCa, TiCa, ZrCa, HfCa, TaCaN, TiCaN, ZrCaN, HfCaN, TaMgCa, TiMgCa, ZrMgCa, HfMgCa, TaMgCaN, TiMgCaN, ZrMgCaN, HfMgCaN.

On notera que le Mg ou le Ca de la colonne IIA sont avantageusement utilisés par rapport aux espèces de la colonne IIIB telles que le Sc ou l'Y.

En effet, dans le cas du nitrure de scandium ou du nitrure d'Yttrium, l'enthalpie libre de formation est respectivement  $\Delta G(273.15K)ScN = -710.4kJ$



et  $\Delta G(273.15K)_{YN} = -701.9 \text{ kJ}$  ). La valeur absolue de cette enthalpie libre est donc beaucoup plus proche de (voire supérieure à) la valeur absolue de l'enthalpie libre de formation du TiN et du TaN. Le Scandium et l'Yttrium en alliage Ti ou Ta peuvent ainsi être nitruré si l'alliage est déposé sur TaN dans la mesure où l'enthalpie libre de formation du TaN  $\Delta G(273.15K)_{\text{TaN}} = -657.3 \text{ kJ}$  est inférieure en valeur absolue à l'enthalpie libre de formation du nitrure de scandium ou du nitrure d'Yttrium.

La couche de couverture est préférentiellement un métal nitruré (par exemple du TiN, TaN, TiCN ou TaCN).

La nitruration du métal de la couche de protection ou/et de fonctionnalisation peut-être réalisée par traitement plasma (par exemple par nitruration plasma à basse température ou par implantation ionique). Ce traitement peut servir plusieurs buts :

- servir à repousser le Mg dans la couche de protection comme présenté aux figures 4a à 4c ;
- saturer en azote la couche de fonctionnalisation afin d'empêcher la dénudation en azote de la couche de protection et donc limiter, arrêter ou contrôler la diffusion du Mg dans la couche de protection. Ce dernier cas peut avoir un intérêt dans la réalisation d'un transistor complémentaire p-MOS.

Bien entendu, le procédé selon l'invention n'est pas limité aux modes de réalisation qui viennent d'être décrits à titre indicatif et nullement limitatif en référence aux figures 1 à 5.

Ainsi, cette invention ne se limite pas à une application dans le domaine de la réalisation de grille métallique de n-MOS en technologie gate last ; l'invention peut par exemple être étendue à d'autres domaines de réalisation d'électrode particulièrement sur substrat SOI ou pour les transistors FinFET, dans le domaine des mémoires (Mémoires Flash, Oxram, GST...), en technologie Back-end dans les interconnexions ou pour des technologies plus émergentes à base de nanotubes.

De même, la cavité damascène peut être remplie par un métal autre que le tungstène W, par exemple le Ni.

REVENDEICATIONS

- 5 1. Procédé de réalisation d'une électrode conductrice sur un substrat  
comportant les étapes suivantes :
- dépôt d'une couche (213, 413, 513, 613, 713) réalisée dans un maté-  
riau diélectrique ;
  - dépôt sur la couche diélectrique d'une couche de protection (214,  
414, 514, 614, 714) réalisée en nitrure d'un métal M ;
  - 10 - dépôt d'une couche de fonctionnalisation (215, 415, 515, 615, 715)  
réalisée dans un matériau comportant une espèce chimique E telle  
que l'enthalpie libre de formation du nitrure de cette espèce soit infé-  
rieure, en valeur absolue, à l'enthalpie libre de formation du nitrure  
de métal M de ladite couche de protection (214, 414, 514, 614, 714)  
15 sur une gamme de température comprise entre 0 et 1200°C, ladite  
espèce chimique E étant choisie parmi les espèces suivantes : Mg  
ou Ca ;
  - recuit (218, 418, 518, 618, 718) de l'ensemble comportant ladite  
couche de protection (214, 414, 514, 614, 714) et ladite couche de  
20 fonctionnalisation (215, 415, 515, 615, 715) de sorte que les espèces  
E diffusent au moins partiellement de ladite couche de fonctionnalisa-  
tion (215, 415, 515, 615, 715) vers ladite couche de protection (214,  
414, 514, 614, 714) et les atomes d'azote migrent au moins partiel-  
lement de ladite couche de protection (214, 414, 514, 614, 714) vers  
25 ladite couche de fonctionnalisation (215, 415, 515, 615, 715), ladite  
électrode conductrice incluant lesdites couches de protection et de  
fonctionnalisation après recuit.
- 30 2. Procédé selon la revendication précédente caractérisé en ce que la  
couche diélectrique (213, 413, 513, 613, 713) est un matériau isolant  
dont la constante diélectrique est supérieure ou égale à celle de  
l'oxyde de silicium, notamment le SiO<sub>2</sub>, SiO:N ou un matériau à forte  
constante diélectrique, dit matériau high-k.

3. Procédé selon l'une des revendications précédentes caractérisé en ce que les épaisseurs des couches de protection et de fonctionnalisation sont inférieures ou égales à 5nm.
- 5
4. Procédé selon l'une des revendications précédentes caractérisé en ce que le matériau de la couche de fonctionnalisation (215, 415, 515, 615, 715) est choisi parmi les matériaux suivants : TaMg, TiMg, ZrMg, HfMg, TaMgN ou TiMgN, ZrMgN, HfMgN, TaCa, TiCa, ZrCa, HfCa, TaCaN, TiCaN, ZrCaN, HfCaN, TaMgCa, TiMgCa, ZrMgCa, HfMgCa, TaMgCaN, TiMgCaN, ZrMgCaN, HfMgCaN.
- 10
5. Procédé selon l'une des revendications précédentes caractérisé en ce que la couche de protection (214, 414, 514, 614) est une couche en TiN, TaN, TiCN, ou TaCN présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium.
- 15
6. Procédé selon l'une des revendications précédentes caractérisé en ce qu'on réalise la couche de protection (714) sous la forme d'une bicouche par le dépôt successif d'une première couche (714A) présentant, avant le recuit, un comportement de type p, et une deuxième couche (714B) présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium.
- 20
7. Procédé selon l'une des revendications 1 à 5 caractérisé en ce qu'on réalise la couche de protection (714) sous la forme d'une bicouche par le dépôt successif d'une couche de TiN (714A) présentant, avant le recuit, un comportement de type p, et une couche de TaN (714B) présentant, avant le recuit, un travail de sortie en milieu de bande interdite du silicium.
- 25
- 30
8. Procédé selon l'une des revendications précédentes caractérisé en ce que la température de recuit de l'ensemble comportant ladite

couche de protection (214, 414, 514, 614, 714) et ladite couche de fonctionnalisation (215, 415, 515, 615, 715) est strictement inférieure à 500°C.

- 5 9. Procédé selon l'une de revendications précédentes caractérisé en ce qu'il comporte une étape de dépôt d'une couche piédestal d'interface diélectrique (202, 402, 502, 602, 702) entre la couche diélectrique et le substrat (201, 401, 501, 601, 701).
- 10 10. Procédé selon l'une des revendications précédentes caractérisé en ce qu'il comporte une étape de dépôt d'une couche de couverture (216, 416, 516, 616, 716) au-dessus de la couche de fonctionnalisation (215, 415, 515, 615, 715) apte à protéger la couche de fonctionnalisation de l'oxydation, ladite couche de couverture subissant ledit recuit.
- 15 11. Procédé selon la revendication précédente caractérisé en ce que la couche de couverture (216, 416, 516, 616, 716) est réalisée dans un matériau nitruré tel que le TiN, TaN, TiCN, ou le TaCN.
- 20 12. Procédé selon la revendication précédente caractérisé en ce que la nitruration de la couche de couverture (616) est obtenue par un traitement plasma.
- 25 13. Procédé selon l'une des revendications 10 à 12 caractérisé en ce qu'il comporte les étapes suivantes :
- dépôt d'une couche piédestal (202) d'interface diélectrique sur le substrat (201) ;
  - dépôt d'une couche en polysilicium sacrificiel (203) ;
  - 30 - réalisation de zones de drain et source (207, 208) ;
  - réalisation d'une cavité damascène (212) par retrait du polysilicium sacrificiel ;

- dépôt de la couche (213) réalisée dans le matériau diélectrique, ledit matériau diélectrique étant un matériau de type high-k ;
- 5 - dépôt sur la couche diélectrique de la couche de protection (214) réalisée en nitrure de métal M ;
- dépôt sur la couche de protection de la couche de fonctionnalisation (215) ;
- dépôt sur la couche de fonctionnalisation de la couche de couverture (216) ;
- 10 - dépôt d'un matériau métallique (217) visant à remplir le reste de la cavité damascène ;
- recuit (218) de l'ensemble comportant ladite couche de protection (214) et ladite couche de fonctionnalisation (215) de sorte que les espèces E diffusent partiellement de ladite couche de fonctionnalisation vers ladite couche de protection et les atomes d'azote migrent partiellement de ladite couche de protection vers ladite couche de fonctionnalisation.
- 15

14. Procédé selon l'une des revendications 10 à 12 caractérisé en ce qu'il comporte les étapes suivantes :

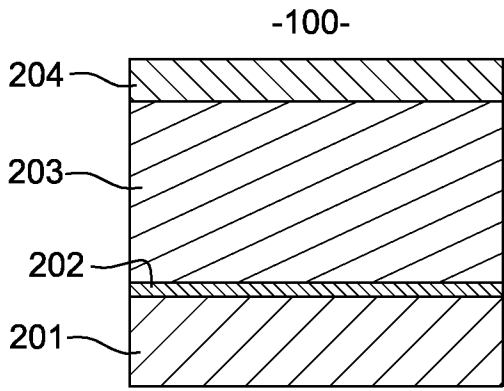
20

- dépôt d'une couche piédestal (402) d'interface diélectrique sur le substrat (401) ;
- dépôt sur la couche piédestal de la couche (413) réalisée dans le matériau diélectrique, ledit matériau diélectrique étant un matériau de type high-k ;
- 25 - dépôt sur la couche diélectrique de la couche de protection (414) réalisée en nitrure de métal M
- dépôt d'une couche en polysilicium sacrificiel (403) ;
- réalisation de zones de drain et source (407, 408) ;
- 30 - réalisation d'une cavité damascène (412) par retrait du polysilicium sacrificiel avec arrêt sur la couche de protection (414) ;
- dépôt sur la couche de protection de la couche de fonctionnalisation (415) ;

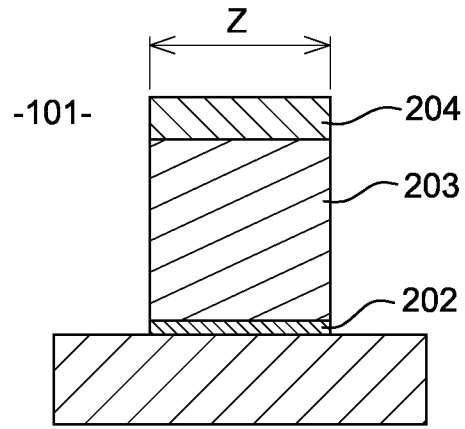
- dépôt sur la couche de fonctionnalisation de la couche de couverture (416) ;
  - dépôt d'un matériau métallique (417) visant à remplir le reste de la cavité damascène ;
  - 5 - recuit (418) de l'ensemble comportant ladite couche de protection (414) et ladite couche de fonctionnalisation (415) de sorte que les espèces E diffusent partiellement de ladite couche de fonctionnalisation vers ladite couche de protection et les atomes d'azote migrent partiellement de ladite couche de protection vers ladite couche de fonctionnalisation.
- 10

15. Transistor n-MOS caractérisé en ce que la grille du transistor est une électrode réalisée par un procédé selon l'une des revendications précédentes.

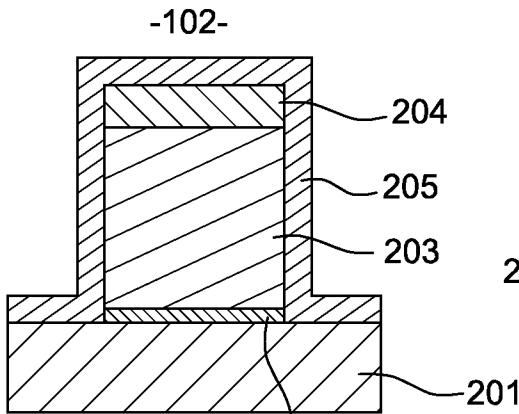
15



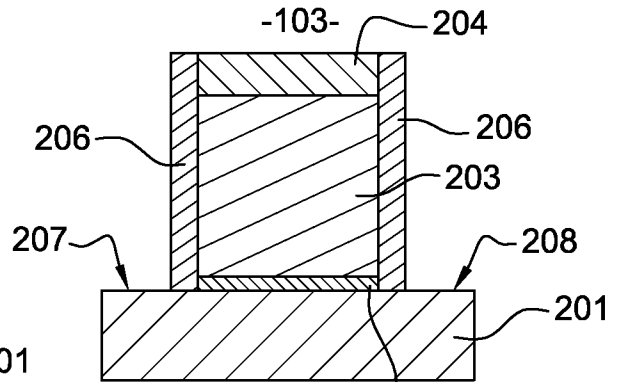
**Fig. 1a**



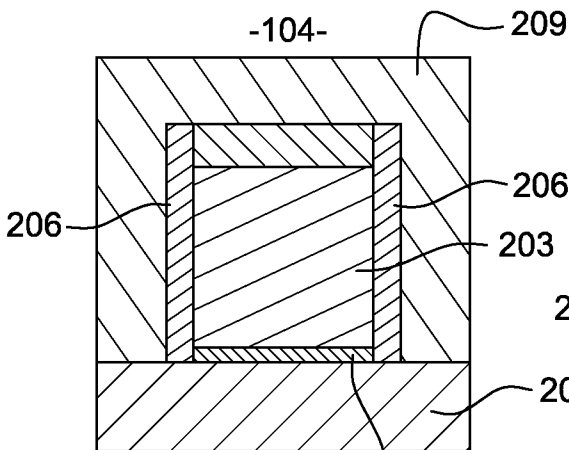
**Fig. 1b**



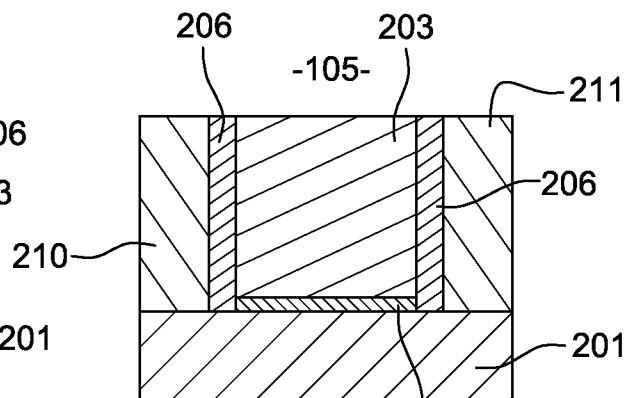
**Fig. 1c**



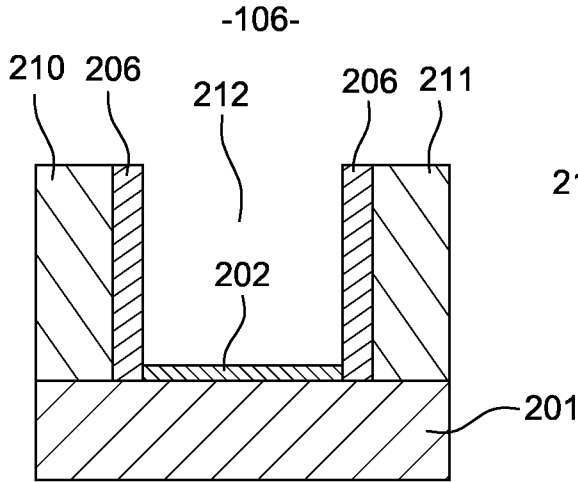
**Fig. 1d**



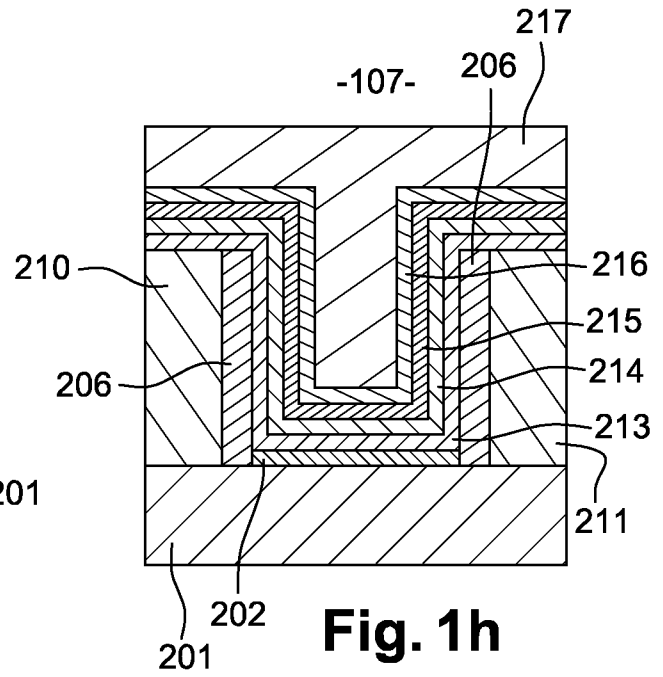
**Fig. 1e**



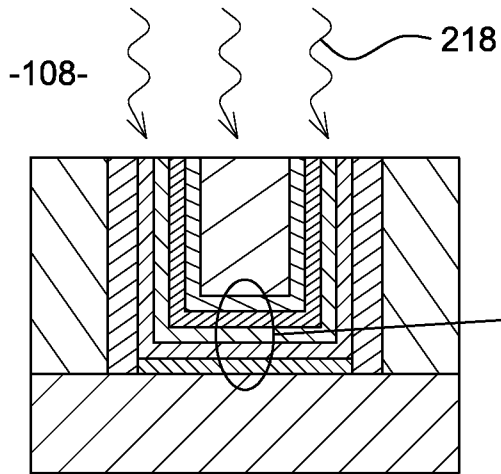
**Fig. 1f**



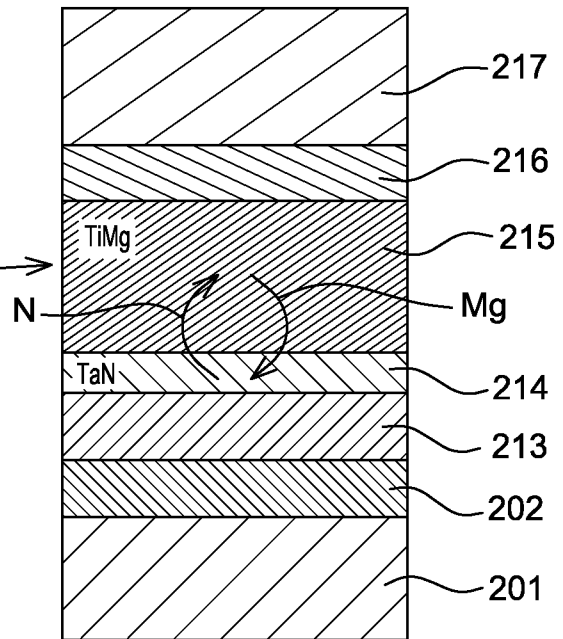
**Fig. 1g**



**Fig. 1h**



**Fig. 1i**



**Fig. 1j**



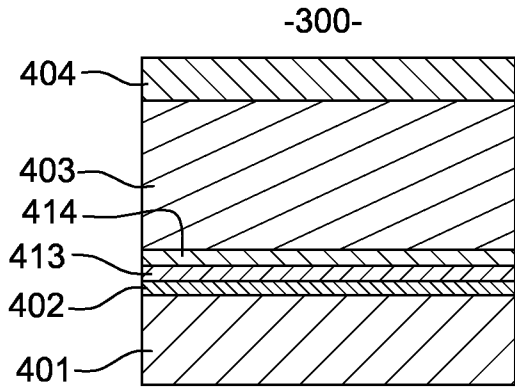


Fig. 2a

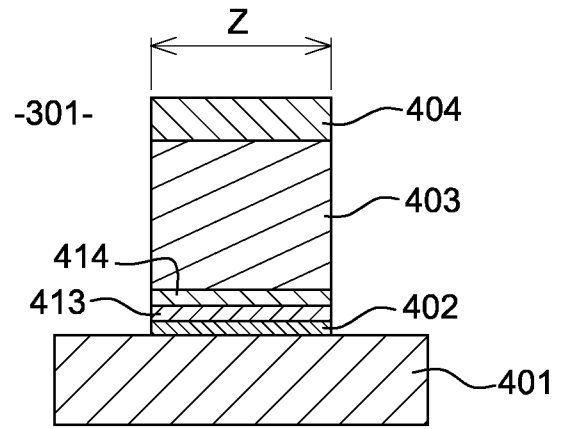


Fig. 2b

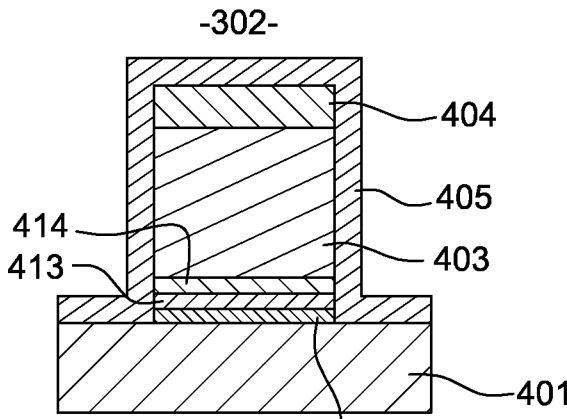


Fig. 2c

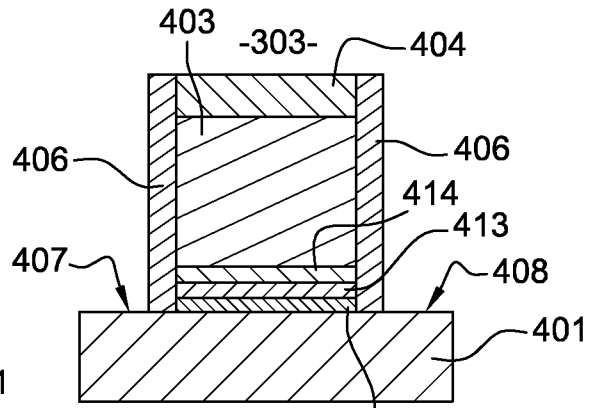


Fig. 2d

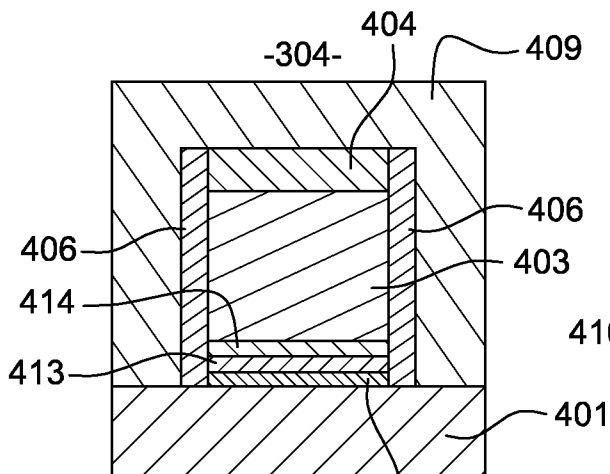


Fig. 2e

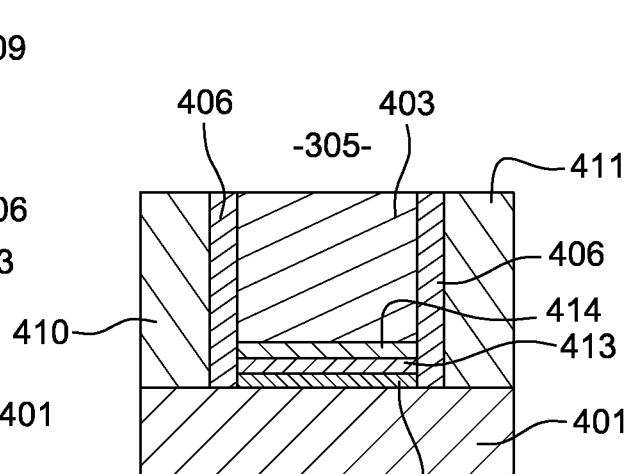
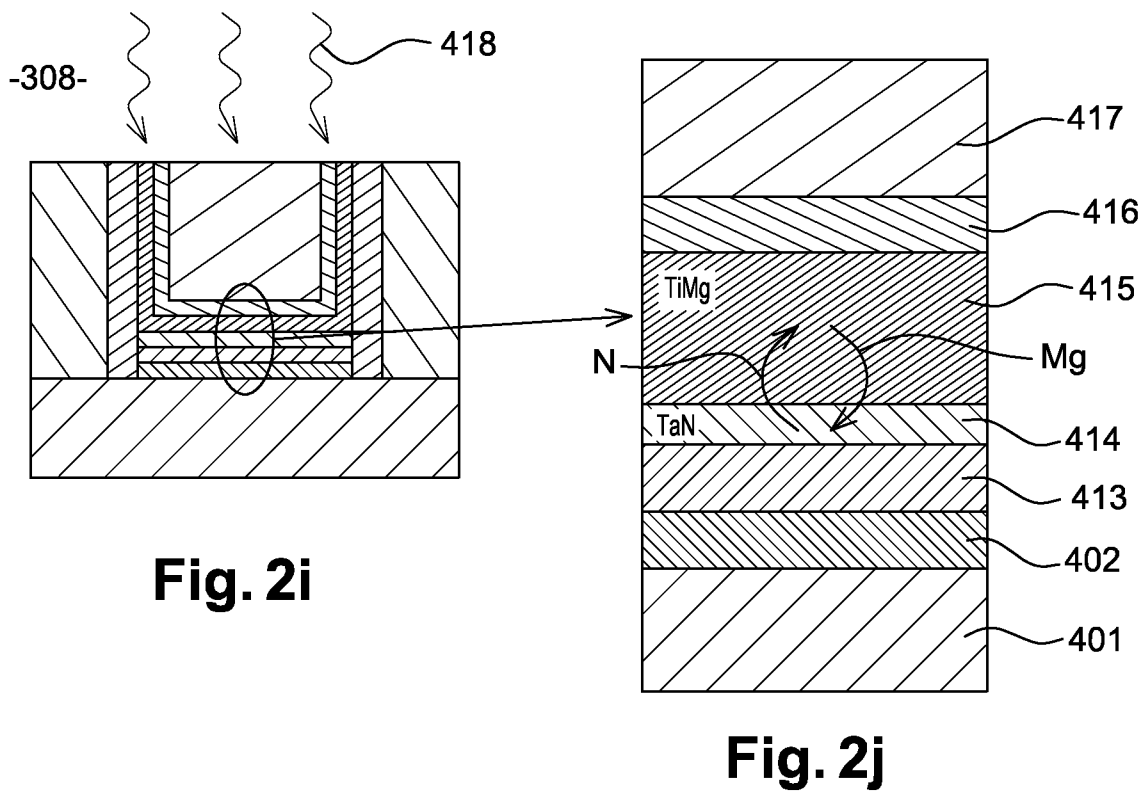
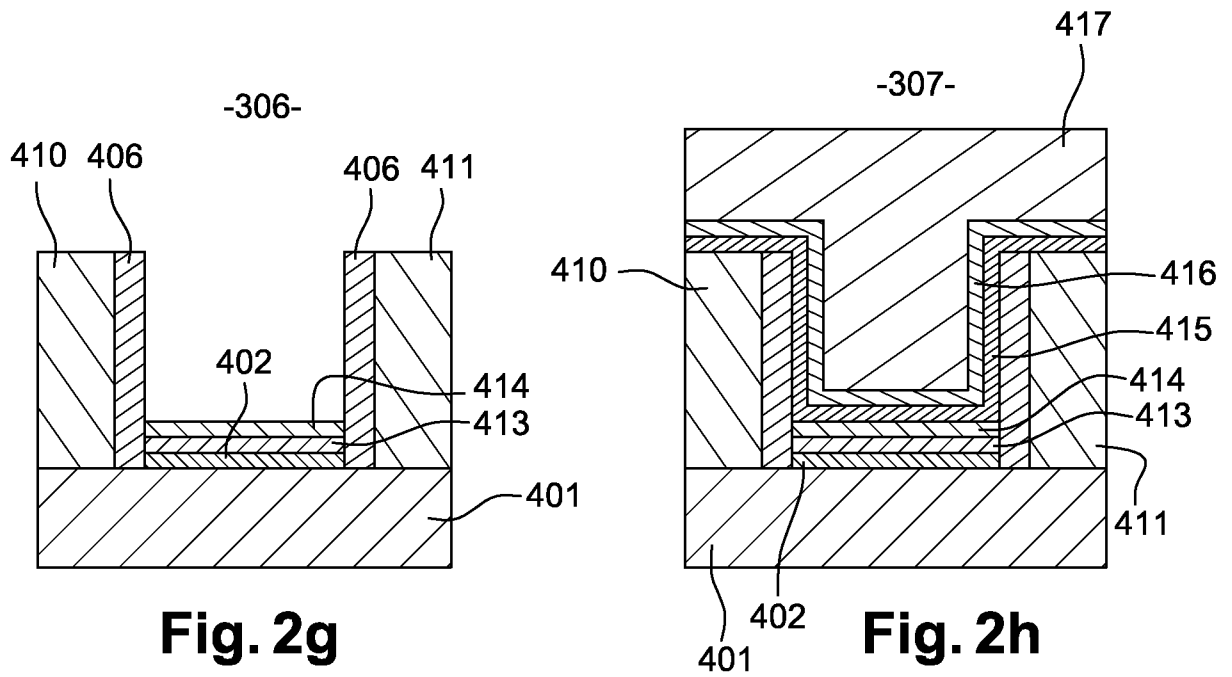
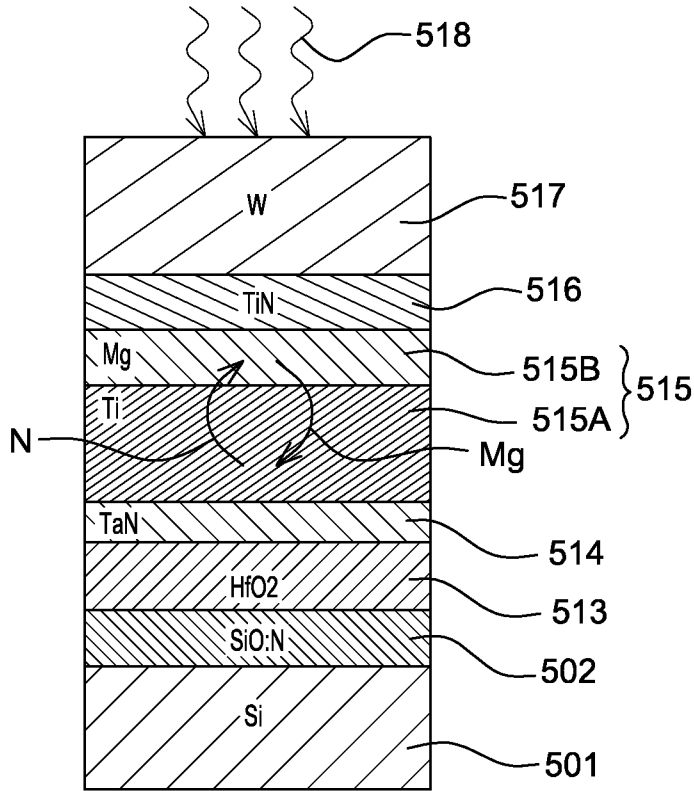
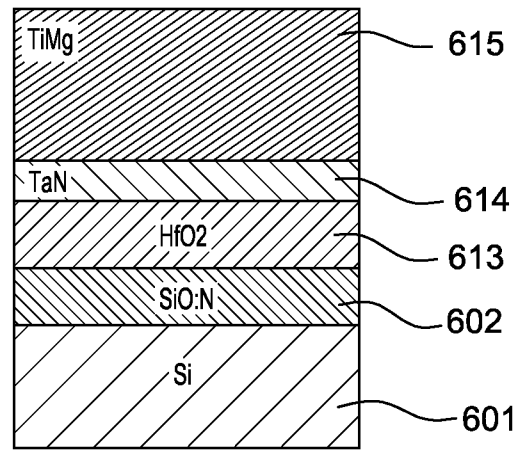


Fig. 2f

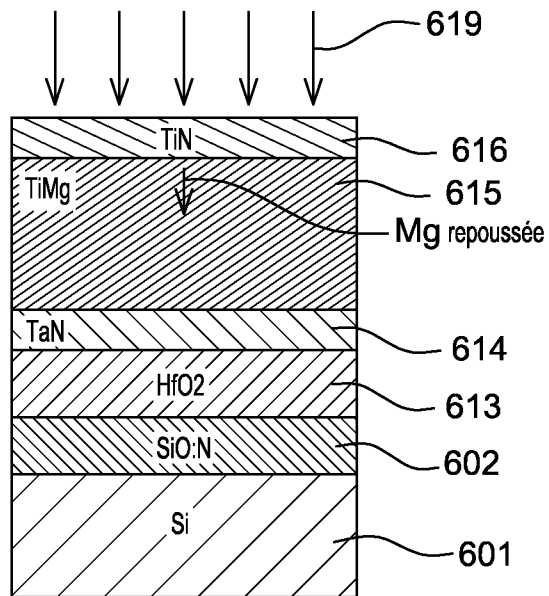




**Fig. 3**



**Fig. 4a**



**Fig. 4b**

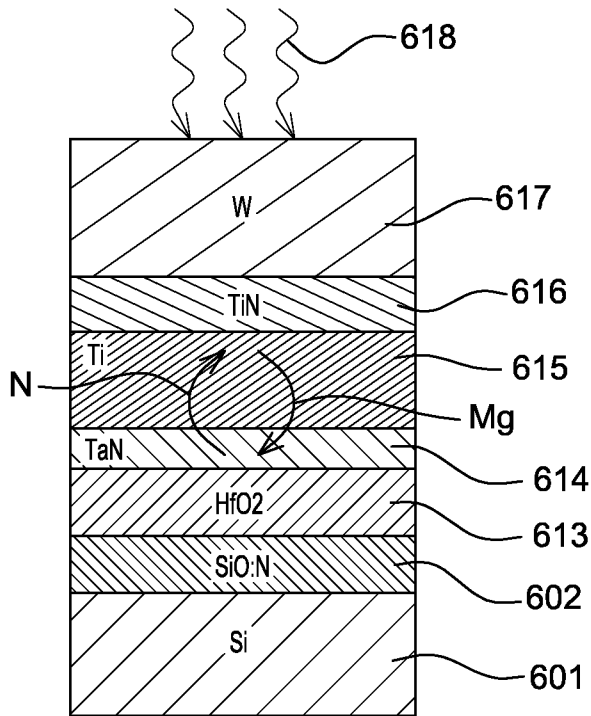


Fig. 4c

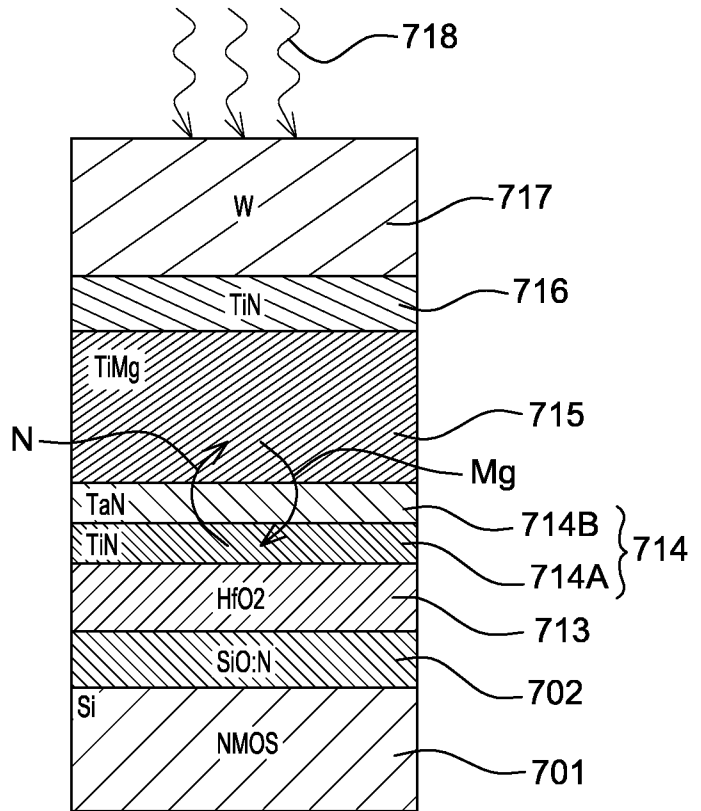
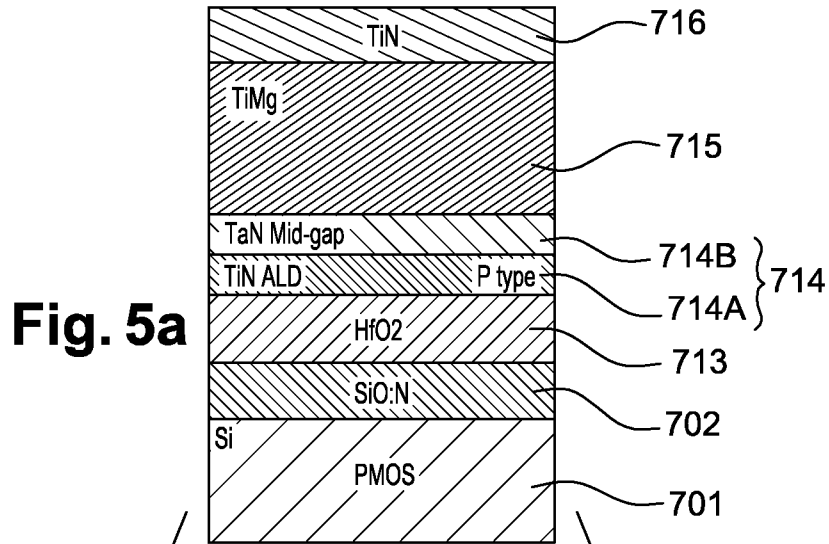


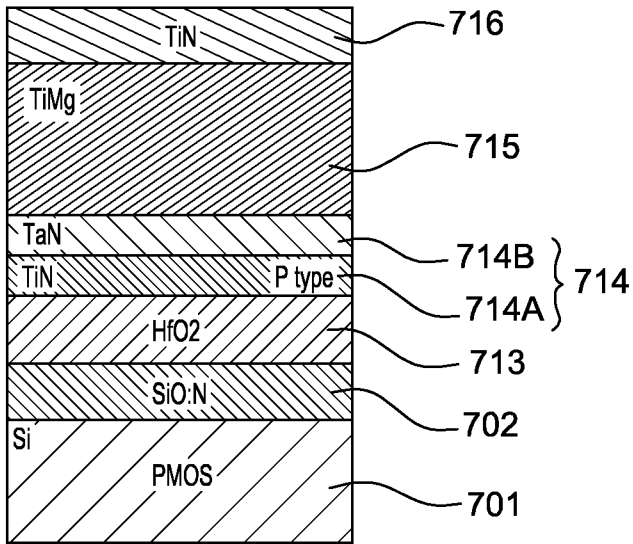
Fig. 5



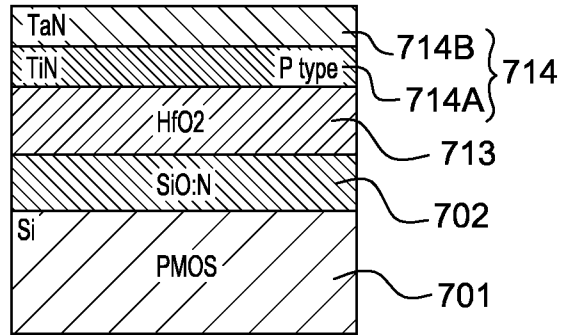
**Fig. 5a**

NMOS

PMOS

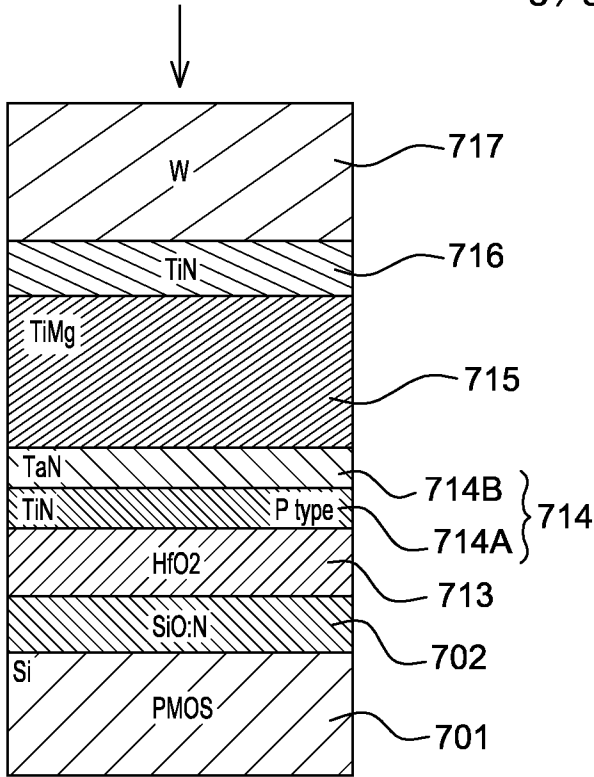


**Fig. 5b**

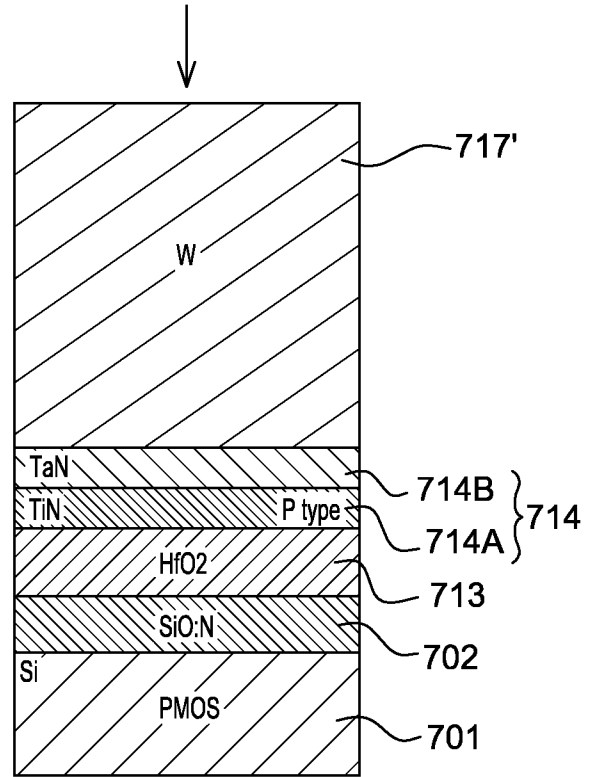


**Fig. 5b-bis**

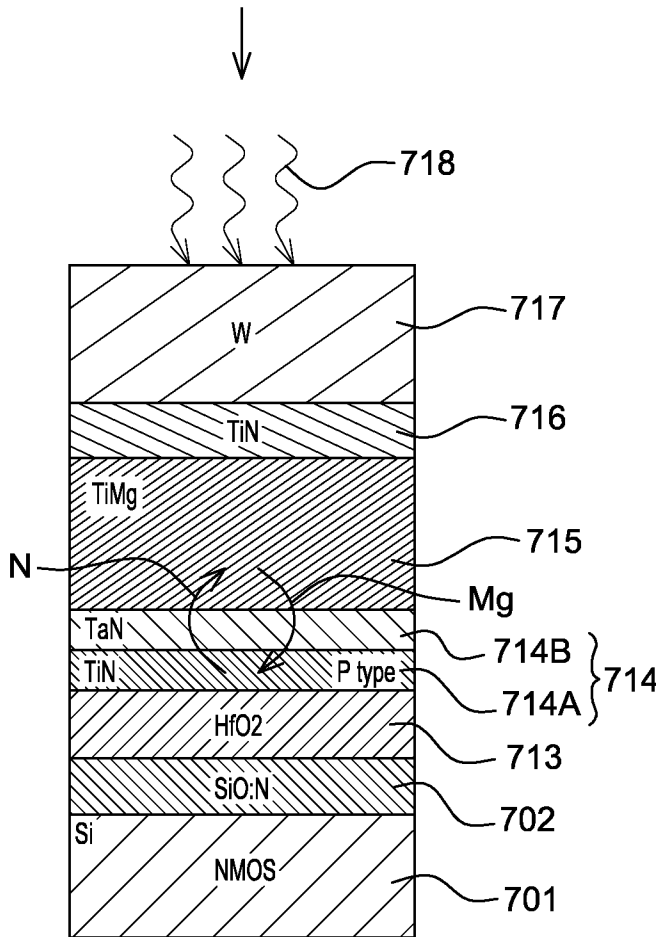




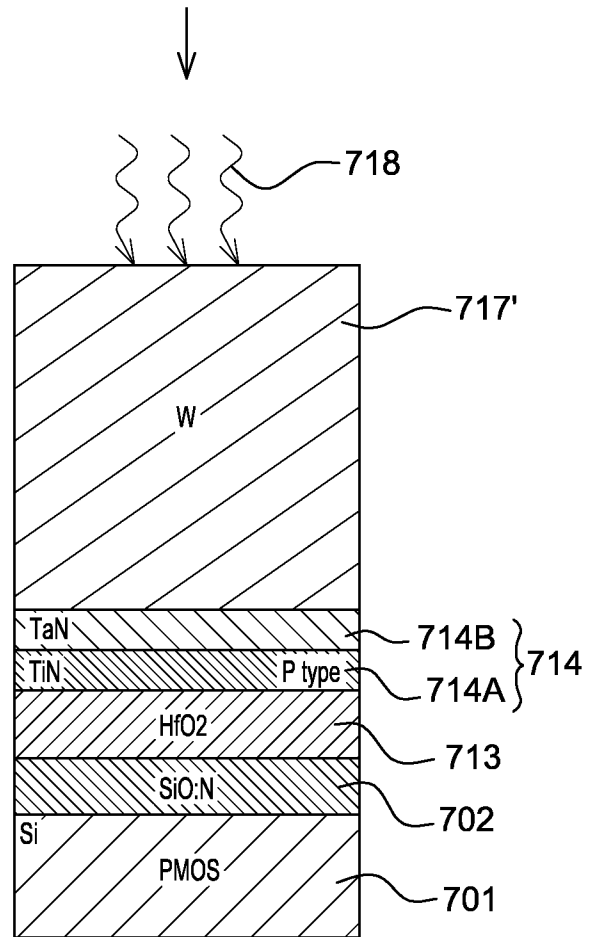
**Fig. 5c**



**Fig. 5c-bis**



**Fig. 5d**



**Fig. 5d-bis**

## INTERNATIONAL SEARCH REPORT

International application No

PCT/FR2011/050496

A. CLASSIFICATION OF SUBJECT MATTER  
 INV. H01L21/28 H01L29/49  
 ADD.

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)  
 H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)

EPO-Internal

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	<p>HASAN MUSARRAT ET AL: "Ultralow work function of scandium metal gate with tantalum nitride interface layer for n-channel metal oxide semiconductor application",            APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US            LNKD- DOI:10.1063/1.2711398,            vol. 90, no. 10, 7 March 2007 (2007-03-07)            , pages 103510-1-103510-3, XP012093514,            ISSN: 0003-6951            abstract            pages 103510-1            table I</p> <p style="text-align: center;">-----            -/--</p>	1-15



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance  
 "E" earlier document but published on or after the international filing date  
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)  
 "O" document referring to an oral disclosure, use, exhibition or other means  
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention  
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone  
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.  
 "&" document member of the same patent family

Date of the actual completion of the international search

5 July 2011

Date of mailing of the international search report

14/07/2011

Name and mailing address of the ISA/

European Patent Office, P.B. 5818 Patentlaan 2  
 NL - 2280 HV Rijswijk  
 Tel. (+31-70) 340-2040,  
 Fax: (+31-70) 340-3016

Authorized officer

Nesso, Stefano

## INTERNATIONAL SEARCH REPORT

International application No  
PCT/FR2011/050496

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 6 830 998 B1 (PAN JAMES [US] ET AL) 14 December 2004 (2004-12-14) column 3, line 65 - column 4, line 56; figures 1-6 column 1, line 26 - line 48 -----	13,14
A	YEO Y-C: "Metal gate technology for nanoscale transistors-material selection and process integration issues", THIN SOLID FILMS, ELSEVIER-SEQUOIA S.A. LAUSANNE, CH LNKD- DOI:10.1016/J.TSF.2004.05.039, vol. 462-463, 1 September 2004 (2004-09-01), pages 34-41, XP004556932, ISSN: 0040-6090 abstract page 34, right-hand column, last line - page 35, left-hand column, line 4 page 38; figures 6,7 -----	1-15
A	WO 2007/005312 A1 (AMBERWAVE SYSTEMS CORP [US]; CURRIE MATTHEW T [US]) 11 January 2007 (2007-01-11) paragraph [0020] - paragraph [0031] -----	1-15
A	US 2007/178681 A1 (CHUNG YOUNG-SU [KR] ET AL) 2 August 2007 (2007-08-02) paragraph [0038] - paragraph [0041] -----	1-15



# INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No

PCT/FR2011/050496

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 6830998	B1	14-12-2004	NONE
-----			
WO 2007005312	A1	11-01-2007	NONE
-----			
US 2007178681	A1	02-08-2007	CN 101013723 A 08-08-2007
		JP 2007208256 A	16-08-2007
-----			

# RAPPORT DE RECHERCHE INTERNATIONALE

Demande internationale n°

PCT/FR2011/050496

A. CLASSEMENT DE L'OBJET DE LA DEMANDE INV. H01L21/28 H01L29/49 ADD.				
Selon la classification internationale des brevets (CIB) ou à la fois selon la classification nationale et la CIB				
B. DOMAINES SUR LESQUELS LA RECHERCHE A PORTE				
Documentation minimale consultée (système de classification suivi des symboles de classement) H01L				
Documentation consultée autre que la documentation minimale dans la mesure où ces documents relèvent des domaines sur lesquels a porté la recherche				
Base de données électronique consultée au cours de la recherche internationale (nom de la base de données, et si cela est réalisable, termes de recherche utilisés) EPO-Internal				
C. DOCUMENTS CONSIDERES COMME PERTINENTS				
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées		
A	HASAN MUSARRAT ET AL: "Ultralow work function of scandium metal gate with tantalum nitride interface layer for n-channel metal oxide semiconductor application", APPLIED PHYSICS LETTERS, AIP, AMERICAN INSTITUTE OF PHYSICS, MELVILLE, NY, US LNKD- DOI:10.1063/1.2711398, vol. 90, no. 10, 7 mars 2007 (2007-03-07), pages 103510-1-103510-3, XP012093514, ISSN: 0003-6951 abrégé pages 103510-1 tableau I  -----  -/--	1-15		
<table border="0" style="width: 100%;"> <tr> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents                         </td> <td style="width: 50%; vertical-align: top;"> <input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe                         </td> </tr> </table>			<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe
<input checked="" type="checkbox"/> Voir la suite du cadre C pour la fin de la liste des documents	<input checked="" type="checkbox"/> Les documents de familles de brevets sont indiqués en annexe			
* Catégories spéciales de documents cités:				
"A" document définissant l'état général de la technique, non considéré comme particulièrement pertinent "E" document antérieur, mais publié à la date de dépôt international ou après cette date "L" document pouvant jeter un doute sur une revendication de priorité ou cité pour déterminer la date de publication d'une autre citation ou pour une raison spéciale (telle qu'indiquée) "O" document se référant à une divulgation orale, à un usage, à une exposition ou tous autres moyens "P" document publié avant la date de dépôt international, mais postérieurement à la date de priorité revendiquée		"T" document ultérieur publié après la date de dépôt international ou la date de priorité et n'appartenant pas à l'état de la technique pertinent, mais cité pour comprendre le principe ou la théorie constituant la base de l'invention "X" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme nouvelle ou comme impliquant une activité inventive par rapport au document considéré isolément "Y" document particulièrement pertinent; l'invention revendiquée ne peut être considérée comme impliquant une activité inventive lorsque le document est associé à un ou plusieurs autres documents de même nature, cette combinaison étant évidente pour une personne du métier "&" document qui fait partie de la même famille de brevets		
Date à laquelle la recherche internationale a été effectivement achevée  5 juillet 2011		Date d'expédition du présent rapport de recherche internationale  14/07/2011		
Nom et adresse postale de l'administration chargée de la recherche internationale Office Européen des Brevets, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Fax: (+31-70) 340-3016		Fonctionnaire autorisé  Nesso, Stefano		

C(suite). DOCUMENTS CONSIDERES COMME PERTINENTS		
Catégorie*	Identification des documents cités, avec, le cas échéant, l'indication des passages pertinents	no. des revendications visées
A	<p>US 6 830 998 B1 (PAN JAMES [US] ET AL)                      14 décembre 2004 (2004-12-14)                      colonne 3, ligne 65 - colonne 4, ligne 56;                      figures 1-6                      colonne 1, ligne 26 - ligne 48                      -----</p>	13,14
A	<p>YEO Y-C: "Metal gate technology for                      nanoscale transistors-material selection                      and process integration issues",                      THIN SOLID FILMS, ELSEVIER-SEQUOIA S.A.                      LAUSANNE, CH LNKD-                      DOI:10.1016/J.TSF.2004.05.039,                      vol. 462-463,                      1 septembre 2004 (2004-09-01), pages                      34-41, XP004556932,                      ISSN: 0040-6090                      abrégé                      page 34, colonne de droite, dernière ligne                      - page 35, colonne de gauche, ligne 4                      page 38; figures 6,7                      -----</p>	1-15
A	<p>WO 2007/005312 A1 (AMBERWAVE SYSTEMS CORP                      [US]; CURRIE MATTHEW T [US])                      11 janvier 2007 (2007-01-11)                      alinéa [0020] - alinéa [0031]                      -----</p>	1-15
A	<p>US 2007/178681 A1 (CHUNG YOUNG-SU [KR] ET                      AL) 2 août 2007 (2007-08-02)                      alinéa [0038] - alinéa [0041]                      -----</p>	1-15

# RAPPORT DE RECHERCHE INTERNATIONALE

Renseignements relatifs aux membres de familles de brevets

Demande internationale n°

PCT/FR2011/050496

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 6830998	B1	14-12-2004	AUCUN
WO 2007005312	A1	11-01-2007	AUCUN
US 2007178681	A1	02-08-2007	CN 101013723 A 08-08-2007 JP 2007208256 A 16-08-2007