(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0047406
(43) 공개일자 2011년05월09일

(51) Int. Cl.
H03M 3/00 (2006.01) *H03M 3/04* (2006.01)
(21) 출원번호 10-2009-0104020
(22) 출원일자 2009년10월30일
심사청구일자 2009년10월30일

(71) 출원인
인하대학교 산학협력단
인천 남구 용현동 253 인하대학교
(72) 발명자
윤광섭
인천광역시 남구 용현3동 인하대학교 전자공학과 하이테크관 810호
황정진
인천광역시 남구 용현3동 인하대학교 하이테크관 810호
(74) 대리인
유완식, 이은철

전체 청구항 수 : 총 8 항

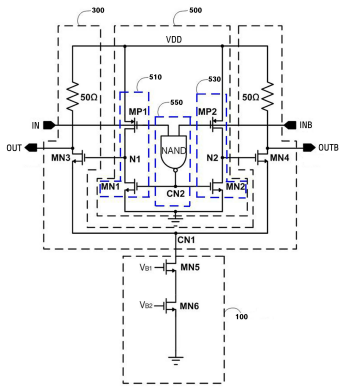
(54) 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로

(57) 요 약

본 발명에서 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로에 대해 개시한다. 본 발명에 따른 차동 스위치 구동회로는, 제1 공통 노드(CN1)와 연결되어 일정한 정전류를 공급받는 전류 발생부; 상기 전류 발생부와 제1 공통 노드(CN1)를 통해 연결되어 일정한 정전류를 공급하며, 상기 제1 공통 노드(CN1)와 연결된 제3 NMOS 트랜지스터(MN3) 및 제4 NMOS 트랜지스터(MN4)를 포함하는 차동 스위치부; 및 스위치 구동회로부를 포함하되, 상기 스위치 구동회로부는, 상기 제3 NMOS 트랜지스터(MN3)와 제1 노드(N1)를 통해 연결되는 제1 소스 증폭기; 상기 제4 NMOS 트랜지스터(MN4)와 제2 노드(N2)를 통해 연결되는 제2 소스 증폭기; 및 상기 제1 소스 증폭기 및 상기 제2 소스 증폭기와 제2 공통 노드(CN2)를 통해 연결된 낸드 게이트; 를 포함한다.

따라서, 본 발명에 따르면, 아날로그 출력단에서 발생하는 글리치 에너지를 최소화할 수 있는 효과가 있으며, 낸드 게이트를 통해 차동 스위치 구동회로의 출력 신호를 동기화시킴에 따라 디지털 아날로그 변환기의 동적 성능을 향상시킬 수 있는 효과도 있다.

대 표 도 - 도2



이 발명을 지원한 국가연구개발사업
과제고유번호 C1090-0902-0019
부처명 정보통신부
연구관리전문기관
연구사업명 대학 IT 연구센터 육성지원
연구과제명 초광대역(UWB) 무선전송 및 시스템 응용기술
기여율
주관기관 인하대학교 산학협력단
연구기간 2009년 01월 01일 ~ 2009년 12월 31일

특허청구의 범위

청구항 1

낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로에 있어서,

제1 공통 노드(CN1)와 연결되어 일정한 정전류를 공급받는 전류 발생부(100); 상기 전류 발생부(100)와 제1 공통 노드(CN1)를 통해 연결되어 일정한 정전류를 공급하며, 상기 제1 공통 노드(CN1)와 연결된 제3 NMOS 트랜지스터(MN3) 및 제4 NMOS 트랜지스터(MN4)를 포함하는 차동 스위치부(300); 및 스위치 구동회로부(500)를 포함하되,

상기 스위치 구동회로부(500)는,

상기 제3 NMOS 트랜지스터(MN3)와 제1 노드(N1)를 통해 연결되는 제1 소스 증폭기(510); 상기 제4 NMOS 트랜지스터(MN4)와 제2 노드(N2)를 통해 연결되는 제2 소스 증폭기(530); 및 상기 제1 소스 증폭기(510) 및 상기 제2 소스 증폭기(530)와 제2 공통 노드(CN2)를 통해 연결된 낸드 게이트(550);를 포함하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 2

제 1 항에 있어서,

상기 전류 발생부(100)는, 상기 차동 스위치부(300)와 상기 제1 공통 노드(CN1) 사이에 직렬로 연결된 제5 NMOS 트랜지스터(MN5) 및 제6 NMOS 트랜지스터(MN6)를 포함하되,

상기 제5 NMOS 트랜지스터(MN5)의 게이트에 제1 바이어스 전압(VB1)이 인가되고, 상기 제6 NMOS 트랜지스터(MN6)의 게이트에 제2 바이어스 전압(VB2)이 인가됨에 따라, 상기 제1 공통 노드(CN1)에서 일정한 정전류를 제공받는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 3

제 1 항에 있어서,

상기 차동 스위치부(300)는,

상기 제3 NMOS 트랜지스터(MN3)의 소스가 상기 제1 공통 노드(CN1)와 연결되고, 상기 제3 NMOS 트랜지스터(MN3)의 드레인이 제1 출력단(OUT)에 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 4

제 1 항에 있어서,

상기 차동 스위치부(300)는,

상기 제4 NMOS 트랜지스터(MN4)의 소스가 상기 제1 공통 노드(CN1)와 연결되고, 상기 제4 NMOS 트랜지스터(MN4)의 드레인은 제2 출력단(OUTB)에 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 5

제 1 항에 있어서,

상기 제1 소스 증폭기(510)는,

상기 제1 노드(N1)를 통해 상기 제3 NMOS 트랜지스터(MN3)의 게이트와 연결되는 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1)를 포함하되,

상기 제1 PMOS 트랜지스터(MP1)의 소스가 전원전압(VDD)과, 상기 제1 PMOS 트랜지스터(MP1)의 게이트가 제1 입력단(IN)과, 상기 제1 PMOS 트랜지스터(MP1)의 드레인이 제1 노드(N1)와 연결되며,

상기 제1 NMOS 트랜지스터(MN1)의 소스는 접지되며, 상기 제1 NMOS 트랜지스터(MN1)의 드레인은 제1 노드(N1)와

연결되고, 상기 제1 NMOS 트랜지스터(MN1)의 게이트는 제2 공통 노드(CN2)와 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 6

제 5 항에 있어서,

상기 낸드 게이트(550)는,

제1 입력단(IN) 및 제2 입력단(INB)이 입력으로 연결되고, 상기 제2 공통 노드(CN2)가 출력으로 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 7

제 1 항에 있어서,

상기 제2 소스 증폭기(530)는,

상기 제2 노드(N2)를 통해 상기 제 4 NMOS 트랜지스터(MN4)의 게이트와 연결되는 제2 PMOS 트랜지스터(MP2) 및 제 2 NMOS 트랜지스터(MN2)를 포함하되,

상기 제2 PMOS 트랜지스터(MP2)의 소스가 전원전압(VDD)과, 상기 제2 PMOS 트랜지스터(MP2)의 게이트가 제2 입력단(INB)과, 상기 제2 PMOS 트랜지스터(MP2)의 드레인이 제2 노드(N2)와 연결되며,

상기 제2 NMOS 트랜지스터(MN2)의 소스는 접지되며, 상기 제2 NMOS 트랜지스터(MN2)의 드레인은 제2 노드(N2)와 연결되고, 상기 제2 NMOS 트랜지스터(MN2)의 게이트는 제2 공통 노드(CN2)에 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

청구항 8

제 7 항에 있어서,

상기 낸드 게이트(550)는,

제1 입력단(IN) 및 제2 입력단(INB)이 입력으로 연결되고, 상기 제2 공통 노드(CN2)가 출력으로 연결되는 것을 특징으로 하는 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 디지털 아날로그 변환기에 사용되는 차동 스위치 구동회로에 관한 것이다. 보다 상세하게는, 낸드(NAND) 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로를 제공함으로써, 소스 증폭기를 이용하여 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 줄여 출력 신호의 글리치 에너지를 감소시키며, 낸드 게이트를 이용하여 출력 신호를 동기화하도록 하여 디지털 아날로그 변환기의 성능을 개선하는 차동 스위치 구동회로에 관한 것이다.

배 경 기 술

[0002] 디지털 아날로그 변환기는 시스템 내에서 디지털 신호처리 부분과 아날로그 신호처리 부분의 인터페이스를 담당하는 기능을 수행하는 중요한 역할을 담당한다. 전류 모드 디지털 아날로그 변환기의 동작원리는 디지털 신호가 전류원에 연결된 차동 스위치를 제어하여 아날로그 신호를 생성하며, 디지털 아날로그 변환기는 차동 스위치를 구동하는 회로에 의하여 그 성능이 결정된다 해도 과언이 아니다.

[0003] 종래의 디지털 아날로그 변환기는 글리치 억제회로를 통해 차동 스위치의 교차점(Crosssing point)를 이동시켜 차동 스위치가 동시에 오프(Off)되는 것을 방지하여 글리치 에너지를 억제하는 방식을 이용하였으나, 이는 단순히 제어신호의 교차점을 조절하거나 전이 시간을 단축하는 방법으로서, 제어신호의 전이가 전원 전압 크기에 해

당하는 전 범위에서 이루어지므로 출력 신호에서의 글리치 에너지를 줄이는데 한계가 있었다.

[0004] 또한, 종래의 스위치 구동회로 기술 중 소스 증폭기만을 사용하여 각각의 차동 스위치에 연결하여 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 감소하도록 하는 차동 스위치 구동회로들도 있지만, 이는 소자 레이아웃 상에서의 딜레이(delay)나 공정상에서의 오차발생으로 인해 스위치 구동회로로 입력되는 차동 디지털 신호에 스큐(Skew)가 발생하게 되면 차동 스위치에 타이밍 에러가 발생함에 따라 전류 모드 디지털 아날로그 변환기의 성능을 저하시키는 원인이 된다.

[0005] 따라서, 본 발명은 상기와 같은 문제점을 해결한 차동 스위치 구동회로를 이하와 같이 개시하고자 한다.

발명의 내용

해결 하고자하는 과제

[0006] 본 발명의 목적은, 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로를 제공함으로써, 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 줄임으로써 아날로그 출력단에서 발생하는 글리치 에너지를 최소화할 수 있는 차동 스위치 구동회로를 제공함에 있다.

[0007] 본 발명의 또 다른 목적은, 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로를 제공함으로써, 소자 레이아웃 상에서의 딜레이(Delay)나 공정상에서의 오차발생으로 인해 차동 스위치 구동회로로 입력되는 디지털 신호에 스큐(Skew)가 발생하여도 디지털 아날로그 변환기의 성능에 영향을 미치지 않도록 하는 차동 스위치 구동회로를 제공함에 있다.

과제 해결수단

[0008] 본 발명에 따른 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로는, 제1 공통 노드(CN1)와 연결되어 일정한 정전류를 공급받는 전류 발생부; 상기 전류 발생부와 제1 공통 노드(CN1)를 통해 연결되어 일정한 정전류를 공급하며, 상기 제1 공통 노드(CN1)와 연결된 제3 NMOS 트랜지스터(MN3) 및 제4 NMOS 트랜지스터(MN4)를 포함하는 차동 스위치부; 및 스위치 구동회로부를 포함하되,

[0009] 상기 스위치 구동회로부는, 상기 제3 NMOS 트랜지스터(MN3)와 제1 노드(N1)를 통해 연결되는 제1 소스 증폭기; 상기 제4 NMOS 트랜지스터(MN4)와 제2 노드(N2)를 통해 연결되는 제2 소스 증폭기; 및 상기 제1 소스 증폭기 및 상기 제2 소스 증폭기와 제2 공통 노드(CN2)를 통해 연결된 낸드 게이트; 를 포함한다.

[0010] 이때, 상기 제1 소스 증폭기는, 상기 제1 노드(N1)를 통해 상기 제3 NMOS 트랜지스터(MN3)의 게이트와 연결되는 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1)를 포함하되, 상기 제1 PMOS 트랜지스터(MP1)의 소스가 전원전압(VDD)과, 상기 제1 PMOS 트랜지스터(MP1)의 게이트가 제1 입력단(IN)과, 상기 제1 PMOS 트랜지스터(MP1)의 드레인이 제1 노드(N1)와 연결되며, 상기 제1 NMOS 트랜지스터(MN1)의 소스는 접지되며, 상기 제1 NMOS 트랜지스터(MN1)의 드레인은 제1 노드(N1)와 연결되고, 상기 제1 NMOS 트랜지스터(MN1)의 게이트는 제2 공통 노드(CN2)와 연결되는 것이 바람직하다.

[0011] 이때, 상기 제2 소스 증폭기는, 상기 제2 노드(N2)를 통해 상기 제 4 NMOS 트랜지스터(MN4)의 게이트와 연결되는 제2 PMOS 트랜지스터(MP2) 및 제 2 NMOS 트랜지스터(MN2)를 포함하되, 상기 제2 PMOS 트랜지스터(MP2)의 소스가 전원전압(VDD)과, 상기 제2 PMOS 트랜지스터(MP2)의 게이트가 제2 입력단(INB)과, 상기 제2 PMOS 트랜지스터(MP2)의 드레인이 제2 노드(N2)와 연결되며, 상기 제2 NMOS 트랜지스터(MN2)의 소스는 접지되며, 상기 제2 NMOS 트랜지스터(MN2)의 드레인은 제2 노드(N2)와 연결되고, 상기 제2 NMOS 트랜지스터(MN2)의 게이트는 제2 공통 노드(CN2)에 연결되는 것이 바람직하다.

[0012] 이때, 상기 낸드 게이트는, 상기 제1 입력단(IN) 및 제2 입력단(INB)이 입력으로 연결되고, 상기 제2 공통 노드(CN2)가 출력으로 연결되는 것이 바람직하다.

효 과

[0013] 본 발명에 따르면, 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로를 제공함으로써, 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 줄임으로써 오버-드라이브 전압을 낮추어 차동 스위치의 온/오프(On/Off) 시에 발생하는 Charge-Injection 현상과 Clock-Feedthrough 현상을 감소시켜 아날로그 출력단에서 발생하는 글리치 에너지를 최소화할 수 있는 효과가 있다.

[0014] 또한, 본 발명에 따르면, 낸드 게이트와 소스 증폭기를 이용한 차동 스위치 구동회로를 제공함으로써, 소자 레이아웃 상에서의 딜레이(Delay)나 공정상에서의 오차발생으로 인해 차동 스위치 구동회로로 입력되는 디지털 입력 신호에 스큐(Skew)가 발생하더라도, 낸드 게이트를 통해 차동 스위치 구동회로의 출력 신호를 동기화시킴에 따라 디지털 아날로그 변환기의 동적 성능을 향상시킬 수 있는 효과도 있다.

발명의 실시를 위한 구체적인 내용

[0015] 본 발명의 실시를 위한 구체적인 내용을 설명하기에 앞서, 본 발명의 기술적 요지와 직접적 관련이 없는 구성에 대해서는 본 발명의 기술적 요지를 흐뜨리지 않는 범위 내에서 생략하였음에 유의하여야 할 것이다. 또한, 본 명세서 및 청구범위에 사용된 용어 또는 단어는 발명자가 자신의 발명을 최선의 방법으로 설명하기 위해 적절한 용어의 개념을 정의할 수 있다는 원칙에 입각하여 본 발명의 기술적 사상에 부합하는 의미와 개념으로 해석되어야 할 것이다.

[0016] 이하, 본 발명에 따른 차동 스위치 구동회로에 대해 첨부한 예시도면을 토대로 상세히 설명한다. 도 1의 경우 본 발명에 따른 차동 스위치 구동회로의 전체 구성도이며, 도 2의 경우 본 발명에 따른 차동 스위치 구동회로의 상세 회로도이다.

[0017] 본 발명에 따른 차동 스위치 구동회로는, 전류 발생부(100), 차동 스위치부(300) 및 스위치 구동회로부(500)를 포함한다.

[0018] 상기 전류 발생부(100)는, 상기 제 5 NMOS 트랜지스터(MN5)의 게이트에 제 1 바이어스 전압(VB1)이 인가되고, 상기 제 6 NMOS 트랜지스터(MN6)의 게이트에는 제 2 바이어스 전압(VB2)이 인가됨으로써, 제1 공통 노드(CN1)로부터 일정한 정전류를 제공받는 것이 바람직하다.

[0019] 상기 차동 스위치부(300)는, 상기 전류 발생부와 제1 공통 노드(CN1)를 통해 연결되어 일정한 정전류를 공급하며, 상기 제1 공통 노드(CN1)와 각각 연결된 제 3 NMOS 트랜지스터(MN3) 및 제 4 NMOS 트랜지스터(MN4)를 포함한다.

[0020] 이때, 상기 차동 스위치부(300)는, 상기 제3 NMOS 트랜지스터(MN3)의 소스가 상기 제1 공통 노드(CN1)와 연결되고, 상기 제3 NMOS 트랜지스터(MN3)의 드레인이 제1 출력단(OUT)에 연결되는 것이 바람직하다.

[0021] 또한 이때, 상기 차동 스위치부(300)는, 상기 제4 NMOS 트랜지스터(MN4)의 소스가 상기 제1 공통 노드(CN1)와 연결되고, 상기 제4 NMOS 트랜지스터(MN4)의 드레인은 제2 출력단(OUTB)에 연결되는 것이 바람직하다.

[0022] 상기 스위치 구동회로부(500)는, 제1 소스 증폭기(510), 제2 소스 증폭기(530) 및 낸드 게이트(550)를 포함한다.

[0023] 이때, 제1 소스 증폭기(510)는, 상기 제1 노드(N1)를 통해 상기 제3 NMOS 트랜지스터(MN3)의 게이트와 연결되는 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1)를 포함한다.

[0024] 그리고, 상기 제1 소스 증폭기(510)는, 상기 제 1 PMOS 트랜지스터(MP1)의 소스가 전원전압(VDD)과, 상기 제 1 PMOS 트랜지스터(MP1)의 게이트가 제1 입력단(IN)과, 상기 제 1 PMOS 트랜지스터(MP1)의 드레인이 제1 노드(N1)와 연결되는 것이 바람직하다.

[0025] 그리고, 상기 제1 NMOS 트랜지스터(MN1)의 소스는 접지되며, 상기 제1 NMOS 트랜지스터(MN1)의 드레인은 제1 노드(N1)와, 상기 제1 NMOS 트랜지스터(MN1)의 게이트는 제2 공통 노드(CN2)와 연결되는 것이 바람직하다.

[0026] 또한 이때, 제2 소스 증폭기(530)는, 상기 제2 노드(N2)를 통해 상기 제4 NMOS 트랜지스터(MN4)의 게이트와 연결되는 제2 PMOS 트랜지스터(MP2) 및 제2 NMOS 트랜지스터(MN2)를 포함한다.

[0027] 그리고, 상기 제2 소스 증폭기(530)는, 상기 제2 PMOS 트랜지스터(MP2)의 소스가 전원전압(VDD)과, 게이트가 제2 입력단(INB)과, 상기 제2 PMOS 트랜지스터(MP2)의 드레인이 제2 노드(N2)와 연결되는 것이 바람직하다.

[0028] 그리고, 상기 제2 NMOS 트랜지스터(MN2)의 소스는 접지되며, 상기 제2 NMOS 트랜지스터(MN2)의 드레인은 제2 노드(N2)와, 상기 제2 NMOS 트랜지스터(MN2)의 게이트는 낸드 게이트(550)의 출력인 제2 공통 노드(CN2)에 연결되는 것이 바람직하다.

[0029] 또한 이때, 낸드 게이트(550)는, 제1 입력단(IN) 및 제2 입력단(INB)이 입력으로 연결되고, 상기 제2 공통 노드

(CN2)가 출력으로 연결되는 것이 바람직하다.

[0030] 이하, 본 발명에 따른 차동 스위치 구동회로 내 스위치 구동회로부(500)의 동작원리에 대해 제1 출력단(OUT)을 기준으로 설명한다.

[0031] 제1 입력단(IN)의 입력이 '1'이고, 제2 입력단(INB)의 입력이 '0'인 경우, 제1 PMOS 트랜지스터(MP1)은 차단 영역에서 동작하고, 제2 PMOS 트랜지스터(MP2)는 선형 영역에서 동작한다.

[0032] 그리고, 상기 제1 입력단(IN) 및 제2 입력단(IN2)은 낸드 게이트(550)의 입력으로 들어가게 되므로, 상기 낸드 게이트(550)의 출력은 '1'이 된다.

[0033] 그리고, 상기 낸드 게이트(550)의 출력은 제2 공통 노드(CN2)를 통해 연결된 제1 NMOS 트랜지스터(MN1)의 게이트와 제2 NMOS 트랜지스터(MN2)의 게이트로 인가되어 상기 제1 NMOS 트랜지스터(MN1) 및 상기 제2 NMOS 트랜지스터(MN2)를 선형 영역에서 동작시키며, 이에 따라 제1 출력단(OUT)에서 '0'이 출력되며, 제2 출력단(OUTB)에서 '1'이 출력된다.

[0034] 그리고, 제1 입력단(IN)의 입력이 '0'이 되어 상기 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1)가 선형 영역에서 동작함에 따라, 제1 PMOS 트랜지스터(MP1) 및 제1 NMOS 트랜지스터(MN1)은 저항과 같은 역할을 하며, 이때 제1 NMOS 트랜지스터(MN1)에 의한 전류 및 제1 PMOS 트랜지스터(MP1)에 흐르는 전류인 $I_{D,n}$ 및 저항 값 $R_{on,p}$는 다음의 수학식 1 및 수학식 2에 의해 계산된다.

수학식 1

[0035]
$$I_{D,n} = \frac{1}{2}\mu_n C_{ox}\frac{W_n}{L_n}(V_{gs} - V_{th,n})^2$$

수학식 2

[0036]
$$R_{on,p} = [\mu_p C_{ox}\frac{W_p}{L_p}(V_{gs} - V_{th,n})]^{-1}$$

[0037] 따라서, 본 발명에 따른 차동 스위치 구동회로의 제1 출력단(OUT)의 출력 전압은 전압 강하에 의해 VDD - $I_{D,n}$ X $R_{on,p}$의 값을 갖게 되어 출력 신호의 스윙 폭이 줄어들게 된다.

[0038] 이와 같이, 소스 증폭기를 이용한 차동 스위치 구동회로를 통해 차동 스위치에 인가되는 디지털 신호의 스윙 폭을 줄임으로써, 궁극적으로는 디지털 아날로그 변환기의 출력단의 기생 커패시터(C_{gd})에 의한 Clock-Feedthrough 현상과 차동 스위치 오프시 채널의 전하가 소스와 드레인으로 빠지면서 생기는 Charge-Injection 현상을 줄임으로써 글리치 에너지를 최소화할 수 있다.

[0039] 아울러, 디지털 아날로그 변환기 내 소자 레이아웃 상에서의 딜레이(Delay)나 공정상에서의 오차발생으로 인해 차동 스위치 구동회로의 입력단에 입력되는 디지털 신호에 스큐(Skew)가 발생하더라도, 상기 낸드 게이트(550)를 통해 차동 스위치 구동회로의 출력 신호를 동기화시킴에 따라 디지털 아날로그 변환기의 성능을 향상시킬 수 있다.

[0040] 이하, 본 발명에 따른 차동 주파수 구동회로의 존재 여부에 따른 비교결과에 대해 첨부한 예시도면을 토대로 상세히 설명한다.

[0041] 도 3을 참조하여 설명하면, 도 3의 경우 본 발명에 따른 차동 스위치 구동회로의 존재 여부에 따른 아날로그 출력단에서의 출력 신호의 글리치 에너지를 나타낸 그래프이다.

[0042] 도 3에 도시된 바와 같이, 본 발명에 따른 차동 스위치 구동회로가 없는 경우 디지털 아날로그 변환기의 출력단에서 Charge-Injection현상과 Clock-Feedthrough 현상에 의해 글리치 에너지가 발생되나, 본 발명에 따른 차동 스위치 구동회로가 있는 경우 차동 스위치에 인가되는 디지털 신호의 전압 레벨이 낮아짐에 따라 스위치 온/오

프(ON/OFF) 시에 발생하는 Charge-Injection 현상과 기생 캐패시터(C_{gd})에 의한 Clock-Feedthrough 현상이 줄어들어 글리치 에너지가 최소화되는 것을 알 수 있다.

[0043] 또한 도 4a 및 도 4b를 참조하여 설명하면, 도 4a 및 도 4b의 경우 본 발명에 따른 차동 스위치 구동회로를 10비트 디지털 아날로그 변환기에 적용 시 FFT 분석 결과와 디지털 아날로그 변환기의 출력 파형을 나타낸 그래프이다.

[0044] 도 4a와 도 4b에 도시된 바와 같이, 샘플링 주파수 50MHz, 입력 주파수 25MHz에서 FFT 분석결과 본 발명에 따른 차동 스위치 구동 회로를 적용하였을 때 디지털 아날로그 변환기의 SNDR(Signal-to-Noise and Distortion Ratio)은 약 60.6dB이고 SFDR(Spurious-Free Dynamic Ratio)은 약 76.9dB인바, 본 발명에 따른 차동 스위치 구동회로를 적용하지 않았을 때의 디지털 아날로그 변환기의 SNDR이 약 53.9dB이고 SFDR이 약 64.7dB인 점에 비해 우수한 성능을 보임을 알 수 있다.

[0045] 이상으로, 본 발명의 기술적 사상을 예시하기 위한 바람직한 실시예와 관련하여 설명하고 도시하였으나, 본 발명은 상기 설명 및 도시대로의 구성 및 작용에만 국한되는 것이 아니다. 아울러 본 발명의 기술적 사상의 범주를 일탈하지 않는 범위 내에서 다수의 변경 및 수정이 가능함을 당업자는 잘 이해할 수 있을 것이다. 따라서 모든 적절한 변경 및 수정이 가해진 발명 및 본 발명의 균등물에 속하는 발명들도 본 발명에 속하는 것으로 간주되어야 할 것이다.

도면의 간단한 설명

[0046] 도 1의 경우 본 발명에 따른 차동 스위치 구동회로의 전체 구성도이다.

[0047] 도 2의 경우 본 발명에 따른 차동 스위치 구동회로의 상세 회로도이다.

[0048] 도 3의 경우 본 발명에 따른 차동 스위치 구동회로의 존재 여부에 따른 출력 신호의 글리치 에너지를 나타낸 그래프이다.

[0049] 도 4a 및 도 4b의 경우 본 발명에 따른 차동 스위치 구동회로를 10비트 디지털 아날로그 변환기에 적용 시 FFT 분석 결과와 디지털 아날로그의 출력 파형을 나타낸 그래프이다.

[0050] <도면 내 주요 부호에 대한 설명>

[0051] 100 : 전류 발생부

[0052] 300 : 차동 스위치부

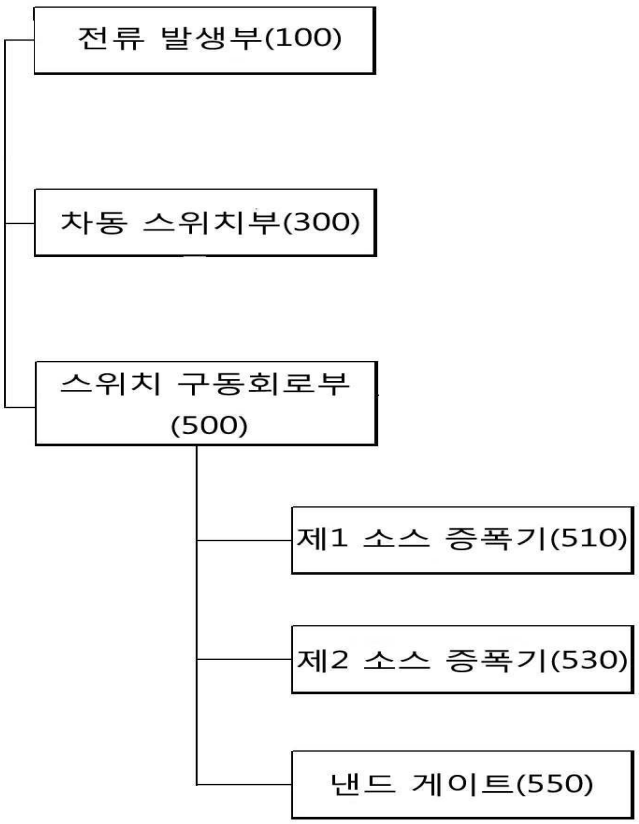
[0053] 500 : 스위치 구동회로부

[0054] 510 : 제1 소스 증폭기 530 : 제2 소스 증폭기

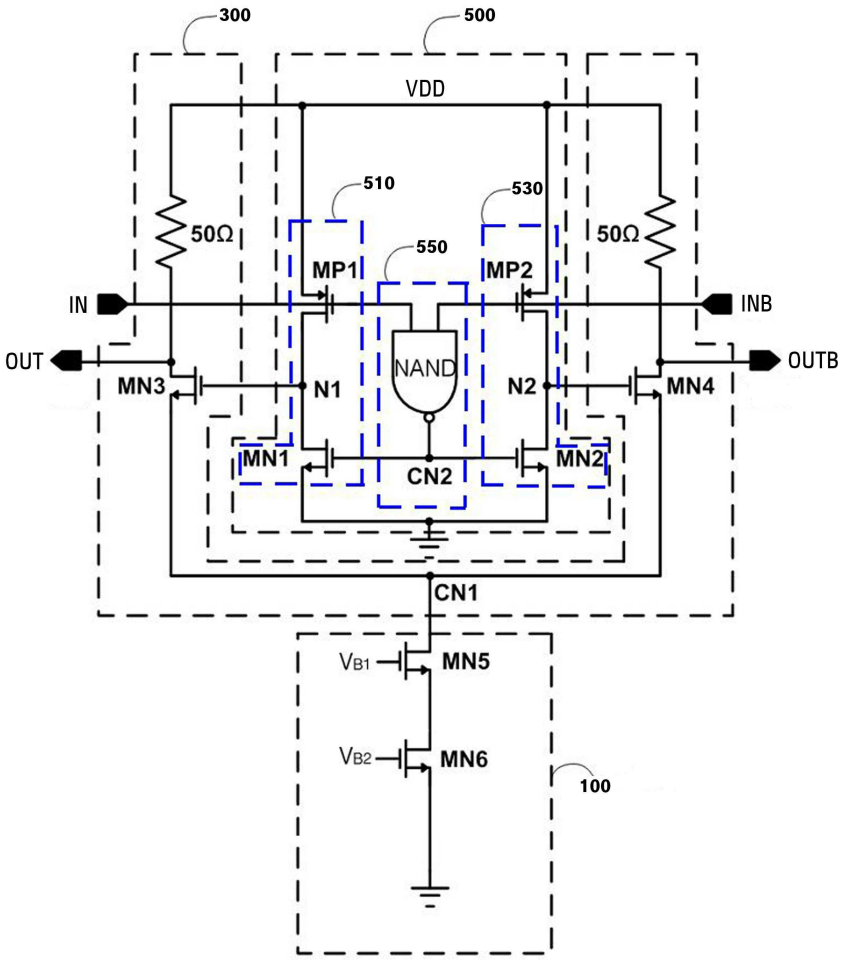
[0055] 550 : 낸드 게이트

도면

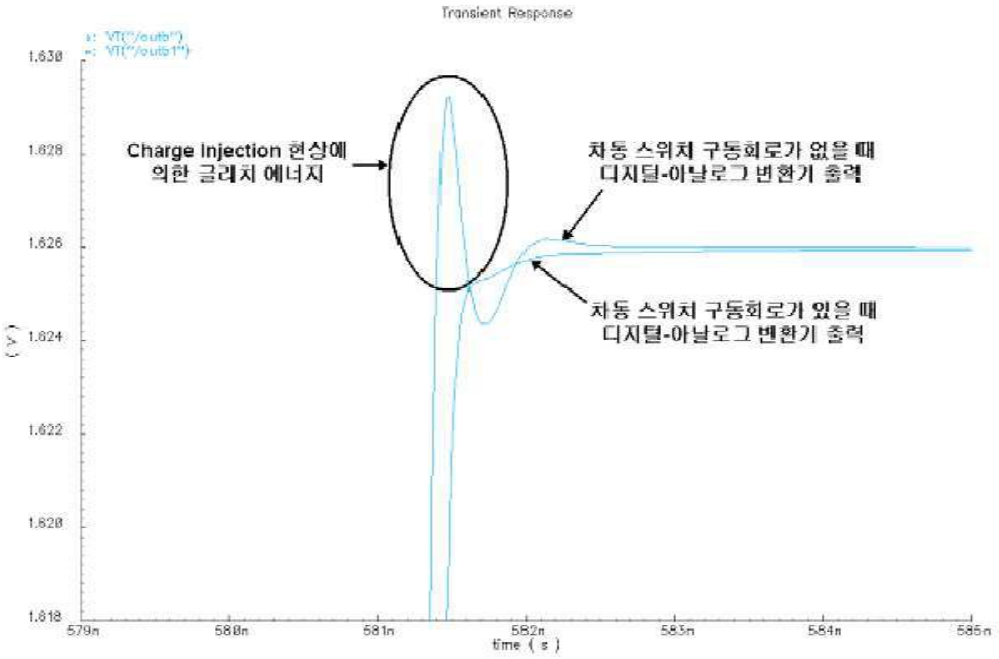
도면1


전류 발생부(100)
차동 스위치부(300)
스위치 구동회로부 (500)
제1 소스 증폭기(510)
제2 소스 증폭기(530)
낸드 게이트(550)

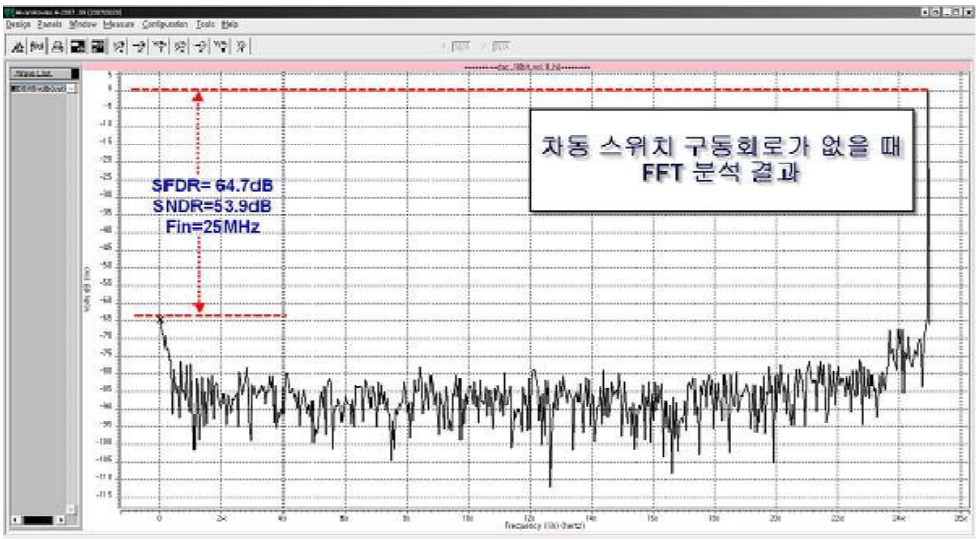
도면2


300
500
VDD
510
530
50Ω
550
50Ω
MP1
MP2
IN
INB
OUT
NAND
OUTB
MN3
N1
N2
MN4
MN1
CN2
MN2
CN1
VB1
MN5
VB2
MN6
100

도면3


Transient Response
Charge Injection 현상에
의한 글리치 에너지
차동 스위치 구동회로가 없을 때
디지털-아날로그 변환기 출력
차동 스위치 구동회로가 있을 때
디지털-아날로그 변환기 출력
time (s)

도면4a


SFDR= 64.7dB
SNDR=53.9dB
Fin=25MHz
차동 스위치 구동회로가 없을 때
FFT 분석 결과

도면4b

