

(43) 国際公開日
2007 年 1 月 25 日 (25.01.2007)

PCT

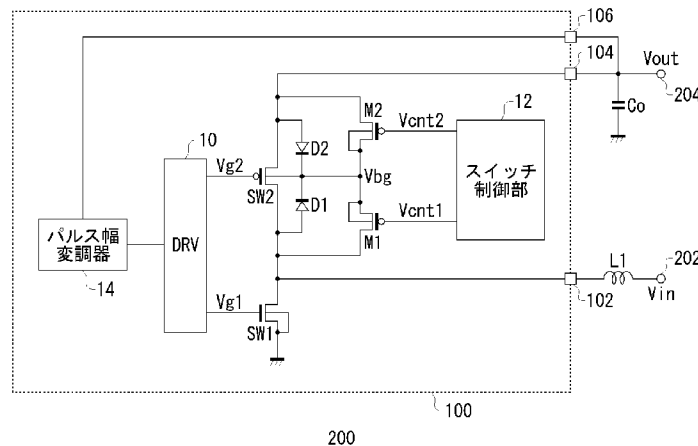
(10) 国際公開番号
WO 2007/010801 A1

- (51) 国際特許分類:
H02M 3/155 (2006.01)
- (21) 国際出願番号: PCT/JP2006/313881
- (22) 国際出願日: 2006 年 7 月 12 日 (12.07.2006)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2005-206607 2005 年 7 月 15 日 (15.07.2005) JP
- (71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 Kyoto (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 柄澤 伸也 (KARASAWA, Shinya) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町 2 1 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西 2-1-12 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE,

[続葉有]

(54) Title: STEP-UP/DOWN SWITCHING REGULATOR, ITS CONTROL CIRCUIT, AND ELECTRONIC APPARATUS USING SAME

(54) 発明の名称: 昇圧型、降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器



200

14.. PULSE WIDTH MODULATOR
12.. SWITCH CONTROL SECTION

(57) Abstract: A switching regulator of synchronous rectifying type capable of blocking the current flowing when voltage step-up/down operation is stopped without providing any DC current preventive transistor. An input voltage V_{in} is supplied to a first terminal (102) of a control circuit (100) through an inductor ($L1$) connected to the outside. An output capacitor (C_o) is connected to a second terminal (104). A switching transistor (SW1) is disposed between the first terminal (102) and the ground, and a synchronous rectifying transistor (SW2) is disposed between the first and second terminals (102, 104). A first transistor (M1) is disposed between the back gate of a synchronous rectifying transistor (M2) and the first terminal (102), and the second transistor (M2) is disposed between the back gate and the second terminal (104). A switching control section (12) keeps the first and second transistors (M1, M2) off during a step-up stop period and keeps the first transistor (M1) off and the second transistor (M2) on during a step-up period.

(57) 要約: 直流防止用トランジスタを設けずに昇降圧動作の停止時に流れる電流を遮断可能な同期整流方式のスイッチングレギュレータが提供される。制御回路 100 の第 1 端子 102 には、外部に接続されるインダクタ $L1$ を介して入力電圧 V_{in} が供給され、第 2 端子 104 には、出力キャパシタ C_o が接続される。スイッチングトランジスタ SW1 は、第 1 端子 102 と接地間に設けられ、同期整流用トランジスタ SW2

[続葉有]



WO 2007/010801 A1



IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR),
OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML,
MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される
各PCTガゼットの巻頭に掲載されている「コードと略語
のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

は、第1端子102と第2端子104間に設けられる。第1トランジスタM1は、同期整流用トランジスタM2のバックゲートと第1端子102間に、第2トランジスタM2は、バックゲートと第2端子104間に設けられる。スイッチ制御部12は、昇圧停止期間に、第1トランジスタM1および第2トランジスタM2をオフし、昇圧動作期間において第1トランジスタM1をオフし、第2トランジスタM2をオンする。

明 細 書

昇圧型、降圧型スイッチングレギュレータおよびその制御回路ならびにそれを用いた電子機器

技術分野

[0001] 本発明は、スイッチングレギュレータに関し、特に同期整流方式の昇圧型または降圧型スイッチングレギュレータに関する。

背景技術

[0002] 近年の携帯電話、PDA(Personal Digital Assistant)、ノート型パーソナルコンピュータなどのさまざまな電子機器は、液晶のバックライトとして設けられた発光ダイオード(以下、LEDという)やマイクロプロセッサ、あるいはその他のアナログ、デジタル回路などの異なる電源電圧で動作する多くのデバイスが搭載されている。

[0003] 一方で、こうした電子機器にはリチウムイオン電池などの電池が電源として搭載される。リチウムイオン電池から出力される電圧を、異なる電源電圧で動作するデバイスに供給するために、電池電圧を昇圧または降圧するスイッチングレギュレータなどのDC/DCコンバータが用いられる。

[0004] 昇圧型あるいは降圧型のスイッチングレギュレータは、整流用のダイオードを用いる方式(以下、ダイオード整流方式という)と、ダイオードの代わりに、同期整流用トランジスタを用いる方式(以下、同期整流方式という)が存在する。前者の場合、負荷に流れる負荷電流が小さいときに高効率が得られるという利点を有するが、制御回路の外部に、インダクタ、出力キャパシタに加えてダイオードが必要となるため、回路面積が大きくなる。後者の場合、負荷に供給する電流が小さいときの効率は、前者に比べて劣るが、ダイオードの代わりにトランジスタを用いるため、LSIの内部に集積化することができ、周辺部品を含めた回路面積としては小型化が可能となる。携帯電話など小型化が要求される電子機器においては、整流用トランジスタを用いたスイッチングレギュレータ(以下、同期整流方式スイッチングレギュレータという)が用いられることが多い。

[0005] ここで同期整流方式の昇圧型スイッチングレギュレータは、電池電圧などが入力さ

れる入力端子から、昇圧後の電圧(以下、出力電圧という)を出力する出力端子との間に、同期整流用トランジスタおよびインダクタが直列に接続される経路を有する。同期整流用トランジスタにPチャンネルMOSFETを用い、かつそのバックゲートをソース(またはドレイン)と接続した場合には、同期整流用トランジスタをオフして昇圧動作を停止した状態においても、バックゲートとドレイン(またはソース)間のボディダイオード(寄生ダイオード)およびインダクタを介して負荷に電流が流れてしまうという問題があった。

[0006] 特許文献1:特開2004-32875号公報

特許文献2:特開2002-252971号公報

発明の開示

発明が解決しようとする課題

[0007] 昇圧動作停止時に同期整流用トランジスタおよびインダクタを介して負荷に流れる電流を遮断するために、この電流経路上にスイッチ素子として直流防止用トランジスタを設ける方法が考えられる。しかしながら、この直流防止用トランジスタは、昇圧動作時には抵抗素子として働くため電力損失をもたらしてしまう。この直流防止用トランジスタによる電力損失を低減するためには、トランジスタサイズを大きくしてオン抵抗を低減する必要があるが、これは回路面積の増大を招くという問題がある。

[0008] 本発明はかかる課題に鑑みてなされたものであり、その包括的な目的は、直流防止用トランジスタを設けずに昇降圧動作の停止時に流れる電流を遮断可能な同期整流方式のスイッチングレギュレータの提供にある。

課題を解決するための手段

[0009] 本発明のある態様は、同期整流方式の昇圧型スイッチングレギュレータの制御回路に関する。この制御回路は、外部に接続されるインダクタを介して入力電圧が供給される第1端子と、出力キャパシタが接続される第2端子と、第1端子と接地間に設けられたスイッチングトランジスタと、第1端子と第2端子間に設けられた同期整流用トランジスタと、同期整流用トランジスタのバックゲートと第1端子間に設けられた第1トランジスタと、同期整流用トランジスタのバックゲートと第2端子間に設けられた第2トランジスタと、第1、第2トランジスタのオンオフを制御するスイッチ制御部と、を備える。

- [0010] この態様によると、同期整流用トランジスタのバックゲートをソースあるいはドレインと接続する代わりに、第1、第2トランジスタを設け、2つのトランジスタのオンオフを制御することにより、同期整流用トランジスタのバックゲートを介して流れる電流を制御することができる。その結果、インダクタと直列に直流防止用トランジスタを設けなくても、昇圧停止時において不要な電流が流れ、出力端子に電圧が現れるのを防止することができる。
- [0011] スイッチ制御部は、本制御回路により駆動される昇圧型スイッチングレギュレータの昇圧停止期間において、第1トランジスタおよび第2トランジスタをオフし、昇圧動作期間において第1トランジスタをオフし、第2トランジスタをオンしてもよい。
- 昇圧停止期間において、第1トランジスタ、第2トランジスタをともにオフすることにより、同期整流用トランジスタのバックゲートを介しての電流経路を遮断することができる。また、昇圧動作期間には、第2トランジスタをオンすることにより、同期整流用トランジスタのバックゲートを介した電流経路を生成することができる。
- [0012] スイッチ制御部は、昇圧型スイッチングレギュレータの動作停止状態から昇圧動作状態に移る起動期間に、第1トランジスタをオンした状態で、第2トランジスタを徐々にオンしてもよい。
- この場合、同期整流用トランジスタがラッチアップするのを防止することができる。
- [0013] 本発明の別の態様は、同期整流方式の降圧型スイッチングレギュレータの制御回路に関する。この制御回路は、外部に接続されるインダクタにスイッチング電圧を出力する第1端子と、外部から入力電圧が供給される第2端子と、第1端子と第2端子間に設けられたスイッチングトランジスタと、第1端子と接地間に設けられた同期整流用トランジスタと、スイッチングトランジスタのバックゲートと第1端子間に設けられた第1トランジスタと、スイッチングトランジスタのバックゲートと第2端子間に設けられた第2トランジスタと、第1、第2トランジスタのオンオフを制御するスイッチ制御部と、を備える。
- [0014] この態様によると、スイッチングトランジスタのバックゲートをドレインあるいはソースと接続する代わりに、第1、第2トランジスタを設け、2つのトランジスタのオンオフを制御することにより、スイッチングトランジスタのバックゲートを介して流れる電流を制御する

ことができる。

- [0015] スイッチ制御部は、本制御回路により駆動される降圧型スイッチングレギュレータの降圧停止期間において、第1トランジスタおよび第2トランジスタをオフし、降圧動作期間において第1トランジスタをオフし、第2トランジスタをオンしてもよい。

降圧停止期間において、第1トランジスタ、第2トランジスタをともにオフすることにより、スイッチングトランジスタのバックゲートを介しての電流経路を遮断することができる。また、降圧動作期間には、第2トランジスタをオンすることにより、スイッチングトランジスタのバックゲートを介した電流経路を生成することができる。

- [0016] スイッチ制御部は、降圧型スイッチングレギュレータの動作停止状態から降圧動作状態に遷移する起動期間に、第1トランジスタをオフした状態で、第2トランジスタを徐々にオンしてもよい。

- [0017] 本発明のさらに別の態様は、昇圧モードまたは降圧モードを切り替え可能なスイッチングレギュレータの制御回路に関する。この制御回路は、昇圧モード時においてスイッチングトランジスタとして機能し、降圧モード時において同期整流用トランジスタとして機能する第1スイッチングトランジスタと、昇圧モード時において同期整流用トランジスタとして機能し、降圧モード時においてスイッチングトランジスタとして機能する第2スイッチングトランジスタと、第2スイッチングトランジスタのバックゲートとドレイン間に設けられた第1トランジスタと、第2スイッチングトランジスタのバックゲートとソース間に設けられた第2トランジスタと、第1、第2トランジスタのオンオフを制御するスイッチ制御部と、を備える。

- [0018] この態様によれば、スイッチ制御部により、昇圧モード、降圧モードで第1、第2トランジスタのオン、オフの状態を適切に切り替えることができる。

- [0019] スwitchングトランジスタ、同期整流用トランジスタ、第1トランジスタ、第2トランジスタならびにスイッチ制御部は、1つの半導体基板上に一体集積化されてもよい。なお、ここでの集積化とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

- [0020] 本発明の別の態様は、昇圧型スイッチングレギュレータである。このスイッチングレ

ギュレータは、上述の制御回路と、一端が制御回路の第1端子に接続され、他端に
入力電圧が印加されるインダクタと、一端が制御回路の第2端子に接続され、他端が
接地された出力キャパシタと、を備え、出力キャパシタの一端の電圧を出力する。

[0021] この態様によると、スイッチ制御部により第1、第2トランジスタのオンオフを適切に制
御することにより、同期整流用トランジスタのバックゲートを通じて流れる電流を制御
することができ、昇圧停止時において、出力キャパシタの一端に輸入電圧が現れ、あ
るいは負荷に電流が流れるのを防止することができる。

[0022] 本発明の別の態様は、降圧型スイッチングレギュレータである。このスイッチングレ
ギュレータは、一端が接地された出力キャパシタと、出力キャパシタの他端にその一
端が接続されたインダクタと、インダクタの他端にスイッチング電圧を供給する上述の
制御回路と、を備え、出力キャパシタの他端の電圧を出力する。

[0023] この態様によると、第1、第2トランジスタのオンオフを制御することにより、スイッチ
ングトランジスタのバックゲートを通じて流れる電流を制御することができる。

[0024] 本発明のさらに別の態様は、電子機器である。この電子機器は、電池と、電池の電
圧を昇圧もしくは降圧する上述のスイッチングレギュレータと、を備える。

この態様によれば、同期整流用トランジスタあるいはスイッチングトランジスタのバッ
クゲートを通じて流れる電流を制御することにより、電源投入時の突入電流を抑制す
ることができる。また、直流防止用トランジスタを設ける必要がないため、抵抗による損
失を低減することができ、回路面積を削減することができる。

[0025] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装
置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

図面の簡単な説明

[0026] [図1]第1の実施の形態に係る昇圧型スイッチングレギュレータの構成を示す回路図
である。

[図2]図1の昇圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

[図3]第2の実施の形態に係る昇圧型スイッチングレギュレータの構成を示す回路図
である。

[図4]図3の降圧型スイッチングレギュレータの動作状態を示すタイムチャートである。

[図5]第3の実施の形態に係る制御回路の構成を示す回路図である。

[図6]図1、図3、図5の制御回路が好適に使用される電子機器の構成を示すブロック図である。

符号の説明

[0027] 100 制御回路、102 第1端子、104 第2端子、106 電圧帰還端子、110 制御回路、112 第1端子、114 第2端子、116 電圧帰還端子、120 制御回路、122 第1端子、124 第2端子、126 電圧帰還端子、128 電圧帰還端子、200 昇圧型スイッチングレギュレータ、202 入力端子、204 出力端子、210 降圧型スイッチングレギュレータ、212 入力端子、214 出力端子、SW1 スwitchングトランジスタ、SW2 同期整流用トランジスタ、SW3 スwitchングトランジスタ、SW4 同期整流用トランジスタ、SW5 第1スイッチングトランジスタ、SW6 第2スイッチングトランジスタ、M1 第1トランジスタ、M2 第2トランジスタ、10 ドライバ回路、12 スwitch制御部、14 パルス幅変調器、L1 インダクタ、Co 出力キャパシタ、Vg1 第1ゲート制御信号、Vg2 第2ゲート制御信号、D1 第1ボディダイオード、D2 第2ボディダイオード、Vcnt1 第1制御信号、Vcnt2 第2制御信号。

発明を実施するための最良の形態

[0028] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0029] (第1の実施の形態)

本発明の第1の実施の形態は、同期整流方式の昇圧型スイッチングレギュレータに関する。図1は、第1の実施の形態に係る昇圧型スイッチングレギュレータ200の構成を示す回路図である。昇圧型スイッチングレギュレータ200は、制御回路100、インダクタL1、出力キャパシタCoを含む同期整流方式のスイッチングレギュレータである。

[0030] 入力端子202には入力電圧 V_{in} が印加されている。本実施の形態に係る昇圧型スイッチングレギュレータ200は、入力電圧 V_{in} を所定の昇圧率で昇圧し、出力端子204から出力電圧 V_{out} を出力する。

制御回路100の第1端子102と、昇圧型スイッチングレギュレータ200の入力端子202間にはインダクタ L_1 が接続される。第1端子102には、インダクタ L_1 を介して入力電圧 V_{in} が供給される。第2端子104と接地間には出力キャパシタ C_o が接続される。

[0031] 制御回路100は、スイッチングトランジスタ SW_1 、同期整流用トランジスタ SW_2 、第1トランジスタ M_1 、第2トランジスタ M_2 、ドライバ回路10、スイッチ制御部12、パルス幅変調器14を含み、1つの半導体基板上に集積化されている。

[0032] スwitchングトランジスタ SW_1 は、NチャンネルMOSFETであって、ドレインが第1端子102に接続され、ソースが接地されている。また、同期整流用トランジスタ SW_2 は、PチャンネルMOSFETであって、ドレインが第1端子102に接続され、ソースが第2端子104に接続される。スイッチングトランジスタ SW_1 、同期整流用トランジスタ SW_2 のゲートには、ドライバ回路10から出力される第1ゲート制御信号 V_{g1} 、第2ゲート制御信号 V_{g2} が入力される。

[0033] 制御回路100の電圧帰還端子106には、昇圧型スイッチングレギュレータ200の出力電圧 V_{out} が帰還入力される。帰還された出力電圧 V_{out} は、パルス幅変調器14へと入力される。パルス幅変調器14は、ハイレベルとローレベルの時間の比、すなわちデューティ比が変化するパルス幅変調信号(以下PWM信号 V_{pwm} という)を生成する。このPWM信号 V_{pwm} は、出力電圧 V_{out} が所定の基準電圧に近づくように、そのデューティ比が制御される。

[0034] ドライバ回路10は、パルス幅変調器14から出力されるPWM信号 V_{pwm} にもとづいて、第1ゲート制御信号 V_{g1} 、第2ゲート制御信号 V_{g2} を生成し、それぞれスイッチングトランジスタ SW_1 、同期整流用トランジスタ SW_2 のゲートに出力する。スイッチングトランジスタ SW_1 、同期整流用トランジスタ SW_2 は、PWM信号 V_{pwm} のデューティ比にもとづいて交互にオンオフを繰り返す。

[0035] 図1に示すように、同期整流用トランジスタ SW_2 のバックゲートとドレイン間、あるいはバックゲートとソース間には、ボディダイオード(寄生ダイオード) D_1 、 D_2 が存在す

る。以下、それぞれを第1ボディダイオードD1、第2ボディダイオードD2という。通常、このPチャンネルMOSFETのバックゲートはソースに接続して使用されるため、第2ボディダイオードD2の両端は短絡した状態で使用される。この場合に、昇圧停止時において、第1ボディダイオードD1を介して入力端子202から出力端子204に電流が流れてしまうことは上述したとおりである。

[0036] 一方、本実施の形態に係る制御回路100では、同期整流用トランジスタSW2のバックゲートをソースと接続する代わりに、第1トランジスタM1、第2トランジスタM2を設けている。

第1トランジスタM1は、PチャンネルMOSFETであり、スイッチングトランジスタSW1のバックゲートと第1端子102間に設けられる。すなわち、第1トランジスタM1のソースは第1端子102に接続され、ドレインが同期整流用トランジスタSW2のバックゲートに接続される。第2トランジスタM2も、PチャンネルMOSFETであり、スイッチングトランジスタSW1のバックゲートと第2端子104間に設けられる。すなわち、第2トランジスタM2のソースは同期整流用トランジスタSW2のバックゲートに接続され、ドレインが第2端子104に接続される。

[0037] スイッチ制御部12は、昇圧型スイッチングレギュレータ200の動作状態に応じて、第1制御信号Vcnt1、第2制御信号Vcnt2を生成し、第1トランジスタM1、第2トランジスタM2のゲート電圧を制御してそれぞれのオンオフを制御する。本実施の形態において、昇圧型スイッチングレギュレータ200は、昇圧動作を停止して負荷に対する電力供給を停止する昇圧停止状態、昇圧動作により負荷に所定の出力電圧Voutを供給する昇圧動作状態、および昇圧停止状態から昇圧動作状態への遷移期間に対応する起動状態の3つの状態で動作する。

[0038] 以上のように構成された昇圧型スイッチングレギュレータ200の動作について説明する。図2は、昇圧型スイッチングレギュレータ200の動作状態を示すタイムチャートである。同図は、説明を簡潔にするため、縦軸および横軸を適宜拡大、縮小して示している。

[0039] 時刻T0以前、昇圧型スイッチングレギュレータ200は昇圧停止状態にある。このとき、スイッチ制御部12は、第1制御信号Vcnt1、第2制御信号Vcnt2をハイレベルと

して第1トランジスタM1、第2トランジスタM2を両方ともオフとする。第1トランジスタM1、第2トランジスタM2がともにオフとなると、同期整流用トランジスタSW2の第1ボディダイオードD1、第2ボディダイオードD2に電流が流れなくなる。その結果、入力端子202と出力端子204間で、同期整流用トランジスタSW2のバックゲートを経由する電流経路を遮断することができ、負荷に電流が流れ、あるいは出力端子204に入力電圧 V_{in} に近い電圧が現れるのを防止することができる。時刻T0以前において、同期整流用トランジスタSW2のバックゲートの電位 V_{bg} はハイレベルとなっている。

[0040] 時刻T0に、図1には図示しないスタンバイ信号STBがローレベルからハイレベルとなり、昇圧型スイッチングレギュレータ200の起動が指示される。スタンバイ信号STBがハイレベルとなると、スイッチ制御部12は第1制御信号 V_{cnt1} をローレベルとして第1トランジスタM1をオンする。また、スイッチ制御部12は、第2制御信号 V_{cnt2} をハイレベルからローレベルへと緩やかに低下させる。その後、第2制御信号 V_{cnt2} が低下し、第2トランジスタM2のゲートソース間電圧がしきい値電圧 V_t より大きくなると、第2トランジスタM2がオンする。第2トランジスタM2が徐々にオンすることにより、第2端子104に現れる出力電圧 V_{out} は、入力端子202に印加される入力電圧 V_{in} 付近まで上昇していく。

[0041] このように、本実施の形態に係る昇圧型スイッチングレギュレータ200は、起動時において、第2トランジスタM2を徐々にオンすることにより、突入電流の発生を抑制することができる。

[0042] 時刻T2に起動が完了すると、スイッチ制御部12は第1制御信号 V_{cnt1} をハイレベルとして第1トランジスタM1をオフする。その後、時刻T3にパルス幅変調器14およびドライバ回路10によってスイッチングトランジスタSW1、同期整流用トランジスタSW2のスイッチング動作を開始する。時刻T3に昇圧動作を開始すると、出力電圧 V_{out} は所定の基準電圧まで上昇する。

本実施の形態に係る昇圧型スイッチングレギュレータ200は、昇圧動作中において、第1トランジスタM1がオフ、第2トランジスタM2がオンの状態となる。これは、PチャネルMOSFETのバックゲートをソースと接続した状態と同様の回路状態であるため、好適に昇圧動作を行うことができる。また、時刻T0に起動を開始してから所定の

期間経過後の時刻T3に、昇圧動作を開始することにより、スイッチングトランジスタSW1のバックゲート電圧Vbgが低下している最中に、スイッチングトランジスタSW1がオンしてラッチアップが発生するのを防止することができる。

[0043] (第2の実施の形態)

第2の実施の形態は、同期整流方式の降圧型スイッチングレギュレータ210に関する。図3は、第2の実施の形態に係る降圧型スイッチングレギュレータ210の構成を示す回路図である。降圧型スイッチングレギュレータ210は、制御回路110、インダクタL1、出力キャパシタCoを含む同期整流方式のスイッチングレギュレータである。同図において、図1と同一または同等の構成要素には同一の符号を付し、適宜説明を省略する。

[0044] 入力端子212には入力電圧Vinが印加されている。本実施の形態に係る降圧型スイッチングレギュレータ210は、入力電圧Vinを降圧し、出力端子214から出力電圧Voutを出力する。制御回路110の第1端子112と、降圧型スイッチングレギュレータ210の出力端子214間には、インダクタL1が接続される。出力端子214と接地間には、出力キャパシタCoが接続される。第1端子112は、外部に接続されるインダクタL1にスイッチング電圧Vswを出力する。第2端子114には、外部から入力電圧Vinが供給される。

[0045] 制御回路110は、スイッチングトランジスタSW3、同期整流用トランジスタSW4、第1トランジスタM1、第2トランジスタM2、ドライバ回路10、スイッチ制御部12、パルス幅変調器14を含む。

[0046] 同期整流用トランジスタSW4は、NチャンネルMOSFETであって、ドレインが第1端子112に接続され、ソースが接地されている。また、スイッチングトランジスタSW3は、PチャンネルMOSFETであって、ドレインが第1端子112に接続され、ソースが第2端子114に接続される。スイッチングトランジスタSW3、同期整流用トランジスタSW4のゲートには、ドライバ回路10から出力される第1ゲート制御信号Vg3、第2ゲート制御信号Vg4が入力される。

[0047] 制御回路110の電圧帰還端子116には、降圧型スイッチングレギュレータ210の出力電圧Voutが帰還入力される。帰還された出力電圧Voutは、パルス幅変調器14

へと入力される。パルス幅変調器14およびドライバ回路10は、帰還された出力電圧 V_{out} にもとづき、スイッチングトランジスタSW3、同期整流用トランジスタSW4を駆動する。

[0048] 本実施の形態に係る制御回路110では、スイッチングトランジスタSW3のバックゲートをソースと接続する代わりに、第1トランジスタM1、第2トランジスタM2を設けている。

第1トランジスタM1は、PチャンネルMOSFETであり、スイッチングトランジスタSW3のバックゲートと第1端子112間に設けられる。すなわち、第1トランジスタM1のソースは第1端子112に接続され、ドレインがスイッチングトランジスタSW3のバックゲートに接続される。

第2トランジスタM2も、PチャンネルMOSFETであり、スイッチングトランジスタSW3のバックゲートと第2端子114間に設けられる。すなわち、第2トランジスタM2のソースはスイッチングトランジスタSW3のバックゲートに接続され、ドレインが第2端子114に接続される。

[0049] スイッチ制御部12は、降圧型スイッチングレギュレータ210の動作状態に応じて、第1制御信号 V_{cnt1} 、第2制御信号 V_{cnt2} を生成し、第1トランジスタM1、第2トランジスタM2のゲート電圧を制御してそれぞれのオンオフを制御する。本実施の形態において、降圧型スイッチングレギュレータ210は、降圧動作を停止して負荷に対する電力供給を停止する降圧停止状態、降圧動作により負荷に所定の出力電圧 V_{out} を供給する降圧動作状態、および降圧停止状態から降圧動作状態への遷移期間に対応する起動状態の3つの状態で動作する。

[0050] 以上のように構成された降圧型スイッチングレギュレータ210の動作について説明する。図4は、降圧型スイッチングレギュレータ210の動作状態を示すタイムチャートである。同図は、説明を簡潔にするため、縦軸および横軸を適宜拡大、縮小して示している。

[0051] 時刻T0以前、降圧型スイッチングレギュレータ210は降圧停止状態にある。このとき、スイッチ制御部12は、第1制御信号 V_{cnt1} 、第2制御信号 V_{cnt2} をハイレベルとして第1トランジスタM1、第2トランジスタM2を両方ともオフとする。第1トランジスタM

1、第2トランジスタM2がともにオフとなると、スイッチングトランジスタSW3の第1ボディダイオードD1、第2ボディダイオードD2に電流が流れなくなる。時刻T0以前において、同期整流用トランジスタSW2のバックゲートの電位Vbgはハイレベルとなっている。

[0052] 時刻T0に、図3には図示しないスタンバイ信号STBがローレベルからハイレベルとなり、降圧型スイッチングレギュレータ210の降圧動作の開始が指示される。スタンバイ信号STBがハイレベルとなると、スイッチ制御部12は第1制御信号Vcnt1をハイレベルに維持しつつ、第2制御信号Vcnt2をハイレベルからローレベルへと緩やかに低下させる。このとき、スイッチングトランジスタSW3のバックゲート電圧Vbgはハイレベルのまま保持される。

[0053] このように、本実施の形態に係る降圧型スイッチングレギュレータ210は、起動時において、第1トランジスタM1をオフしておくことにより、スイッチング電圧Vswに入力電圧Vinが現れるのを防止することができる。

[0054] 時刻T1に起動が完了する。その後、時刻T2にパルス幅変調器14およびドライバ回路10によってスイッチングトランジスタSW3、同期整流用トランジスタSW4のスイッチング動作を開始する。時刻T2に降圧動作を開始すると、出力電圧Voutは所定の基準電圧Vrefまで上昇する。

本実施の形態に係る降圧型スイッチングレギュレータ210は、降圧動作中において、第1トランジスタM1がオフ、第2トランジスタM2がオンの状態となる。これは、PチャンネルMOSFETのバックゲートをソースと接続した状態と同様の回路状態であるため、好適に降圧動作を行うことができる。

[0055] (第3の実施の形態)

図1に示す制御回路100と、図3に示す制御回路110は、同等の回路構成となっており、外付けされるインダクタL1、出力キャパシタCoの配置および入力電圧Vin、出力電圧Voutの現れる位置が異なっている。そこで、第3の実施の形態では、図1の制御回路100と図3の制御回路110を、昇圧型、降圧型が切り替え可能なスイッチングレギュレータの制御回路として利用する。

[0056] 図5は、第3の実施の形態に係る制御回路120の構成を示す回路図である。制御

回路120は、第1スイッチングトランジスタSW5、第2スイッチングトランジスタSW6、第1トランジスタM1、第2トランジスタM2、ドライバ回路10、スイッチ制御部12、パルス幅変調器14を含む。第1スイッチングトランジスタSW5は、昇圧モード時においてスイッチングトランジスタとして機能し、降圧モード時において同期整流用トランジスタとして機能する。また、第2スイッチングトランジスタSW6は、昇圧モード時において同期整流用トランジスタとして機能し、降圧モード時においてスイッチングトランジスタとして機能する。第1トランジスタM1、第2トランジスタM2はいずれもPチャンネルMOSFETである。電圧帰還端子126には、出力電圧が帰還される。第1端子122は、図1の第1端子102あるいは図3の第1端子112に対応し、第2端子124は、図1の第2端子104あるいは図3の第2端子114に対応する。

- [0057] 第1トランジスタM1は、第2スイッチングトランジスタSW6のバックゲートとドレイン間に設けられる。また、第2トランジスタM2は、第2スイッチングトランジスタのバックゲートとソース間に設けられる。
- [0058] モード端子128には、昇圧モードあるいは降圧モードを指定するモード指示信号MODEが入力される。このモード指示信号MODEは、スイッチ制御部12に入力されている。スイッチ制御部12は、モード指示信号MODEによって、昇圧モードで動作すべきか、降圧モードで動作すべきかを判定し、判定した結果にもとづいて第1トランジスタM1、第2トランジスタM2のオンオフを制御する。スイッチ制御部12は、昇圧モード時においては、第1の実施の形態で説明した方式で第1トランジスタM1、第2トランジスタM2を制御し、降圧モード時においては、第2の実施の形態で説明した方式で第1トランジスタM1、第2トランジスタM2を制御する。
- [0059] このように構成された制御回路120によれば、ユーザが昇圧型スイッチングレギュレータ、あるいは降圧型スイッチングレギュレータのいずれの制御回路として使用した場合にも、第1トランジスタM1、第2トランジスタM2を制御することができる。
- [0060] 図6は、図1、図3、図5の制御回路100、110、120が好適に使用される電子機器300の構成を示すブロック図である。電子機器300は、たとえばデジタルスチルカメラや携帯電話端末であり、電池310、電源装置320、アナログ回路330、デジタル回路340、マイコン350、LED360を含む。

電池310は、たとえばリチウムイオン電池であり、電池電圧Vbatとして3～4V程度を出力する。アナログ回路330は、電源電圧Vcc=3.4V程度で安定動作する回路ブロックを含む。また、デジタル回路340は、各種DSP(Digital Signal Processor)などを含み、電源電圧Vdd=3.4V程度で安定動作する回路ブロックを含む。マイコン350は、電子機器300全体を統括的に制御するブロックであり、電源電圧1.5Vで動作する。LED360は、RGB3色のLED(Light Emitting Diode)を含み、液晶のバックライトや、照明として用いられ、その駆動には、4V以上の駆動電圧が要求される。

- [0061] 電源装置320は、多チャンネルのスイッチング電源であり、各チャンネルごとに、電池電圧Vbatを必要に応じて降圧、または昇圧するスイッチングレギュレータを備えており、アナログ回路330、デジタル回路340、マイコン350、LED360に対して適切な電源電圧を供給する。

本実施の形態に係る図5の制御回路120は、複数個、並列に配置して多チャンネル制御回路を構成することにより、こうした電源装置320に好適に用いることができる。すなわち、4チャンネルの制御回路を構成した場合において、マイコン350に電源電圧を供給する第3チャンネルCH3は、降圧モードとして動作させ、LED360に電源電圧を供給する第4チャンネルCH4は、昇圧モードとして動作させればよい。

- [0062] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

- [0063] 実施の形態では、制御回路100などがひとつのLSIに一体集積化される場合について説明したが、これには限定されず、一部の構成要素がLSIの外部にディスクリート素子あるいはチップ部品として設けられ、あるいは複数のLSIにより構成されてもよい。

- [0064] また、本実施の形態において、ハイレベル、ローレベルの論理値の設定は一例であって、インバータなどによって適宜反転させることにより自由に変更することが可能である。

- [0065] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用

を示しているにすぎないことはいうまでもなく、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能であることはいうまでもない。

産業上の利用可能性

[0066] 本発明に係るスイッチングレギュレータの制御回路は、電源装置に利用することができる。

請求の範囲

- [1] 同期整流方式の昇圧型スイッチングレギュレータの制御回路であって、
外部に接続されるインダクタを介して入力電圧が供給される第1端子と、
出力キャパシタが接続される第2端子と、
前記第1端子と接地間に設けられたスイッチングトランジスタと、
前記第1端子と前記第2端子間に設けられた同期整流用トランジスタと、
前記同期整流用トランジスタのバックゲートと前記第1端子間に設けられた第1トランジスタと、
前記同期整流用トランジスタのバックゲートと前記第2端子間に設けられた第2トランジスタと、
前記第1、第2トランジスタのオンオフを制御するスイッチ制御部と、
を備えることを特徴とする制御回路。
- [2] 前記スイッチ制御部は、本制御回路により駆動される前記昇圧型スイッチングレギュレータの昇圧停止期間において、前記第1トランジスタおよび前記第2トランジスタをオフし、昇圧動作期間において、前記第1トランジスタをオフし、前記第2トランジスタをオンすることを特徴とする請求項1に記載の制御回路。
- [3] 前記スイッチ制御部は、前記昇圧型スイッチングレギュレータの昇圧停止状態から昇圧動作状態に遷移する起動期間に、前記第1トランジスタをオンした状態で、前記第2トランジスタを徐々にオンすることを特徴とする請求項2に記載の制御回路。
- [4] 前記同期整流用トランジスタ、前記第1トランジスタおよび前記第2トランジスタは、PチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)であることを特徴とする請求項1から3のいずれかに記載の制御回路。
- [5] 同期整流方式の降圧型スイッチングレギュレータの制御回路であって、
外部に接続されるインダクタにスイッチング電圧を出力する第1端子と、
外部から入力電圧が供給される第2端子と、
前記第1端子と前記第2端子間に設けられたスイッチングトランジスタと、
前記第1端子と接地間に設けられた同期整流用トランジスタと、
前記スイッチングトランジスタのバックゲートと前記第1端子間に設けられた第1トラン

ンジスタと、

前記スイッチングトランジスタのバックゲートと前記第2端子間に設けられた第2トランジスタと、

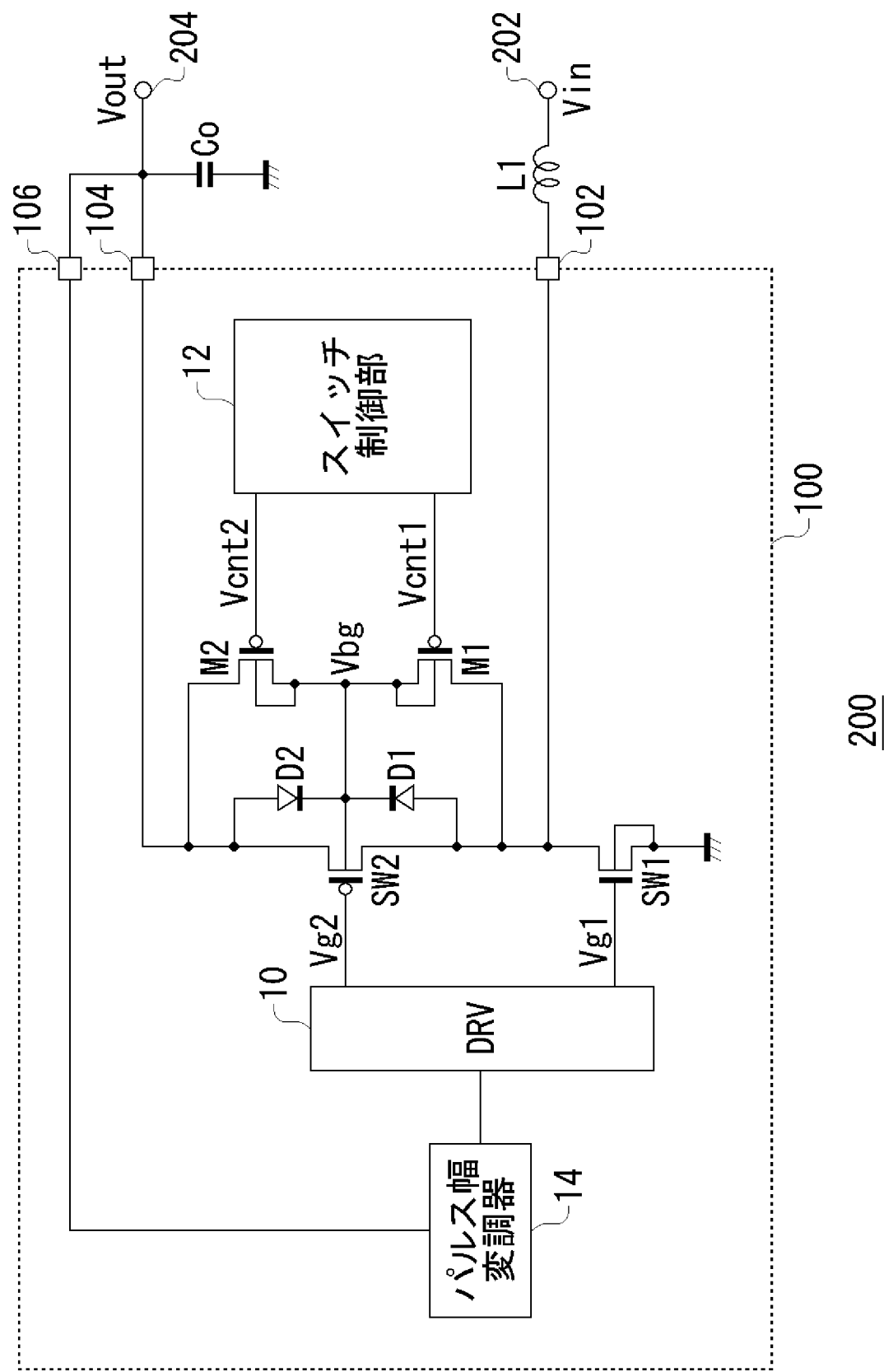
前記第1、第2トランジスタのオンオフを制御するスイッチ制御部と、
を備えることを特徴とする制御回路。

- [6] 前記スイッチ制御部は、本制御回路により駆動される前記降圧型スイッチングレギュレータの降圧停止期間において、前記第1トランジスタおよび前記第2トランジスタをオフし、降圧動作期間において、前記第1トランジスタをオフし、前記第2トランジスタをオンすることを特徴とする請求項5に記載の制御回路。
- [7] 前記スイッチ制御部は、前記降圧型スイッチングレギュレータの降圧停止状態から降圧動作状態に遷移する起動期間に、前記第1トランジスタをオフした状態で、前記第2トランジスタを徐々にオンすることを特徴とする請求項6に記載の制御回路。
- [8] 前記スイッチングトランジスタ、前記第1トランジスタおよび前記第2トランジスタは、PチャンネルMOSFET(Metal Oxide Semiconductor Field Effect Transistor)であることを特徴とする請求項5から7のいずれかに記載の制御回路。
- [9] 昇圧モードまたは降圧モードを切り替え可能なスイッチングレギュレータの制御回路であって、
昇圧モード時においてスイッチングトランジスタとして機能し、降圧モード時において同期整流用トランジスタとして機能する第1スイッチングトランジスタと、
昇圧モード時において同期整流用トランジスタとして機能し、降圧モード時においてスイッチングトランジスタとして機能する第2スイッチングトランジスタと、
前記第2スイッチングトランジスタのバックゲートとドレイン間に設けられた第1トランジスタと、
前記第2スイッチングトランジスタのバックゲートとソース間に設けられた第2トランジスタと、
前記第1、第2トランジスタのオンオフを制御するスイッチ制御部と、
を備えることを特徴とする制御回路。
- [10] 前記スイッチングトランジスタ、前記同期整流用トランジスタ、前記第1トランジスタ、

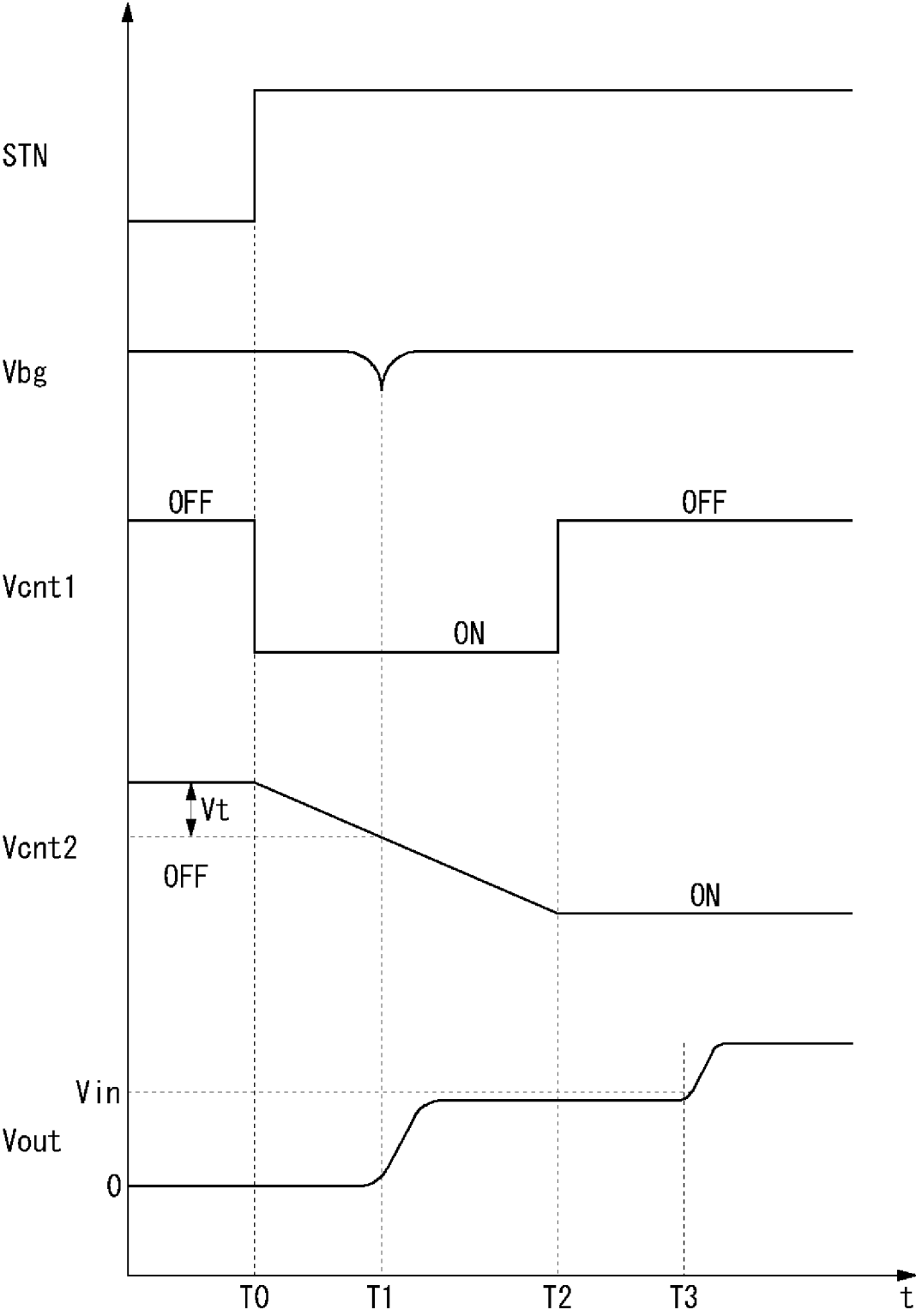
前記第2トランジスタならびに前記スイッチ制御部は、1つの半導体基板上に一体集積化されることを特徴とする請求項1、5、9のいずれかに記載の制御回路。

- [11] 請求項1から3のいずれかに記載の制御回路と、
一端が前記制御回路の前記第1端子に接続され、他端に入力電圧が印加されるインダクタと、
一端が前記制御回路の前記第2端子に接続され、他端が接地された出力キャパシタと、
を備え、前記出力キャパシタの一端の電圧を出力することを特徴とする昇圧型スイッチングレギュレータ。
- [12] 電池と、
前記電池の電圧を昇圧もしくは降圧する請求項11に記載のスイッチングレギュレータと、
を備えることを特徴とする電子機器。
- [13] 一端が接地された出力キャパシタと、
前記出力キャパシタの他端にその一端が接続されたインダクタと、
前記インダクタの他端に前記スイッチング電圧を供給する請求項5から7のいずれかに記載の制御回路と、
を備え、前記出力キャパシタの他端の電圧を出力することを特徴とする降圧型スイッチングレギュレータ。
- [14] 電池と、
前記電池の電圧を昇圧もしくは降圧する請求項13に記載のスイッチングレギュレータと、
を備えることを特徴とする電子機器。

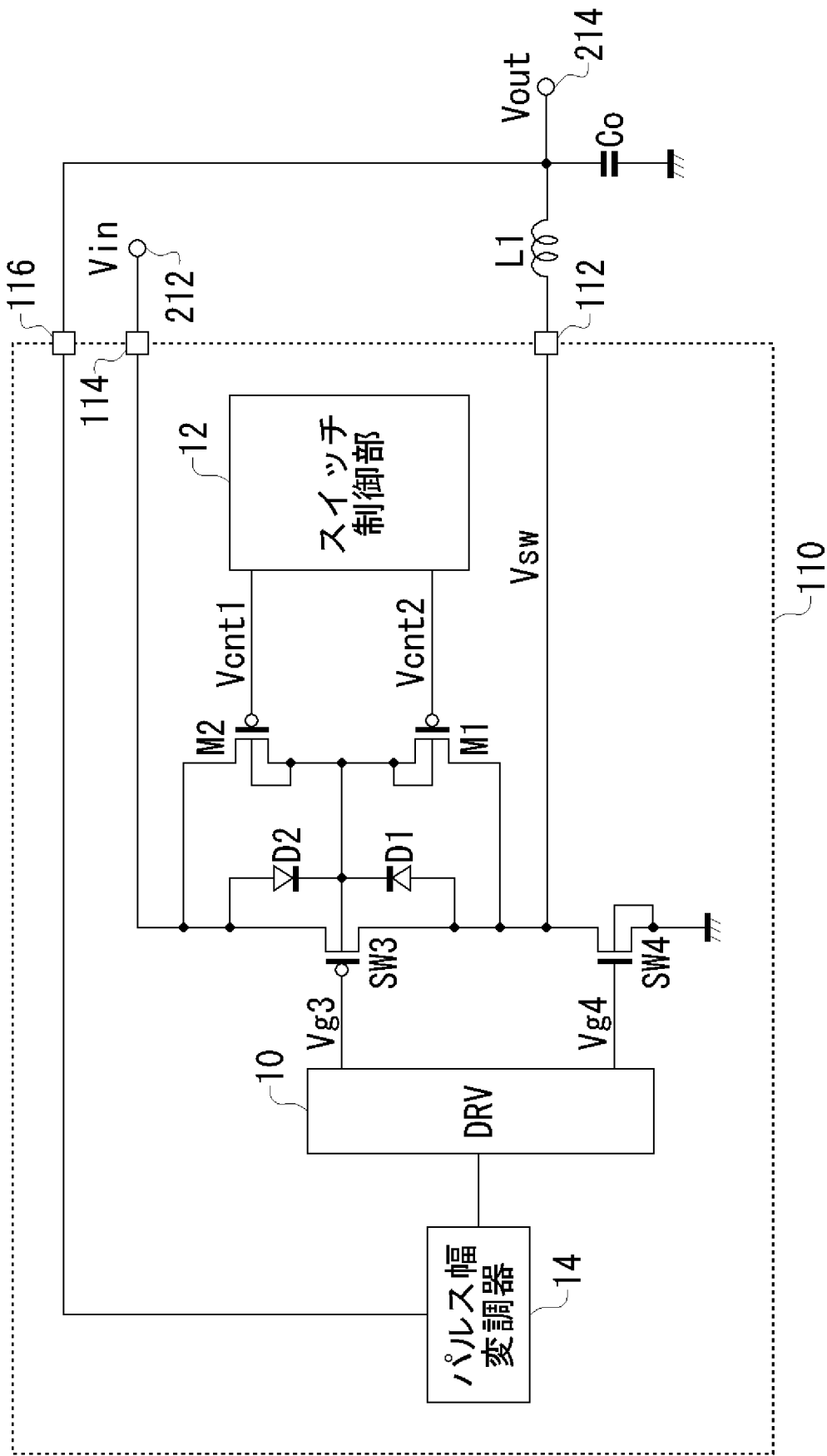
[図1]



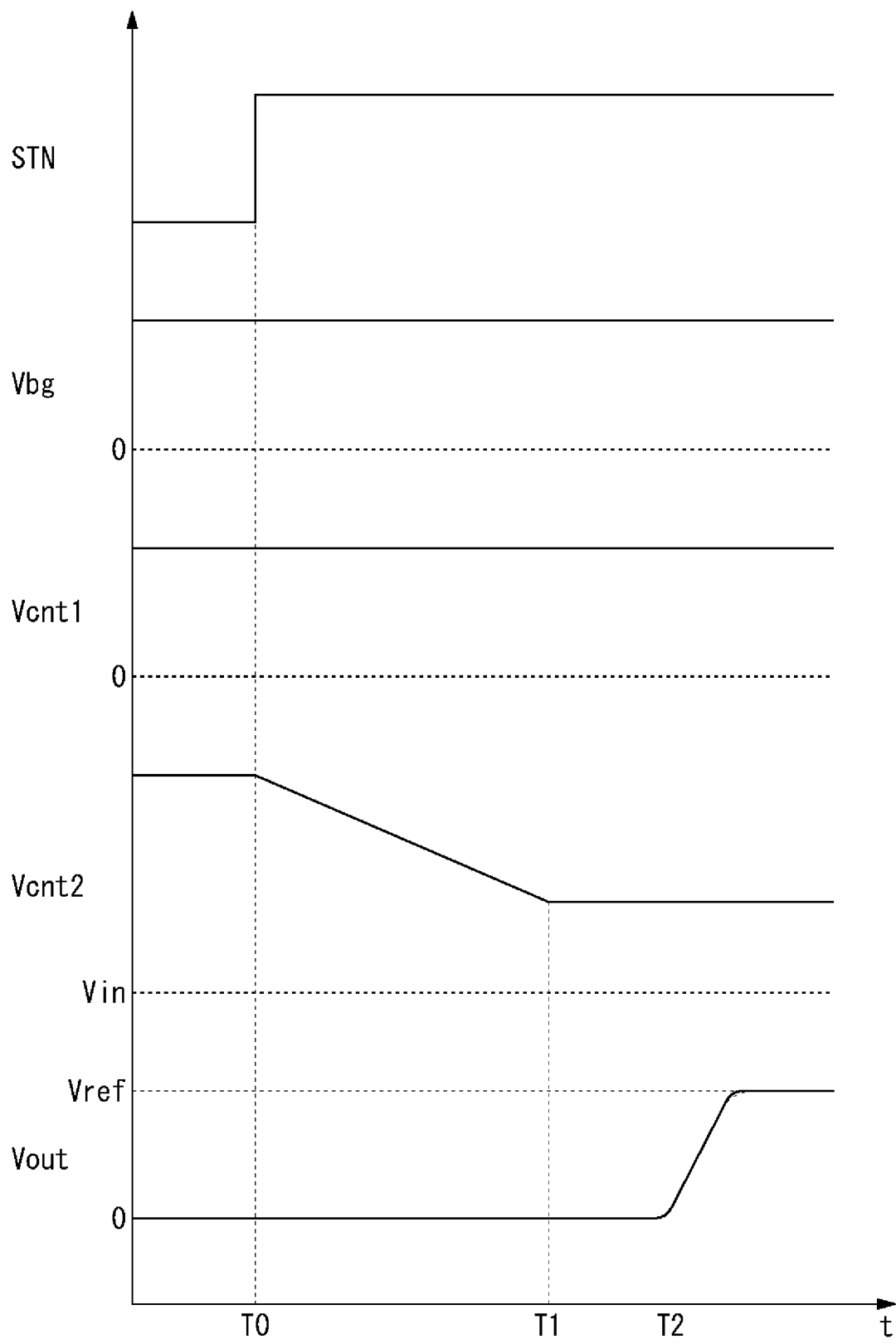
[図2]



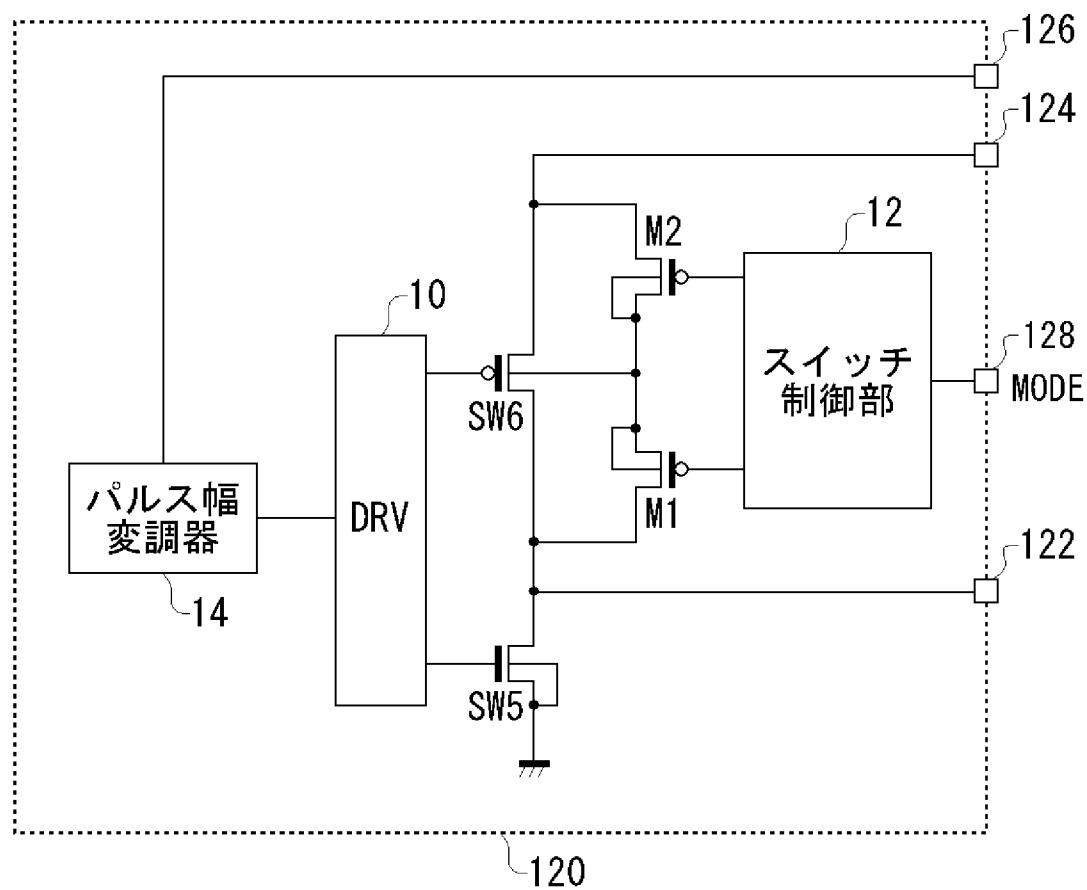
[図3]



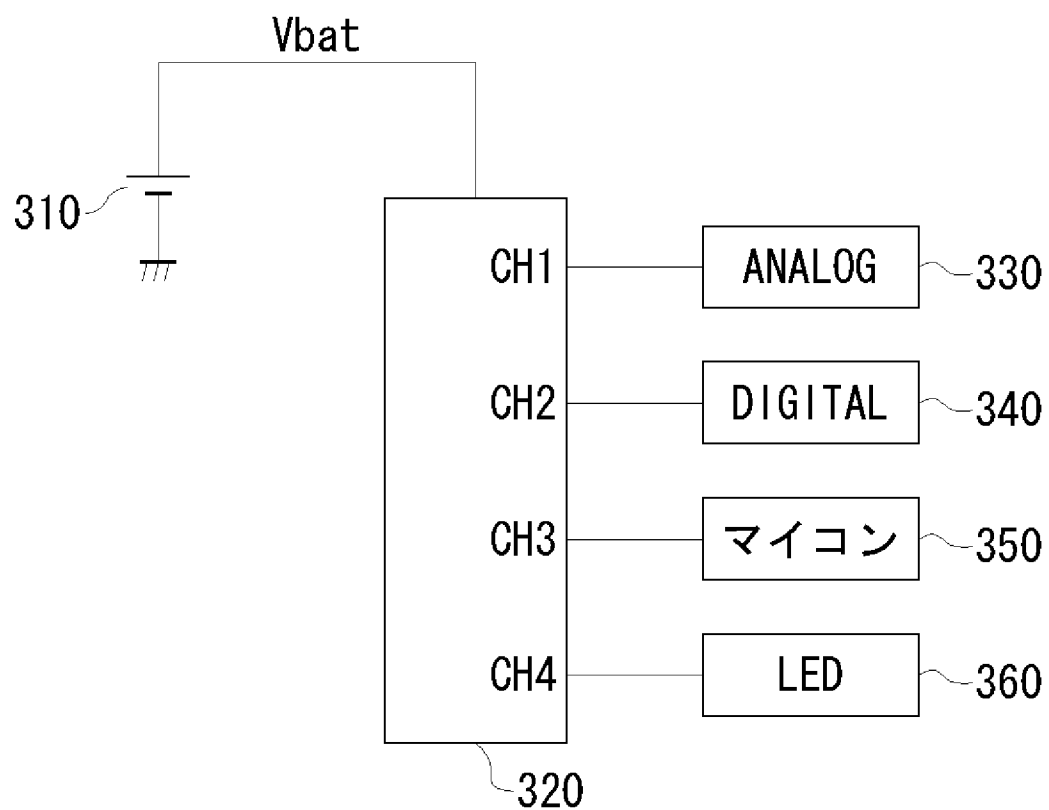
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313881

A. CLASSIFICATION OF SUBJECT MATTER

H02M3/155(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H02M3/155

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2006
Kokai Jitsuyo Shinan Koho	1971-2006	Toroku Jitsuyo Shinan Koho	1994-2006

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	JP 8-251913 A (Seiko Instruments Inc.), 27 September, 1996 (27.09.96), Par. Nos. [0006] to [0008]; Fig. 1 (Family: none)	1, 4 2, 5, 6, 8-14 3, 7
Y A	JP 2001-42961 A (Mitsubishi Electric Corp.), 16 February, 2001 (16.02.01), Par. No. [0024]; Figs. 1, 2 (Family: none)	2, 5, 6, 8-14 3, 7
A	JP 2004-215356 A (Toyota Industries Corp.), 29 July, 2004 (29.07.04), Full text; all drawings (Family: none)	3, 7

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier application or patent but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
06 October, 2006 (06.10.06)

Date of mailing of the international search report
17 October, 2006 (17.10.06)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2006/313881

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2001-128369 A (Toyoda Automatic Loom Works, Ltd.), 11 May, 2001 (11.05.01), Full text; all drawings (Family: none)	5, 6, 8-14 3, 7
Y A	JP 2005-33862 A (Rohm Co., Ltd.), 03 February, 2005 (03.02.05), Full text; all drawings & US 2005/0007089 A1	5, 6, 8-14 3, 7
P, A	JP 2006-34033 A (Ricoh Co., Ltd.), 02 February, 2006 (02.02.06), Full text; all drawings & WO 2006/009268 A1	1-14
P, A	JP 2005-295629 A (Mitsumi Electric Co., Ltd.), 20 October, 2005 (20.10.05), Full text; all drawings (Family: none)	1-14
A	JP 7-131938 A (Seiko Instruments Inc.), 19 May, 1995 (19.05.95), Par. Nos. [0112] to [0115]; Figs. 36 to 38 & US 5742148 A & EP 0599629 A2	1-14

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H02M3/155(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H02M3/155

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 6 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X Y A	JP 8-251913 A（セイコー電子工業株式会社）1996.09.27, 段落【0006】-【0008】、第1図（ファミリーなし）	1, 4 2, 5, 6, 8-14 3, 7
Y A	JP 2001-42961 A（三菱電機株式会社）2001.02.16, 段落【0024】、第1,2図（ファミリーなし）	2, 5, 6, 8-14 3, 7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

0 6 . 1 0 . 2 0 0 6

国際調査報告の発送日

1 7 . 1 0 . 2 0 0 6

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

杉浦 貴之

3 V

3 3 2 8

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 3 5 8

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP 2004-215356 A (株式会社豊田自動織機) 2004. 07. 29, 全文、全図 (ファミリーなし)	3, 7
Y A	JP 2001-128369 A (株式会社豊田自動織機製作所) 2001. 05. 11, 全文、全図 (ファミリーなし)	5, 6, 8-14 3, 7
Y A	JP 2005-33862 A (ローム株式会社) 2005. 02. 03, 全文、全図 & US 2005/0007089 A1	5, 6, 8-14 3, 7
P, A	JP 2006-34033 A (株式会社リコー) 2006. 02. 02, 全文、全図 & WO 2006/009268 A1	1-14
P, A	JP 2005-295629 A (ミツミ電機株式会社) 2005. 10. 20, 全文、全図 (ファミリーなし)	1-14
A	JP 7-131938 A (セイコー電子工業株式会社) 1995. 05. 19, 段落【0112】 - 【0115】、第 36, 38 図 & US 5742148 A & EP 0599629 A2	1-14