

DEUTSCHE DEMOKRATISCHE REPUBLIK



(12) Wirtschaftspatent

Erteilt gemäß § 17 Absatz 1 Patentgesetz

PATENTSCHRIFT

(19) **DD** (11) **247 537 A1**

4(51) G 06 F 11/30

AMT FÜR ERFINDUNGS- UND PATENTWESEN

In der vom Anmelder eingereichten Fassung veröffentlicht

(21)	WP G 06 F / 288 558 1	(22)	31.03.86	(44)	08.07.87
------	-----------------------	------	----------	------	----------

(71)	VEB Werk für Signal- und Sicherungstechnik Berlin, 1193 Berlin, Elsenstraße 87/96, DD
(72)	Nikolaizik, Jürgen, Dipl.-Ing.; Gonschorrek, Uwe, Dipl.-Ing.; Klaus, Jürgen, DD

(54) Peripherievergleichereinheit

(57) Die Erfindung betrifft eine Peripherievergleichereinheit, die insbesondere über ein n-fach redundantes Ein-/Ausgabebussystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht, und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall da einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen, wie z. B. bei der Prozeßsteuerung in Kraftwerken, der chemischen Industrie und beim schienengebundenen Verkehr. Sie enthält Baugruppen, die jeweils für Steuerinformationen, Adressen und Daten (2 von 3)-Vergleiche durchführen und zwei Rechner, welche ihre Informationen austauschen, (2 von 3) vergleichen und 2fach an die sicherheitsrelevanten Peripheriebaugruppen ausgeben.

ISSN 0433-6461

4 Seiten

Erfindungsanspruch:

1. Peripherievergleichereinheit, **gekennzeichnet dadurch**, daß ein Rechner (1) über ein Interrupterzeugungsmodul (2) ein Kommandotor (3), ein Adreßtor (4) und ein Datentor (5) an ein n-fach redundantes Bussystem (B1, ..., Bn) eines übergeordneten (m von n)-Masterrechnermoduls (M) angeschlossen ist, daß der Interrupterzeugungsmodul (2), das Kommandotor (3), das Adreßtor (4) und das Datentor (5) an eine Torsteuerung (6) angeschlossen sind, die mit dem Rechner (1) verbunden ist, daß der Interrupterzeugungsmodul (2) mit einer Fehlersignalisierungslogik (7) verbunden ist, daß der Rechner (1) über eine Peripherie-Kommandotor (8), ein Peripherie-Adreßtor (9), ein Peripherie-Datentor (10) und einen Treiber (11) an einen der Peripherievergleichereinheit zugeordneten Peripheriebus PB angeschlossen ist, daß weitere Peripherievergleichereinheiten über eine modulinterne Kopplung (12) und eine Quittungslogik (13) mit dem Rechner (1) verbunden sind, wobei die Quittungslogik am Ein-/Ausgabebussystem (B1, ..., Bn) des übergeordneten Masterrechnersystems angeschlossen sind.
2. Peripherievergleichereinheit nach Pkt. 1, **gekennzeichnet dadurch**, daß der Rechner (1) ein Einchipmikrorechner ist.

Hierzu 1 Seite Zeichnung

Anwendungsgebiet der Erfindung

Die Erfindung betrifft eine intelligente Peripherievergleichereinheit, die insbesondere über ein n-fach redundantes Ein-/Ausgabesystem Informationen erhält, diese einem (m von n)-Vergleich unterzieht und dann k-kanalig an Ein-/Ausgabebaugruppen zur Ansteuerung von sicherheitsrelevanten Stellgliedern weiterleitet. Sie ist überall dort einsetzbar, wo hohe Sicherheits- und Zuverlässigkeitsanforderungen bestehen, wie z. B. bei der Prozeßsteuerung in Kraftwerken, der Chemie und beim schienengebundenen Verkehr.

Charakteristik der bekannten technischen Lösungen

Es ist bekannt, Steuerungssysteme mit Rechnern aufzubauen, die nach dem (2 von 3)-Prinzip arbeiten.

Zur Steuerung der Prozeßperipherie wird an jeden der drei Rechner ein Ein-/Ausgabebussystem angeschlossen. Dieses dreifach redundante Bussystem wird auf eine oder mehrere Steuereinheiten geführt, welche jede für sich die Informationen von dem Bussystem nach dem (2 von 3)-Prinzip vergleicht und als Ergebnis dessen Steuerinformationen bildet. Die den Steuereinheiten zugehörigen Ein-/Ausgabebaugruppen erhalten dann einkanalig die aus dem (2 von 3)-Vergleich hervorgegangenen Steuerinformationen. Um aber Peripherieelemente mit Sicherheitsverantwortung mehrkanalig, mindestens jedoch 2fach anzusteuern, ist es bekannt, diese Peripherieelemente mindestens über zwei Ein-/Ausgabebaugruppen, die sich in verschiedenen Steuereinheiten befinden, anzusteuern.

Das hat aber einen hohen Verdrahtungsaufwand für den Anschluß der Peripherieelemente zur Folge und das System ist relativ unübersichtlich.

Im Defektfall ist eine zeitaufwendige Fehlersuche in mehreren Steuereinheiten (Kassetten) notwendig. Nachteilig ist auch, daß durch den Ausfall eines (2 von 3)-Vergleichers in einer Steuereinheit anteilig mehr Peripheriestromkreise ausfallen.

Weiterhin ist eine exakte zeitparallele Ansteuerung der für einen Peripheriestromkreis notwendigen Ein-/Ausgabebaugruppen und ein zeitparalleles Rücklesen der an einem Peripheriestromkreis liegenden Rückmeldungen nicht möglich. Die Rückmeldungen müssen durch das übergeordnete System erst zwischengespeichert und zusammengeführt werden und können erst dann mit den Sollwerten verglichen werden. Weiterhin ist bekannt, alle Einheiten mit einem gemeinsamen und sicheren Takt zu versorgen, so daß alle Einheiten befehls- und taktsynchron laufen. Dabei können gleichartige Verfälschungen der Steuerinformationen entstehen, die durch die (2 von 3)-Vergleicher nicht erkannt werden.

Ziel der Erfindung

Das Ziel der Erfindung ist es, den Informationsaustausch zwischen einem reduzierten Rechnersystem und Ein-/Ausgabebaugruppen für Sicherheitsstromkreise auf einem hohen Sicherheits- und Zuverlässigkeitsniveau durchzuführen, sowie eine übersichtliche und wartungsfreundliche Anordnung dafür zu finden.

Darlegung des Wesens der Erfindung

Der Erfindung liegt die Aufgabe zugrunde, eine Schaltungsanordnung zu schaffen, die die von einem redundanten Masterrechnersystem über ein redundantes Bussystem ausgegebenen Informationen zu einer diskreten Menge von Ein-/Ausgabebaugruppen, für welche die Informationen bestimmt sind, weiterleitet, dabei einen Mehrheitsentscheid durchführt, eine sicherheitstechnische Verbindung zu den einzelnen Ein-/Ausgabebaugruppen herstellt, sowie die Rückmeldeinformationen ebenfalls sicherheitstechnisch von der einzelnen Ein-/Ausgabebaugruppe zum Masterrechnersystem leitet, wobei die Anordnung selbst sicherheitstechnische Anforderungen genügen soll.

Die erfindungsgemäße Lösung soll durch einen geringen Hardwareaufwand realisierbar sein und die Mehrheitsvergleiche in einem internen Rechner softwaremäßig durchführen. Es soll die sichere Sperrung von Bussen oder Rechnern im Fehlerfall durch die internen Rechner möglich sein, durch die Verwendung von nur wenigen Einzelementen soll eine hohe Zuverlässigkeit erreicht werden.

Erfindungsgemäß wird die Aufgabe durch eine Schaltungsanordnung mit den Merkmalen des Erfindungsanspruchs gelöst.

Ausführungsbeispiel

Die Erfindung soll nachstehend anhand eines Ausführungsbeispiels erläutert werden.

In der Figur ist eine Schaltungsanordnung der Peripherievergleichereinheit PVE dargestellt. An den Ein-/Ausgabebussen B 1, ..., B n eines n-fach redundanten, nach dem (m von n)-Prinzip arbeitenden Masterrechnermoduls ist die erfindungsgemäße Schaltungsanordnung angeschlossen.

Die Peripherievergleichereinheit ist im allgemeinen k-fach zur Ansteuerung von k Peripheriebussen PB 1, ..., PB k vorhanden, wobei jede PVE jeweils einen zugeordneten Peripheriebus PB treibt.

Die Reaktion der Peripheriebaugruppen, die mit dem Bus PB 1, ..., PB k verbunden sind wird nur dann ausgelöst, wenn die Teilinformationen in den Peripheriebussen identisch sind. Die Funktionsweise der PVE sind anhand der PVE 1 beschrieben: Der Interrupterzeugungsmodul 2 führt einen (m von n)-Vergleich der von den Masterrechnern gesendeten Kommandos (z. B. Schreib- oder Lesekommandos) und die Adreßdekodierung durch. Im Falle einer Selektion wird das Mehrheitssignal des empfangenen Kommandos zum Rechner 1.1 durchgeschaltet und löst dort einen Interrupt aus. In einer vorteilhaften Ausgestaltung kann dieser Rechner ein Einchipmikrorechner sein.

Infolge des Interrupts werden die Kommandos aus dem Kommandotor 3, die Adresse aus dem Adreßtor 4 und in bestimmten Fällen die Daten aus dem Datentor 5 von den n Bussen B 1, ..., B n nacheinander vom Rechner 1.1 gelesen und der (m von n)-Vergleich softwaremäßig realisiert.

Die Busumschaltung in den Modulen 3, 4 und 5 übernimmt die Torsteuerung 6, die die dafür notwendigen Informationen vom Rechner 1.1 erhält. Bestimmte Informationen werden mit den k anderen Teilsystemen über die modulinternen Kopplung 12 ausgetauscht und in den Rechnern 1.1, ..., 1.k softwaremäßig verglichen. Werden beim (m von n)-Vergleich und dem Informationsvergleich zwischen den Teilsystemen keine Fehler festgestellt oder sind die erkannten Fehler nach dem (m von n)-Prinzip tolerierbar, so wird von den Rechnern 1.1, ..., 1.k die Befehlsausführung eingeleitet. Im anderen Falle erfolgt keine Reaktion; eine Ausführungsquittung über die Quittungslogik 13 erfolgt dann nicht.

Je nach Kommando werden lediglich bestimmte Informationen rückgelesen, oder eine bestimmte Ein-/Ausgabebaugruppe angesprochen. Beim Rücklesen wird die Richtung der Datentreiber im Datentor 5 umgekehrt und dabei defekte Busse oder Rechner gesperrt. Diese Handlungen übernimmt der Rechner 1.1 in Verbindung mit der Torsteuerung 6.

Bei Software- oder bestimmten Hardwarefehlern wird eine unerwünschte Datenausgabe durch Signale des Interrupterzeugungsmoduls 2 zusätzlich unterdrückt. Ist ein Informationsaustausch mit einer Ein-/Ausgabebaugruppe gefordert, so geschieht das über das Peripherie-Kommandotor 8, das Peripherie-Adreßtor 9 und das Peripherie-Datentor 10.

Die Richtung des Peripherie-Datentores 10 wird durch das jeweilige Kommando bestimmt. Das Quittungssignal der angesprochenen Ein-/Ausgabebaugruppe wird über den Treiber 11 vom internen Rechner 1.1. empfangen. Nach jeder Befehlserkennung durch den Rechner 1.1 wird über die Quittungslogik 13 ein Quittungssignal an die Masterrechner gesendet. Der Master kann über zusätzliche Adreßbits durch die Fehlersignalisierungslogik 7 Fehler optisch und/oder akustisch signalisieren. Die Auslösung eines Interrupts wird dabei unterdrückt.

Um Rückwirkungsfreiheit bei bestimmten Hardwarefehlern zu garantieren, sind die k Peripherievergleichereinheiten im Gesamtsystem über die Quittungslogik 13 und die modulinterne Kopplung 12 voneinander galvanisch entkoppelt.

Ist die Peripherievergleichereinheit von den Masterrechnern nicht selektiert, kann im internen Rechner ein Hintergrundprogramm zur Fehlerdiagnose und zur zyklischen Auffrischung bestimmter Signale für die Ein-/Ausgabebaugruppen ablaufen.

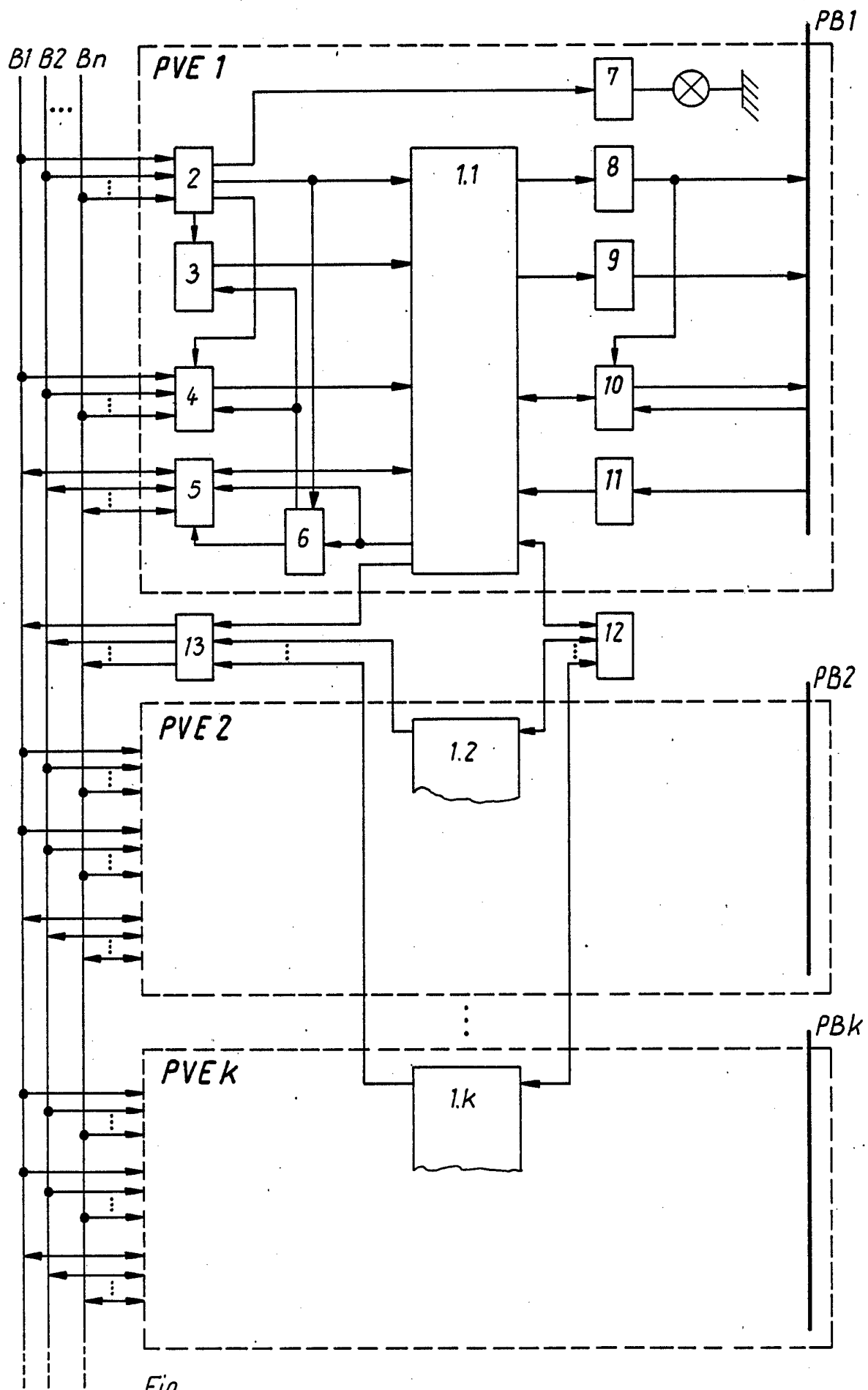


Fig.