



(12)发明专利

(10)授权公告号 CN 104282656 B

(45)授权公告日 2017.03.08

(21)申请号 201310272064.2

(22)申请日 2013.07.01

(65)同一申请的已公布的文献号
申请公布号 CN 104282656 A

(43)申请公布日 2015.01.14

(73)专利权人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

(72)发明人 周鸣

(74)专利代理机构 北京市磐华律师事务所
11336

代理人 董巍 高伟

(51)Int.Cl.

H01L 23/522(2006.01)

H01L 21/768(2006.01)

(56)对比文件

CN 101390204 A,2009.03.18,

CN 101390204 A,2009.03.18,

CN 102110639 A,2011.06.29,

CN 1787186 A,2006.06.14,

CN 101104925 A,2008.01.16,

审查员 贾枫

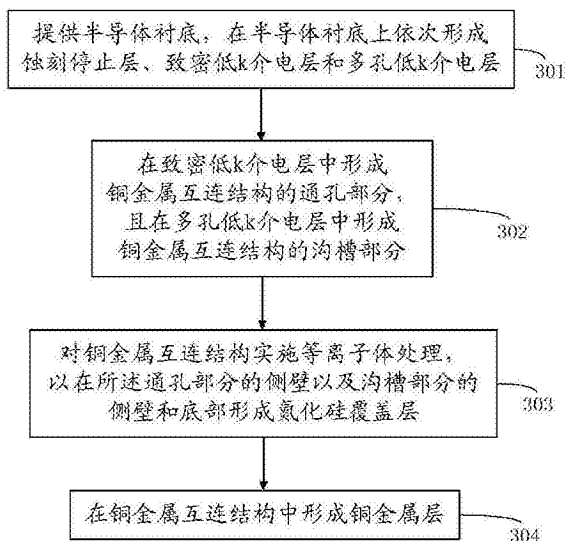
权利要求书2页 说明书6页 附图4页

(54)发明名称

一种半导体器件及其制造方法

(57)摘要

本发明提供一种半导体器件及其制造方法,其中所述制造方法包括:提供半导体衬底,在半导体衬底上依次形成蚀刻停止层、致密低k介电层和多孔低k介电层;在致密低k介电层中形成铜金属互连结构的通孔部分,且在高孔低k介电层中形成铜金属互连结构的沟槽部分;对所述铜金属互连结构实施等离子体处理,以在所述通孔部分的侧壁以及沟槽部分的侧壁和底部形成氮化硅覆盖层;在铜金属互连结构中形成铜金属层。根据本发明,可以进一步抑制所述铜金属层中的铜的扩散行为,进而改善半导体器件的电迁移特性。



1. 一种半导体器件的制造方法,包括:

a) 提供半导体衬底,在所述半导体衬底上依次形成蚀刻停止层、致密低k介电层和多孔低k介电层;

b) 在所述致密低k介电层中形成铜金属互连结构的通孔部分,且在所述多孔低k介电层中形成铜金属互连结构的沟槽部分,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置呈拐角圆化状。

2. 根据权利要求1所述的方法,其特征在于,在所述步骤b)之后,还包括对所述铜金属互连结构实施第一等离子体处理的步骤,以在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部形成氮化硅覆盖层。

3. 根据权利要求2所述的方法,其特征在于,所述第一等离子体处理的源气体为氮气,工艺条件为:氮气的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr。

4. 根据权利要求2所述的方法,其特征在于,在执行所述第一等离子体处理的同时或者之前,还包括将所述半导体衬底置于硅烷的氛围中的步骤,以使所述硅烷吸附在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部。

5. 根据权利要求4所述的方法,其特征在于,所述硅烷的流量为10-10000sccm。

6. 根据权利要求2所述的方法,其特征在于,在所述第一等离子体处理之后,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置发生拐角圆化。

7. 根据权利要求2所述的方法,其特征在于,在所述第一等离子体处理之后,还包括对所述铜金属互连结构实施第二等离子体处理的步骤,以提升所述致密低k介电层的机械强度。

8. 根据权利要求7所述的方法,其特征在于,所述第二等离子体处理的源气体为氩气,工艺条件为:氩气的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr。

9. 根据权利要求7所述的方法,其特征在于,在所述第二等离子体处理之后,还包括在所述铜金属互连结构中形成铜金属层的步骤。

10. 根据权利要求9所述的方法,其特征在于,形成所述铜金属层之前,还包括在所述铜金属互连结构的通孔部分的侧壁以及沟槽部分的侧壁和底部依次形成铜金属扩散阻挡层和铜金属种子层的步骤。

11. 根据权利要求9所述的方法,其特征在于,形成所述铜金属层之后,还包括执行化学机械研磨工艺直至露出所述多孔低k介电层的步骤。

12. 根据权利要求1所述的方法,其特征在于,所述致密低k介电层的介电常数大于所述多孔低k介电层的介电常数。

13. 一种半导体器件,包括:

半导体衬底;

形成在所述半导体衬底上的自下而上层叠的蚀刻停止层、致密低k介电层和多孔低k介电层;

形成在所述致密低k介电层中的铜金属互连结构的通孔部分和形成在所述多孔低k介电层中的铜金属互连结构的沟槽部分,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置呈拐角圆化状;

形成在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部的氮化硅覆盖层;

形成于所述铜金属互连结构中的自内向外层叠的铜金属扩散阻挡层、铜金属种子层和铜金属层。

14. 根据权利要求13所述的半导体器件, 其特征在于, 所述致密低k介电层的介电常数大于所述多孔低k介电层的介电常数。

一种半导体器件及其制造方法

技术领域

[0001] 本发明涉及半导体制造工艺,具体而言涉及一种改善半导体器件的电迁移特性的方法。

背景技术

[0002] 对于半导体器件中的逻辑电路而言,铜金属互连层的层数达到数层乃至十数层,每一层铜金属互连层分别形成于相应的铜金属互连结构。如图1A所示,在形成有前端器件的半导体衬底100上形成有自下而上层叠的蚀刻停止层101和多孔低k介电层102,在多孔低k介电层102中形成有与所述前端器件连通的铜金属互连结构103,所述铜金属互连结构103由通孔103a和沟槽103b构成。

[0003] 多孔低k介电层102的构成材料为具有低介电常数的材料且自身具有多孔化结构,其机械强度较差,因此,在图1B中示出的位置104,即通孔103a的侧壁和沟槽103b的底部相接的位置,也是器件通电后铜金属互连层中电流密度最大的位置,将会发生明显的电迁移现象,导致器件性能的下降。随着器件特征尺寸的不断缩减,在上述位置将会出现更为严重的电迁移现象。

[0004] 因此,需要提出一种方法,以解决上述问题。

发明内容

[0005] 针对现有技术的不足,本发明提供一种半导体器件的制造方法,包括:a)提供半导体衬底,在所述半导体衬底上依次形成蚀刻停止层、致密低k介电层和多孔低k介电层;b)在所述致密低k介电层中形成铜金属互连结构的通孔部分,且在所述多孔低k介电层中形成铜金属互连结构的沟槽部分。

[0006] 进一步,在所述步骤b)之后,还包括对所述铜金属互连结构实施第一等离子体处理的步骤,以在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部形成氮化硅覆盖层。

[0007] 进一步,所述第一等离子体处理的源气体为氮气,工艺条件为:氮气的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr。

[0008] 进一步,在执行所述第一等离子体处理的同时或者之前,还包括将所述半导体衬底置于硅烷的氛围中的步骤,以使所述硅烷吸附在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部。

[0009] 进一步,所述硅烷的流量为10-10000sccm。

[0010] 进一步,在所述第一等离子体处理之后,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置发生拐角圆化。

[0011] 进一步,在所述第一等离子体处理之后,还包括对所述铜金属互连结构实施第二等离子体处理的步骤,以提升所述致密低k介电层的机械强度。

[0012] 进一步,所述第二等离子体处理的源气体为氩气,工艺条件为:氩气的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr。

[0013] 进一步,在所述第二等离子体处理之后,还包括在所述铜金属互连结构中形成铜金属层的步骤。

[0014] 进一步,形成所述铜金属层之前,还包括在所述铜金属互连结构的通孔部分的侧壁以及沟槽部分的侧壁和底部依次形成铜金属扩散阻挡层和铜金属种子层的步骤。

[0015] 进一步,形成所述铜金属层之后,还包括执行化学机械研磨工艺直至露出所述多孔低k介电层的步骤。

[0016] 进一步,所述致密低k介电层的介电常数大于所述多孔低k介电层的介电常数。

[0017] 本发明还提供一种半导体器件,包括:

[0018] 半导体衬底;

[0019] 形成在所述半导体衬底上的自下而上层叠的蚀刻停止层、致密低k介电层和多孔低k介电层;

[0020] 形成在所述致密低k介电层中的铜金属互连结构的通孔部分和形成在所述多孔低k介电层中的铜金属互连结构的沟槽部分;

[0021] 形成在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部的氮化硅覆盖层;

[0022] 形成于所述铜金属互连结构中的自内向外层叠的铜金属扩散阻挡层、铜金属种子层和铜金属层。

[0023] 进一步,所述致密低k介电层的介电常数大于所述多孔低k介电层的介电常数。

[0024] 进一步,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置发生拐角圆化。

[0025] 根据本发明,在致密低k介电层中形成铜金属互连结构的通孔部分,在多孔低k介电层中形成铜金属互连结构的沟槽部分,对铜金属互连结构实施等离子体处理,在所述通孔部分的侧壁以及沟槽部分的侧壁和底部形成氮化硅覆盖层的同时,提高致密低k介电层的机械强度,通过以上措施可以进一步抑制填充于铜金属互连结构的铜的扩散行为,从而改善半导体器件的电迁移特性。

附图说明

[0026] 本发明的下列附图在此作为本发明的一部分用于理解本发明。附图中示出了本发明的实施例及其描述,用来解释本发明的原理。

[0027] 附图中:

[0028] 图1A示出了根据现有技术形成连通前端器件层的铜金属互连结构之后的器件的示意性剖面图;

[0029] 图1B示出了在图1A中示出的铜金属互连结构中形成铜金属互连层后易于发生电迁移的位置的示意性剖面图;

[0030] 图2A-图2G为根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图;

[0031] 图2H为根据本发明示例性实施例的方法所获得的半导体器件的示意性剖面图;

[0032] 图3为根据本发明示例性实施例的方法改善半导体器件的电迁移特性的流程图。

具体实施方式

[0033] 在下文的描述中,给出了大量具体的细节以便提供对本发明更为彻底的理解。然而,对于本领域技术人员而言显而易见的是,本发明可以无需一个或多个这些细节而得以实施。在其他的例子中,为了避免与本发明发生混淆,对于本领域公知的一些技术特征未进行描述。

[0034] 为了彻底理解本发明,将在下列的描述中提出详细的步骤,以便阐释本发明提出的改善半导体器件的电迁移特性的方法。显然,本发明的施行并不限于半导体领域的技术人员所熟习的特殊细节。本发明的较佳实施例详细描述如下,然而除了这些详细描述外,本发明还可以具有其他实施方式。

[0035] 应当理解的是,当在本说明书中使用术语“包含”和/或“包括”时,其指明存在所述特征、整体、步骤、操作、元件和/或组件,但不排除存在或附加一个或多个其他特征、整体、步骤、操作、元件、组件和/或它们的组合。

[0036] [示例性实施例]

[0037] 下面,参照图2A-图2G和图3来描述根据本发明示例性实施例的方法改善半导体器件的电迁移特性的详细步骤。

[0038] 参照图2A-图2G,其中示出了根据本发明示例性实施例的方法依次实施的步骤所分别获得的器件的示意性剖面图。

[0039] 首先,提供半导体衬底200,采用化学气相沉积工艺在半导体衬底200上依次形成蚀刻停止层201、致密低k介电层202、多孔低k介电层203、缓冲层204和硬掩膜层205。

[0040] 在半导体衬底200上形成有前端器件,为了简化,图例中未予示出。所述前端器件是指实施半导体器件的后端制造工艺(BEOL)之前形成的器件,在此并不对前端器件的具体结构进行限定。所述前端器件包括栅极结构,作为一个示例,栅极结构包括自下而上依次层叠的栅极介电层和栅极材料层。在栅极结构的两侧形成有侧壁结构,在侧壁结构两侧的半导体衬底200中形成有源/漏区,在源/漏区之间是沟道区;在栅极结构的顶部以及源/漏区上形成有自对准硅化物。

[0041] 蚀刻停止层201的材料优选SiCN、SiC或SiN,其作为后续蚀刻致密低k介电层202以在其中形成连通所述前端器件的铜金属互连结构的通孔部分的蚀刻停止层的同时,可以阻止形成于所述铜金属互连结构的铜金属扩散到所述前端器件所在的层间介电层。

[0042] 致密低k介电层202的构成材料可以选自本领域常见的k值(介电常数)为2.6-3.0的材料,包括但不限于k值为2.6-2.9的硅酸盐化合物(Hydrogen Silsesquioxane,简称为HSQ)、k值为2.8的HOSP™(Honeywell公司制造的基于有机物和硅氧化物的混合体的低介电常数材料)以及k值为2.65的SiLK™(Dow Chemical公司制造的一种低介电常数材料)等等。致密低k介电层202不具有多孔化结构,因此,在形成致密低k介电层202的过程中,不添加造孔剂前体。

[0043] 多孔低k介电层203的构成材料可以选自本领域常见的低k值材料。在致密低k介电层202上形成构成多孔低k介电层203的低k值材料之后,采用紫外辐照或者加热等方法使所述低k值材料多孔化,以使多孔低k介电层203的k值小于致密低k介电层202的k值。由于需要实施多孔化过程,因此,在形成构成多孔低k介电层203的低k值材料的过程中,需要添加造孔剂前体,例如C₁₀H₁₆(ATRP)。

[0044] 缓冲层204包括自下而上依次堆叠的过渡材料层204a和TEOS(正硅酸乙酯)层

204b,过渡材料层204a的作用是增加多孔低k介电层203的构成材料和TEOS之间的附着力,TEOS层204b的作用是在后续研磨填充于连通所述前端器件的铜金属互连结构中的铜金属时避免机械应力对多孔低k介电层203的多孔化结构造成损伤。过渡材料层204a的构成材料包括SiN、SiC或SiOC。

[0045] 硬掩膜层205包括自下而上依次堆叠的金属硬掩膜层205a和氧化物硬掩膜层205b,这种双层硬掩膜层的结构能够保证双重图形化或者多重图形化的工艺精度,保证于硬掩膜层205中所需形成的全部图形的深度及侧壁轮廓的一致性,即先将具有不同特征尺寸的图案形成在氧化物硬掩膜层205b中,再以氧化物硬掩膜层205b为掩膜蚀刻金属硬掩膜层205a于硬掩膜层205中制作所需形成的图形。金属硬掩膜层205a的构成材料包括TiN、BN或者其组合,优选TiN;氧化物硬掩膜层205b的构成材料包括SiO₂、SiON等,且要求其相对于金属硬掩膜层205a的构成材料具有较好的蚀刻选择比。

[0046] 接着,如图2B所示,在硬掩膜层205中形成第一开口206,以露出下方的缓冲层204。所述第一开口206对应连通所述前端器件的铜金属互连结构的通孔部分的图案,其可以包括多个具有不同特征尺寸的图形。

[0047] 根据所需形成的图形的情况,需两次或多次实施所述通孔图案的构图过程,每次实施均包括以下步骤:在氧化物硬掩膜层205b上依次形成ODL层(有机介质层)、BARC层(底部抗反射涂层)和PR层(光刻胶层);对PR层进行光刻、显影处理,以在PR层中形成通孔图案;以图案化的PR层为掩膜,依次蚀刻BARC层、ODL层和氧化物硬掩膜层205b,在氧化物硬掩膜层205b中形成通孔图案;采用灰化等工艺去除图案化的PR层、BARC层和ODL层。最后,以在其中形成全部所需通孔图案的氧化物硬掩膜层205b为掩膜,蚀刻金属硬掩膜层205a,完成第一开口206的制作。

[0048] 接着,如图2C所示,以具有第一开口206的硬掩膜层205为掩膜,依次蚀刻缓冲层204、多孔低k介电层203和致密低k介电层202,直至露出蚀刻停止层201。采用各向异性的干法蚀刻工艺实施所述蚀刻,所述蚀刻结束后在致密低k介电层202中形成连通所述前端器件的铜金属互连结构的通孔208a。

[0049] 接着,如图2D所示,在硬掩膜层205中形成第二开口207,以露出下方的缓冲层204。所述第二开口207对应连通所述前端器件的铜金属互连结构的沟槽部分的图案,其可以包括多个具有不同特征尺寸的图形。

[0050] 根据所需形成的图形的情况,需两次或多次实施所述沟槽图案的构图过程,每次实施均包括以下步骤:在氧化物硬掩膜层205b上依次形成另一ODL层、另一BARC层和另一PR层;对另一PR层进行光刻、显影处理,以在另一PR层中形成沟槽图案;以图案化的另一PR层为掩膜,依次蚀刻另一BARC层、另一ODL层和氧化物硬掩膜层205b,在氧化物硬掩膜层205b中形成沟槽图案;采用灰化等工艺去除图案化的另一PR层、另一BARC层和另一ODL层。最后,以在其中形成全部所需沟槽图案的氧化物硬掩膜层205b为掩膜,蚀刻金属硬掩膜层205a,完成第二开口207的制作。

[0051] 接着,如图2E所示,以具有第二开口207的硬掩膜层205为掩膜,依次蚀刻缓冲层204和多孔低k介电层203,直至露出致密低k介电层202。采用各向异性的干法蚀刻工艺实施所述蚀刻,所述蚀刻结束后在多孔低k介电层203中形成连通所述前端器件的铜金属互连结构的沟槽208b。

[0052] 接下来,去除通过通孔208a露出的蚀刻停止层201,以使所述铜金属互连结构与所述前端器件连通。在本实施例中,采用干法蚀刻工艺实施所述蚀刻停止层201的去除。然后,执行蚀刻后处理过程,以去除前述蚀刻过程所产生的残留物质和杂质。

[0053] 前述形成连通所述前端器件的铜金属互连结构的工艺过程仅是双大马士革工艺中的一种,本领域技术人员应当知晓的是,可以使形成的所述铜金属互连结构的通孔部分位于致密低k介电层202中且其沟槽部分位于多孔低k介电层203中的双大马士革工艺的其它实施方式也是适用的,例如先形成所述铜金属互连结构的沟槽部分再形成所述铜金属互连结构的通孔部分,在此不再赘述其详细的实施步骤。

[0054] 接着,如图2F所示,对通孔208a的侧壁以及沟槽208b的侧壁和底部实施等离子体处理。

[0055] 在本实施例中,所述等离子体处理分两步实施:第一步,执行第一等离子体处理,其源气体为氮气(N₂),工艺条件为:N₂的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr,在执行第一等离子体处理的同时或者之前,将半导体衬底200置于硅烷(SiH₄)的氛围中,以使所述硅烷吸附在通孔208a的侧壁以及沟槽208b的侧壁和底部,所述硅烷的流量为10-10000sccm;第二步,执行第二等离子体处理,其源气体为氩气(Ar),工艺条件为:Ar的流量为10-10000sccm、功率为100-3000W、压力为0.1-10Torr,其中Torr代表毫米汞柱,sccm代表立方厘米/分钟。需要说明的是,所述第二等离子体处理步骤是可选的。

[0056] 所述第一等离子体处理结束后,通孔208a的侧壁以及沟槽208b的侧壁和底部形成有氮化硅覆盖层209,其可以进一步阻止后续形成于通孔208a和沟槽208b的铜金属向致密低k介电层202及多孔低k介电层203中的扩散,同时,通孔208a的侧壁与沟槽208b的底部相交的位置213(如图2F中的箭头所指向的位置)发生拐角圆化现象,有利于提高后续形成的铜金属扩散阻挡层在此位置的厚度,进而提升其机械强度。所述第二等离子体处理结束后,致密低k介电层202的机械强度进一步得到增强,可以防止后续形成于其上的铜金属扩散阻挡层出现开裂现象。

[0057] 接着,如图2G所示,形成铜金属层210于通孔208a和沟槽208b。形成铜金属层210可以采用本领域技术人员所熟习的各种适宜的工艺技术,例如电镀工艺。

[0058] 形成铜金属层210之前,需在通孔208a的侧壁以及沟槽208b的侧壁和底部依次形成铜金属扩散阻挡层和铜金属种子层,为了简化,图中未予示出。铜金属扩散阻挡层可以防止铜金属层210的铜向致密低k介电层202及多孔低k介电层203中的扩散,铜金属种子层可以增强铜金属层210与铜金属扩散阻挡层之间的附着性。形成铜金属扩散阻挡层和铜金属种子层可以采用本领域技术人员所熟习的各种适宜的工艺技术,例如,采用物理气相沉积工艺形成铜金属扩散阻挡层,采用溅射工艺或者化学气相沉积工艺形成铜金属种子层。铜金属扩散阻挡层的材料为金属、金属氮化物或者其组合,优选Ta和Ta_nN的组合或者Ti和Ti_nN的组合。

[0059] 至此,完成了根据本发明示例性实施例的方法实施的工艺步骤,接下来,可以通过后续工艺完成整个半导体器件的制作,包括执行化学机械研磨工艺,直至露出多孔低k介电层203,在此过程中,硬掩膜层205和缓冲层204均被去除。

[0060] 相对于现有技术,本发明的发明点在于:1)在致密低k介电层202中形成铜金属互连结构的通孔部分,在多孔低k介电层203中形成铜金属互连结构的沟槽部分;2)对形成的

铜金属互连结构实施等离子体处理,在铜金属互连结构的通孔部分的侧壁以及沟槽部分的侧壁和底部形成氮化硅覆盖层209,同时还可以提高致密低k介电层202的机械强度,通过以上措施可以进一步抑制填充于铜金属互连结构的铜的扩散行为,从而改善半导体器件的电迁移特性。

[0061] 本发明还提供一种半导体器件,如图2H所示,所述半导体器件包括:半导体衬底200;形成在半导体衬底200上的自下而上层叠的蚀刻停止层201、致密低k介电层202和多孔低k介电层203;形成在致密低k介电层202中的铜金属互连结构的通孔部分和形成在多孔低k介电层203中的铜金属互连结构的沟槽部分;形成在所述通孔部分的侧壁以及所述沟槽部分的侧壁和底部的氮化硅覆盖层209;形成于所述铜金属互连结构中的自内向外层叠的铜金属扩散阻挡层211、铜金属种子层212和铜金属层210,其中,所述通孔部分的侧壁和所述沟槽部分的底部相交接的位置213(如图2H中的箭头所指向的位置)发生拐角圆化。需要说明的是,所述半导体器件中的铜金属互连结构并非仅限于前述连通形成在半导体衬底200上的前端器件的铜金属互连结构。

[0062] 参照图3,其中示出了根据本发明示例性实施例的方法改善半导体器件的电迁移特性的流程图,用于简要示出整个制造工艺的流程。

[0063] 在步骤301中,提供半导体衬底,在半导体衬底上依次形成蚀刻停止层、致密低k介电层和多孔低k介电层;

[0064] 在步骤302中,在致密低k介电层中形成铜金属互连结构的通孔部分,且在多孔低k介电层中形成铜金属互连结构的沟槽部分;

[0065] 在步骤303中,对铜金属互连结构实施等离子体处理,以在所述通孔部分的侧壁以及沟槽部分的侧壁和底部形成氮化硅覆盖层;

[0066] 在步骤304中,在铜金属互连结构中形成铜金属层。

[0067] 本发明已经通过上述实施例进行了说明,但应当理解的是,上述实施例只是用于举例和说明的目的,而非意在将本发明限制于所描述的实施例范围内。此外本领域技术人员可以理解的是,本发明并不局限于上述实施例,根据本发明的教导还可以做出更多种的变型和修改,这些变型和修改均落在本发明所要求保护的范围内。本发明的保护范围由附属的权利要求书及其等效范围所界定。

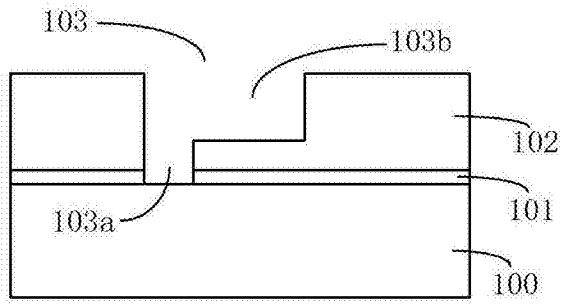


图1A

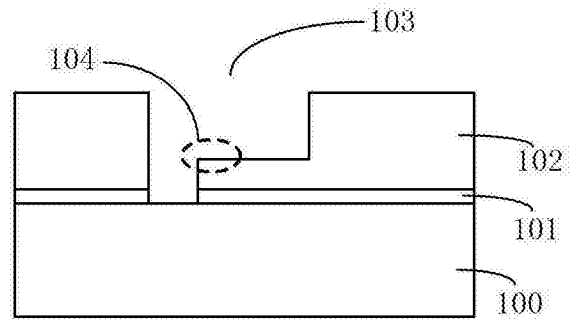


图1B

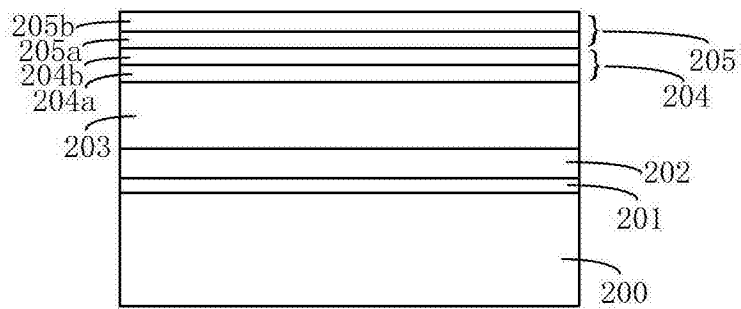


图2A

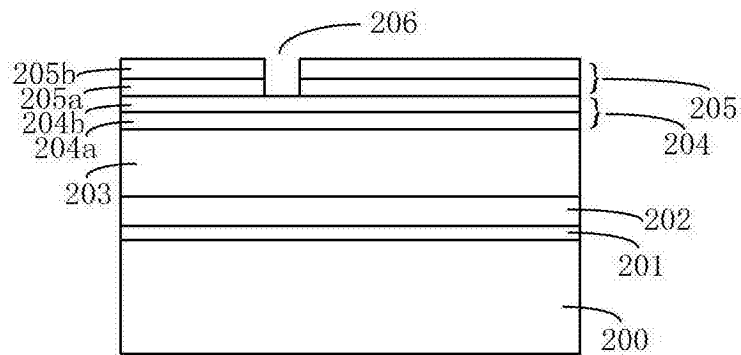


图2B

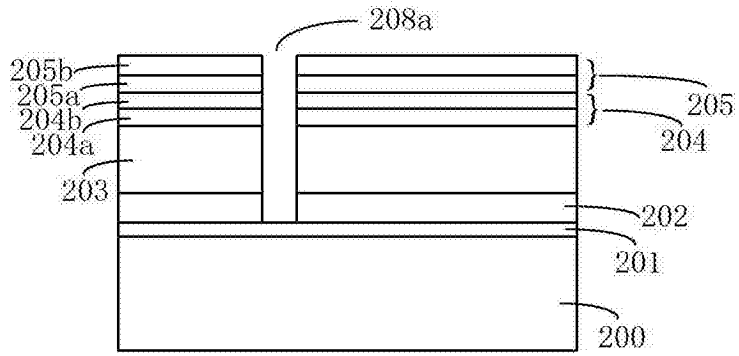


图2C

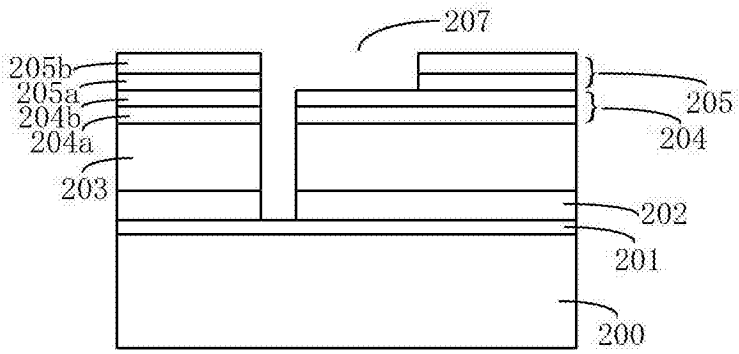


图2D

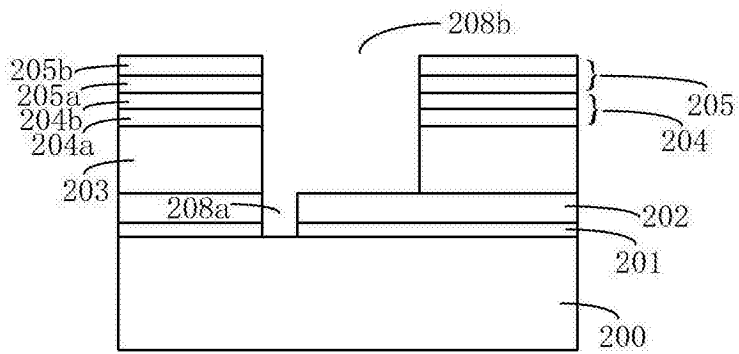


图2E

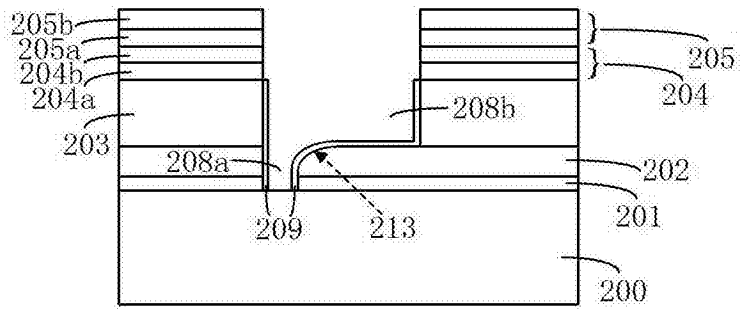


图2F

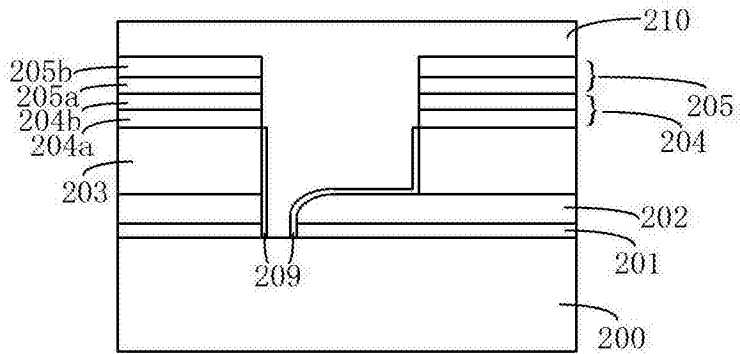


图2G

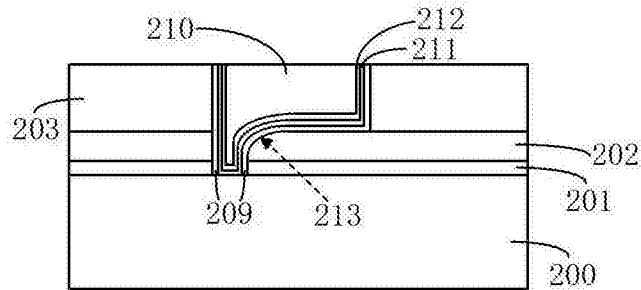


图2H

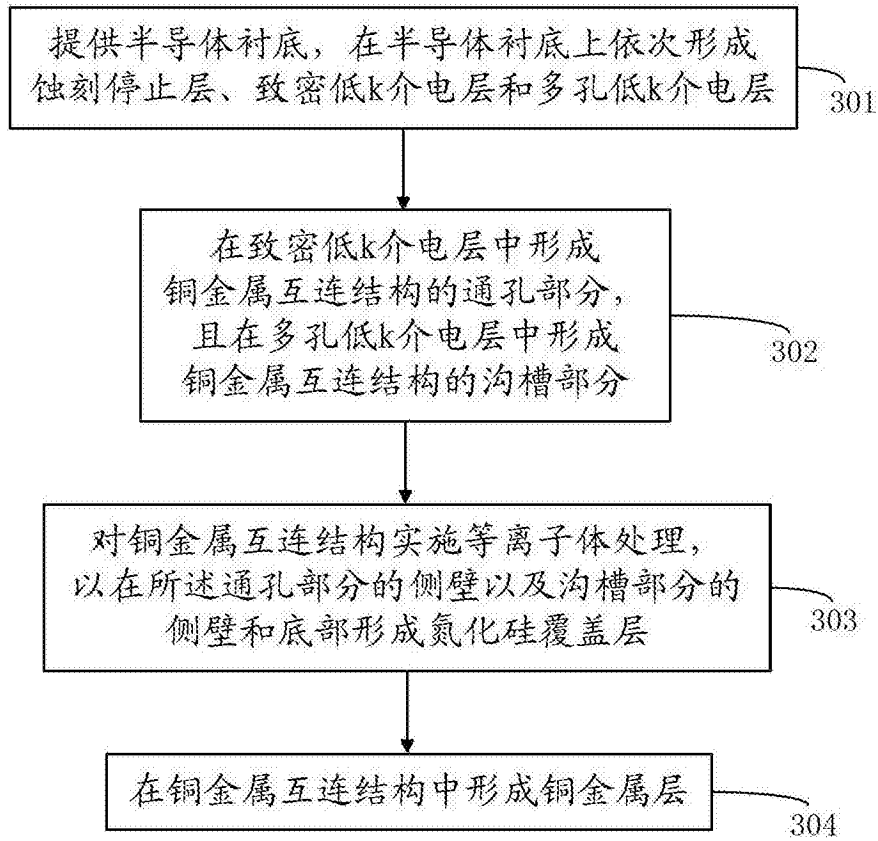


图3