

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2013年9月19日(19.09.2013)



(10) 国際公開番号

WO 2013/136458 A1

- (51) 国際特許分類:
G06T 3/00 (2006.01) H04N 5/232 (2006.01)
- (21) 国際出願番号: PCT/JP2012/056497
- (22) 国際出願日: 2012年3月14日(14.03.2012)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人(米国を除く全ての指定国について): 富士機械製造株式会社(FUJI MACHINE MFG. CO., LTD.) [JP/JP]; 〒4728686 愛知県知立市山町茶碓山19番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 天野 雅史(AMANO, Masafumi) [JP/JP]; 〒4728686 愛知県知立市山町茶碓山19番地 富士機械製造株式会社内 Aichi (JP). 大池 博史(OIKE, Hiroshi) [JP/JP]; 〒4728686 愛知県知立市山町茶碓山19番地 富士機械製造株式会社内 Aichi (JP). 星川 和美(HOSHIKAWA, Kazumi) [JP/JP]; 〒4728686 愛知県知立市山町茶碓山19番地 富士機械製造株式会社内 Aichi (JP).

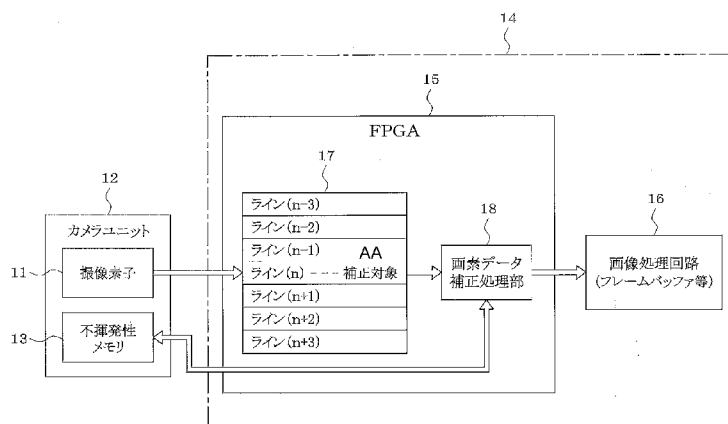
- (74) 代理人: 加古 宗男(KAKO, Muneo); 〒4600022 愛知県名古屋市中区金山一丁目9番19号 ミズノビル4階 Aichi (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: IMAGE CORRECTION PROCESSING DEVICE

(54) 発明の名称: 画像補正処理装置

[図1]



- 11 Imaging element
12 Camera unit
13 Non-volatile memory
16 Image processing circuit (frame buffer, etc.)
17 Line
18 Pixel data correction processing unit
AA Correction target

(57) Abstract: An image correction processing device is provided in which an FPGA (15) comprises: a plurality of line buffers (17) that sequentially read the pixel data of scan lines from an imaging element (11) and temporarily store the pixel data for a plurality of lines; and a pixel data correction processing unit (18): designates a line (n) as a correction target, said line (n) being in the middle of the pixel data for the plurality of lines stored in the plurality of line buffers (17); uses the pixel data for the lines that are adjacent to the correction target line (n) to correct the pixel data for the correction target line (n); and transfers the post-correction pixel data to an image processing circuit (16). This type of processing is performed repeatedly by shifting the scan lines one by one so that the pixel data for each line of a frame from the imaging element (11) is corrected and sent sequentially to the image processing circuit (16).

(57) 要約: FPGA 15には、撮像素子11の走査ラインの画素データを順次読み出して複数ライン分の画素データを一時的に記憶する複数のライン

バッファ17と、画素データ補正処理部18とが設けられている。画素データ補正処理部18は、複数のラインバッファ17に記憶された複数ライン分の画素データのうちの中間のライン(n)を補正対象ラインとし、該補正対象ライン(n)に隣接するラインの画素データを用いて該補正対象ライン(n)の画素データを補正して、補正後の画素データを画像処理回路16へ転送する。このような処理を走査ラインを1ラインずつシフトさせて繰り返すことで、撮像素子11の1フレーム分の各ラインの画素データを順次補正して該画像処理回路16へ順次転送する。

WO 2013/136458 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：画像補正処理装置

技術分野

[0001] 本発明は、撮像素子の1フレーム分（1画面分）の画素データを補正する画像補正処理装置に関する発明である。

背景技術

[0002] 従来より、撮像素子で撮像する画像の品質を向上させるために、画像歪み補正、シェーディング補正、画素欠陥補正等の様々な画像補正機能を搭載した画像処理装置が実用化されている。特に、部品実装機に搭載した画像処理装置では、精密な位置決め精度が要求されるため、画像の歪みが大きな問題となる。従来の画像歪み補正技術は、予め、ドットマークが所定ピッチでマトリックス状に表示された画像歪み補正治具を撮像素子で撮像してドットマーク毎に歪み量を測定して歪み量のテーブルデータを作成して記憶しておき、撮像素子の1フレーム分の画素データを全てフレームバッファに記憶し終えてから、歪み量のテーブルデータを用いて画像の歪みを補正するようにしている（特許文献1，2参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2011-180084号公報

特許文献2：特開2011-176458号公報

発明の概要

発明が解決しようとする課題

[0004] しかし、上記従来の構成では、撮像素子の1フレーム分の画素データを全てフレームバッファに記憶し終えてから、画像補正処理を行うようにしているため、画素データを記憶するバッファの回路規模が大きくなり、コスト高になると共に、画像補正処理の高速化にも限界がある。

[0005] そこで、本発明が解決しようとする課題は、低コスト化と画像補正処理の

高速化を実現できる画像補正処理装置を提供することである。

課題を解決するための手段

- [0006] 上記課題を解決するために、本発明は、撮像対象物を撮像する撮像素子と、前記撮像素子の走査ライン毎に画素データを順次読み出して複数ライン分の画素データを一時的に記憶する複数のラインバッファと、前記複数のラインバッファに記憶された複数ライン分の画素データのうちの所定のラインを補正対象ラインとし、該補正対象ラインに隣接する少なくとも1つのラインの画素データを用いて該補正対象ラインの画素データを補正して、補正後の画素データを画像処理回路へ転送する画素データ補正手段とを備え、走査ラインをシフトさせて次の補正対象ラインを含む複数ライン分の画素データを前記複数のラインバッファに記憶する処理と、前記画素データ補正手段により前記補正対象ラインの画素データを補正して前記画像処理回路へ転送する処理とを繰り返すことで前記撮像素子の1フレーム分の各ラインの画素データを順次補正して該画像処理回路へ順次転送するようにしたものである。
- [0007] この構成では、補正対象ラインの画素データを補正するのに必要な複数ライン分の画素データを複数のラインバッファに記憶するだけであるため、画像補正処理に必要なメモリ量を大幅に削減でき、メモリの回路規模を小さくできて、低コスト化を実現できる。しかも、複数ライン分の画素データを複数のラインバッファに記憶する処理と、補正対象ラインの画素データを補正する処理とを並列処理できるため、画像補正処理に要する時間を短縮できて、画像補正処理の高速化を実現できる。
- [0008] 更に、画像歪みを補正する場合は、歪み補正量と画素座標との関係を設定した歪み補正量テーブルを記憶手段に記憶しておき、画素データ補正手段において、補正対象ラインの各画素の周辺の複数の画素データと前記歪み補正量テーブルから検索した歪み補正量とを用いて該補正対象ラインの各画素データを補間補正法により歪み補正するようにすれば良い。これにより、画像歪みを補正する処理を高速化できる。
- [0009] 本発明の画像補正処理装置は、撮像素子で撮像した画像を処理する画像処

理機能を搭載した様々な装置に適用でき、例えば、部品実装機等の産業用機械に適用すれば、部品実装機等の産業用機械の画像処理機能の低コスト化と高速処理化とを両立させることができる。

図面の簡単な説明

[0010] [図1]図1は本発明の一実施例の画像補正処理装置を示すブロック図である。

[図2]図2はローリングシャッタ方式で露光する場合の画像補正処理の流れを示すフローチャートである。

発明を実施するための形態

[0011] 以下、本発明を実施するための形態を部品実装機、工作機、印刷機、検査機等の産業用機械の画像処理装置に適用して具体化した一実施例を図面を用いて説明する。

[0012] 図1に示すように、撮像素子11を内蔵したカメラユニット12は、部品実装機等の産業用機械に交換可能に取り付けられる。このカメラユニット12には、不揮発性の記憶手段であるフラッシュメモリ、ROM、PROM、EPROM、EEPROM等の不揮発性メモリ13が取り付けられている。この不揮発性メモリ13には、画像歪み補正パラメータ、シェーディング補正パラメータ、コントラスト補正パラメータ、画素欠陥補正パラメータ等のうちの1つ以上の画像補正パラメータが記憶されている。

[0013] 一方、部品実装機等の産業用機械の画像処理装置14には、メインCPU（図示せず）の他に、プログラム可能なロジックデバイスであるFPGA（Field Programmable Gate Array）15と、フレームバッファ等を含む画像処理回路16等が設けられている。尚、図1の構成例では、画像補正パラメータが記憶された不揮発性メモリ13をカメラユニット12に設けたが、これを画像処理装置14に設けた構成としても良い。

[0014] FPGA15には、撮像素子11の走査ライン毎に画素データを順次読み出して複数ライン分の画素データを一時的に記憶する複数のラインバッファ17と、画素データ補正処理部18（画素データ補正手段）とが設けられている。画素データ補正処理部18は、複数のラインバッファ17に記憶され

た複数ライン分の画素データのうちの中間のライン（ n ）を補正対象ラインとし、該補正対象ライン（ n ）の上下両側に隣接する合計6本のライン（ $n-3$ ）、（ $n-2$ ）、（ $n-1$ ）、（ $n+1$ ）、（ $n+2$ ）、（ $n+3$ ）の画素データを用いて該補正対象ライン（ n ）の画素データを補正して、補正後の画素データを画像処理回路16へ転送する。

[0015] 例えば、画像歪みを補正する場合は、予め、画像歪み補正パラメータである歪み補正量と画素座標との関係を設定した歪み補正量テーブルとして不揮発性メモリ13に記憶しておき、画素データ補正処理部18において、補正対象ライン（ n ）の各画素の周辺の複数の画素データと前記歪み補正量テーブルから検索した歪み補正量とを用いて該補正対象ライン（ n ）の各画素データを補間補正法により歪み補正すれば良い。補間補正法としては、例えば、バイリニア補間、バイキュービック補間、最近傍補間等のいずれかを用いれば良い。

[0016] F P G A 1 5 は、走査ラインをシフトさせて次の補正対象ラインを含む複数ライン（ $n-3$ ）～（ $n+3$ ）の画素データを複数のラインバッファ17に記憶する処理と、画素データ補正処理部18により補正対象ライン（ n ）の画素データを補間補正法により補正して画像処理回路16へ転送する処理とを繰り返すことで、撮像素子11の1フレーム分の各ラインの画素データを順次補正して該画像処理回路16へ順次転送する。

[0017] 尚、F P G A 1 5 に、画素データ補正処理部18から転送される補正後の画素データを所定ライン数分だけ一時的に記憶するバッファ（メモリ）を設けて、該バッファに所定ライン数分の補正後の画素データを記憶し終える毎に、該バッファから所定ライン数分の補正後の画素データを画像処理回路16へ転送するようにしても良い。このようにすれば、画像処理装置14のメインC P U への割り込み回数を削減しつつ高速な補正処理を行うことができる。

[0018] 撮像素子11の電子シャッタは、走査ライン毎に順次シャッタを切るローリングシャッタを用いても良いし、1フレーム同時にシャッタを切るグロー

バルシャッタを用いても良い。

[0019] 図2は、ローリングシャッタ方式で露光する場合の画像補正処理の流れを示すフローチャートである。ローリングシャッタ方式で走査ライン毎に順次シャッタを切って露光して、該走査ラインの画素データを、例えば、1列目のラインバッファ17に記憶し（ステップ101）、前回処理時に1列目のラインバッファ17に記憶されていたラインの画素データを2列目のラインバッファ17にシフトさせる。前回処理時に「N」列目のラインバッファ17に記憶されていたラインの画素データは、「N+1」列目のラインバッファ17にシフトされる。前回処理時に最終列のラインバッファ17に記憶されていたラインの画素データは、廃棄される。

[0020] 走査ラインの画素データを1列目のラインバッファ17に取り込む毎に、中間のラインバッファ17に記憶された補正対象ライン（n）の上下両側に隣接する合計6つのライン（n-3）、（n-2）、（n-1）、（n+1）、（n+2）、（n+3）の画素データを用いて該補正対象ライン（n）の画素データを補間補正により補正して（ステップ102）、補正後の画素データを画像処理回路16へ転送する（ステップ103）。

[0021] 以上の処理を走査ラインを1ラインずつシフトさせて繰り返すことで、撮像素子11の1フレーム分の各ラインの画素データを順次補正して該画像処理回路16へ順次転送する。

[0022] 尚、グローバルシャッタ方式で露光する場合は、露光は最初に1回行うだけで良い。

以上説明した本実施例によれば、補正対象ラインの画素データを補正するのに必要な複数ライン分の画素データを複数のラインバッファ17に記憶するだけであるため、画像補正処理に必要なメモリ量を大幅に削減でき、メモリの回路規模を小さくできて、低コスト化を実現できる。しかも、複数ライン分の画素データを複数のラインバッファ17に記憶する処理と、補正対象ラインの画素データを補正する処理とを並列処理できるため、画像補正処理に要する時間を短縮できて、画像補正処理の高速化を実現できる。

[0023] 尚、ラインバッファ 17 の数は 7 列に限定されず、例えば 3 列、5 列等であっても良い

。また、補正対象ラインを複数設定して、複数の補正対象ラインの画素データを補正するようにしても良い。

[0024] その他、本発明は、部品実装機、工作機、印刷機、検査機等の産業用機械に限定されず、撮像素子で撮像した画像を処理する画像処理機能を搭載した様々な装置に適用できる等、要旨を逸脱しない範囲内で種々変更して実施できる。

符号の説明

[0025] 11…撮像素子、12…カメラユニット、13…不揮発性メモリ（記憶手段）、14…画像処理装置、15…FPGA、16…画像処理回路、17…ラインバッファ、18…画素データ補正処理部（画素データ補正手段）

請求の範囲

[請求項1]

撮像対象物を撮像する撮像素子と、

前記撮像素子の走査ライン毎に画素データを順次読み出して複数ライン分の画素データを一時的に記憶する複数のラインバッファと、

前記複数のラインバッファに記憶された複数ライン分の画素データのうちの所定のラインを補正対象ラインとし、該補正対象ラインに隣接する少なくとも1つのラインの画素データを用いて該補正対象ラインの画素データを補正して、補正後の画素データを画像処理回路へ転送する画素データ補正手段とを備え、

走査ラインをシフトさせて次の補正対象ラインを含む複数ライン分の画素データを前記複数のラインバッファに記憶する処理と、前記画素データ補正手段により前記補正対象ラインの画素データを補正して前記画像処理回路へ転送する処理とを繰り返すことで前記撮像素子の1フレーム分の各ラインの画素データを順次補正して該画像処理回路へ順次転送することを特徴とする画像補正処理装置。

[請求項2]

画像歪みを補正するための歪み補正量と画素座標との関係を設定した歪み補正量テーブルを記憶した記憶手段を備え、

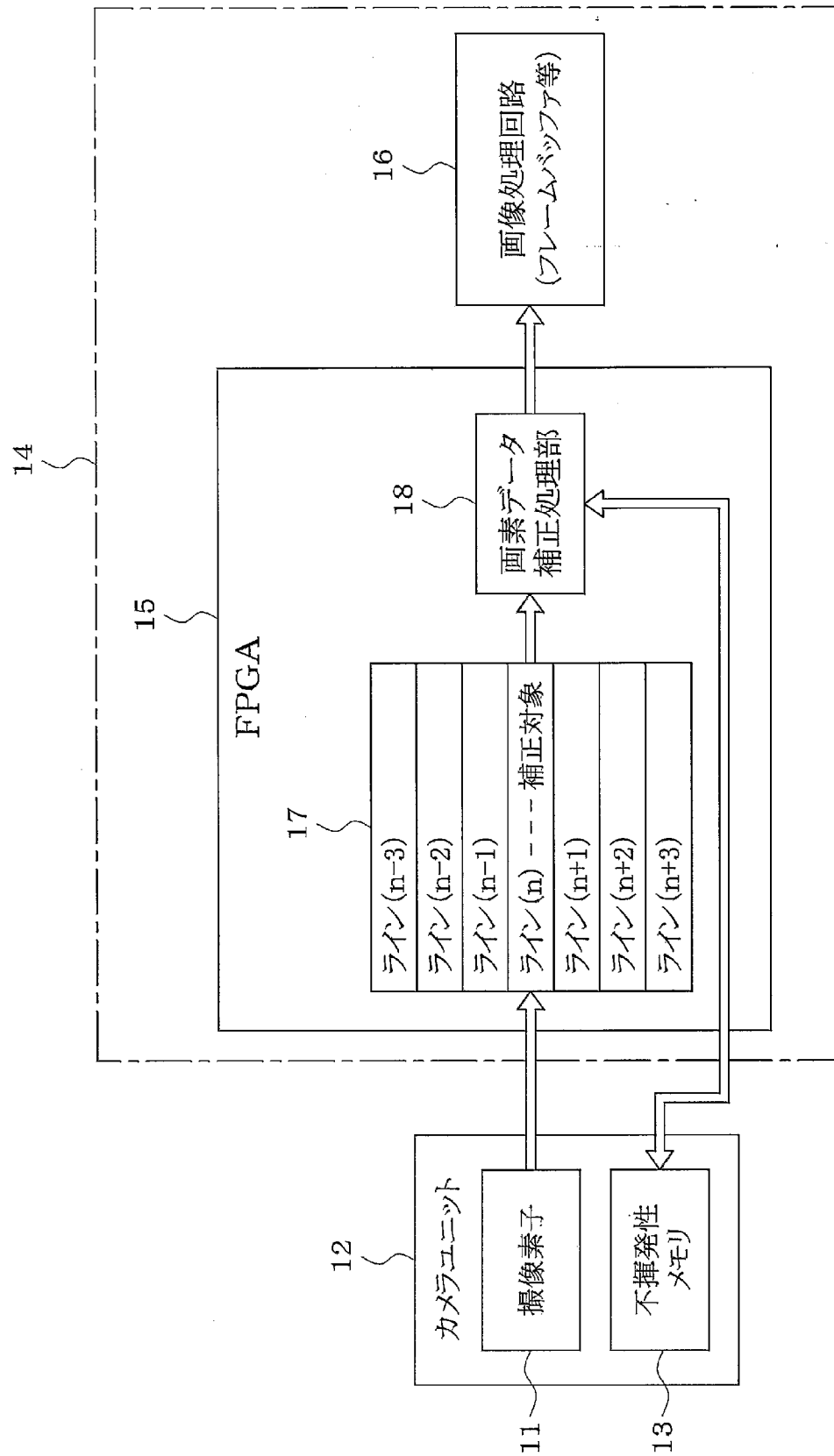
前記画素データ補正手段は、前記補正対象ラインの各画素の周辺の複数の画素データと

前記歪み補正量テーブルから検索した歪み補正量とを用いて該補正対象ラインの各画素データを補間補正法により歪み補正することを特徴とする請求項1に記載の画像補正処理装置。

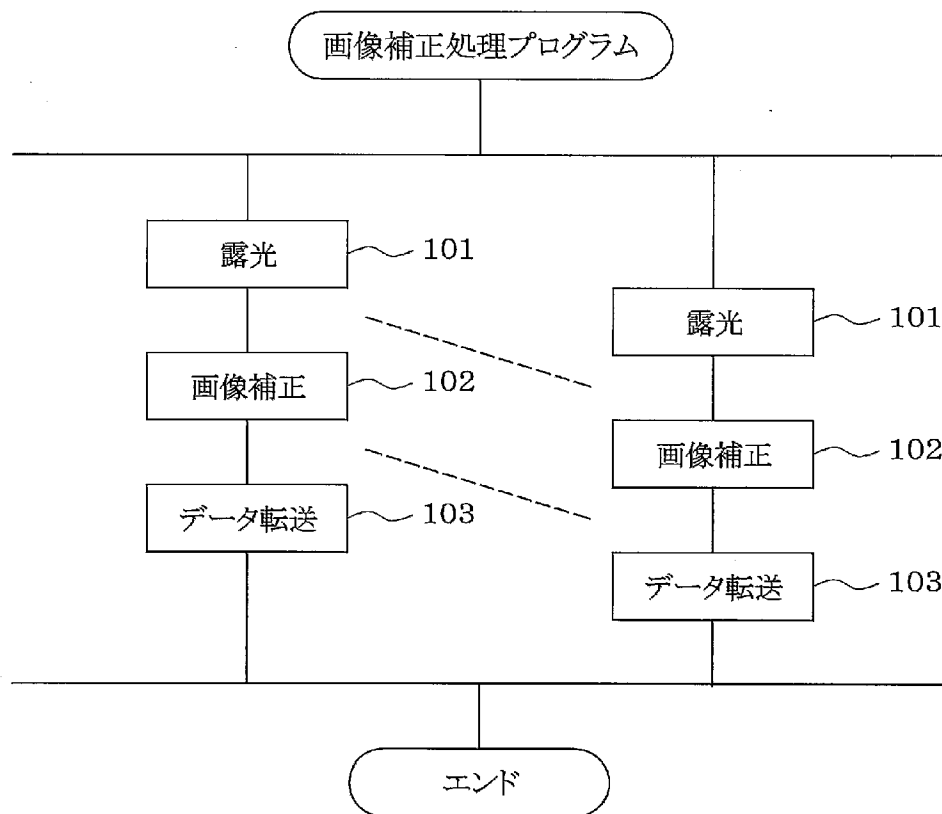
[請求項3]

前記撮像素子は、部品実装機に搭載されていることを特徴とする請求項1に記載の画像補正処理装置。

[図1]



[図2]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056497

A. CLASSIFICATION OF SUBJECT MATTER

G06T3/00(2006.01) i, H04N5/232(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06T3/00, H04N1/387, H04N5/232

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2012

Kokai Jitsuyo Shinan Koho 1971-2012 Toroku Jitsuyo Shinan Koho 1994-2012

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-154228 A (Fuji Xerox Co., Ltd.), 08 June 1999 (08.06.1999), paragraphs [0002], [0003], [0031] to [0050], [0069]; fig. 3 to 10 & US 2002/0048410 A1	1 2, 3
Y	JP 2001-101396 A (Toshiba Corp.), 13 April 2001 (13.04.2001), paragraphs [0020] to [0046]; fig. 1 to 4 (Family: none)	2
Y	JP 2005-044098 A (Olympus Corp.), 17 February 2005 (17.02.2005), paragraphs [0067] to [0075]; fig. 6 to 9 & US 2006/0188172 A1 & EP 1650705 A1 & WO 2005/010818 A1 & CN 1830002 A	2

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 May, 2012 (30.05.12)Date of mailing of the international search report
12 June, 2012 (12.06.12)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2012/056497

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2011-180084 A (Fuji Machine Mfg. Co., Ltd.), 15 September 2011 (15.09.2011), paragraphs [0025] to [0040] (Family: none)	3

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06T3/00(2006.01)i, H04N5/232(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06T3/00, H04N1/387, H04N5/232

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 2 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 2 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 2 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 11-154228 A (富士ゼロックス株式会社) 1999.06.08, 段落【0002】【0003】【0031】-【0050】【0069】、図3-10 & US 2002/0048410 A1	1
Y		2, 3
Y	JP 2001-101396 A (株式会社東芝) 2001.04.13, 段落【0020】-【0046】、図1-4 (ファミリーなし)	2

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

3 0 . 0 5 . 2 0 1 2

国際調査報告の発送日

1 2 . 0 6 . 2 0 1 2

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

佐田 宏史

5 H

4 1 8 9

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 3 1

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2005-044098 A (オリンパス株式会社) 2005.02.17, 段落【0067】－【0075】、図6－9 & US 2006/0188172 A1 & EP 1650705 A1 & WO 2005/010818 A1 & CN 1830002 A	2
Y	JP 2011-180084 A (富士機械製造株式会社) 2011.09.15, 段落【0025】－【0040】 (ファミリーなし)	3