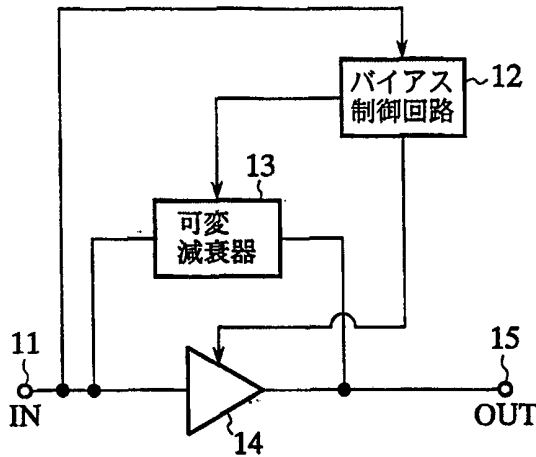




| | | |
|---|------------------|---|
| <p>(51) 国際特許分類6 H03G 3/30, H03F 1/34, 3/189, 3/24</p> | <p>A1</p> | <p>(11) 国際公開番号 WO99/59243</p> <p>(43) 国際公開日 1999年11月18日(18.11.99)</p> |
| <p>(21) 国際出願番号 PCT/JP98/02137</p> <p>(22) 国際出願日 1998年5月14日(14.05.98)</p> <p>(71) 出願人 (米国を除くすべての指定国について) 三菱電機株式会社 (MITSUBISHI DENKI KABUSHIKI KAISHA)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 Tokyo, (JP)</p> <p>(72) 発明者 ; および (75) 発明者 / 出願人 (米国についてのみ) 末松憲治(SUEMATSU, Noriharu)[JP/JP] 杉山 茂(SUGIYAMA, Shigeru)[JP/JP] 中島健介(NAKAJIMA, Kensuke)[JP/JP] 伊山義忠(IYAMA, Yoshitada)[JP/JP] 北林文政(KITABAYASHI, Fumimasa)[JP/JP] 〒100-8310 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内 Tokyo, (JP)</p> <p>(74) 代理人 弁理士 田澤博昭, 外(TAZAWA, Hiroaki et al.) 〒100-0013 東京都千代田区霞が関三丁目5番1号 霞が関IHFビル4階 Tokyo, (JP)</p> | | <p>(81) 指定国 JP, KR, US, 欧州特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE)</p> <p>添付公開書類 国際調査報告書</p> |

(54)Title: SEMICONDUCTOR CIRCUIT

(54)発明の名称 半導体回路



12 ... Bias control circuit
13 ... Variable attenuator

(57) Abstract

A semiconductor circuit which gives either an amplifier (14) or a variable attenuator (13) an operation permission instruction in accordance with the level of a high-frequency signal.

(57)要約

高周波信号の信号レベルに応じて増幅器 1 4 又は可変減衰器 1 3 の何れか一方に動作許可指令を出力する。

PCTに基づいて公開される国際出願のパンフレット第一頁に掲載されたPCT加盟国を同定するために使用されるコード(参考情報)

| | | | | | | | |
|----|--------------|----|---------|----|-----------------------|----|------------|
| AE | アラブ首長国連邦 | DM | ドミニカ | KZ | カザフスタン | RU | ロシア |
| AL | アルバニア | DE | エストニア | LC | セントルシア | SD | スーダン |
| AM | アルメニア | EE | スペイン | LI | リヒテンシュタイン | SE | スウェーデン |
| AT | オーストリア | ES | フィンランド | LK | スリ・ランカ | SG | シンガポール |
| AU | オーストラリア | FI | フィンランド | LR | リベリア | SI | スロヴェニア |
| AZ | アゼルバイジャン | FR | フランス | LS | レソト | SK | スロヴァキア |
| BA | ボスニア・ヘルツェゴビナ | GA | ガボン | LT | リトアニア | SL | シエラ・レオネ |
| BB | バルバドス | GB | 英国 | LU | ルクセンブルグ | SN | セネガル |
| BE | ベルギー | GD | グレナダ | LV | ラトヴィア | SZ | スワジランド |
| BF | ブルキナ・ファソ | GE | グルジア | MA | モロッコ | TD | チャード |
| BG | ブルガリア | GH | ガーナ | MC | モナコ | TG | トーゴ |
| BJ | ベナン | GM | ガンビア | MD | モルドヴァ | TJ | タジキスタン |
| BR | ブラジル | GN | ギニア | MG | マダガスカル | TZ | タンザニア |
| CA | カナダ | GW | ギニア・ビサオ | MK | マケドニア旧ユーゴスラヴィア 共和国 | TM | トルクメニスタン |
| CF | 中央アフリカ | GR | ギリシャ | ML | マリ | TR | トルコ |
| CG | コンゴ | HR | クロアチア | MN | モンゴル | TT | トリニダード・トバゴ |
| CH | スイス | HU | ハンガリー | MR | モーリタニア | UA | ウクライナ |
| CI | コートジボアール | ID | インドネシア | MW | マラウイ | UG | ウガンダ |
| CM | カメルーン | IE | アイルランド | MX | メキシコ | US | 米国 |
| CN | 中国 | IL | イスラエル | NE | ニジェール | UZ | ウズベキスタン |
| CR | コスタ・リカ | IN | インド | NL | オランダ | VN | ヴェトナム |
| CU | キューバ | IS | アイスランド | NO | ノルウェー | YU | ユーゴスラビア |
| CY | キプロス | IT | イタリア | NZ | ニュージーランド | ZA | 南アフリカ共和国 |
| CZ | チェッコ | JP | 日本 | PL | ポーランド | ZW | ジンバブエ |
| DE | ドイツ | KE | ケニア | PT | ポルトガル | | |
| DK | デンマーク | KG | キルギスタン | RO | ルーマニア | | |
| | | KP | 北朝鮮 | | | | |
| | | KR | 韓国 | | | | |

明 細 書

半 導 体 回 路

技術分野

この発明は、UHF，マイクロ波，ミリ波等の高周波帯の信号を増幅又は減衰する半導体回路に関するものである。

背景技術

第1図は例えば特開昭62-23629号公報に示された従来の半導体回路を示す構成図であり、図において、1は高周波信号を入力する入力端子、2は高周波信号の信号レベルが規定レベルより高い場合にバイアス電流を可変減衰器3に供給するバイアス制御回路、3はバイアス制御回路2からバイアス電流の供給を受けると、高周波信号を減衰する可変減衰器、4は可変減衰器3により減衰された高周波信号を増幅する増幅器、5は増幅器4により増幅された高周波信号を出力する出力端子である。

次に動作について説明する。

まず、半導体回路を受信系に用いる場合、入力端子1から入力された高周波信号の信号レベルが低いとき、可変減衰器3が高周波信号の減衰を実施すると、受信感度が劣化する不具合を生じる。

一方、高周波信号の信号レベルが高いとき、可変減衰器3が高周波信号の減衰を中止すると、増幅器4が飽和する不具合を生じる。

そこで、この従来例では、入力端子1から高周波信号が入力されると、バイアス制御回路2が、高周波信号の信号レベルを規定レベルと比較し、高周波信号の信号レベルが規定レベルより低い場合には、可変減衰

器 3 に対するバイアス電流の供給を中止して、可変減衰器 3 の減衰量を 0 d B に設定する。

これにより、可変減衰器 3 は高周波信号を減衰することなく、高周波信号を増幅器 4 に出力するので、高周波信号の信号レベルが増幅されて受信感度が向上する。

一方、バイアス制御回路 2 は、高周波信号の信号レベルが規定レベルより高い場合には、バイアス電流を可変減衰器 3 に供給して、可変減衰器 3 の減衰量を X d B に設定する。

これにより、可変減衰器 3 は高周波信号の信号レベルを X d B 減衰して、高周波信号を増幅器 4 に出力するので、増幅器 4 が飽和する不具合を回避することができる。ただし、この場合、可変減衰器 3 が高周波信号を減衰するため S / N 比が多少劣化するが、増幅器 4 が飽和する程度に信号レベルが高いので、受信機として必要とする S / N 比は十分に確保することができる。

なお、可変減衰器 3 の減衰量を 0 d B に設定すると、上述したように、可変減衰器 3 は高周波信号を減衰することなく、高周波信号を増幅器 4 に出力するが、可変減衰器 3 に高周波信号を入力する際、多少の挿入損失を伴うため、増幅器 4 が受信系雑音を増大し、受信感度が劣化する不具合を生ずる場合がある。

このような場合には、第 2 図に示すように、可変減衰器 3 を増幅器 4 の出力側に配置すれば、受信感度が劣化する不具合を解消することができるが、増幅器 4 の飽和を防止することができなくなる不具合が発生する。

従来の半導体回路は以上のように構成されているので、可変減衰器 3 を増幅器 4 の入力側に配置する場合には、増幅器 4 の飽和を防止することができるが、高周波信号の信号レベルが規定レベルより低いとき、挿

入損失の影響で受信感度が劣化する不具合が発生し、可変減衰器 3 を増幅器 4 の出力側に配置する場合には、受信感度の劣化を防止することができるが、増幅器 4 の飽和を防止することができなくなる不具合が発生する課題があった。

この発明は上記のような課題を解決するためになされたもので、増幅器の飽和を防止することができるとともに、受信感度の劣化を防止することができる半導体回路を得ることを目的とする。

発明の開示

この発明に係る半導体回路は、入力信号の信号レベルに応じて増幅手段又は減衰手段の何れか一方に動作許可指令を発行するようにしたものである。

このことによって、入力信号の信号レベルが高い場合には、増幅手段の飽和を防止することができる一方、入力信号の信号レベルが低い場合には、受信系雑音の増大を回避して受信感度の劣化を防止することができる効果がある。

また、送信系に用いる場合には、送信出力を低減するとき、増幅手段の電源を遮断することができるので、消費電力を削減することができる効果がある。

この発明に係る半導体回路は、入力信号を増幅する増幅器と、動作許可指令を受けている状態では短絡状態になり、動作許可指令を受けていない状態では開放状態になる開閉器とを直列に接続するようにしたものである。

このことによって、入力信号の信号レベルが規定レベルより高い場合には、増幅器を回路から切り離すことができる効果がある。

この発明に係る半導体回路は、入力信号を減衰する減衰器と、動作許

可指令を受けている状態では短絡状態になり、動作許可指令を受けていない状態では開放状態になる開閉器とを直列に接続するようにしたものである。

このことによって、入力信号の信号レベルが規定レベルより低い場合には、減衰器を回路から切り離すことができる効果がある。

この発明に係る半導体回路は、減衰器の入力側と出力側にスイッチング用半導体素子を接続するようにしたものである。

このことによって、入力信号の信号レベルが規定レベルより低い場合には、減衰器を回路から切り離すことができる効果がある。

この発明に係る半導体回路は、増幅手段を構成するトランジスタを短絡状態に遷移するとスイッチング用半導体素子を開放状態に遷移し、そのトランジスタを開放状態に遷移するとスイッチング用半導体素子を短絡状態に遷移するようにしたものである。

このことによって、入力信号の信号レベルが高い場合には、トランジスタの飽和を防止することができる一方、入力信号の信号レベルが低い場合には、受信系雑音の増大を回避して受信感度の劣化を防止することができる効果がある。

この発明に係る半導体回路は、減衰器と入力側のスイッチング用半導体素子の間に整合回路を接続するとともに、その減衰器と出力側のスイッチング用半導体素子の間に整合回路を接続するようにしたものである。

このことによって、減衰器動作時の入出力反射損失を低減することができる効果がある。

この発明に係る半導体回路は、減衰量が調整可能な可変減衰器を用いて減衰手段を構成したものである。

このことによって、増幅器から出力される高周波信号の信号レベルを

調整することができるようになり、その結果、出力端子に接続される受信機のダイナミックレンジが狭い場合にも、受信機の受信感度を確保しつつ、増幅器の飽和を防止することができる効果がある。

この発明に係る半導体回路は、スイッチング用半導体素子と回路素子の直列回路を用いて減衰手段を構成したものである。

このことによって、入力信号の信号レベルが規定レベルより低い場合には、高周波信号の減衰を中止し、入力信号の信号レベルが規定レベルより高い場合には、高周波信号の減衰を実施することができる効果がある。

この発明に係る半導体回路は、増幅器の動作状態を維持したままスイッチング用半導体素子を制御するようにしたものである。

このことによって、入力信号の信号レベルが規定レベルより高い場合には、高周波信号を増幅することができる一方、入力信号の信号レベルが規定レベルより低い場合には、増幅器の利得を下げ、飽和を防止することができる効果がある。

この発明に係る半導体回路は、入力側にスイッチング用半導体素子が接続されたT形減衰器を用いて減衰手段を構成したものである。

このことによって、出力側のスイッチング用半導体素子を削除することができるとともに、T形減衰器を出力側の安定回路として動作させることができる効果がある。

この発明に係る半導体回路は、入力側にスイッチング用半導体素子が接続された π 形減衰器を用いて減衰手段を構成したものである。

このことによって、出力側のスイッチング用半導体素子を削除することができるとともに、 π 形減衰器を出力側の安定回路として動作させることができる効果がある。

この発明に係る半導体回路は、T形減衰器又は π 形減衰器の接地端子

と接地間にコンデンサを接続するとともに、その接地端子から増幅手段を構成するトランジスタの出力端子に直流電圧を印可するようにしたものである。

このことによって、増幅器の出力側のバイアスフィード用のインダクタを不要にできるため、回路の小型化を図ることができる効果がある。

図面の簡単な説明

第 1 図は従来 of 半導体回路を示す構成図である。

第 2 図は従来 of 半導体回路を示す構成図である。

第 3 図はこの発明の実施の形態 1 による半導体回路を示す構成図である。

第 4 図はこの発明の実施の形態 2 による半導体回路を示す構成図である。

第 5 図はこの発明の実施の形態 3 による半導体回路を示す構成図である。

第 6 図はこの発明の実施の形態 4 による半導体回路を示す構成図である。

第 7 図はこの発明の実施の形態 4 による半導体回路を示す構成図である。

第 8 図はこの発明の実施の形態 5 による半導体回路を示す構成図である。

第 9 図はこの発明の実施の形態 6 による半導体回路を示す構成図である。

第 10 図はこの発明の実施の形態 7 による半導体回路を示す構成図である。

第 11 図はこの発明の実施の形態 8 による半導体回路を示す構成図である。

ある。

第 1 2 図はこの発明の実施の形態 9 による半導体回路を示す構成図である。

第 1 3 図はこの発明の実施の形態 1 0 による半導体回路を示す構成図である。

発明を実施するための最良の形態

以下、この発明をより詳細に説明するために、この発明を実施するための最良の形態について、添付の図面に従って説明する。

実施の形態 1 .

第 3 図はこの発明の実施の形態 1 による半導体回路を示す構成図であり、図において、1 1 は高周波信号（入力信号）を入力する入力端子、1 2 は高周波信号の信号レベルが規定レベルより高い場合にはバイアス電流（動作許可指令）を可変減衰器 1 3 のみに供給し、高周波信号の信号レベルが規定レベルより低い場合にはバイアス電流（動作許可指令）を増幅器 1 4 のみに供給するバイアス制御回路（制御手段）、1 3 はバイアス制御回路 1 2 からバイアス電流の供給を受けると、高周波信号を減衰する可変減衰器（減衰手段）、1 4 はバイアス制御回路 1 2 からバイアス電流の供給を受けると、高周波信号を増幅する増幅器（増幅手段）、1 5 は増幅又は減衰された高周波信号を出力する出力端子である。

次に動作について説明する。

まず、半導体回路を受信系に用いる場合、入力端子 1 1 から入力された高周波信号の信号レベルが低いとき、可変減衰器 1 3 が高周波信号の減衰を実施すると、受信感度が劣化する不具合を生じる。

一方、高周波信号の信号レベルが高いとき、増幅器 1 4 が高周波信号を増幅すると、増幅器 1 4 が飽和する不具合を生じる。

そこで、この実施の形態 1 では、入力端子 1 1 から高周波信号が入力されると、バイアス制御回路 1 2 が、高周波信号の信号レベルを規定レベルと比較し、高周波信号の信号レベルが規定レベルより低い場合には、増幅器 1 4 に対するバイアス電流の供給は実施するが、可変減衰器 1 3 に対するバイアス電流の供給は中止する。

可変減衰器 1 3 はバイアス電流の供給を受けている間は、減衰量が X dB の減衰器として動作するが、バイアス電流の供給が中止されると、図示せぬ内部スイッチが開放状態になるため、可変減衰器 1 3 が回路から切り離された状態になる。

これにより、第 3 図の回路は、単に増幅器 1 4 のみが存在する回路と等価になるため、高周波信号は減衰されることなく、信号レベルが増幅され、受信感度が向上する。

なお、この場合、従来例と異なり、可変減衰器 1 3 が回路から切り離された状態になるため、高周波信号の入力に伴って挿入損失が回路に混入する不具合を回避することができる。

一方、バイアス制御回路 1 2 は、高周波信号の信号レベルが規定レベルより高い場合には、可変減衰器 1 3 に対するバイアス電流の供給は実施するが、増幅器 1 4 に対するバイアス電流の供給は中止する。

増幅器 1 4 はバイアス電流の供給を受けている間は、高周波信号を増幅するが、バイアス電流の供給が中止されると、図示せぬ内部スイッチが開放状態になるため、増幅器 1 4 が回路から切り離された状態になる。

これにより、第 3 図の回路は、単に可変減衰器 1 3 のみが存在する回路と等価になるため、増幅器 1 4 の飽和が防止される。

ただし、この場合、可変減衰器 1 3 が高周波信号を減衰するため、 S/N 比が多少劣化するが、増幅器 1 4 が飽和する程度に信号レベルが高

いので、受信機として必要とするS/N比は十分に確保することができる。

以上で明らかのように、この実施の形態1によれば、高周波信号の信号レベルに応じて増幅器14又は可変減衰器13の何れか一方にバイアス電流を供給するように構成したので、増幅器14の飽和を防止することができるとともに、受信感度の劣化を防止することができる効果を奏する。

なお、この実施の形態1では、半導体回路を受信系に用いた場合について説明したが、送信系に用いるようにしてもよい。

この場合、増幅器14の出力側の損失が少ないため、出力電力の低減が少なく、かつ、出力電力が低減した場合に送信系で消費される直流電力を低減できる効果を奏する。

また、この実施の形態1では、増幅器の段数等については特に言及していないが、1段の増幅器であっても、2段以上の増幅器であってもよい。例えば、並列に接続された複数の増幅器列（バランス形増幅器）であってもよい。

因みに、増幅器14の入出力回路において、何れか一方の回路の損失増加が許容される場合には、許容される側の可変減衰器13のインピーダンスは必ずしも開放となる必要はない。ただし、損失が許容されない側の可変減衰器13のインピーダンスは開放とする必要がある。

実施の形態2.

第4図はこの発明の実施の形態2による半導体回路を示す構成図であり、図において、第3図と同一符号は同一または相当部分を示すので説明を省略する。

16, 17はバイアス制御回路12からバイアス電流の供給を受けて

いる状態では短絡状態になり、バイアス制御回路 12 からバイアス電流の供給を受けていない状態では開放状態になるスイッチ（開閉器）、18 は高周波信号を減衰する T 形減衰器である。

次に動作について説明する。

基本的な動作は上記実施の形態 1 と同様であるが、この実施の形態 2 では、バイアス制御回路 12 からバイアス電流の供給を受けると、スイッチ 16, 17 が短絡状態になるため、T 形減衰器 18 が高周波信号の減衰を実施する。

一方、バイアス制御回路 12 からバイアス電流の供給を受けていない状態では、スイッチ 16, 17 が開放状態になるため、T 形減衰器 18 は回路から切り離され、高周波信号の減衰を中止する。

増幅器 14 の動作は上記実施の形態 1 と同様であるため説明を省略する。

実施の形態 3.

第 5 図はこの発明の実施の形態 3 による半導体回路を示す構成図であり、図において、第 4 図と同一符号は同一または相当部分を示すので説明を省略する。

19 はスイッチ（スイッチング用半導体素子）16 のバイアス抵抗、20 はゲート電圧の変化に応じて接続状態が変化するスイッチ 16 のスイッチ用 FET、21 はスイッチ（スイッチング用半導体素子）17 のバイアス抵抗、22 はゲート電圧の変化に応じて接続状態が変化するスイッチ 17 のスイッチ用 FET、23 ~ 25 はバイアスフィード用インダクタ、26 は増幅器用 FET（トランジスタ）、27 は増幅器 14 のインピーダンスを入力側のインピーダンスに合わせる整合回路、28 は増幅器 14 のインピーダンスを出力側のインピーダンスに合わせる整合

回路、29、30はDCカット用コンデンサ、31はセルフバイアス抵抗である。

次に動作について説明する。

まず、増幅器用FET26のゲート電圧は、バイアスフィード用インダクタ23により0Vに設定され、増幅器用FET26のソース電圧は、セルフバイアス抵抗31に流れる電流により正電圧に設定される。

従って、バイアスフィード用インダクタ24を介して増幅器用FET26のドレイン端子に正電圧を印可すると、増幅器用FET26は高周波信号の増幅動作を開始する。

一方、増幅器用FET26のドレイン電圧を0Vにすると、増幅器用FET26に電流が流れず、増幅器用FET26のインピーダンスは無限大になり、増幅器用FET26が回路から切り離された状態と等価になる。

これにより、上記実施の形態1等と同様の効果を奏することができるが、増幅器14の入出力回路において、何れか一方の回路の損失増加が許容される場合には、損失が許容される側の可変減衰器13のインピーダンスは必ずしも開放になる必要はなく、この場合は、スイッチ16、17の何れか一方を省略することができる。ただし、損失が許容されない側の可変減衰器13のインピーダンスは必ず開放になる必要があるので、他方のスイッチは省略することができない。

なお、ここでは、減衰器としてT形減衰器18を用いた場合を示したが、他の構成の減衰器（例えば、 π 形減衰器）でもよく、同様の効果を奏することができる。

また、スイッチ16、17も直列装荷FETを用いた場合を示したが、直並列装荷形などの他の回路構成でもよく、また、pinダイオードなどのFET以外のスイッチングデバイスを用いても同様の効果を奏す

る。

実施の形態 4 .

上記実施の形態 3 では、増幅器 1 4 の入出力端子間に可変減衰器 1 3 を接続するものについて示したが、第 6 図に示すように、増幅器用 F E T 2 6 のゲートドレイン間に可変減衰器 1 3 を接続するようにしてもよい。

即ち、増幅器 1 4 の入出力端子間に可変減衰器 1 3 を接続する場合、増幅器 1 4 の整合回路 2 7 , 2 8 の回路寸法が、増幅器用 F E T 2 6 のバイアス回路や可変減衰器 1 3 と比較して大きいため I C 化が難しく、また、入力信号の周波数が高い場合、非動作時に増幅器 1 4 の入出力インピーダンスが開放とみなしにくいことがある。

これに対して、増幅器用 F E T 2 6 のゲートドレイン間に可変減衰器 1 3 を接続する場合、整合回路 2 7 , 2 8 を I C の外付け回路にすることができるため、回路寸法が小型になり I C 化が容易になる。

また、増幅器用 F E T 2 6 単体の方が、増幅器 1 4 に比べて、非動作時のインピーダンスが開放に近い場合、非動作時において、可変減衰器 1 3 に与える影響を低減することができる。

ただし、通常、動作時の増幅器用 F E T 2 6 の入出力インピーダンスは、増幅器 1 4 や可変減衰器 1 3 などの入出力インピーダンスに比べて高いので、非動作時の可変減衰器 1 3 の影響を受け易い問題がある。

なお、増幅器用 F E T 2 6 の入出力回路において、何れか一方の回路の損失増加が許容される場合には、損失が許容される側の可変減衰器 1 3 のインピーダンスは必ずしも開放になる必要はなく、この場合は、スイッチ 1 6 , 1 7 の何れか一方を省略することができる。ただし、損失が許容されない側の可変減衰器 1 3 のインピーダンスは必ず開放になる

必要があるので、他方のスイッチは省略することができない。

また、増幅器用 F E T 2 6 の入出力回路において、第 7 図に示すように、何れか一方の回路に関して、整合回路の外側に可変減衰器 1 3 を接続してもよく、同様の効果を奏することができる。

実施の形態 5 .

第 8 図はこの発明の実施の形態 5 による半導体回路を示す構成図であり、図において、第 5 図と同一符号は同一または相当部分を示すので説明を省略する。

3 2 は高周波信号を減衰する π 形減衰器、3 3 は可変減衰器 1 3 のインピーダンスを入力側のインピーダンスに合わせる整合回路、3 4 は可変減衰器 1 3 のインピーダンスを出力側のインピーダンスに合わせる整合回路である。

次に動作について説明する。

基本的な動作は上記実施の形態 3 等と同様であるが、この実施の形態 5 では、T 形減衰器 1 8 の代わりに π 形減衰器 3 2 を接続し、整合回路 3 3, 3 4 が接続されている点で相違する。

T 形減衰器 1 8 が π 形減衰器 3 2 に置換されても、特性、動作的には全く等価であるが、周波数が高い場合、スイッチ 1 6, 1 7 が短絡状態になって増幅器 1 4 が非動作状態になるとき（可変減衰器 1 3 は動作状態）、増幅器 1 4 の入出力インピーダンスが開放にみなせなくなることがある。

そこで、この実施の形態 5 では、増幅器 1 4 の影響を除去するため、整合回路 3 3, 3 4 を接続することにより、可変減衰器 1 3 のインピーダンスを入出力側のインピーダンスに合わせて、可変減衰器 1 3 の動作時の入出力反射を低減するようにしている。

なお、スイッチ 16, 17 が開放状態になって可変減衰器 13 が非動作状態になる場合において、整合回路 33, 34 の有無は増幅器 14 の動作に影響を与えることはない。

実施の形態 6.

第 9 図はこの発明の実施の形態 6 による半導体回路を示す構成図であり、図において、第 5 図と同一符号は同一または相当部分を示すので説明を省略する。

35 は減衰量が調整可能なブリッジ T 形可変減衰器である。

次に動作について説明する。

上記実施の形態 3 等では、減衰量が X dB に固定された T 形減衰器 18 を用いる場合について示したが、この実施の形態 6 では、可変減衰器 13 の動作時に、減衰量を調整することができるブリッジ T 形可変減衰器 35 を用いている点において相違している。

これにより、出力端子 15 から出力される高周波信号の信号レベルを調整することができるようになり、その結果、出力端子 15 に接続される受信機のダイナミックレンジが狭い場合にも、受信機の受信感度を確保しつつ、増幅器 14 の飽和を防止することができる効果がある。

なお、ここでは、ブリッジ T 形可変減衰器 35 を用いて可変減衰器 13 を構成するものについて示したが、他の可変減衰器でもよく、同様の効果を奏することができる。

また、減衰量を無限大にして入出力インピーダンスが開放になる可変減衰器の場合、可変減衰器の入出力に接続されるスイッチ 16, 17 を省略することができる。入出力インピーダンスが短絡の場合も、スイッチ 16, 17 を省略することができるが、外部からのインピーダンスを開放とみなせるように、 $1/4$ 波長の線路を入出力に接続する必要がある。

る。

実施の形態 7.

上記実施の形態 3 等では、スイッチ 16 や T 形減衰器 18 等を用いて可変減衰器 13 を構成するものについて示したが、第 10 図に示すように、スイッチ 16 のみを用いて可変減衰器 13 を構成するようによい。

即ち、スイッチ 16 を開放すると、増幅器 14 のみの回路と等価になり、スイッチ 16 を短絡すると、増幅器 14 は回路から切り離されて、利得 0 dB のスルー回路と等価になる。この状態では、後段に接続される受信機の飽和を防止することができる。

なお、ここでは、高周波信号が入力されたとき考慮すべき回路素子で、直列に接続されているのは、スイッチ 16 のみであるが (DC カット用コンデンサ 30 のインピーダンスは、周波数が高いときは略零値になる)、他の回路素子を接続してもよい。例えば、スイッチ 16 に抵抗を直列に接続する場合には、その抵抗値が入出力インピーダンスに比べて十分低いとき、減衰器にみなすことができる。

実施の形態 8.

第 11 図はこの発明の実施の形態 8 による半導体回路を示す構成図であり、図において、第 10 図と同一符号は同一または相当部分を示すので説明を省略する。

36 は増幅器用 FET 26 のフィードバック抵抗、37 は電源端子である。

次に動作について説明する。

基本的な動作は上記実施の形態 7 と同様であるが、スイッチ 16 の出

力側にフィードバック抵抗 3 6 が接続され、増幅器用 F E T 2 6 のドレイン端子に電源端子 3 7 が接続されている点で相違している。

即ち、上記実施の形態 7 では、増幅器用 F E T 2 6 のドレイン端子はバイアス制御回路 1 2 から電力の供給を受けていたが、この実施の形態 8 では、電源端子 3 9 に接続された図示せぬ電源から常時電力の供給を受け、増幅器用 F E T 2 6 は常時動作状態に保たれている。

そして、スイッチ 1 6 が開放されると、増幅器 1 4 の入力回路からはスイッチ 1 6 を開放回路とみなされる。また、増幅器 1 4 の出力回路からは先端が開放されたフィードバック抵抗 3 6 が接続されているように見えるが、これは単なる開放回路と等価である。

従って、この場合は、増幅器 1 4 のみの回路と等価であり、受信感度の劣化を生ずることはない。

一方、スイッチ 1 6 が短絡されると、増幅器用 F E T 2 6 のゲートドレイン間にフィードバック抵抗 3 6 が接続されているとみなせる。

従って、この場合は、フィードバック抵抗 3 6 により、増幅器用 F E T 2 6 に負帰還がかかるため、増幅器 1 4 の利得が下がり、飽和しにくくなる。

実施の形態 9 .

上記実施の形態 3 等では、T 形減衰器 1 8 の入力側にスイッチ 1 6 を接続し、T 形減衰器 1 8 の出力側にスイッチ 1 7 を接続するものについて示したが、第 1 2 図に示すように、スイッチ 1 7 を削除するようにしてもよい。

即ち、上記実施の形態 3 等では、増幅器 1 4 の動作時に出力回路の損失が発生しないように、出力回路に並列に接続されているスイッチ 1 7 を開放するようにしていた。

しかし、増幅器 1 4 の利得が十分にある場合は、出力回路の損失は、受信感度上、特に問題にならない。

そこで、この実施の形態 9 では、かかる観点からスイッチ 1 7 を削除するようにしたものであるが、スイッチ 1 7 を削除する場合、増幅器 1 4 の出力側からは、T 形減衰器 1 8 が並列に接続されているように見えるため損失が多少生じるが、スイッチ数を削減できるため、回路寸法を縮小できる利点がある。

また、増幅器 1 4 の出力回路に並列に接続される T 形減衰器 1 8 は、出力側の安定回路として動作する上、整合回路の一部としても活用することができる。また、上記実施の形態 3 等では、増幅器 1 4 の出力端子に接続されているバイアスフィード用インダクタ 2 5 も削除することができるため、更に回路の小型化を図ることができる。

実施の形態 1 0 .

上記実施の形態 9 では、T 形減衰器 1 8 を用いて可変減衰器 1 3 を構成するものについて示したが、第 1 3 図に示すように、T 形減衰器 1 8 の代わりに π 形減衰器 3 2 を接続するとともに、DC カット用コンデンサ 3 8, 3 9 を接続し、増幅器用 F E T 2 6 のドレイン端子に π 形減衰器 3 2 を介して電力を供給するようにしてもよい。

即ち、T 形減衰器 1 8 を π 形減衰器 3 2 に置換する点は動作上相違はないが、これらの回路変更により、DC カット用コンデンサ 3 9 と π 形減衰器 3 2 の並列抵抗の接続端子は、高周波的には接地しているが、直流的には増幅器用 F E T 2 6 のドレイン端子に接続されている状態になる。

従って、この実施の形態 1 0 によれば、その接続端子から増幅器用 F E T 2 6 のドレイン端子に電力を供給することができるので、バイアス

フィード用インダクタ 2 5 も削除することができ、回路の小型化を図ることができる。

なお、ここでは、減衰器として π 形減衰器 3 2 を用いた場合を示したが、T形減衰器 1 8 であっても同様の効果を奏することができる。

また、T形又は π 形の可変減衰器、ブリッジT形の可変減衰器であっても同様の効果を奏することができる。

さらに、増幅器 1 4 の入出力間に π 形減衰器 3 2 等を接続するのではなく、増幅器用 F E T 2 6 のゲートドレインに π 形減衰器 3 2 等を接続するようにしてもよく、同様の効果を奏することができる。

産業上の利用可能性

以上のように、この発明に係る半導体回路は、移動体通信のように、受信する高周波信号の信号レベルが大きく変動するシステムにおいて有効である。

また、高周波信号の線形性が必要となるシステムでは、増幅器の非線形性の問題が避けられる点から特に有効となる。

請 求 の 範 囲

1. 動作許可指令を受けると入力信号を増幅する増幅手段と、上記増幅手段と並列に接続され、動作許可指令を受けると入力信号を減衰する減衰手段と、入力信号の信号レベルに応じて上記増幅手段又は減衰手段の何れか一方に動作許可指令を発行する制御手段とを備えた半導体回路。
2. 入力信号を増幅する増幅器と、上記増幅器と直列に接続され、動作許可指令を受けている状態では短絡状態になり、動作許可指令を受けていない状態では開放状態になる開閉器とを用いて増幅手段を構成することを特徴とする請求の範囲第1項記載の半導体回路。
3. 入力信号を減衰する減衰器と、上記減衰器と直列に接続され、動作許可指令を受けている状態では短絡状態になり、動作許可指令を受けていない状態では開放状態になる開閉器とを用いて減衰手段を構成することを特徴とする請求の範囲第1項記載の半導体回路。
4. 減衰器の入力側と出力側にスイッチング用半導体素子を接続することを特徴とする請求の範囲第3項記載の半導体回路。
5. トランジスタを用いて増幅手段を構成し、制御手段は、そのトランジスタを短絡状態に遷移するとスイッチング用半導体素子を開放状態に遷移し、そのトランジスタを開放状態に遷移するとスイッチング用半導体素子を短絡状態に遷移することを特徴とする請求の範囲第4項記載の半導体回路。

6. 減衰器と入力側のスイッチング用半導体素子の間に整合回路を接続するとともに、その減衰器と出力側のスイッチング用半導体素子の間に整合回路を接続することを特徴とする請求の範囲第4項記載の半導体回路。

7. 減衰量が調整可能な可変減衰器を用いて減衰手段を構成することを特徴とする請求の範囲第1項から第6項のうちのいずれか1項記載の半導体回路。

8. スwitchング用半導体素子と回路素子の直列回路を用いて減衰手段を構成することを特徴とする請求の範囲第1項または第2項記載の半導体回路。

9. 制御手段は、増幅器の動作状態を維持したままスイッチング用半導体素子を制御することを特徴とする請求の範囲第8項記載の半導体回路。

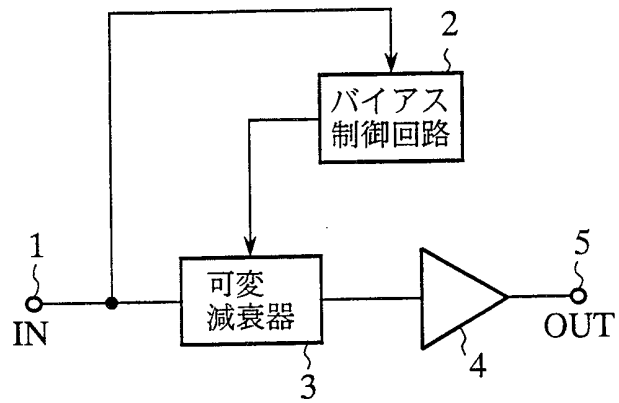
10. 入力側にスイッチング用半導体素子が接続されたT形減衰器を用いて減衰手段を構成することを特徴とする請求の範囲第3項記載の半導体回路。

11. 入力側にスイッチング用半導体素子が接続された π 形減衰器を用いて減衰手段を構成することを特徴とする請求の範囲第3項記載の半導体回路。

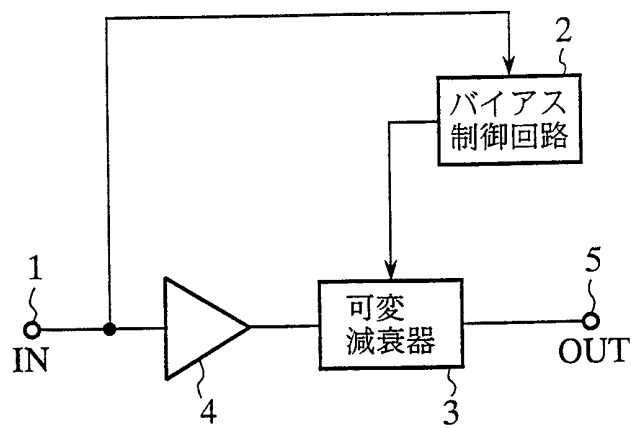
12. T形減衰器又は π 形減衰器の接地端子と接地間にコンデンサを接

続するとともに、その接地端子から増幅手段を構成するトランジスタの出力端子に直流電圧を印可することを特徴とする請求の範囲第10項または第11項記載の半導体回路。

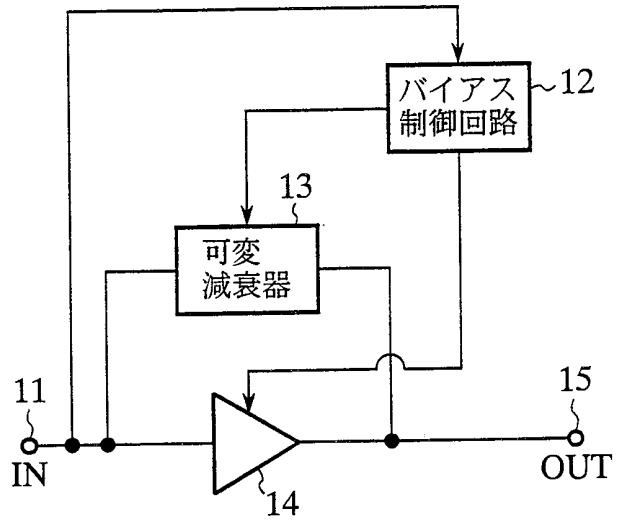
第1図



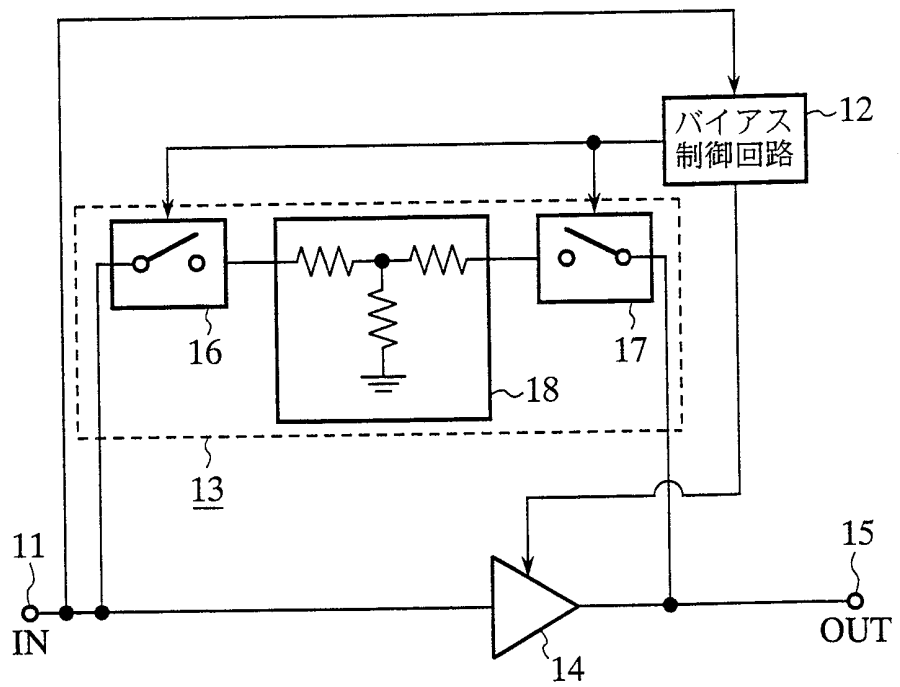
第2図



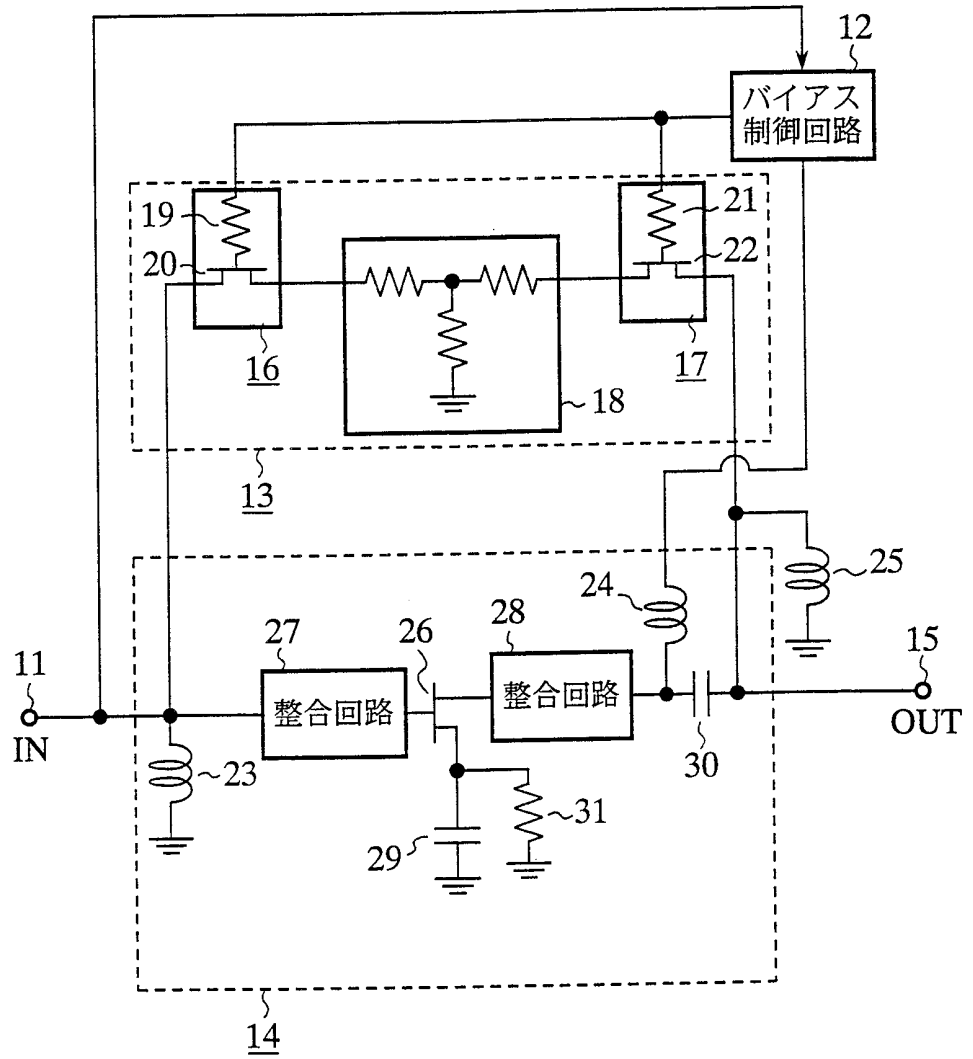
第3図



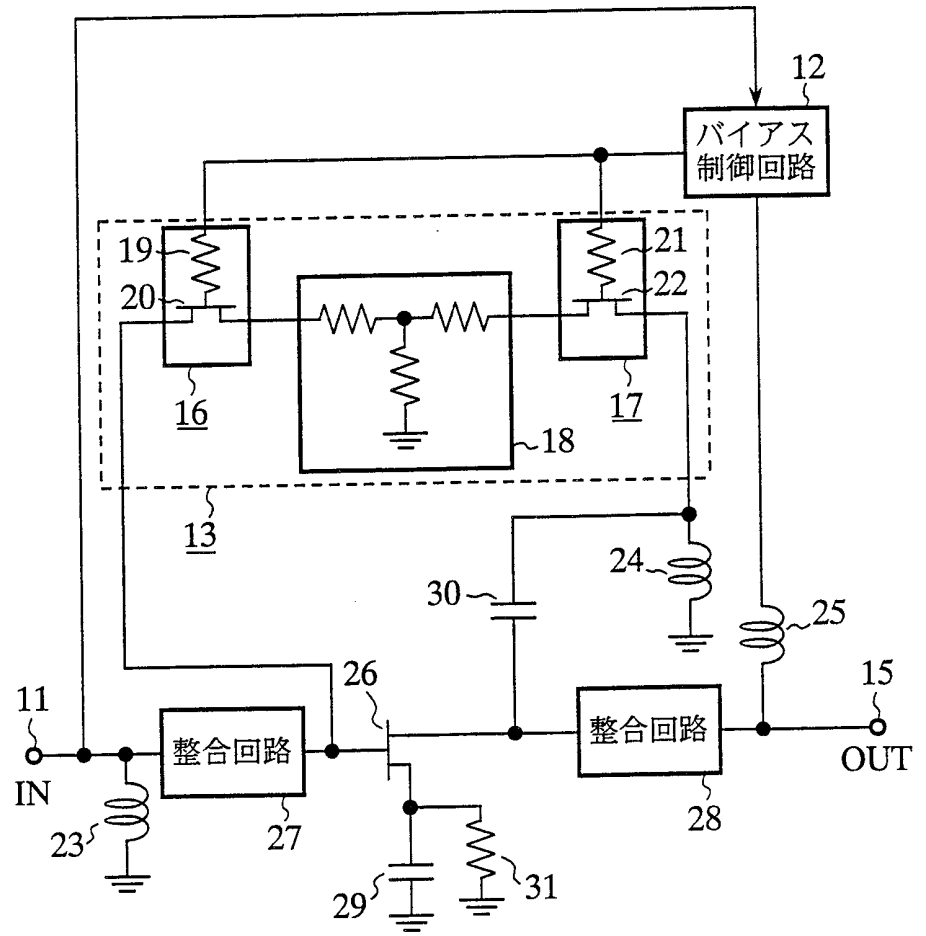
第4図



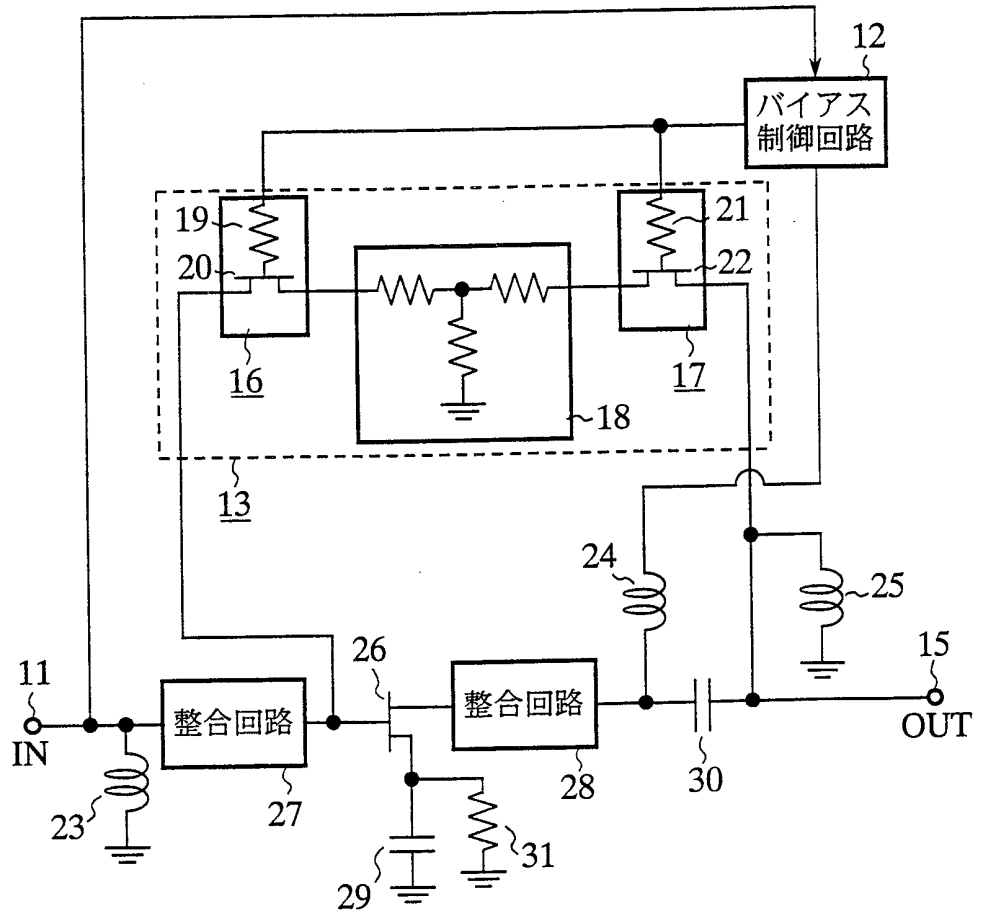
第5図



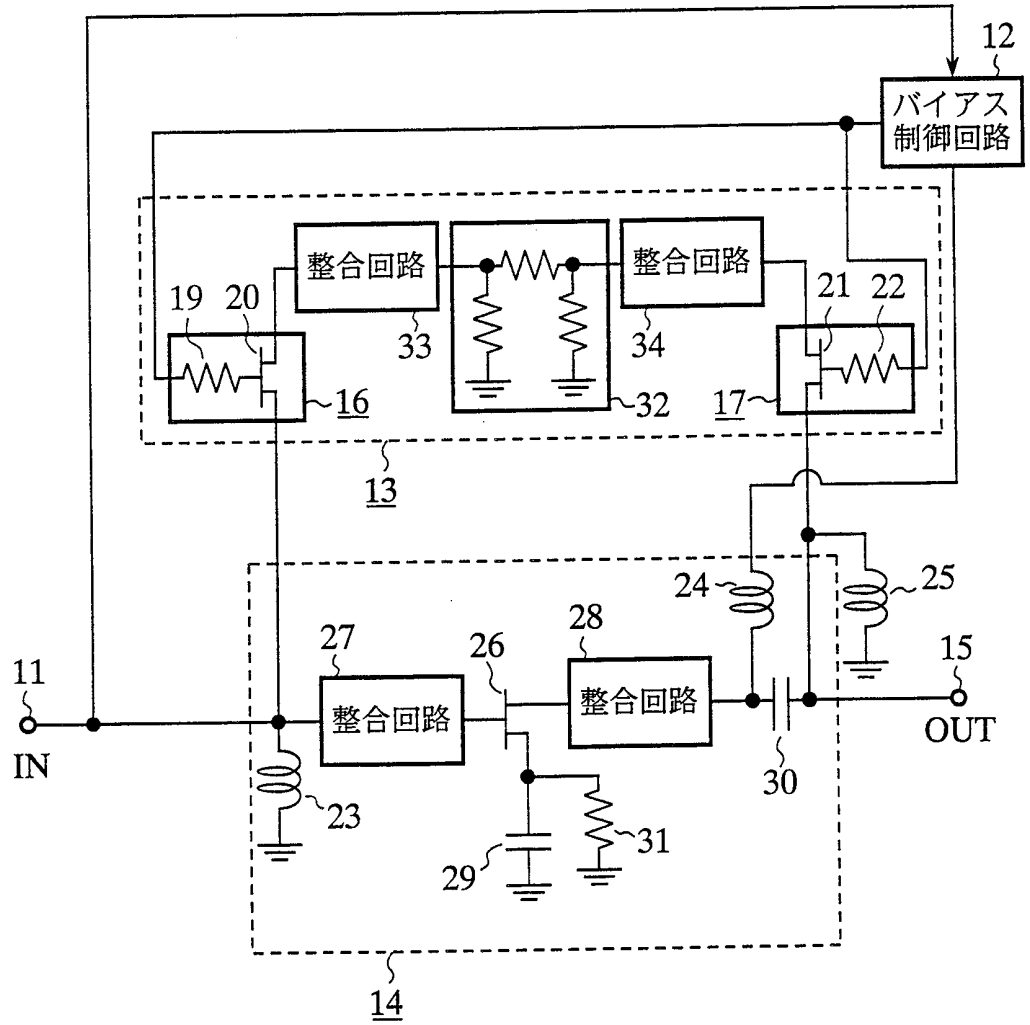
第6図



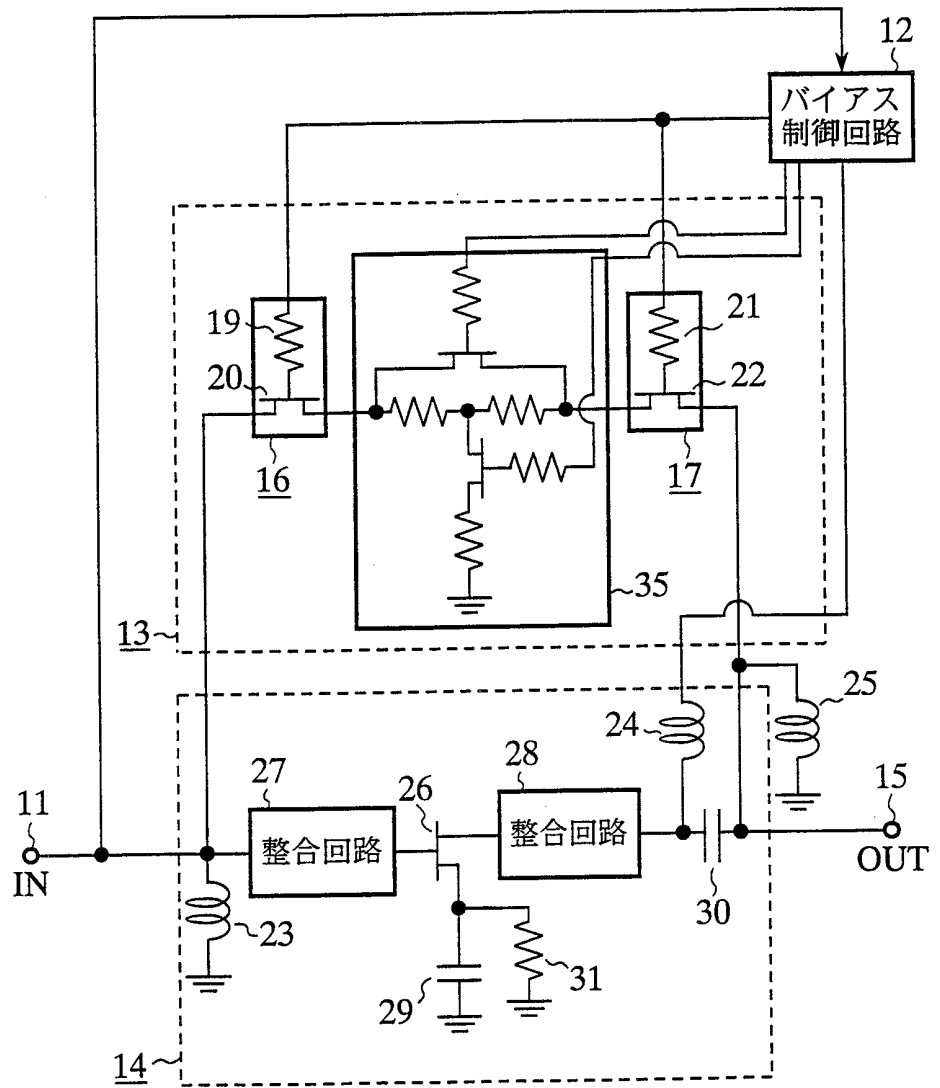
第7図



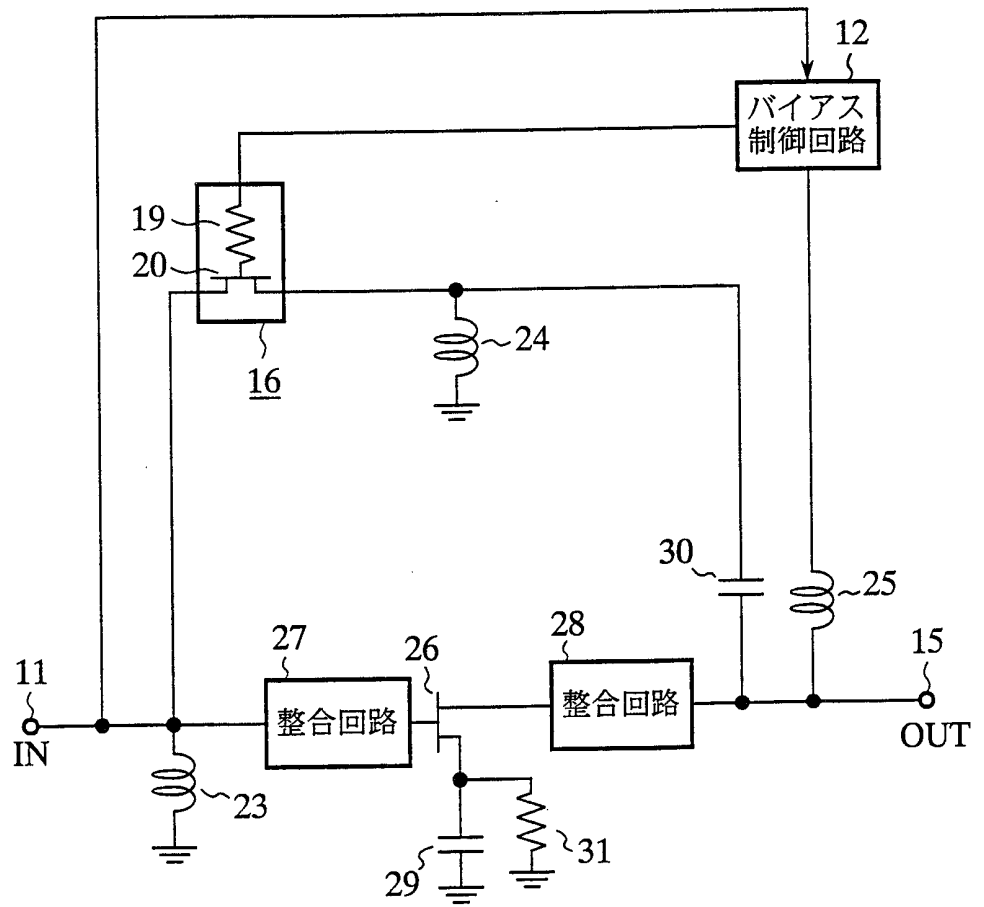
第8図



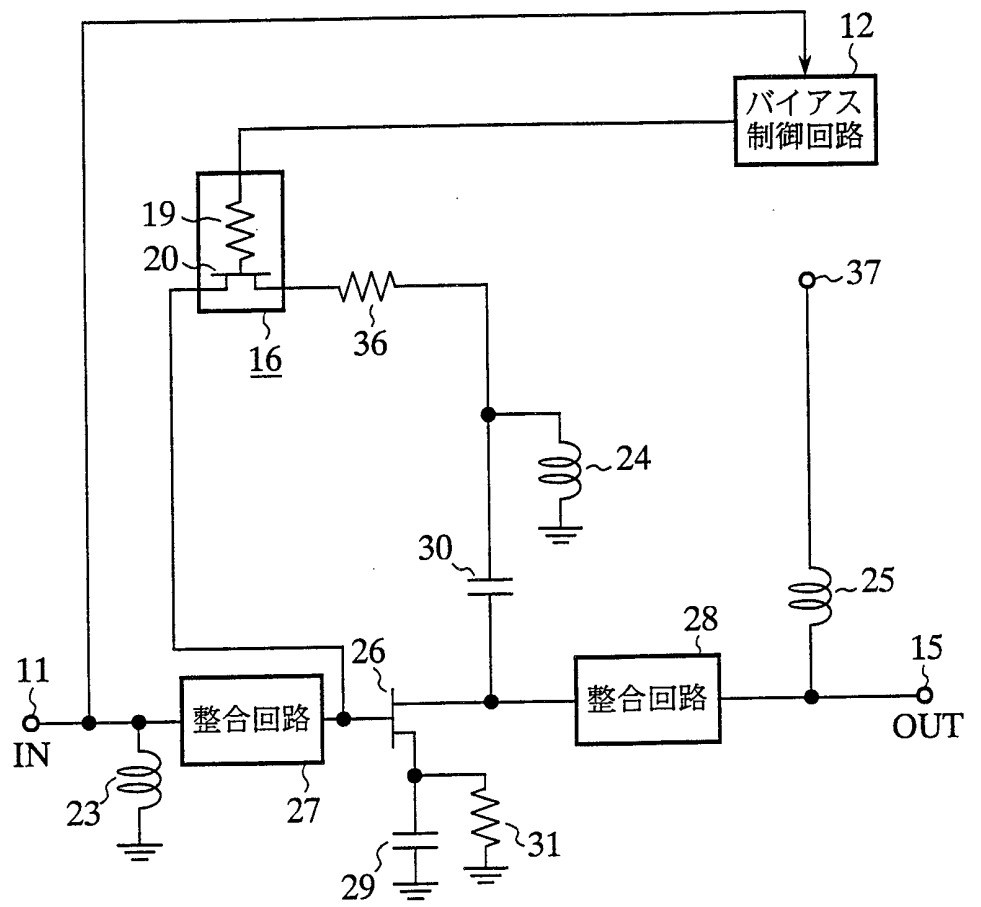
第9図



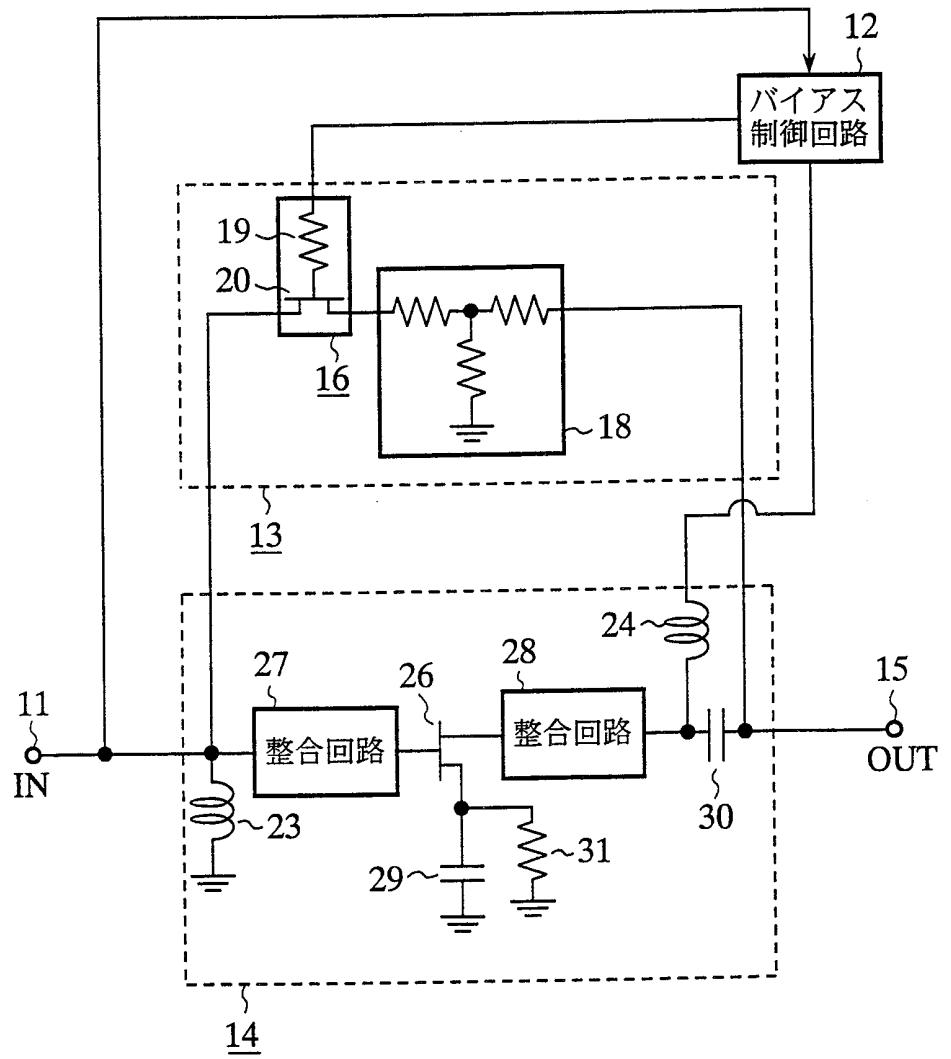
第10図



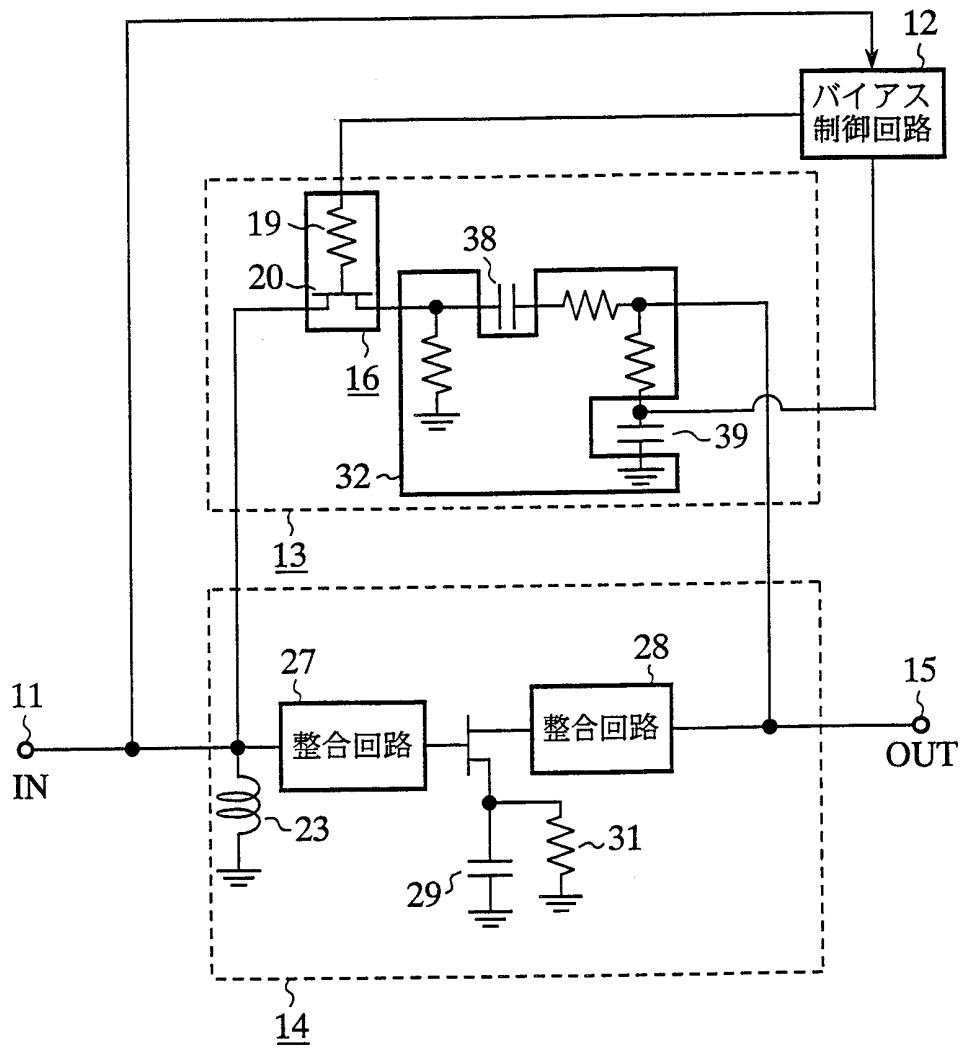
第 1 1 図



第12図



第 1 3 図



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02137

| A. CLASSIFICATION OF SUBJECT MATTER Int.Cl ⁶ H03G3/30, H03F1/34, H03F3/189, H03F3/24 | | |
|---|---|--|
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) Int.Cl ⁶ H03G3/00, H03G3/30, H03F1/34, H03F3/189, H03F3/24, H03H7/24 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1940-1996 Toroku Jitsuyo Shinan Koho 1994-1998 Kokai Jitsuyo Shinan Koho 1971-1998 Jitsuyo Shinan Toroku Koho 1996-1998 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| X Y A | JP, 6-152287, A (Sanyo Electric Co., Ltd.), May 31, 1994 (31. 05. 94) (Family: none) Page 3, left column, line 26 to right column, line 6 ; Fig. 5 | 1-3 4-11 12 |
| Y | JP, 5-259765, A (Nippon Telegraph & Telephone Corp.), October 8, 1993 (08. 10. 93) (Family: none) Fig. 7 | 4 |
| Y | JP, 8-32395, A (SPC Electronics Corp.), February 2, 1996 (02. 02. 96) (Family: none) Fig. 6 | 4-6 10, 11 |
| Y | JP, 7-273598, A (NEC Engineering K.K., et al.), October 20, 1995 (20. 10. 95) (Family: none) Fig. 1 | 7 |
| <input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex. | | |
| * "A" "E" "L" "O" "P" | Special categories of cited documents: document defining the general state of the art which is not considered to be of particular relevance earlier document but published on or after the international filing date document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) document referring to an oral disclosure, use, exhibition or other means document published prior to the international filing date but later than the priority date claimed | "T" "X" "Y" "&" |
| Date of the actual completion of the international search August 11, 1998 (11. 08. 98) | | Date of mailing of the international search report August 25, 1998 (25. 08. 98) |
| Name and mailing address of the ISA/ Japanese Patent Office | | Authorized officer |
| Facsimile No. | | Telephone No. |

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP98/02137

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
|-----------|---|-----------------------|
| Y | JP, 60-245304, A (Toshiba Corp.), December 5, 1985 (05. 12. 85) (Family: none) Fig. 2 | 8 |
| Y | JP, 4-238407, A (Nippon Telegraph & Telephone Corp.), August 26, 1992 (26. 08. 92) (Family: none) Fig. 7 | 9 |

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl^o H03G3/30, H03F1/34, H03F3/189, H03F3/24

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl^o H03G3/00, H03G3/30, H03F1/34, H03F3/189, H03F3/24, H03H7/24

最小限資料以外の資料で調査を行った分野に含まれるもの

| | |
|-------------|------------|
| 日本国実用新案公報 | 1940-1996年 |
| 日本国公開実用新案公報 | 1971-1998年 |
| 日本国実用新案登録公報 | 1996-1998年 |
| 日本国登録実用新案公報 | 1994-1998年 |

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
|-----------------|---|-------------------|
| X Y A | JP, 6-152287, A (三洋電機株式会社) 31. 5月. 1994 (31. 05. 94) (ファミリーなし) 第3頁左欄第26行目~右欄第6行目、図5 | 1~3 4~11 12 |
| Y | JP, 5-259765, A (日本電信電話株式会社) 8. 10月. 1993 (08. 10. 93) (ファミリーなし) 図7 | 4 |

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

| | |
|--|---|
| * 引用文献のカテゴリー | の日の後に公表された文献 |
| 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの | 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの |
| 「E」 先行文献ではあるが、国際出願日以後に公表されたもの | 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの |
| 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) | 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの |
| 「O」 口頭による開示、使用、展示等に言及する文献 | 「&」 同一パテントファミリー文献 |
| 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願 | |

国際調査を完了した日 11. 08. 98

国際調査報告の発送日 25.08.98

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
畑中 博幸 印
5 J 9180
電話番号 03-3581-1101 内線 3536

| C (続き) . 関連すると認められる文献 | | |
|-----------------------|---|------------------|
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求の範囲の番号 |
| Y | JP, 8-32395, A (島田理化工業株式会社) 2. 2月. 1996 (02. 02. 96) (ファミリーなし) 図6 | 4~6 10, 11 |
| Y | JP, 7-273598, A (日本電気エンジニアリング株式会 社 外1名) 20. 10月. 1995 (20. 10. 95) (フ ファミリーなし) 図1 | 7 |
| Y | JP, 60-245304, A (株式会社東芝) 5. 12月. 1985 (05. 12. 85) (ファミリーなし) 第2図 | 8 |
| Y | JP, 4-238407, A (日本電信電話株式会社) 26. 8月. 1992 (26. 08. 92) (ファミリーなし) 図7 | 9 |