

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5987206号
(P5987206)

(45) 発行日 平成28年9月7日(2016.9.7)

(24) 登録日 平成28年8月19日(2016.8.19)

(51) Int.Cl.

G05F 1/56 (2006.01)
G05F 3/26 (2006.01)

F 1

G05F 1/56
G05F 3/26

310D

請求項の数 13 (全 17 頁)

(21) 出願番号 特願2011-282742 (P2011-282742)
 (22) 出願日 平成23年12月26日 (2011.12.26)
 (65) 公開番号 特開2012-155708 (P2012-155708A)
 (43) 公開日 平成24年8月16日 (2012.8.16)
 審査請求日 平成26年12月12日 (2014.12.12)
 (31) 優先権主張番号 13/013220
 (32) 優先日 平成23年1月25日 (2011.1.25)
 (33) 優先権主張国 米国(US)

(73) 特許権者 504199127
 フリースケール セミコンダクター イン
 コーポレイテッド
 アメリカ合衆国 テキサス州 78735
 オースティン ウィリアム キャノン
 ドライブ ウエスト 6501
 (74) 代理人 100142907
 弁理士 本田 淳
 (72) 発明者 チュアンツアオ ユー
 アメリカ合衆国 85225 アリゾナ州
 チャンドラー エヌ.アリゾナ アベニ
 ュー 1600 アパートメント 204
 1

最終頁に続く

(54) 【発明の名称】電圧調整回路機構および関連する動作方法

(57) 【特許請求の範囲】

【請求項1】

電圧調整回路において、

入力ノードにおける入力電圧基準に基づき出力ノードにおいて調整された出力電圧を供給するように構成された電圧調整構成であって、前記出力ノードと第1ノードとの間に接続された第1トランジスタを含み、該第1トランジスタは、電流が前記第1ノードから前記出力ノードに流れることを可能にするように構成されている、電圧調整構成と、

前記電圧調整構成に接続された位相補償構成であって、前記電圧調整構成の位相マージンを増加するように構成されている、位相補償構成と、

前記第1トランジスタに接続された第1カレントミラー構成であって、該第1カレントミラー構成を流れる基準電流を取得するべく前記第1トランジスタを前記第1ノードから前記出力ノードに流れる電流をミラーするように構成されている、第1カレントミラー構成と、

前記第1カレントミラー構成に接続されている検出回路と、を備え、

前記検出回路は、閾値未満の前記出力ノードにおける出力電流を表す基準電流を検出することに応答して前記位相補償構成を無効化するように構成されるとともに、前記閾値よりも大きな、前記出力ノードにおける出力電流を検出することに応答して、前記位相補償構成を有効化するように構成される、電圧調整回路。

【請求項2】

前記検出回路は、

10

20

第2トランジスタであって、前記第2トランジスタに亘る電圧が前記基準電流によって影響されるように前記第1カレントミラー構成を流れる前記基準電流をミラーするように構成される、第2トランジスタと；

前記第2トランジスタに亘る電圧が閾値電圧よりも大きい時に、前記位相補償構成を無効化するための第1信号を生成するように構成された比較器とを備え、

前記閾値電圧は、前記閾値未満の前記出力ノードにおける出力電流を表す、請求項1記載の電圧調整回路。

【請求項3】

前記電圧調整回路はさらに、前記位相補償構成と電気的に並列に構成されたスイッチング素子を備え、

前記比較器によって生成された前記第1信号は、前記位相補償構成を無効化するために前記スイッチング素子を起動する、請求項2記載の電圧調整回路。

【請求項4】

前記比較器は、前記第2トランジスタに亘る電圧が前記閾値電圧未満の時に、前記位相補償構成を有効化するための第2信号を生成するように構成される、請求項2記載の電圧調整回路。

【請求項5】

前記電圧調整回路はさらに、第2カレントミラー構成を備え、

前記第2カレントミラー構成は、前記第1カレントミラー構成を流れる前記基準電流をミラーするように構成され、

前記第2カレントミラー構成は、前記電圧調整構成に接続され、且つ前記基準電流によって影響される方法で調整された出力電圧を増加するように構成される、請求項1記載の電圧調整回路。

【請求項6】

前記電圧調整構成は、

前記出力ノードと前記第1ノードとの間に接続されたバスデバイスであって、前記出力電流は、前記第1ノードから前記出力ノードに前記バスデバイスを流れる電流の少なくとも一部分を含む、バスデバイスと；

前記出力ノードと第2ノードとの間に接続された電圧分割構成であって、前記電圧分割構成はフィードバック電圧ノードにおいてフィードバック電圧を確立するように構成される、電圧分割構成と；

前記入力ノード、フィードバック電圧ノード、および前記バスデバイスに接続された増幅構成であって、前記増幅構成は、前記フィードバック電圧と前記入力電圧基準との間の差に基づき前記バスデバイスを流れる電流を調整するように構成される、増幅構成とを備える、請求項1記載の電圧調整回路。

【請求項7】

請求項1記載の電圧調整回路を含むシステムであって、前記調整された出力電圧を受けるために前記電圧調整回路の前記出力ノードに接続された電子デバイスを含む、システム。

【請求項8】

電圧調整回路であって、

入力電圧基準を受けるように構成された入力ノードと；

出力ノードと；

第1ノードと；

第2ノードと；

前記第1ノードと前記出力ノードとの間に接続された第1トランジスタであって、前記第1トランジスタは、前記出力ノードにおける出力電流が前記第1ノードから前記出力ノードに前記第1トランジスタを介して流れることを可能にするように構成される、第1トランジスタと；

前記出力ノードと前記第2ノードとの間に接続された電圧分割構成であって、前記電圧

10

20

30

40

50

分割構成は、フィードバック電圧ノードにおいてフィードバック電圧を確立するように構成される、電圧分割構成と；

前記入力ノード、前記フィードバック電圧ノード、および前記第1トランジスタに接続された増幅構成であって、前記増幅構成および前記第1トランジスタは、前記フィードバック電圧と前記入力電圧基準との間の差に基づき前記出力ノードにおける出力電圧を調整するように協働的に構成される、増幅構成と；

前記増幅構成に接続された位相補償構成と；

前記位相補償構成と電気的に並列に構成された第2トランジスタと、

前記第2トランジスタに接続された検出回路であって、閾値未満の出力電流を検出することに応答して、前記位相補償構成を無効化するべく前記第2トランジスタを起動するように構成されるとともに、前記閾値よりも大きな、前記出力ノードにおける出力電流を検出することに応答して、前記位相補償構成を有効化するように構成される、検出回路とを備える、電圧調整回路。

【請求項9】

前記位相補償構成は、前記増幅構成のユニティゲイン周波数における位相マージンを最適化するように構成される、請求項8記載の電圧調整回路。

【請求項10】

前記電圧調整回路はさらに、基準電流を取得するために前記第1トランジスタを介して前記出力電流をミラーするように構成された第1カレントミラー構成を備え、

前記検出回路は、

前記第1カレントミラー構成を通して前記基準電流をミラーするように構成されたミラー用トランジスタであって、前記ミラー用トランジスタに亘る電圧は前記基準電流によって影響される、ミラー用トランジスタと；

第1入力、第2入力、および出力を有する比較器であって、前記第1入力は前記ミラー用トランジスタに亘る前記電圧を受けるように構成され、前記第2入力は、前記閾値未満の出力電流を表す比較器基準電圧を受けるように構成され、前記出力は、前記第2トランジスタのゲート端子に接続される、比較器と、を備え、前記比較器は、前記ミラー用トランジスタに亘る前記電圧が前記比較器基準電圧よりも大きい時に、前記第2トランジスタを起動するために出力における出力信号を生成するように構成される、請求項8記載の電圧調整回路。

【請求項11】

前記第1ノードは、供給電圧を受けるように構成され、

前記第2ノードは、接地電圧を受けるように構成され、

前記第1トランジスタは、前記第1ノードに接続されたソース端子および前記出力ノードに接続されたドレイン端子を備え、

前記増幅構成は、

前記入力ノードに接続されたゲート端子および前記第1トランジスタのゲート端子に接続されたドレイン端子を有する第3トランジスタと；

前記第3トランジスタのドレイン端子に接続されたドレイン端子および前記第1ノードに接続されたソース端子を有する第4トランジスタと；

前記フィードバック電圧ノードに接続されたゲート端子および前記第4トランジスタのゲート端子に接続されたドレイン端子を有する第5トランジスタとを備え、

前記位相補償構成は、

前記第3トランジスタのソース端子と前記第5トランジスタのソース端子との間に接続された容量性素子と；

前記第3トランジスタの前記ソース端子と前記第5トランジスタのソース端子との間に接続された抵抗素子とを備える、請求項8記載の電圧調整回路。

【請求項12】

前記電圧調整回路はさらに、前記第3トランジスタの前記ソース端子に接続されたドレイン端子および前記第5トランジスタのソース端子に接続されたソース端子を有する第6

10

20

30

40

50

トランジスタを備え、

前記検出回路は、前記位相補償構成を無効化するために前記閾値未満の前記出力電流を検出することに応答して前記第6トランジスタを起動するように構成される、請求項11記載の電圧調整回路。

【請求項13】

前記電圧調整回路はさらに、基準電流を取得するために前記第1トランジスタを介して前記出力電流をミラーするように構成された第1カレントミラー構成を備え、

前記検出回路は、

前記第2ノードに接続されたソース端子および前記基準電流をミラーするために前記第1カレントミラー構成に接続されたゲート端子を有する第7トランジスタと；

10

前記第7トランジスタのドレイン端子に接続された非反転入力、前記閾値未満の前記出力電流を表す電圧を受けるように構成された反転入力、および第6トランジスタのゲート端子に接続される出力、を有する比較器とを備える、請求項12記載の電圧調整回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には電子回路に関するものである。より詳細には、相対的広い範囲の負荷電流に亘って電圧を正確に調整可能な電力調整器および関連する回路トポロジに関する。

【背景技術】

20

【0002】

デバイスの他の部品に特定の電圧レベルを供給するために、電圧調整器は通常、電子デバイスに用いられる。例えば低ドロップアウト電圧調整器は、プロセッサ、コントローラ、または別の集積回路のような電気的負荷に安定な直流(DC)供給電圧を供給するために利用され得る。

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特表2001-507484号公報

【発明の概要】

30

【発明が解決しようとする課題】

【0004】

しかしながら、従来技術の低ドロップアウト電圧調整トポロジにおいて、調整された出力に接続された負荷によって消費された電流の量が減少した時、従来技術の低ドロップアウト電圧調整器が所望の調整電圧を正確に維持する能力は、減少してしまう。

【課題を解決するための手段】

【0005】

本発明は例示の方法により説明されており、添付の図面により限定されるものではなく、図面において、同様の参照符号は類似の要素を示す。図中の要素は簡潔かつ明確に説明されており、必ずしも寸法通りに描かれていない。本文で使用されている「典型的」という用語は、「例、事例、または実例として」と意味する。本文に「典型的」と示されているいかなる事例は、必ずしも他の事例よりも望ましい、または有利と解釈されない。以下の詳細な説明は、本来例示的なものに過ぎず、本発明または本発明の用途および利用を限定することを意図したものではない。更に、上記の技術分野、背景技術、発明の開示、あるいは以下の詳細な説明に明示または暗示した理論により拘束されることを意図するものではない。

40

【0006】

本明細書で記載された技術および原理は、広い範囲の出力電流に亘って出力電圧を正確に調整する電圧調整回路に関する。下述により詳細に説明するように、電圧調整回路は、電圧調整ループの位相マージンを改良する位相補償零極対を含み、したがって調整された

50

出力電圧の安定性を改良する。例示的実施形態において、電圧調整ループのオープンループゲインを改良し、且つ低出力電流における電圧調整ループ内で低下した相互コンダクタンスを補償するために、位相補償零極対は、低出力電流で無効にされる。この点について、出力電流が閾値を下回る時、位相補償零極対は、短絡される。さもなければ、出力電流が閾値を上回る間、位相補償零極対は、電圧調整ループの位相マージンを改良するために有効にされる。

【図面の簡単な説明】

【0007】

【図1】本発明の或る実施形態にしたがう、電圧調整回路の概略的回路図である。

【図2】本発明の或る実施形態にしたがう、図1の電圧調整回路の使用に適しているゲイン調整工程のフロー図である。 10

【図3】本発明の或る実施形態にしたがう、図1の電圧調整回路の使用に適している電気システムである。

【発明を実施するための形態】

【0008】

図1は、出力ノード104において調整された出力電圧を生じるように構成された電圧調整回路100の例示的実施形態を示す。調整された出力電圧は、入力ノード102における入力電圧基準に比例的に関係する。電圧調整回路100は、以下のものに制限されることなく、電圧調整構成105、カレントミラー構成112、寄生補償回路114、低出力電流検出回路116、および位相補償構成118を含む。例示的実施形態において、電圧調整回路100は、出力ノード104で調整された出力電圧を供給し、入力ノード104における入力電圧基準と出力ノード104における調整された出力電圧との間の相対的に小さな差で動作する低ドロップアウト調整器として構成される。説明および記載を簡略化するために、図1が電圧調整回路100の簡略化された代表例であることを理解すべきであり、実際の実施形態が追加機能および特徴を提供する他のデバイスおよび部品を含め得ることおよび/または電圧調整回路100がより大きな電気システムの一部であることを理解すべきである。したがって図1は、回路素子および/または端子との間に直接電気接続を示すが、代替実施形態は、同一な仕様で機能する介在回路素子および/または部品を採用し得る。 20

【0009】

30

例示的な実施形態において、電圧調整回路100の出力ノード104は、プロセッサ、コントローラ、または別の集積回路のような電気的負荷に接続される。或る実施形態において、電気的負荷は複数の異なる動作状態との間にスイッチングされる可能性があり、ここで電気的負荷によって消費された電流は、電気的負荷の現在の選択された動作状態に依存する。例えば或る実施形態によると、電気的負荷は、負荷が電流を実質的に消費しない浮遊状態とより大きな電流消費を有する他の動作状態との間でスイッチングされる可能性がある。例示的実施形態において、入力ノード102は、例えば、バンドギャップ電圧基準回路またはツェナーダイオードから安定および正確な直流(DC)電圧基準を受けるように構成される。入力電圧基準は、出力ノード104に接続された電気的負荷における所望の調整された供給電圧に相当する出力ノード104における調整された出力電圧を供給するように調整される可能性がある。 40

【0010】

例示的実施形態において、電圧調整構成105は、出力ノード104における電圧を入力ノード102における入力電圧基準に比例的に関する電圧に調整する負帰還電圧調整ループとして構成される。電圧調整構成105の図示された実施形態は、増幅構成106、バスデバイス108、および電圧分割構成110を含む。増幅構成106は、電圧を調整するエラー増幅器として構成される。電圧は、電圧分割構成110のノード122におけるフィードバック電圧と入力ノード102における入力電圧基準との間の差に基づき、ノード120におけるバスデバイス108を流れる電流の量を制御する。これについて、下述より詳細に記載されるように、増幅構成106は、フィードバック電圧ノード122に 50

おけるフィードバック電圧が入力ノード 102 における入力電圧基準よりも大きい時に、制御電圧ノード 120 における制御電圧を増加するように、そして、フィードバック電圧ノード 122 におけるフィードバック電圧が入力ノード 102 における入力電圧基準よりも低い時に、フィードバック電圧ノード 122 におけるフィードバック電圧を減少するよう構成される。

【0011】

パスデバイス 108 は、電圧調整回路 100 のために正の電源供給電圧を受けるように構成された第 1 ノード 124 と、出力ノード 104 との間に接続される。パスデバイス 108 は、出力ノード 104 のための出力電流 (i_{out}) が供給電圧ノード 124 から出力ノード 104 にパスデバイス 108 を介して流れるように構成される。図示された実施形態において、パスデバイス 108 は、供給電圧ノード 124 に接続されたソース端子、出力ノード 104 に接続されたドレイン端子、および増幅構成 106 の制御電圧ノード 120 に接続されたゲート端子（または制御端子）を有する P 型トランジスタ（例えば、P 型金属酸化半導体電界効果トランジスタ（PMOSFET または PMOS））として実現される。便宜上、以下に限定することなく、本発明ではパスデバイス 108 は、PMOS トランジスタと呼ばれる。例示的実施形態において、電圧分割構成 110 は、出力ノード 104 とフィードバック電圧ノード 122 との間に接続された第 1 抵抗素子 126 および、フィードバック電圧ノード 122 と電圧調整回路 100 における接地基準電圧を受けるように構成された第 2 ノード 130 との間に接続された第 2 抵抗素子 128 として実現される。結果として、ノード 120 における制御電圧が増加する時（例えば、フィードバック電圧は入力電圧基準より大きいから）、PMOS トランジスタ 108 の実効抵抗が増加し、それによって PMOS トランジスタ 108 を流れる電流は減少し、PMOS 108 に亘る電圧降下が増加し（例えばドレインとソース端子との間の電圧）、したがって、出力ノード 104 における出力電圧およびノード 122 におけるフィードバック電圧が減少する。逆にノード 120 における制御電圧が減少する時（例えば、フィードバック電圧は入力電圧基準を満たさない時）、PMOS トランジスタ 108 の実効抵抗が減少し、それによって PMOS トランジスタ 108 に亘る電圧降下が減少し、出力ノード 104 における出力電圧およびノード 122 におけるフィードバック電圧は、増加する。したがってノード 124 における供給電圧および出力ノード 104 における出力電流 (i_{out})（例えば、出力ノード 104 に接続された負荷に流れる電流）が一定である時、増幅構成 106 によって形成された負帰還、PMOS トランジスタ 108、および電圧分割構成 110 は、入力ノード 102 における入力電圧基準と等しくなるようにノード 122 におけるフィードバック電圧を強制し、したがって入力ノード 104 における出力電圧を一定値（入力電圧基準を一定にすることを仮定すれば）に調整する。図示された実施形態において、出力ノード 104 における出力は、

【0012】

【数 1】

$$V_{REF} \times \frac{R_1 + R_2}{R_2}$$

に等しい、ここで V_{REF} はノード 102 における入力電圧基準、 R_1 は第 1 抵抗素子 126 の抵抗、 R_2 は第 2 抵抗素子 128 の抵抗である。実際には、パスデバイスを流れる電流が出力ノード 104 における出力電流 (i_{out}) と実質的に等しくなるように、抵抗素子 126、128 の抵抗は、相対的に小さい。例示的実施形態において、出力ノード 104 とフィードバック電圧ノード 122 との間の電圧差を安定化させるために、容量性素子 127 は、出力ノード 104 とフィードバック電圧ノード 122 との間に接続される。

【0013】

図 1 に示すように、例示的実施形態において、増幅構成 106 は、トランジスタ 132

10

20

30

40

50

、134、136を備える入力トランジスタスタックおよびトランジスタ138、140、142を備えるフィードバックトランジスタスタックを含む。本発明で使用される「トランジスタスタック」、「積層トランジスタ」、「積み重ねられたトランジスタ」、またはその等価物に関して、電流がトランジスタ装置を直列に流れる（例えば、各トランジスタデバイスを流れる同一電流）ように1つのトランジスタデバイスの端子が別のトランジスタデバイスの端子に接続される構成を称することが理解されるべきである。入力トランジスタスタックは、接地電圧ノード130に接続されたソース端子と、第2N型トランジスタ134のソース端子に接続されたドレイン端子とを有する第1N型トランジスタ132（例えば、N型金属酸化半導体電界効果トランジスタ（NMOSFETまたはNMOS））を含む。ノード144に接続された第1トランジスタ132のゲート端子は、バイアス電圧を受取るように構成されたノード144に接続される。ノード144は、飽和領域において第1トランジスタ132にバイアスをかけ、トランジスタ132、134を流れる電流の量を制御する。第2トランジスタ134のドレイン端子は、制御電圧ノード120におけるP型トランジスタ136のドレイン端子に接続される。P型トランジスタ136のソース端子は、供給電圧ノード124に接続される。フィードバックトランジスタスタックは、接地電圧ノード130に接続されたソース端子と、別のN型トランジスタ140のソース端子に接続されたドレイン端子とを有するN型トランジスタ138を含む。トランジスタ138のゲート端子は、トランジスタ138が飽和領域においてバイアスされ且つトランジスタ132を流れる電流をミラーするように、バイアス電圧ノード144においてトランジスタ132のゲート端子に接続される。P型トランジスタ142のソース端子は、供給電圧ノード124に接続される。
10
20

【0014】

例示的実施形態において、P型トランジスタ136、142のゲート端子は、トランジスタ140のドレイン端子に接続されたノード146に接続される。トランジスタ140のゲート端子は、フィードバック電圧ノード122におけるフィードバック電圧がトランジスタ140のドレイン端子における電圧に影響する（例えば、トランジスタ140の実効抵抗を影響することによって）ように、フィードバック電圧ノード122に接続される。それによって、トランジスタ136、142のゲート端子における電圧が影響される。トランジスタ134のゲート端子は、入力電圧基準ノード102における入力電圧基準がトランジスタ134のドレイン端子における電圧に影響するように、入力電圧基準ノード102に接続される。それによって、トランジスタ136のドレイン端子における電圧が影響される。したがって、フィードバック電圧ノード122におけるフィードバック電圧が入力電圧基準ノード102における入力電圧基準よりも大きい時に、トランジスタ140のソース端子における電圧が増加し、それによって、トランジスタ134のソース端子における電圧を増加させ、したがって、トランジスタ134のゲート・ソース電圧は、減少する。トランジスタ134のゲート・ソース電圧の減少は、トランジスタ134、136を流れる電流を減少させ、それによって、ノード120における電圧を増加させる。したがって、フィードバック電圧ノード122におけるフィードバック電圧は、入力電圧基準ノード102における入力電圧基準と実質的に等しくなるまでパスデバイス108のチャネル抵抗を増加し、出力ノード104における電圧は減少する。同様に、フィードバック電圧ノード122における電圧が入力電圧基準を満たさない時、ノード120における電圧が減少する。したがって、フィードバック電圧ノード122におけるフィードバック電圧が入力電圧基準ノード102における入力電圧基準と実質的に等しくなるまで、パスデバイス108のチャネル抵抗が減少し、出力ノード104における電圧は、増加する。
30
40

【0015】

図1に示すように、例示的実施形態において、位相補償構成118は、トランジスタ134、140（またはトランジスタ132、138のドレイン端子）のソース端子との間に接続された容量性素子148、容量性素子148と電気的に並列であるトランジスタ134、140のソース端子との間に接続される抵抗素子150、容量性素子148および抵抗素子150と電気的に並列であるトランジスタ134、140のソース端子との間に
50

接続されたスイッチング素子 152 を含む。この点について、スイッチング素子 152 が起動またはオンにされる時、容量性素子 148 および抵抗素子 150 は、有効に短絡され、トランジスタ 134、140 のソース端子（またはトランジスタ 132、138 のドレイン端子）は、互いに有効に接続される。図示された実施形態において、スイッチング素子 152 は、トランジスタ 134 のソース端子（またはトランジスタ 132 のドレイン端子）に接続されたドレイン端子およびトランジスタ 140 のソース端子（またはトランジスタ 138 のドレイン端子）に接続されたソース端子を有する N 型トランジスタとして実現される。便宜上、限定ではなく、スイッチング素子 152 はトランジスタとして代替的に呼ばれる。

【0016】

10

例示的実施形態において、抵抗素子 150 の抵抗および容量性素子 148 の容量は、増幅構成 106 における伝達関数に追加的ゼロおよび極を導入することによって増幅構成 106 のユニティゲイン周波数における位相マージンを最適化するために選択される。下に詳述するとおり、トランジスタ 142 のゲート端子は低出力電流検出回路 116 に接続され、低出力電流検出回路 116 は、出力ノード 104 における出力電流は閾値を満たさないことを検出することに応答して、トランジスタ 152 を起動またはオンにするように、そして容量性素子 148 および抵抗素子 150 を短絡するように構成される。このように、増幅構成 106 のオープンループゲインを増加するために、低出力電流検出回路 116 が位相補償構成 118 を無効化し、したがって出力ノードに接続された電気的負荷が浮遊状態または低電流状態に動作する時、出力ノード 104 における出力電圧を調整するために増幅構成 106 の能力を改良する。下に詳述するとおり、出力ノード 104 における出力電流が閾値よりも大きいことを検出することに応答して、位相補償構成 118 をイネーブルするために低出力電流検出回路 116 は、トランジスタ 152 を停止またはオフにするように構成され、したがって、オープンループゲインを減少し、増幅構成 106 における位相マージンを増加する。

【0017】

20

図 1 に示されるように、第 1 カレントミラー構成 112 が、出力電流 (i_{out}) と比例する基準電流を取得するためにバスデバイス 108 を流れる電流をミラーするように構成された一対のトランジスタ 154、156 を含む。この点について、第 1 トランジスタ 154 は、供給電圧ノード 124 において PMOS トランジスタ 108 のソース端子に接続されたソース端子と、制御電圧ノード 120 において PMOS トランジスタ 108 のゲート端子に接続されたゲート端子とを有する P 型トランジスタとして実現される。このように、PMOS トランジスタ 108 を流れる電流は、PMOS トランジスタ 154 を通してミラーされる。PMOS トランジスタ 154 のドレイン端子は、トランジスタ 156 のドレイン端子における電圧がトランジスタ 160 のドレイン端子における電圧に実質的に等しくなるように、選択される。トランジスタ 160 は、カレントミラー構成 112 を介した基準電流をミラーするように構成される。それによって、トランジスタ 156、160 は、同じゲートバイアスとドレインバイアスを有し、トランジスタ 160 を介して得られる電流は、トランジスタ 156 および / またはカレントミラー構成 112 を介した電流を正確に複製する。NMOS トランジスタ 156 のゲート端子は NMOS トランジスタ 156 のドレイン端子に接続され、NMOS トランジスタ 156 のソース端子は接地電圧ノード 130 に接続される。

30

【0018】

40

例示的実施形態において、低出力電流検出回路 116 は、カレントミラー構成 112 を流れる基準電流すなわちトランジスタ 156 を流れる電流をミラーするように構成されたトランジスタ 160 を含む。この点について、トランジスタ 160 は、接地電圧ノード 130 におけるトランジスタ 156 のソース端子に接続されたソース端子と、トランジスタ 156 のゲート端子に接続されたゲート端子とを有する N 型トランジスタとして実現される。このように、NMOS トランジスタ 160 に亘る電圧（例えば、NMOS トランジスタのドレイン端子とソース端子との間の電圧）は、基準電流と比例的に関係する。NMOS

50

Sトランジスタ160のドレイン端子は、抵抗素子162を介して供給電圧ノード124に接続される。低出力電流検出回路116は、トランジスタ160のドレイン端子に接続された非反転入力、比較器164のための閾値電圧を受けるように構成されたノード166に接続された反転入力、およびN M O Sトランジスタ152のゲート端子に接続された出力を有する比較器164を含む。以下に詳述するとおり、抵抗素子162の抵抗およびノード166における閾値電圧は、出力ノード104における出力電流が下側閾値電流値を満たさない時、比較器164が論理ハイの電圧を生成するように選択される。例示的実施形態において、下側閾値電流値は、出力ノード104における出力電流のための値を示す。この値は、出力ノード104に結合した電気的負荷を示す。該電機的負荷は、浮遊状態で動作している、または比較的低い電流を消費している。他の実施形態において、下側閾値電流値は、パステバイス108を流れる電流を表すように選択されてもよい。そのような電流は、電圧調整構成105内の相互コンダクタンスを低減し、それによって、電圧調整構成105が出力ノード104における出力電圧を正確に調整できるように制限する。位相補償構成118を無効化し（例えば、容量性素子148および抵抗素子150を短絡することによって）且つ增幅構成106のオープンループゲインを増加させるために、比較器164の出力における論理ハイの電圧は、トランジスタ152を起動またはオンにする。例示的実施形態において、以下に詳細に示すように、比較器164は、ヒステリシス比較器として実現される。これによって、比較器164は、その出力において論理ローの電圧を生成せず、したがって出力ノード104における出力電流が上側閾値電流値よりも大きくなつたことが検出されるまで、位相補償構成118を有効化する。ここで、上側閾値電流値は、下側閾値電流値よりも大きい。
10
20

【0019】

図示された実施形態において、寄生補償回路114は、第1カレントミラー構成112を流れる基準電流をミラーするように構成された第2カレントミラー構成として実現される。寄生補償回路114は、フィードバック電圧ノード122と接地電圧ノード130との間に接続され、以下に詳述するとおり、出力ノード104と、出力ノード104に接続された電気的負荷との間の寄生抵抗を補償するためにフィードバック電圧ノード122におけるフィードバック電圧を増加するように構成される。寄生補償回路114は、カレントミラー構成112を流れる電流、すなわちトランジスタ156を流れる電流をミラーするように構成されたトランジスタ170を含む。この点について、トランジスタ170は、トランジスタ156のソース端子に接続されたソース端子と、トランジスタ156のゲート端子に接続されたゲート端子とを有するN型トランジスタとして実現される。N M O Sトランジスタ170のドレイン端子は、第2N M O Sトランジスタ172のソース端子に接続される。第2N M O Sトランジスタ172のドレイン端子は、フィードバック電圧ノード122に接続される。第2N M O Sトランジスタ172のゲート端子は、制御電圧ノード120におけるトランジスタ108、154のゲート端子に接続される。N M O Sトランジスタ170のドレイン端子は、第2N M O Sトランジスタ172のソース端子に接続される。第2N M O Sトランジスタ172のドレイン端子は、フィードバック電圧ノード122に接続される。第2N M O Sトランジスタ172のゲート端子は、制御電圧ノード120におけるトランジスタ108、154のゲート端子に接続される。
30
40

【0020】

例示的実施形態において、出力ノード104と電気的負荷との間の寄生抵抗による電圧降下を補償するために、P M O Sトランジスタ154の大きさ（例えば、幅および／または長）は、P M O Sトランジスタ108の大きさ対P M O Sトランジスタ154の大きさの比がnに等しくなるように選択される。ここで、nは、たとえば電圧分割構成110の第1抵抗素子126が有する抵抗（たとえば、 R_p ）と、出力電圧ノード104と該出力電圧ノード104に結合された電気的負荷との間の寄生抵抗（たとえば R_1 ）との比に等しい。このように、カレントミラー構成112を流れる電流は、nによって除算された出力ノード104における出力電流と等しい。したがって寄生補償回路114は、パステバイス108（例えば、フィードバック電圧ノード122を流れる電流）を流れる電流をi
50

i_{out} / n だけ増加させる。結果として、出力ノード 104において調整された電圧は、基準電流と第1抵抗素子 126 の抵抗（例えば、 $R_1 \times i_{out} / n$ ）の乗算によって増加される。 $R_1 \times i_{out} / n$ は、出力ノード 104 と出力ノード 104 に接続された負荷との間の寄生抵抗に亘る電圧降下に等しい。 n は第1抵抗素子 126 の抵抗と、寄生抵抗との比に等しいからである（たとえば、 $n = R_1 / R_p$ ）この点について、例示的実施形態において、PMOSトランジスタ 154 の大きさは構成可能または調整可能であり、したがって、比の n を所望量（例えば、 R_1 / R_p ）に調整することを可能にする。

【0021】

上述されるように、抵抗素子 162 の抵抗およびノード 166 における閾値電圧は、出力ノード 104 における出力電流が浮遊状態で動作される出力ノード 104 に接続された電気的負荷を表示する下側閾値を満たさないことを検出されたことに応答して比較器 164 が比較器の出力で論理ハイの電圧を生成するように選択される。この点について、下側閾値電流値は、通常動作状態で動作する時の電気的負荷における最低予測負荷電流（または出力電流）と出力ノード 104 に接続された電気的負荷が浮遊状態である時の予測負荷電流との間の値として選択され得る。例えば、下側閾値電流値 (i_{TH}) は、調整された出力電圧および調整された出力電圧における電気的負荷の浮遊状態電流によって消費され得る最低負荷電流を平均化することによって選択され得る。上記されるように、トランジスタ 160 は、抵抗素子 162 を流れる電流が基準電流と等しく（例えば、 n によって除算されたバスデバイス 108 を流れる出力電流）なるようにカレントミラー構成 112 を通して基準電流をミラーするように構成される。この点について、ノード 166 における閾値電圧および抵抗素子 162 の抵抗は、方程式

$$V_{TH} = V_{DD} - (R_3 \times i_{TH} / n)$$

を満たすように選択され、ここで、 V_{TH} はノード 166 における閾値電圧、 V_{DD} はノード 124 における供給電圧、 i_{TH} は下側閾値電流値、 n はトランジスタ 108 の大きさ対トランジスタ 154 の大きさ（例えば、 R_1 / R_p ）の比、 R_3 は抵抗素子 162 の抵抗である。上述のように、トランジスタ 160 のドレイン端子における電圧がノード 166 における閾値電圧より高く上昇する時（例えば、出力ノード 104 における出力電流において相当する減少に応答してトランジスタ 160 を流れる電流の減少によって）、比較器 164 がNMOSトランジスタ 152 をオンにする、および位相補償構成 118 を無効化するための論理ハイの出力電圧を生成する。トランジスタ 160 のドレイン端子における電圧がノード 166 における閾値電圧より低く下降するまで、比較器 164 が、NMOSトランジスタ 152 をオフにするおよび位相補償構成 118 をイネーブルするための論理低出力電圧を生成しない。上述の記載および下に詳述するように、1つまたは複数の実施形態にしたがって、比較器 164 は、NMOSトランジスタ 160 のドレイン端子における電圧がノード 166 における閾値電圧より低い第2閾値電圧より低く下降するまで、論理ハイの電圧出力を維持するヒステリシス比較器として実現される。或る実施形態において、ヒステリシス比較器 164 は、第2閾値電圧が、位相補償構成 118 がイネーブルされる時、電圧調整構成 105 が出力ノード 104 における出力電圧を調整することを可能にするためにバスデバイス 108 に十分な相互コンダクタンスを提供するバスデバイス 108 を流れる電流における上側閾値電流値より高い出力ノード 104 における出力電流を表示するように設計され得る。

【0022】

図 2 を参照して、例示的実施形態において、電圧調整回路 100 は、ゲイン調整工程 200 および下述されるような追加的タスク、機能および／または動作を実行するように構成される。説明のために、以下の記載は、図 1 に関連して上述に記載された素子を参照し得る。実際には、タスク、機能、および動作は、増幅構成 106、カレントミラー構成 112、低出力電流検出回路 116、および／または位相補償構成 118 のような記載されたシステムの異なる素子によって実効され得る。いかなる数の追加または代替タスクが含まれる可能性があり、本発明で詳細に記載されない追加的機能を有する包括的手順または工程に含まれる可能性があることを理解されるべきである。

10

20

30

40

50

【0023】

図2を参照し、引き続いて図1を参照すると、増幅構成106が出力ノード104における出力電圧を安定且つ正確な値に十分に調整することを可能するのに出力電流が十分である時に、相対的に低い出力電流で増幅構成106のオープンループゲインを改良し、且つ増幅構成106の位相マージンを改良するための出力ノード104における出力電流の大きさに基づき、増幅構成106のゲインおよび／または位相マージンを動的に調整するためにゲイン調整工程200は実行され得る。例示的実施形態において、ゲイン調整工程200は、出力電流が下側閾値より低いか否か検出または認識するために、出力電流をモニタまたは取得し、出力電流を下側閾値に比較すること(タスク202、204)によって開始する。上記されるように、パスデバイス108を流れる出力ノード104における出力電流は、出力電流と比例する基準電流を取得するためにカレントミラー構成112が出力電流をミラーすることによってモニタされる。低出力電流検出回路116のトランジスタ160はカレントミラー構成112を流れる基準電流をミラーし、比較器164は、上記されたようにトランジスタ160を流れる基準電流の大きさによって影響されたトランジスタ160に亘る得られた電圧をモニタする。比較器164は、トランジスタ160に亘って得られた電圧を、出力ノード104における出力電流の大きさの下側閾値を表示するノード166における閾値電圧と比較する。上記されるように、例示的実施形態において、ノード166における閾値電圧は、閾値電流値に基づき選択される。閾値電流は、浮遊状態で動作される出力ノード104に接続された負荷を示すか、または出力電流を示す。出力電流は、電圧調整構成105内の相互コンダクタンスを減少させえ、電圧調整構成105の能力を制限することによって、所望の精度で出力ノード104における出力電圧を調整する。

【0024】

例示的実施形態において、ゲイン調整工程200は、出力電流が下側閾値電流値を満たさないことを検出されることに応答して増幅構成における位相補償を無効化すること、または出力電流が下側閾値電流値よりも大きい間、位相補償構成を開始することによって続く。この点について、トランジスタ160に亘る電圧がノード166における閾値電圧よりも高いことが検出されることに応答して、比較器164は、スイッチング素子152を起動またはオンにするための論理ハイの出力電圧を生成し、したがって容量性素子148および抵抗素子150を実効的に短絡することによって位相補償構成118を無効化する。上記されるように、位相補償構成118が無効にされる時、増幅構成106のオープンループゲインが増加され、したがって、出力電流の減少によって生じるパスデバイス108の相互コンダクタンスの減少を保証し、そして、出力ノード104に接続された電気的負荷が浮遊状態または少ない電流を消費している状態あるいは電流を消費しない状態である時、電圧調整構成105は、出力ノード104における出力電圧をより正確に調整することを可能にする。さもなければ、トランジスタに亘る電圧はノード166における閾値電圧より低い間、比較器164は、スイッチング素子152を停止またはオフにするための論理ローの出力電圧を生成し、したがって位相補償構成118をイネーブルする。

【0025】

位相補償構成を無効化した後、例示的実施形態において、ゲイン調整工程200が監視を継続し、または出力電流を取得し、出力電流が上側閾値よりも高い時を検出または認識する(タスク208)。この点について、低出力電流検出回路116のトランジスタ160は、基準電流のミラーを続けてまたはカレントミラー構成112を流れる基準電流を取得し、位相補償構成118が無効にされている間、比較器164は、トランジスタ160に亘って得られた電流の監視を継続する。上記されるように、トランジスタ160に亘る電圧(すなわち、トランジスタ160のドレイン端子における電圧)がノード166における閾値電圧より低い第2閾値電圧より低く降下するまで比較器164が、論理ハイの電圧出力を維持する(したがってスイッチ素子152をオンにすることを維持する)ように、比較器164は、ヒステリシス比較器として実現されることが望ましい。この点について、比較器164は、下側閾値が出力ノード104における出力電流を表示するように設

10

20

30

40

50

計されうる。出力ノード 104 における出力電流は、パスデバイス 108 のための相互コンダクタンスを提供するために必要な出力電流のための上側閾値よりも大きい。相互コンダクタンスを提供するために必要な出力電流は、位相補償構成 118 が有効化されているときに、所望の精度で出力ノード 104 における出力電流を電圧調整構成 105 が調整することを可能にする閾値よりも大きい。或る実施形態において、下側閾値電圧が、浮遊状態で動作するよりも負荷が電流を消費する通常動作状態で動作される出力ノード 104 に接続された負荷を表示するように、比較器 164 は、設計され得る。

【0026】

出力電流が上側閾値電流値よりも高いことが検出されることに応答して、ゲイン調整工程 200 は、増幅構成のために位相補償をイネーブルすることによって続く（タスク 210）。この点について、トランジスタ 160 に亘る電圧が比較器 164 によって供給された下側閾値電圧よりも低いことが検出されたことに応答して、比較器 164 は、スイッチング素子 152 を停止またはオフにするための論理ローの出力電圧を生成し、したがって位相補償構成 118 をイネーブルする。位相補償構成 118 がイネーブルされる時、増幅構成 106 のオープンループゲインが減少され、増幅構成 106 の位相マージンが増加され、したがって出力ノード 104 における出力電圧の安定性が改良される。例示的実施形態において、タスク 202、204、206、208、210 によって規定されたループが、出力ノード 104 に接続された負荷が浮遊状態（すなわち、出力電流が下側閾値より低く降下する）で動作する時はいつも、位相補償構成 118 は、無効化される。そして出力ノード 104 に接続された負荷は電流を消費する通常動作状態で動作する時はいつも、イネーブルされるように電圧調整回路 100 の動作を通して繰り返す。

10

20

【0027】

図 3 を参照し、引き続く図 1～図 2 を参照すると、例示的実施形態において、集積回路、プロセッサ、マイクロプロセッサ、コントローラ、マイクロコントローラ、デジタル信号プロセッサ、センサ、増幅器、送受信機回路、または別の適している電子部品のような電子デバイス 304 に調整された電圧を供給するために、図 1 の電圧調整回路 100 は、電気的システム 300 に利用され得る。図 3 は、説明および記載のための電気的システム 300 の簡略された形態である。実際の実施形態は、追加的機能および特徴を提供するデバイスと部品を含む可能性があり、および／または電気的システム 300 がより大きな電気的システムの一部である可能性があることを理解されるべきである。したがって、本発明に記載された事項は任意の電子デバイス 304 に限定されることを意図しないと理解されるべきである。

30

【0028】

例示的実施形態において、電気的システム 300 は、上記されるように、電圧調整回路 100 の入力ノードに安定および正確な DC 入力電圧基準を供給するように構成された電圧基準構成 302 を含む。電圧基準構成 302 は、電圧調整回路 100 が電子デバイス 304 における所望に調整された供給電圧に相当する出力ノード 104 における調整された電圧を供給するように入力電圧基準を調整することを可能にするように構成される。例示的実施形態において、電子デバイス 304 は、電圧調整回路 100 から調整された供給電圧を受けるために電圧調整回路 100 の出力ノード 104 に接続された調整供給電圧を受けるように構成された入力を含む。このように、電圧調整回路 100 は、調整された供給電圧を電子デバイス 304 に供給する。上記されるように、電子デバイス 304 が浮遊状態または電流を実質的に消費しない状態で動作する時に、増幅構成 106 のオープンループゲインを増加するために低出力電流検出回路 116 は、位相補償構成 118 を無効化し、したがって電子デバイス 304 に供給された供給電圧を調整するために電圧調整回路 100 の能力が改良される。

40

【0029】

説明が煩雑にならないように、電圧調整器、直線器、低ドロップアウト調整器、アナログ回路設計、電解効果トランジスタ（FET）、およびシステムの他の機能態様（およびシステムの個別動作部品）に関する従来技術の詳細は、記載されない。さらに本明細書に

50

含まれる各種の図に示す接続線は、各種要素間の機能的関係および／または物理的または論理的結合の例を表すものとする。実際の実施形態には、多数の代替のまたは追加的な機能的関係、物理的接続、または論理的接続が存在しうることに留意されたい。特に明記しない限り、「第1」及び「第2」等の用語は、そのような用語が述べる要素間を任意に区別するために用いる。従って、これらの用語は、必ずしもそのような要素の時間的な又は他の優先順位付けを示そうとするものではない。

【0030】

本明細書で使用されるように、「ノード」は、所与の信号、ロジックレベル、電圧、データパターン、電流、または量が、そこに存在する、任意の内部または外部基準点、接続点、接合部、信号線、導電性要素などを意味する。さらに1つの物理要素によって、2つ以上のノードが実現されてもよい（また、共通ノードで受信されるかまたは出力されても、2つ以上の信号が、多重化されるか、変調されるか、または、その他の方法で識別されることができる）。

【0031】

以下の説明は、「接続される（connected）」または「結合される（coupled）」ノードまたは特徴部を指す。本明細書で使用されるように、特に明示的に述べなければ、「結合される」は、1つのノード／特徴部が、必ずしも物理的にではなく、別のノード／特徴部に直接的にまたは間接的に結合することを意味する。本明細書で使用されるように、特に明示的に述べなければ、「接続される」は、1つのノード／特徴部が、別のノード／特徴部に直接的に接続することを意味する。特に、スイッチは、複数のノードに「結合され」てもよいが、それらのノードの全てが、常に、互いに「接続される」必要はない。スイッチは、スイッチの状態に応じて、異なるノードを互いに接続してもよい。さらに、本明細書に示す種々の略図は、要素のある例の配置構成を示すが、さらなる介在する要素、デバイス、特徴部、またはコンポーネントが、実際の実施形態で存在してもよい（所与の回路の機能が悪い影響を及ぼさないと仮定する）。

【0032】

最後に、電圧調整回路のための装置が提供された。電圧調整回路は、入力ノードにおける入力電圧基準に基づいて出力ノードで調整された出力電圧を供給するように構成された電圧調整構成、該電圧調整構成に接続された位相補償加工性、該位相補償構成に接続された検出回路を含む。位相補償構成は、電圧調整構成の位相マージンを増加するように構成され、検出回路は、閾値より低い出力ノードにおける出力電流を検出されることに応答して位相補償構成を無効化するように構成される。或る実施形態によると、電圧調整構成は、出力ノードと第1ノードとの間に接続された第1トランジスタを有し、第1ノードから第1トランジスタを介して出力ノードに流れる電流によって影響されるように、位相補償構成を無効化するように構成されている。別の実施形態において、電圧調整回路は、第1トランジスタに接続されたカレントミラー構成を含み、第1カレントミラー構成は、第1カレントミラー構成を流れる基準電流を取得するために第1ノードから出力ノードに第1トランジスタを流れる電流をミラーするように構成される。ここで、検出回路は、第1カレントミラー構成に接続され、閾値を満たさない出力ノードにおける出力電流を表示する基準電流を検出することに応答して位相補償構成を無効化するように構成される。さらなる実施形態において、検出回路は、基準電流をミラーするように構成された第2トランジスタを含む。基準電流は、電圧が参照電流によって影響され、且つ比較器が第1信号を生成するように構成されるように、第1カレントミラー構成を介して流れる。第1信号は、第2トランジスタに亘る電圧が閾値よりも小さいことを示す場合に位相補償構成を無効化する。閾値電圧は、閾値よりも小さい出力ノードにおける出力電流を示す。またさらなる実施形態において、電圧調整回路が、位相補償構成と電気的に並列に構成されたスイッチング素子を含み、ここで、位相補償構成を無効化するために、比較器によって生成された第1信号は、スイッチング素子を起動する。別の実施形態において、比較器は、第2トランジスタに亘る電圧が閾値電圧よりも低い時、位相補償構成をイネーブルする第2信号を生成するように構成される。またさらなる実施形態において、電圧調整回路は、第1カレ

10

20

30

40

50

ントミラー構成を流れる基準電流をミラーするように構成された第2カレントミラー構成を含み、ここで第2カレントミラー構成は、電圧調整構成に接続され、基準電流によって影響されるように調整された出力電圧を増加するように構成される。別の実施形態では、電圧調整構成は、出力ノードと第1ノードとの間に接続されたバスデバイスであって、出力電流が第1ノードから出力ノードにバスデバイスを流れる電流の少なくとも一部を含む、バスデバイスと；出力ノードと第2ノードとの間に説明された電圧分割構成であって、電圧分割構成はフィードバック電圧ノードでフィードバック電圧を確立するように構成される、電圧分割構成と；入力ノード、フィードバック電圧ノード、およびバスデバイスに接続された増幅構成とを含み、ここで、増幅構成は、フィードバック電圧と入力電圧基準との間の差に基づきバスデバイスを流れる電流を調整するように構成される。また別の実施形態において、検出回路は、閾値を満たさない出力ノードにおける出力電流を検出することに応答して位相補償構成をイネーブルするように構成される。また別の実施形態では、電圧調整回路を含むシステムは、調整された出力電圧を受けるために電圧調整回路の出力ノードに接続された電子デバイスを備える。

【0033】

別の実施形態にしたがって、電圧調整回路のための装置が提供される。該電圧調整回路は、入力電圧基準を受けるように構成された入力ノードと、出力ノードと、第1ノードと、第2ノードと、第1ノードと出力ノードとの間に接続された第1トランジスタを有する。第1トランジスタは、第1ノードから出力ノードに第1トランジスタを流れる出力ノードにおける出力電流を可能にするように構成される。電圧調整回路はさらに、第1トランジスタと、出力ノードと第2ノードとの間に接続された電圧分割構成を備える。電圧分割構成は、フィードバック電圧ノードにおけるフィードバック電圧を確立するように構成される。電圧調整回路はさらに、入力ノードと、フィードバック電圧ノードと、第1トランジスタとに接続された増幅構成を備える。増幅構成および第1トランジスタは、フィードバック電圧と入力電圧基準との間の差に基づき出力ノードにおける出力電圧を調整するよう協力的に構成される。電圧調整回路はさらに、増幅構成に接続される位相補償構成と、位相補償構成に接続された検出回路と、を含む。検出回路は、閾値を満たさない出力電流を検出することに応答して位相補償構成を無効化するように構成される。或る実施形態において、位相補償構成は、増幅構成のユニティゲイン周波数における位相マージンを最適化するように構成される。別の実施形態において、電圧調整回路はさらに、位相補償構成と電気的に並列に構成された第2トランジスタを備える。検出回路は、閾値を満たさない出力電流を検出することに応答して、第2トランジスタをオンにするように構成される。さらなる実施形態において、電圧調整回路は、基準電流を取得するために出力電流を第1トランジスタを通してミラーするように構成される第1カレントミラー構成を含む。検出回路は、第1カレントミラー構成を通して基準電流をミラーするように構成された第3トランジスタを含む。電圧調整回路はさらに、基準電流によって影響された第3トランジスタに亘る電圧と、第1入力、第2入力、および出力を有する比較器を含む。第1入力は、第3トランジスタに亘る電圧と、第1入力、第2入力、および出力を有する比較器を含む。第1入力は、第3トランジスタに亘る電圧を受けるように構成される。第2入力は、閾値を満たさない出力電流を表示する比較器基準電圧を受けるように構成される。出力は、第2トランジスタのゲート端子に接続される。比較器は、第3トランジスタに亘る電圧は比較器基準電圧より高い時、第2トランジスタをオンにするための出力における出力信号を生成するように構成される。別の実施形態によると、第1ノードは供給電圧を受けるように構成され、第2ノードは接地電圧を受けるように構成され、第1トランジスタは、第1ノードに接続されたソース端子および出力ノードに接続されたドレイン端子を含み、増幅構成は、入力ノードに接続されたゲート端子および第1トランジスタのゲート端子に接続されたドレイン端子を有する第2トランジスタと、第2トランジスタのドレイン端子および第1ノードに接続されたソース端子を有する第3トランジスタと、フィードバック電圧ノードに接続されたゲート端子を有する第4トランジスタとを備える。第4トランジスタはさらに、第3トランジスタのゲート端子に接続されたドレイン端子を備える。位相補償構成は、第2トランジスタのソース端子と第4トランジスタのソース端子との間に接続された容量性

10

20

30

40

50

素子、および第2トランジスタのソース端子と第4トランジスタのソース端子との間に接続された抵抗素子を備える。さらなる実施形態において、電圧調整回路はさらに、第2トランジスタのドレイン端子に接続されたドレイン端子および第4トランジスタのソース端子に接続されたソース端子を有する第5トランジスタをさらに備える。検出回路は、位相補償構成を無効化するために出力電流が閾値を満たさないことを検出することに応答して、第5トランジスタをオンにするように構成される。またさらなる実施形態において、電圧調整回路は、基準電流を取得するために第1トランジスタを流れる出力電流をミラーするように構成される第1カレントミラー構成を含む。検出回路は、第2ノードに接続されたソース端子および基準電流をミラーするために第1カレントミラー構成に接続されたゲート端子を有する第6トランジスタを含む。電圧調整回路はさらに、非反転入力と、反転入力と、出力とを含み、非反転入力は、第6トランジスタのドレイン端子に接続され、反転入力は、閾値を満たさない出力電流を表示する電圧を受けるように構成され、出力は、第5トランジスタのゲート端子に接続される。

【0034】

別の例示的実施形態において、入力電圧基準に基づき出力ノードにおける出力電圧を調整するように構成された電圧調整構成を含む電圧調整回路を動作するための方法が提供される。方法は、出力ノードにおける出力電流をモニタするステップ、出力電流を閾値に比較するステップ、および出力電流が閾値を満たさないことが検出されることに応答して電圧調整構成に接続された位相補償構成を無効化するステップを含む。位相補償構成は、イネーブルされたとき、電圧調整構成の位相マージンを増加するように構成される。或る実施形態において、出力電流をモニタするステップは、基準電流を取得するために出力電流をミラーするステップを含む。出力電流を閾値に比較するステップは、第1トランジスタと共に基準電流をミラーするステップおよび第1トランジスタに亘る電圧を閾値以下の出力電流を表示する基準電圧に比較するステップを含む。第1トランジスタに亘る電圧は、基準電流によって影響される。位相補償構成を無効化するステップは、第1トランジスタに亘る電圧が基準電圧よりも高い時、位相補償構成を無効化するステップを含む。別の実施形態において、位相補償構成を無効化するステップは、位相補償構成と電気的に並列に構成されたスイッチング素子を起動するステップを含む。

【0035】

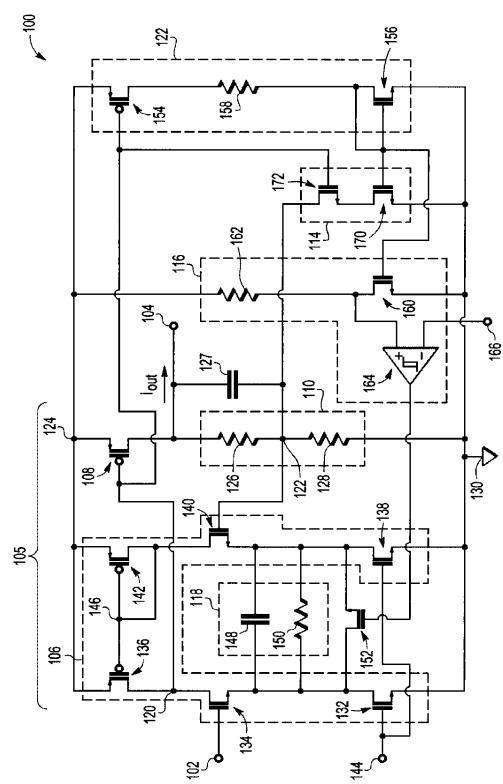
前述の詳細な説明は、具体的な例示の実施の形態を参照しながら本発明を説明するものである。しかし、添付の特許請求の範囲で定義された本発明の範囲から逸脱することなく様々な修正及び変更が加えられ得ることが理解されよう。詳細な説明及び添付図面は限定するものではなく、単に例と見なされるべきであり、そのような修正又は変更は、すべて本明細書で説明され定義された本発明の範囲内に入るものとする。以上、具体的な実施例に関して、利益、他の利点、及び問題の解決方法について説明してきたが、利益、利点、問題の解決方法、及びこうした利益、利点、問題の解決方法をもたらし、又はより顕著なものにする構成要素は、全ての請求項又は何れかの請求項において重要とされ、要求され、不可欠とされる機能や構成要素であると見なされるべきではない。

10

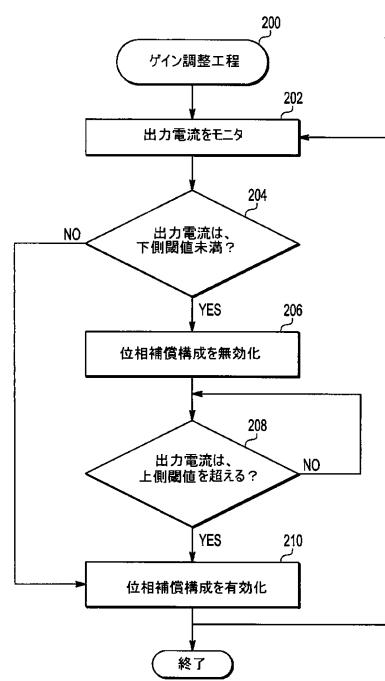
20

30

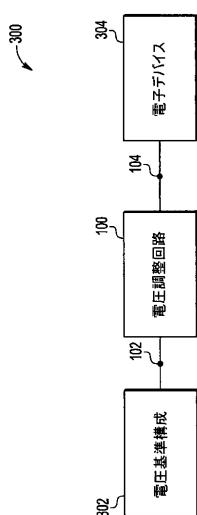
【図1】



【図2】



【図3】



フロントページの続き

(72)発明者 ルイス ジェイ. ブリオネス
アメリカ合衆国 85248 アリゾナ州 チャンドラー ダブリュ. マルベリー ドライブ 1
771

審査官 桑 原 恭雄

(56)参考文献 特開2011-013726 (JP, A)
特開2007-172222 (JP, A)

(58)調査した分野(Int.Cl., DB名)

G 05 F 1 / 56
G 05 F 3 / 26