

(43) 国際公開日
2007 年 11 月 29 日 (29.11.2007)

PCT

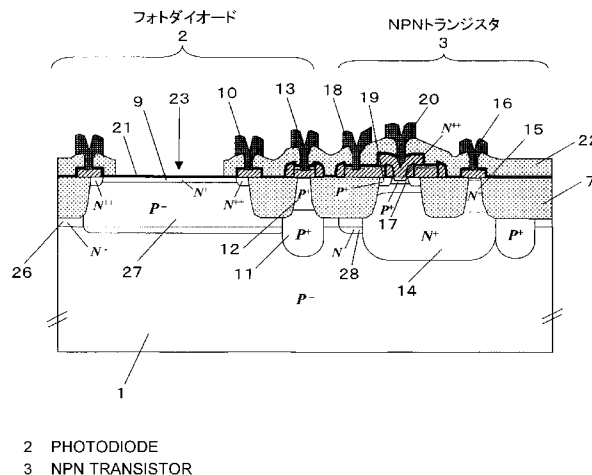
(10) 国際公開番号
WO 2007/135809 A1

- (51) 国際特許分類:
H01L 31/10 (2006.01) H01L 27/06 (2006.01)
H01L 27/14 (2006.01) H01L 21/8222 (2006.01)
- (21) 国際出願番号: PCT/JP2007/057422
- (22) 国際出願日: 2007 年 4 月 3 日 (03.04.2007)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2006-143986 2006 年 5 月 24 日 (24.05.2006) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真 1 0 0 6 番地 Osaka (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてののみ): 岩井 誉貴 (IWAI, Takaki).
- (74) 代理人: 岡田 和秀 (OKADA, Kazuhide); 〒5300022 大阪府大阪市北区浪花町 1 3 番 3 8 号 千代田ビル北館 Osaka (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: OPTICAL SEMICONDUCTOR DEVICE AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 光半導体装置およびその製造方法



(57) Abstract: An optical semiconductor device is provided with a low concentration p-type silicon substrate (1); a low impurity concentration n-type epitaxial layer (second epitaxial layer) (26); a p-type low impurity concentration anode layer (27); a high concentration n-type cathode contact layer (9); a photodiode (2) constituted by the anode layer (27) and the cathode contact layer (9); and an NPN transistor (3) formed on the n-type epitaxial layer (26). The anode can be substantially completely depleted by having the peak of the impurity concentration of the anode layer (27) close to the interface between the silicon substrate (1) and the n-type epitaxial layer (26). Therefore, high speed and high light receiving sensitivity characteristics can be obtained, and a depletion layer can be stably formed in the anode by suppressing influence of auto-doping from the peripheral embedding layer. Thus, a photodiode having the high speed and high light receiving sensitivity for short wavelength light and a high speed transistor can be mixedly mounted on the same semiconductor substrate.

(57) 要約: 低濃度の p 型のシリコン基板 1 と、低不純物濃度の n 型エピタキシャル層 (第 2 のエピタキシャル層) 26 と、p 型の低不純物濃度のアノード層 27 と、高濃度 n 型のカソードコンタクト層 9 と、アノード層 27 とカソードコンタクト層 9 で構成されたフォトダイオード 2 と、n 型エピタキシャル層 26 上に形成された NPN トランジスタ 3 を備え、アノード層 27 の不純物濃度のピークをシリコン基板

[続葉有]

WO 2007/135809 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

1とn型エピタキシャル層26の界面付近にすることにより、アノードをほぼ完全空乏化することが可能となるため、高速・高受光感度特性が実現できることに加え、周辺部の埋め込み層からのオートドーピングの影響を抑制して、アノードに空乏層が安定して形成できる。これにより、同一の半導体基板上において、短波長光に対して高速・高受光感度のフォトダイオードと高速のトランジスタの混載を実現する。

明 細 書

光半導体装置およびその製造方法

技術分野

[0001] 本発明は、受光素子とトランジスタが同一基板上に混載された光半導体装置およびその製造方法に関する。

背景技術

[0002] 受光素子は、光信号を電気信号に変換する素子であり、様々な分野で用いられている。中でもCD (Compact Disc) やDVD (Digital Versatile Disc) 等の光ディスクの分野において、光ディスク上に記録されている信号を読み書きする光ヘッド装置(光ピックアップ)のキーデバイスとして重要である。近年、高性能化・高集積化の要請により、受光素子であるフォトダイオードと、バイポーラトランジスタ、抵抗、容量等の各種電子素子を同一基板上に混載したいわゆる光電子集積回路(OEIC: Opto-Electronic IC)が開発されている。また、このOEICにおいては、高受光感度・高速・低ノイズ特性を有する受光素子と、高速・高性能のバイポーラトランジスタとの混載が要求されている。特に最近は、光ディスクの大容量化に伴って、青色半導体レーザ(波長405nm)を光源として採用したBlu-ray (BD) やHD-DVDの製品化が開始され、青色半導体レーザに対応した短波長領域で高速・高受光感度特性を有するOEICが要請されている。

[0003] 以下、従来の光半導体装置について説明する。

[0004] 図11は、従来構造による光半導体装置(OEIC)の概略断面図である。図示の例では、半導体基板としてシリコン基板、バイポーラトランジスタとしてダブルポリシリコンエミッタ型の高速NPNTランジスタ、受光素子としてpinフォトダイオードが同一基板上に構成されたOEICを例示するものである。

[0005] 1は低濃度p型のシリコン基板、2はシリコン基板1上に形成されたフォトダイオード、3はシリコン基板1上に形成されたNPNTランジスタである。4はシリコン基板1上に形成された高濃度のp型埋め込み層、5はp型埋め込み層4上に形成された低濃度のp型エピタキシャル層、6はp型エピタキシャル層5上に形成されたn型エピタキシャル

層である。7はn型エピタキシャル層6上に形成されたLOCOS分離層である。

[0006] フォトダイオード2において、8はn型エピタキシャル層6により構成されたカソード層、9はカソード層8上に形成されたカソードコンタクト層、10はカソードコンタクト層9上に選択的に形成されたカソード電極、11はp型エピタキシャル層5とn型エピタキシャル層6の界面に形成されたp型のアノード埋め込み層、12はアノード埋め込み層11上に形成されたp型のアノードコンタクト層、13はアノードコンタクト層12上に形成されたアノード電極である。

[0007] NPNトランジスタ3において、14はp型エピタキシャル層5とn型エピタキシャル層6の界面に形成された高濃度n型のコレクタ埋め込み層、15はコレクタ埋め込み層14上に選択的に形成された高濃度n型のコレクタコンタクト層、16はコレクタコンタクト層15上に形成されたコレクタ電極、17はコレクタ埋め込み層14上のn型エピタキシャル層6中に選択的に形成されたp型のベース層、18はベース層17と接続されたベース電極、19はベース層17上に選択的に形成された高濃度n型のエミッタ層、20はエミッタ層19上に形成されたエミッタ電極である。

[0008] 21はn型エピタキシャル層6上に形成された第1の絶縁膜、22は第1の絶縁膜21上に形成された第2の絶縁膜である。23はフォトダイオード2の第2の絶縁膜22を選択的に除去して第1の絶縁膜21を露出させた受光面であり、第1の絶縁膜21の膜厚・屈折率を最適化することにより、入射光の界面での反射を低減するために反射防止膜が設けられる。

[0009] 以上のように構成されたOEICについて、以下にその動作を説明する。

[0010] 受光面23から光が入射し、カソード層8とアノードであるn型エピタキシャル層6で吸収され、電子・正孔対が発生する。このとき、フォトダイオード2に逆バイアスを印加すると、低不純物濃度であるp型エピタキシャル層5側に空乏層が広がる。空乏層近傍で発生した電子・正孔対のうち、電子はカソードコンタクト層9に、正孔はアノード埋め込み層11に、それぞれ拡散とドリフトにより分離されて到達し、キャリアがそれぞれカソード電極10と、アノード電極13より光電流として取り出される。この光電流を受けて、NPNトランジスタ3やシリコン基板1上に混載された抵抗素子や容量素子により形成された電子回路により、増幅や信号処理されて出力され、光ディスクの記録や再生

信号となる。

- [0011] この構造では、フォトダイオード2における光電流は、拡散電流成分とドリフト電流成分に大きく分けられる。拡散電流は少数キャリアの空乏層端までの拡散に支配されるため、空乏層内の電界によるドリフト電流成分に比べて応答速度が遅く、さらに空乏層に到達するまでに再結合するキャリアも存在する。つまり、拡散電流はフォトダイオード2の周波数特性および受光感度を低下させる要因となる。特に光の波長が短くなるに従って、表面付近で吸収されるキャリアの割合が高くなる。例えばシリコンの場合、DVDの光源として用いられる波長650nmの赤色光では、95%のキャリアの吸収率を得るには約11 μm の深さが必要であるが、波長405nmの青色光では深さ0.8 μm で同等の吸収率を得ることができるため、短波長光はシリコン表面付近の影響が顕著である。
- [0012] この課題を解決するために別途提案されている光半導体装置について説明する。図12は、別途提案のOEICの概略断面図である。
- [0013] 図12において、24は高濃度p型埋め込み層4上に形成された低濃度の第1のp型エピタキシャル層、25は第1のp型エピタキシャル層24上に形成された低濃度の第2のp型エピタキシャル層である。24、25ともにp型エピタキシャル層となっているところが図11と異なる。その他の構成は、図11の従来例の構成と同一である。
- [0014] この構成では、受光素子は、カソードコンタクト層9によるカソードと、第1のp型エピタキシャル層24および第2のp型エピタキシャル層25からなるアノードにより構成される。図11の構成と比べて、カソード層が十分に薄いものになっている。
- [0015] 受光面23より光が入射すると、カソードコンタクト層9と第1のp型エピタキシャル層24および第2のp型エピタキシャル層25で吸収され、電子・正孔対が発生する。電子はカソードコンタクト層9に、正孔はアノード埋め込み層11に、それぞれ拡散とドリフトにより分離されて到達し、光電流が発生する。例えば、カソードコンタクト層9の深さを0.3 μm 以下とし、第1のp型エピタキシャル層24および第2のp型エピタキシャル層25の濃度を $1 \times 10^{14} \text{cm}^{-3}$ 程度にすると、アノードの空乏層の伸びは約10 μm 程度となり、特にDVDで用いられる波長650nmより短波長の光では、空乏層中で入射光がほとんど吸収されることになる。つまり、光電流は拡散電流成分が低下しドリフト電

流成分が支配的となるため、フォトダイオード2の高速応答が可能となる。

特許文献1:特開2005-183722号公報(第5-6頁、第1図)

特許文献2:特開2001-284629号公報(第7-8頁、第1-2図)

発明の開示

発明が解決しようとする課題

[0016] しかしながら、図12の構造ではアノード内には、第1のp型エピタキシャル層24と第2のp型エピタキシャル層25との間に低不純物濃度の界面が存在する。そのため、第2のp型エピタキシャル層25の成長時に、フォトダイオード2の周辺にあるアノード埋め込み層11やコレクタ埋め込み層14からのオートドーピングの影響があり、界面の不純物濃度にばらつきが生じ、最悪の場合には、n型に反転する可能性もある。反転した場合は、アノード内にpn接合が生じてしまい、光吸収によって生成したキャリアが再結合し、光電流に寄与しなくなるので、フォトダイオード2の周波数特性および受光感度を低下させる要因となる。

[0017] 本発明は、上記従来技術の問題点を解決するもので、青色光に対して高受光感度・高速の受光素子と高速のトランジスタとを同一基板上に搭載した光半導体装置を提供することを目的とする。

課題を解決するための手段

[0018] (1) 本発明による第1の光半導体装置は、受光素子とトランジスタとが同一基板上に混載された光半導体装置であって、

第1の導電型の半導体基板上に形成された第2の導電型の低不純物濃度の第2のエピタキシャル層と、

前記第2のエピタキシャル層に選択的に形成された第1の導電型の低不純物濃度の第1の拡散層と、

前記第1の拡散層の上部に形成された第2の導電型の高不純物濃度の第2の拡散層とを備え、

前記受光素子は前記第1の拡散層と前記第2の拡散層で構成され、前記トランジスタは前記第2のエピタキシャル層内に形成されており、

前記第1の拡散層は前記半導体基板と前記第2のエピタキシャル層の界面に不純

物濃度のピークを持つことを特徴とするものである。

[0019] ここで、第2のエピタキシャル層における「第2の」は、後述の第1のエピタキシャル層、第2のエピタキシャル層をもつ(2)の構成の第2のエピタキシャル層に対応させるために用いている。

[0020] また、この第1の半導体装置に対応する本発明の光半導体装置の製造方法は、受光素子とトランジスタとが同一基板上に混載された光半導体装置の製造方法であって、

第1の導電型の半導体基板上に第2の導電型の低不純物濃度の第2のエピタキシャル層を形成する工程(a)と、

前記半導体基板と前記第2のエピタキシャル層の界面に不純物濃度のピークを持つように、イオン注入により前記第2のエピタキシャル層内に第1の導電型の低不純物濃度の第1の拡散層を選択的に形成する工程(b)と、

前記第1の拡散層の上部に第2の導電型の高不純物濃度の第2の拡散層を形成する工程(c)と、

前記第2のエピタキシャル層内に前記トランジスタを選択的に形成する工程(d)とを備え、

前記第1の拡散層と前記第2の拡散層とで前記受光素子を構成するものである。

[0021] ここで、第1の導電型、第2の導電型は、半導体のp型、n型のいずれか一方を指す。第1の導電型がp型るとき、第2の導電型はn型であり、逆に、第1の導電型がn型るとき、第2の導電型はp型である(以下同様)。

[0022] この構成によれば、受光素子における拡散層を、第1の導電型の低不純物濃度の第1の拡散層と、第1の拡散層の上部に形成された第2の導電型の高不純物濃度の第2の拡散層との組み合わせとしている。よって、第2の拡散層の深さを浅くすることにより、受光素子部をほぼ完全に空乏化することが可能となり、光電流はドリフト電流に支配されるので、キャリアの再結合割合が減少し、高速・高受光感度が可能となる。

[0023] さらに、第1の拡散層は半導体基板と第2のエピタキシャル層の界面付近に不純物濃度のピークがあり、不純物濃度は第1の拡散層の側に十分空乏層が伸びるように

設定されている。この界面に不純物濃度のピークがあるため、第2のエピタキシャル層の成長時に発生する、受光素子の周辺部のアノード・コレクタの埋め込み層からのオートドーピングの影響を低減でき、所望の濃度プロファイルを安定して実現することができる。

[0024] また、上記の第1の半導体装置に対応する本発明の別の光半導体装置の製造方法として、受光素子とトランジスタとが同一基板上に混載された光半導体装置の製造方法であって、

第1の導電型の半導体基板の上部に、この半導体基板の表面に不純物濃度のピークを持つ第1の導電型の低不純物濃度の第2の埋め込み層を選択的に形成する工程(a)と、

前記半導体基板上に第2の導電型の低不純物濃度の第2のエピタキシャル層を形成する工程(b)と、

前記第2のエピタキシャル層の上部に前記第2の埋め込み層に接合する第2の導電型の高不純物濃度の第2の拡散層を形成する工程(c)と、

前記第2のエピタキシャル層内に前記トランジスタを選択的に形成する工程(d)とを備え、

前記第2の埋め込み層と前記第2の拡散層とで前記受光素子を構成するものもある。

[0025] (2)また、本発明による第2の光半導体装置は、受光素子とトランジスタとが同一基板上に混載された光半導体装置であって、

第1の導電型の半導体基板上部に形成された第1の導電型の高不純物濃度の埋め込み層と、

前記埋め込み層上に形成された第1の導電型の低不純物濃度の第1のエピタキシャル層と、

前記第1のエピタキシャル層上に形成された第2の導電型の低不純物濃度の第2のエピタキシャル層と、

前記第2のエピタキシャル層に選択的に形成された第1の導電型の低不純物濃度の第1の拡散層と、

前記第1の拡散層の上部に形成された第2の導電型の高不純物濃度の第2の拡散層とを備え、

前記受光素子は前記第1の拡散層と前記第2の拡散層で構成され、前記トランジスタは前記第2のエピタキシャル層内に形成されており、

前記第1の拡散層は前記第1のエピタキシャル層と前記第2のエピタキシャル層の界面に不純物濃度のピークを持つことを特徴とするものである。

[0026] この構成によれば、半導体基板と第1の導電型の高不純物濃度の埋め込み層との間にポテンシャルバリアが形成されるため、半導体基板中で吸収された光はポテンシャルバリアを越えることができずに再結合し、拡散電流成分を低減できる。また、第1の導電型の低不純物濃度の第1のエピタキシャル層と第1の導電型の低不純物濃度の第1の拡散層を、低濃度でかつ適当な膜厚を選択することによって完全空乏化が実現でき、より高速化を図ることができる。また、第1の導電型の高不純物濃度の埋め込み層の存在によって、キャリアがアノード側へ移動する場合のシリーズ抵抗が低減され、さらなる高速化に繋がる。

[0027] (3)また、上記(1)、(2)の構成において、さらに、前記第2のエピタキシャル層内に選択的に形成された第2の導電型のウェル層を備え、前記トランジスタは前記ウェル層内に形成されることが好ましい。この構成において、第2の導電型のウェル層の濃度を、第2の導電型の低不純物濃度の第2のエピタキシャル層より高濃度にするにより、トランジスタのコレクタ抵抗が低減し、さらに高速特性を実現できる。

[0028] (4)さらに、前記第2のエピタキシャル層内に選択的に形成された第1の導電型のウェル層を備え、前記トランジスタは前記ウェル層内に形成されていることが好ましい。これは、バーティカルトランジスタに有効である。この構成において、第1の導電型の低不純物濃度の第1の拡散層とは別に第1の導電型のウェル層を形成すると、第1の導電型のウェル層を高濃度化できるため、コレクタ抵抗が低減し、バーティカルトランジスタの高速化が可能である。

[0029] (5)さらに、前記第1の拡散層の上部に、前記第2のエピタキシャル層の表面に不純物濃度のピークを持つ第1の導電型の第3の拡散層を備えていることが好ましい。このように構成すれば、第2のエピタキシャル層の成長時のオートドーピングの低減

に加えて、アノードの実効濃度プロファイルに濃度勾配が形成されるため、ポテンシャル傾斜が形成され、エピタキシャル層の方向に対してキャリアの移動速度が向上し、受光素子のさらなる高速化を実現できる。

発明の効果

- [0030] 本発明の光半導体装置または光半導体装置の製造方法によれば、第2の導電型の第2の拡散層の深さを浅くすることにより、フォトダイオード部をほぼ完全に空乏化することが可能となる。光電流がドリフト電流に支配されるので、キャリアの再結合割合が減少し、高速・高受光感度が可能となる。
- [0031] また、第1の拡散層の不純物濃度のピークを、半導体基板と第1の導電型のエピタキシャル層界面に設ける。これにより、周辺部の埋め込み層からのオートドーピングの影響を抑制して、安定した界面濃度が確保できるため、アノードに空乏層が安定して形成され、高速のフォトダイオードが再現性良く実現できる。

図面の簡単な説明

- [0032] [図1]本発明の実施の形態1における光半導体装置の構造を示す断面図
[図2]本発明の実施の形態1における光半導体装置のフォトダイオードの濃度プロファイル
[図3]本発明の実施の形態2における光半導体装置の構造を示す断面図
[図4]本発明の実施の形態2における光半導体装置のフォトダイオードの濃度プロファイル
[図5]本発明の実施の形態3における光半導体装置の構造を示す断面図
[図6]本発明の実施の形態3における光半導体装置のフォトダイオードの濃度プロファイル
[図7A]本発明の実施の形態1における光半導体装置の製造方法を示す工程断面図
[図7B]本発明の実施の形態1における光半導体装置の製造方法を示す工程断面図
[図7C]本発明の実施の形態1における光半導体装置の製造方法を示す工程断面図
[図7D]本発明の実施の形態1における光半導体装置の製造方法を示す工程断面図
[図7E]本発明の実施の形態1における光半導体装置の製造方法を示す工程断面図
[図8A]本発明の実施の形態2における光半導体装置の製造方法を示す工程断面図

[図8B]本発明の実施の形態2における光半導体装置の製造方法を示す工程断面図

[図8C]本発明の実施の形態2における光半導体装置の製造方法を示す工程断面図

[図8D]本発明の実施の形態2における光半導体装置の製造方法を示す工程断面図

[図8E]本発明の実施の形態2における光半導体装置の製造方法を示す工程断面図

[図9A]本発明の実施の形態3における光半導体装置の製造方法を示す工程断面図

[図9B]本発明の実施の形態3における光半導体装置の製造方法を示す工程断面図

[図9C]本発明の実施の形態3における光半導体装置の製造方法を示す工程断面図

[図9D]本発明の実施の形態3における光半導体装置の製造方法を示す工程断面図

[図9E]本発明の実施の形態3における光半導体装置の製造方法を示す工程断面図

[図10A]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図10B]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図10C]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図10D]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図10E]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図10F]本発明の実施の形態4における光半導体装置の製造方法を示す工程断面図

[図11]従来技術における光半導体装置の構造を示す断面図

[図12]別途提案の光半導体装置の構造を示す断面図

符号の説明

- [0033] 1 シリコン基板
2 フォトダイオード
3 NPNトランジスタ
4 p型埋め込み層

- 5 p型エピタキシャル層(第1のエピタキシャル層)
- 6 n型エピタキシャル層
- 7 LOCOS分離層
- 8 カソード層
- 9 カソードコンタクト層(第2の拡散層)
- 10 カソード電極
- 11 アノード埋め込み層
- 12 アノードコンタクト層
- 13 アノード電極
- 14 コレクタ埋め込み層
- 15 コレクタコンタクト層
- 16 コレクタ電極
- 17 ベース層
- 18 ベース電極
- 19 エミッタ層
- 20 エミッタ電極
- 21 第1の絶縁膜
- 22 第2の絶縁膜
- 23 受光面
- 24 第1のp型エピタキシャル層
- 25 第2のp型エピタキシャル層
- 26 n型エピタキシャル層(第2のエピタキシャル層)
- 27 アノード層(第1の拡散層)
- 28 n型ウェル層
- 29 アノード層(第1の拡散層)
- 30 低濃度アノード埋め込み層
- 31 低濃度アノード拡散層(第3の拡散層)
- 40 フォトダイオード

- 41 NPNトランジスタ
- 42 シリコン基板
- 43 p型埋め込み層
- 44 n型埋め込み層
- 45 n型エピタキシャル層(第2のエピタキシャル層)
- 46 アノード拡散層(第1の拡散層)
- 47 n型ウェル層
- 48 LOCOS分離層
- 49 カソード層(第2の拡散層)
- 50 アノード埋め込み層(第2の埋め込み層)
- 51 アノード拡散層(第3の拡散層)
- 52 p型埋め込み層(第1の埋め込み層)
- 53 p型エピタキシャル層(第1のエピタキシャル層)

発明を実施するための最良の形態

[0034] (光半導体装置の実施の形態1)

以下、本発明の光半導体装置の実施の形態1について、図面を参照しながら説明する。

[0035] 図1は本発明の実施の形態1における光半導体装置の構造を示す断面図である。

図1において、1は低濃度p型のシリコン基板、2はフォトダイオード、3はNPNTランジスタ、7はLOCOS分離層、9はカソードコンタクト層(第2の拡散層)、10はカソード電極、11はアノード埋め込み層、12はアノードコンタクト層、13はアノード電極、14は高濃度n型のコレクタ埋め込み層、15はコレクタコンタクト層、16はコレクタ電極、17はベース層、18はベース電極、19はエミッタ層、20はエミッタ電極、21は第1の絶縁膜、22は第2の絶縁膜、23は受光面であり、これらは従来の構成と同一である。

[0036] さらに、26はシリコン基板1上に形成された低濃度のn型エピタキシャル層(第2のエピタキシャル層)、27はn型のエピタキシャル層26中のフォトダイオード2の領域に拡散により形成された低濃度のp型のアノード層(第1の拡散層)、28はn型エピタキシャル層26中のNPNトランジスタ3の領域に拡散により形成されたn型エピタキシャル層である。

ル層26よりも高濃度であるn型ウェル層である。

[0037] 以上のように構成された本実施形態の光半導体装置について、以下にその動作を説明する。

[0038] 基本的な動作は、図11および図12の説明と同様である。受光面23より光が入射すると、カソードコンタクト層9とアノード層27とシリコン基板1で吸収され、電子・正孔対が発生する。電子はカソードコンタクト層9に、正孔はアノード埋め込み層11に、それぞれ拡散とドリフトにより分離されて到達し光電流が発生する。例えば、カソードコンタクト層9の深さを $0.3\mu\text{m}$ 以下で、p型のシリコン基板1およびアノード層27の濃度を $1\times 10^{14}\text{cm}^{-3}$ 程度とすると、アノードの空乏層の伸びは約 $10\mu\text{m}$ 程度となり、特にDVDで用いられる波長650nmより短波長の光では、空乏層中で入射光がほとんど吸収されることになる。つまり、光電流は拡散電流成分が低下しドリフト電流成分が支配的となるため、フォトダイオード2の高速応答が可能となる。また、キャリアの再結合の割合も減少するため受光感度も向上する。

[0039] 次に、フォトダイオード2の深さ方向の濃度プロファイルを図2に示す。図中の番号は図1と同一である。アノード層(第1の拡散層)27は、シリコン基板1とn型エピタキシャル層(第2のエピタキシャル層)26の界面付近に不純物濃度のピークがある。縦方向の点線はその界面を示す。不純物濃度はアノード層27側に十分空乏層が伸びるように設定されている。この構成では、界面に不純物濃度のピークがあるため、n型エピタキシャル層26の成長時に発生する、フォトダイオード2の周辺部のアノード埋め込み層11やコレクタ埋め込み層14からのオートドーピングの影響を低減でき、所望の濃度プロファイルを安定して実現することができる。

[0040] 一方、本実施形態では、NPNTランジスタ3のコレクタは、コレクタ埋め込み層14とウェル層28で構成されている。ウェル層28の濃度をn型エピタキシャル層26より高濃度にすることにより、コレクタ抵抗が低減し、高速特性が実現できる。

[0041] つまり、高速・高感度のフォトダイオード2と、高速のNPNTランジスタ3を同一基板上に安定して形成することが可能となり、各素子の特性向上を最大限に発揮するような構造が可能となり、OEICとしての特性向上を図ることができる。

[0042] 本実施形態は、特に吸収係数が大きい短波長光で有効である。BD用の青色光(

波長405nm)の光に対しては、 $0.8\mu\text{m}$ の深さで95%のキャリアが吸収されるので、n型エピタキシャル層26の膜厚を $1\mu\text{m}$ とすると、ほぼ100%近くのキャリアが吸収される。また、NPNトランジスタ3は、寄生抵抗や寄生容量の低減による高速化のためにはn型エピタキシャル層26の膜厚が薄いほうが有利であり、n型エピタキシャル層26の膜厚 $1\mu\text{m}$ で、NPNトランジスタ3の高速化が可能である。

[0043] (光半導体装置の実施の形態2)

以下、本発明の光半導体装置の実施の形態2について、図面を参照しながら説明する。

[0044] 図3は本発明の実施の形態2における光半導体装置の構造を示す断面図である。図3において、4はシリコン基板1上に形成された高濃度のp型埋め込み層、5はp型埋め込み層4上に形成された低濃度のp型エピタキシャル層(第1のエピタキシャル層)、29は低濃度p型のアノード層(第1の拡散層)であり、その他の構成は、実施の形態1の構成と同一である。

[0045] 本実施形態の光半導体装置は、実施の形態1のシリコン基板1の代わりに、シリコン基板1とp型埋め込み層4およびp型エピタキシャル層(第1のエピタキシャル層)5を用いたものである。

[0046] ここで、フォトダイオード2の深さ方向の濃度プロファイルを図4に示す。図中の番号は図3の番号と同一である。アノード層(第1の拡散層)29は、p型エピタキシャル層(第1のエピタキシャル層)5とn型エピタキシャル層(第2のエピタキシャル層)26の界面付近に不純物濃度のピークがあるため、n型エピタキシャル層26の成長時のオートドーピングの影響を低減でき、所望の濃度プロファイルを安定して実現することができる。

[0047] この構成では、実施の形態1の効果に加え、シリコン基板1とp型埋め込み層4間にポテンシャルバリアが形成されるため、シリコン基板1中で吸収された光はポテンシャルバリアを越えることができずに再結合し、拡散電流成分を低減できる。そして、p型エピタキシャル層5とアノード層29を低濃度でかつ適当な膜厚を選択することによって完全空乏化が実現でき、より高速化を図ることができる。また、p型埋め込み層4の存在によってキャリアがアノード埋め込み層11へ移動する場合のシリーズ抵抗が低

減され、さらなる高速化に繋がる。

[0048] (光半導体装置の実施の形態3)

以下、本発明の光半導体装置の実施の形態3について、図面を参照しながら説明する。

[0049] 図5は本発明の実施の形態3における光半導体装置の構造を示す断面図である。

図5において、30はp型の低濃度アノード埋め込み層、31はp型の低濃度アノード拡散層(第3の拡散層)である。その他の構成は、実施の形態1の構成と同一である。

[0050] ここで、フォトダイオード2の深さ方向の濃度プロファイルを図6に示す。32はアノード実効濃度プロファイルであり、その他の図中の番号は図5の番号と同一である。

[0051] 低濃度アノード埋め込み層30は、p型エピタキシャル層(第1のエピタキシャル層)5とn型エピタキシャル層(第2のエピタキシャル層)26の界面付近に不純物濃度のピークがある。

[0052] また、低濃度アノード拡散層(第3の拡散層)31は、n型エピタキシャル層(第2のエピタキシャル層)26の表面付近に不純物濃度のピークがある。

[0053] この構成では、n型エピタキシャル層26の成長時のオートドーピングの低減に加えて、アノード実効濃度プロファイル32に濃度勾配が形成されるため、ポテンシャル傾斜が形成され、p型エピタキシャル層5の深さ方向に対してキャリアの移動速度が向上し、フォトダイオード2のさらなる高速化を実現できる。

[0054] (光半導体装置の製造方法の実施の形態1)

図7A～図7Eは本発明における光半導体装置の製造方法の実施の形態1の各工程を示す断面図である。40はフォトダイオード、41はNPNTランジスタ、42は低濃度p型のシリコン基板、43はp型埋め込み層、44はNPNTランジスタ41のコレクタのn型埋め込み層、45は低濃度のn型エピタキシャル層(第2のエピタキシャル層)、46は低濃度p型のアノード拡散層(第1の拡散層)、47はn型エピタキシャル層45より高濃度のn型ウェル層、48はLOCOS分離層、49は高濃度n型のカソード層(第2の拡散層)である。

[0055] まず、シリコン基板42中にp型埋め込み層43とn型埋め込み層44をイオン注入等により選択的に形成する(図7A参照)。

- [0056] 次に、シリコン基板42上にn型エピタキシャル層(第2のエピタキシャル層)45(例えば膜厚 $1\mu\text{m}$ 、濃度 $5\times 10^{14}\text{cm}^{-3}$)を成長する(図7B参照)。
- [0057] 次に、n型エピタキシャル層(第2のエピタキシャル層)45中のフォトダイオード40の領域にp型アノード拡散層(第1の拡散層)46を、不純物濃度のピークをシリコン基板42とn型エピタキシャル層(第2のエピタキシャル層)45の界面付近になるように、高エネルギー条件によるイオン注入(例えば加速エネルギー 200keV 、ドーズ量 $1\times 10^{11}\text{cm}^{-2}$)により選択的に形成する。その後、NPNTランジスタ41の領域にn型ウェル層47をイオン注入等により選択的に形成後、LOCOS分離層48を形成する(図7C参照)。
- [0058] さらに、アノード拡散層(第1の拡散層)46上にカソード層(第2の拡散層)49およびNPNTランジスタ41のベース・エミッタ拡散層を形成する(図7D参照)。最後にフィールド膜・電極形成を行って、フォトダイオード40とNPNTランジスタ41を形成する(図7E参照)。
- [0059] 以上をまとめると、次のようにいうことができる。
- [0060] 受光素子40とランジスタ41とが同一基板42上に混載された光半導体装置の製造方法であって、
- 第1の導電型(p型)の半導体基板42上に第2の導電型(n型)の低不純物濃度の第2のエピタキシャル層45を形成する工程(a)と、
- 前記半導体基板42と前記第2のエピタキシャル層45の界面に不純物濃度のピークを持つように、イオン注入により前記第2のエピタキシャル45層内に第1の導電型(p型)の低不純物濃度の第1の拡散層46を選択的に形成する工程(b)と、
- 前記第1の拡散層46の上部に第2の導電型(n型)の高不純物濃度の第2の拡散層49を形成する工程(c)と、
- 前記第2のエピタキシャル層45内に前記ランジスタ41を選択的に形成する工程(d)とを備え、
- 前記第1の拡散層46と前記第2の拡散層49とで前記受光素子40を構成する。
- [0061] (光半導体装置の製造方法の実施の形態2)
- 図8A～図8Eは本発明における光半導体装置の製造方法の実施の形態2の各工

程を示す断面図である。50は低濃度p型のアノード埋め込み層(第2の埋め込み層)であり、その他の構成は図7と同一である。

[0062] まず、シリコン基板42中にp型埋め込み層43とn型埋め込み層44、およびアノード埋め込み層(第2の埋め込み層)50をイオン注入等により選択的に形成する(図8A参照)。このとき、アノード埋め込み層(第2の埋め込み層)50の不純物濃度のピークがシリコン基板42の表面付近になるように条件を設定する(例えば加速エネルギー30keV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$)。

[0063] 次に、シリコン基板42上にn型エピタキシャル(第2のエピタキシャル層)層45(例えば膜厚1 μm 、濃度 $5 \times 10^{14} \text{ cm}^{-3}$)を成長する(図8B参照)。

[0064] 次いで、n型エピタキシャル層45中のNPNTランジスタ41の領域にn型ウェル層47をイオン注入等により選択的に形成後、LOCOS分離層48を形成する(図8C参照)。このとき、アノード埋め込み層(第2の埋め込み層)50がn型エピタキシャル層(第2のエピタキシャル層)45の表面まで拡散するように、熱処理工程を行う。

[0065] さらに、アノード埋め込み層(第2の埋め込み層)50上にカソード層(第2の拡散層)49およびNPNTランジスタ41のベース・エミッタ拡散層を形成する(図8D参照)。最後にフィールド膜・電極形成を行って、フォトダイオード40とNPNTランジスタ41を形成する(図8E参照)。

[0066] 以上をまとめると、次のようにいうことができる。

[0067] 受光素子40とランジスタ41とが同一基板42上に混載された光半導体装置の製造方法であって、

第1の導電型(p型)の半導体基板42の上部に、この半導体基板42の表面に不純物濃度のピークを持つ第1の導電型(p型)の低不純物濃度の第2の埋め込み層50を選択的に形成する工程(a)と、

前記半導体基板42上に第2の導電型(n型)の低不純物濃度の第2のエピタキシャル層45を形成する工程(b)と、

前記第2のエピタキシャル層45の上部に前記第2の埋め込み層50に接合する第2の導電型(n型)の高不純物濃度の第2の拡散層49を形成する工程(c)と、

前記第2のエピタキシャル層45内に前記ランジスタ41を選択的に形成する工程(

d)とを備え、

前記第2の埋め込み層50と前記第2の拡散層49とで前記受光素子を構成する。

[0068] (光半導体装置の製造方法の実施の形態3)

図9A～図9Eは本発明における光半導体装置の製造方法の実施の形態3の各工程を示す断面図である。51は低濃度p型のアノード拡散層(第3の拡散層)であり、その他の構成は図8と同一である。

[0069] まず、シリコン基板42中にp型埋め込み層43とn型埋め込み層44、およびアノード埋め込み層(第2の埋め込み層)50をイオン注入等により選択的に形成する(図9A参照)。このとき、アノード埋め込み層(第2の埋め込み層)50の不純物濃度のピークは、シリコン基板42の表面付近になるように条件を設定する(例えば加速エネルギー200keV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$)。

[0070] 次に、シリコン基板42上にn型エピタキシャル層(第2のエピタキシャル層)45(例えば膜厚 $1 \mu\text{m}$ 、濃度 $5 \times 10^{14} \text{ cm}^{-3}$)を成長する(図9B参照)。

[0071] 次いで、n型エピタキシャル層(第2のエピタキシャル層)45中にフォトダイオード40の領域にアノード拡散層(第3の拡散層)51を、不純物濃度のピークをn型エピタキシャル層(第2のエピタキシャル層)45の表面付近になるように、かつ、アノード埋め込み層(第2の埋め込み層)50に接続するように、イオン注入により選択的に形成する(例えば加速エネルギー30keV、ドーズ量 $1 \times 10^{11} \text{ cm}^{-2}$)。また、NPNTランジスタ41の領域にn型ウェル層47をイオン注入等により選択的に形成後、LOCOS分離層48を形成する(図9C参照)。

[0072] さらに、アノード拡散層(第3の拡散層)51上にカソード層(第2の拡散層)49およびNPNTランジスタ41のベース・エミッタ拡散層を形成する(図9D参照)。最後にフィールド膜・電極形成を行って、フォトダイオード40とNPNTランジスタ41を形成する(図9E参照)。

[0073] まとめて、次のようにいうことができる。

[0074] 光半導体装置の製造方法の実施の形態1または実施の形態2において、さらに、前記工程(b)と前記工程(c)の間に、前記第1の拡散層45あるいは前記第2の埋め込み層50の上部に、前記第2のエピタキシャル層45の表面に不純物濃度のピーク

を持つ第1の導電型(p型)の第3の拡散層51を選択的に形成する工程(e)を備える。

[0075] (光半導体装置の製造方法の実施の形態4)

図10A～図10Fは本発明における光半導体装置の製造方法の実施の形態4の各工程を示す断面図である。52は高濃度のp型埋め込み層(第1の埋め込み層)、53は低濃度のp型エピタキシャル層(第1のエピタキシャル層)であり、その他の構成は図7と同一である。

[0076] まず、シリコン基板42中にp型埋め込み層(第1の埋め込み層)52をイオン注入等により形成した後、p型エピタキシャル層(第1のエピタキシャル層)53を成長する(図10A, 図10B参照)。

[0077] 次に、p型エピタキシャル層53中にp型埋め込み層43とn型埋め込み層44をイオン注入等により選択的に形成する(図10B参照)。

[0078] 次に、p型エピタキシャル層(第1のエピタキシャル層)53上にn型エピタキシャル層(第2のエピタキシャル層)45(例えば膜厚 $1\mu\text{m}$ 、濃度 $5\times 10^{14}\text{cm}^{-3}$)を成長する(図10C参照)。ここで、n型エピタキシャル層45の成長時に、薄膜(例えば約 $0.2\mu\text{m}$)を成長した後、シラン系の材料ガスの供給をストップしてそのままの状態しばらくホールドするか、あるいは一度エピ炉から取り出した後に、再度エピタキシャル層45の残膜厚分(例えば約 $0.8\mu\text{m}$)を成長させる(いわゆるキャッピングエピタキシャル成長法)。この場合、埋め込み層からのオートドーピングをより低減することができる。

[0079] 次に、n型エピタキシャル層(第2のエピタキシャル層)45中にフォトダイオード40の領域にp型アノード拡散層(第1の拡散層)46と、NPNTランジスタ41の領域にn型ウェル層47をイオン注入等により選択的に形成した後、LOCOS分離層48を形成する(図10D参照)。

[0080] さらに、アノード拡散層(第1の拡散層)46上にカソード層(第2の拡散層)49およびNPNTランジスタ41のベース・エミッタ拡散層を形成する(図10E参照)。最後にフィールド膜・電極形成を行って、フォトダイオード40とNPNTランジスタ41を形成する(図10F参照)。

[0081] まとめると、次のようにいうことができる。

[0082] 光半導体装置の製造方法の実施の形態1または実施の形態2または実施の形態3において、さらに、前記工程(a)の前に、前記半導体基板42の上部に第1の導電型(p型)の高不純物濃度の第1の埋め込み層52を形成する工程(f1)と、前記第1の埋め込み層52上に第1の導電型(p型)の低不純物濃度の第1のエピタキシャル層53を形成する工程(f2)を備える。

[0083] なお、本実施形態において、シリコン基板を用いたが、必ずしもシリコン基板に限定されるものではなく、例えば長波長域で広く用いられているゲルマニウム基板や化合物半導体であってもよい。

[0084] また本発明では、受光素子としてpinフォトダイオードを用いたが、アバランシェフォトダイオード、フォトランジスタについても適用が可能であることはいうまでもない。また、トランジスタとしてNPNTランジスタを用いたが、PNPTランジスタやMOSTランジスタについても適用可能であることはいうまでもない。

[0085] また、本発明では半導体基板および第1のエピタキシャル層としてp型を用いたが、n型を用いてもよいことはいうまでもない。

産業上の利用可能性

[0086] 本発明は、同一基板上に高速・高性能のトランジスタと高速・高受光感度の受光素子を集積したいわゆるOEIC等に有用である。

請求の範囲

- [1] 受光素子とトランジスタとが同一基板上に混載された光半導体装置であって、
第1の導電型の半導体基板上に形成された第2の導電型の低不純物濃度の第2のエピタキシャル層と、
前記第2のエピタキシャル層に選択的に形成された第1の導電型の低不純物濃度の第1の拡散層と、
前記第1の拡散層の上部に形成された第2の導電型の高不純物濃度の第2の拡散層とを備え、
前記受光素子は前記第1の拡散層と前記第2の拡散層で構成され、前記トランジスタは前記第2のエピタキシャル層内に形成されており、
前記第1の拡散層は前記半導体基板と前記第2のエピタキシャル層の界面に不純物濃度のピークを持つことを特徴とする光半導体装置。
- [2] 受光素子とトランジスタとが同一基板上に混載された光半導体装置であって、
第1の導電型の半導体基板上部に形成された第1の導電型の高不純物濃度の埋め込み層と、
前記埋め込み層上に形成された第1の導電型の低不純物濃度の第1のエピタキシャル層と、
前記第1のエピタキシャル層上に形成された第2の導電型の低不純物濃度の第2のエピタキシャル層と、
前記第2のエピタキシャル層に選択的に形成された第1の導電型の低不純物濃度の第1の拡散層と、
前記第1の拡散層の上部に形成された第2の導電型の高不純物濃度の第2の拡散層とを備え、
前記受光素子は前記第1の拡散層と前記第2の拡散層で構成され、前記トランジスタは前記第2のエピタキシャル層内に形成されており、
前記第1の拡散層は前記第1のエピタキシャル層と前記第2のエピタキシャル層の界面に不純物濃度のピークを持つことを特徴とする光半導体装置。
- [3] さらに、前記第2のエピタキシャル層内に選択的に形成された第2の導電型のウェ

ル層を備え、前記トランジスタは前記ウェル層内に形成されている請求項1に記載の光半導体装置。

[4] さらに、前記第2のエピタキシャル層内に選択的に形成された第2の導電型のウェル層を備え、前記トランジスタは前記ウェル層内に形成されている請求項2に記載の光半導体装置。

[5] さらに、前記第2のエピタキシャル層内に選択的に形成された第1の導電型のウェル層を備え、前記トランジスタは前記ウェル層内に形成されている請求項1に記載の光半導体装置。

[6] さらに、前記第2のエピタキシャル層内に選択的に形成された第1の導電型のウェル層を備え、前記トランジスタは前記ウェル層内に形成されている請求項2に記載の光半導体装置。

[7] さらに、前記第1の拡散層の上部に、前記第2のエピタキシャル層の表面に不純物濃度のピークを持つ第1の導電型の第3の拡散層を備えている請求項1に記載の光半導体装置。

[8] さらに、前記第1の拡散層の上部に、前記第2のエピタキシャル層の表面に不純物濃度のピークを持つ第1の導電型の第3の拡散層を備えている請求項2に記載の光半導体装置。

[9] 受光素子とトランジスタとが同一基板上に混載された光半導体装置の製造方法であって、

第1の導電型の半導体基板上に第2の導電型の低不純物濃度の第2のエピタキシャル層を形成する工程(a)と、

前記半導体基板と前記第2のエピタキシャル層の界面に不純物濃度のピークを持つように、イオン注入により前記第2のエピタキシャル層内に第1の導電型の低不純物濃度の第1の拡散層を選択的に形成する工程(b)と、

前記第1の拡散層の上部に第2の導電型の高不純物濃度の第2の拡散層を形成する工程(c)と、

前記第2のエピタキシャル層内に前記トランジスタを選択的に形成する工程(d)とを備え、

前記第1の拡散層と前記第2の拡散層とで前記受光素子を構成する光半導体装置の製造方法。

- [10] 受光素子とトランジスタとが同一基板上に混載された光半導体装置の製造方法であって、

第1の導電型の半導体基板の上部に、この半導体基板の表面に不純物濃度のピークを持つ第1の導電型の低不純物濃度の第2の埋め込み層を選択的に形成する工程(a)と、

前記半導体基板上に第2の導電型の低不純物濃度の第2のエピタキシャル層を形成する工程(b)と、

前記第2のエピタキシャル層の上部に前記第2の埋め込み層に接合する第2の導電型の高不純物濃度の第2の拡散層を形成する工程(c)と、

前記第2のエピタキシャル層内に前記トランジスタを選択的に形成する工程(d)とを備え、

前記第2の埋め込み層と前記第2の拡散層とで前記受光素子を構成する光半導体装置の製造方法。

- [11] さらに、前記工程(b)と前記工程(c)の間に、前記第1の拡散層または前記第2の埋め込み層の上部に、前記第2のエピタキシャル層の表面に不純物濃度のピークを持つ第1の導電型の第3の拡散層を選択的に形成する工程(e)を備える請求項9に記載の光半導体装置の製造方法。

- [12] さらに、前記工程(b)と前記工程(c)の間に、前記第1の拡散層または前記第2の埋め込み層の上部に、前記第2のエピタキシャル層の表面に不純物濃度のピークを持つ第1の導電型の第3の拡散層を選択的に形成する工程(e)を備える請求項10に記載の光半導体装置の製造方法。

- [13] さらに、前記工程(a)の前に、前記半導体基板の上部に第1の導電型の高不純物濃度の第1の埋め込み層を形成する工程(f1)と、前記第1の埋め込み層上に第1の導電型の低不純物濃度の第1のエピタキシャル層を形成する工程(f2)とを備える請求項9に記載の光半導体装置の製造方法。

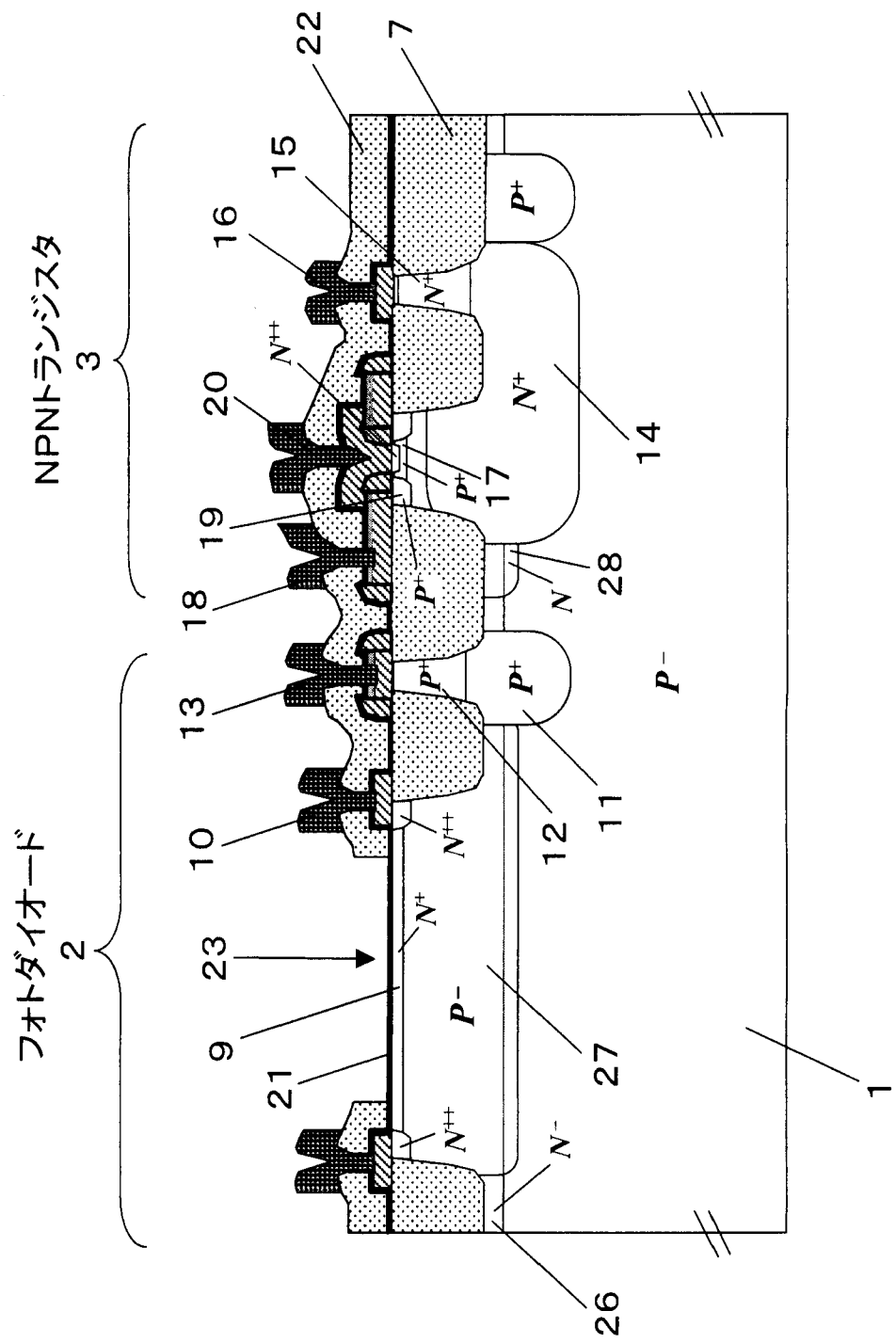
- [14] さらに、前記工程(a)の前に、前記半導体基板の上部に第1の導電型の高不純物

濃度の第1の埋め込み層を形成する工程 (f1)と、前記第1の埋め込み層上に第1の導電型の低不純物濃度の第1のエピタキシャル層を形成する工程 (f2)とを備える請求項10に記載の光半導体装置の製造方法。

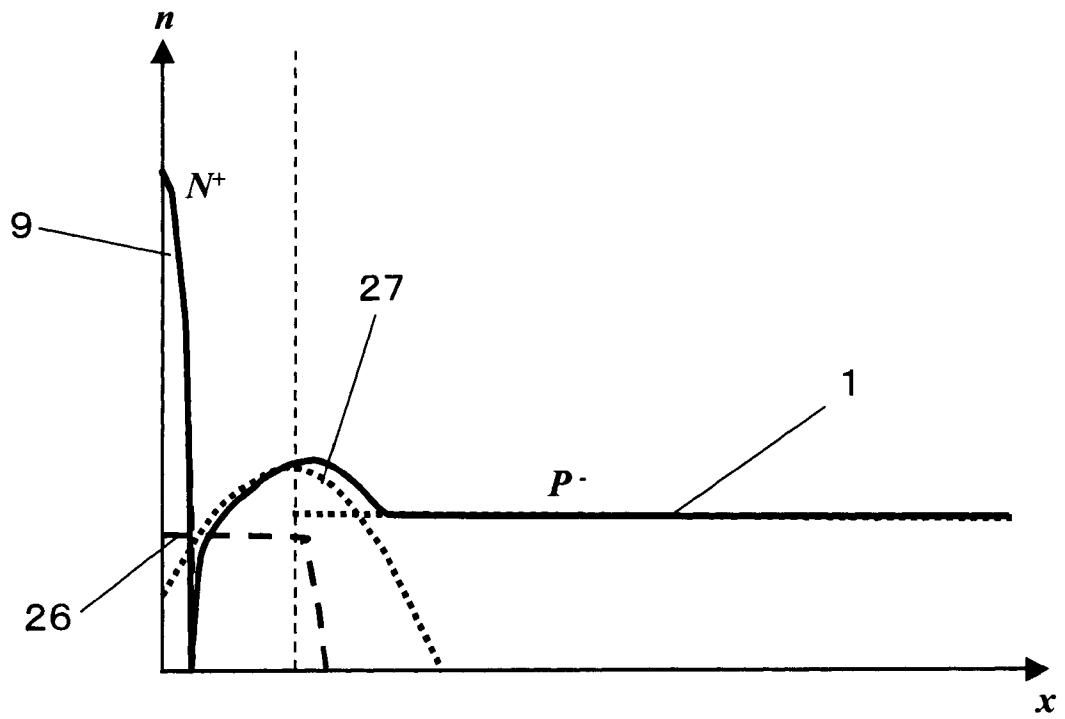
[15] 前記第2のエピタキシャル層は2段階に分けて成長する請求項9に記載の光半導体装置の製造方法。

[16] 前記第2のエピタキシャル層は2段階に分けて成長する請求項10に記載の光半導体装置の製造方法。

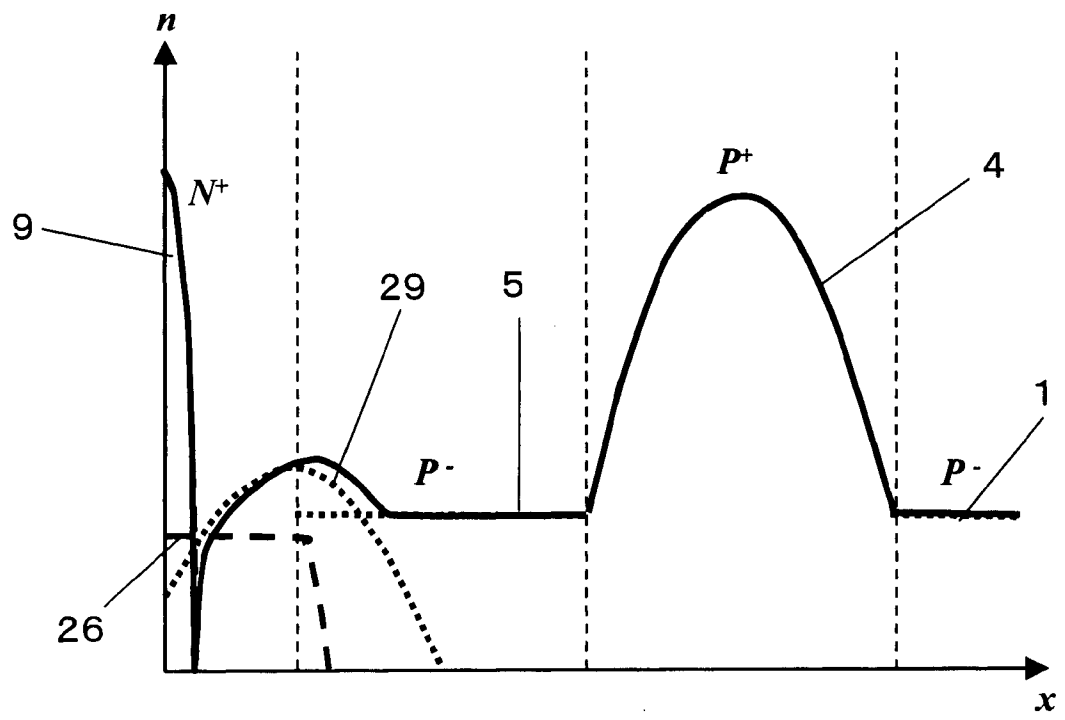
[図1]



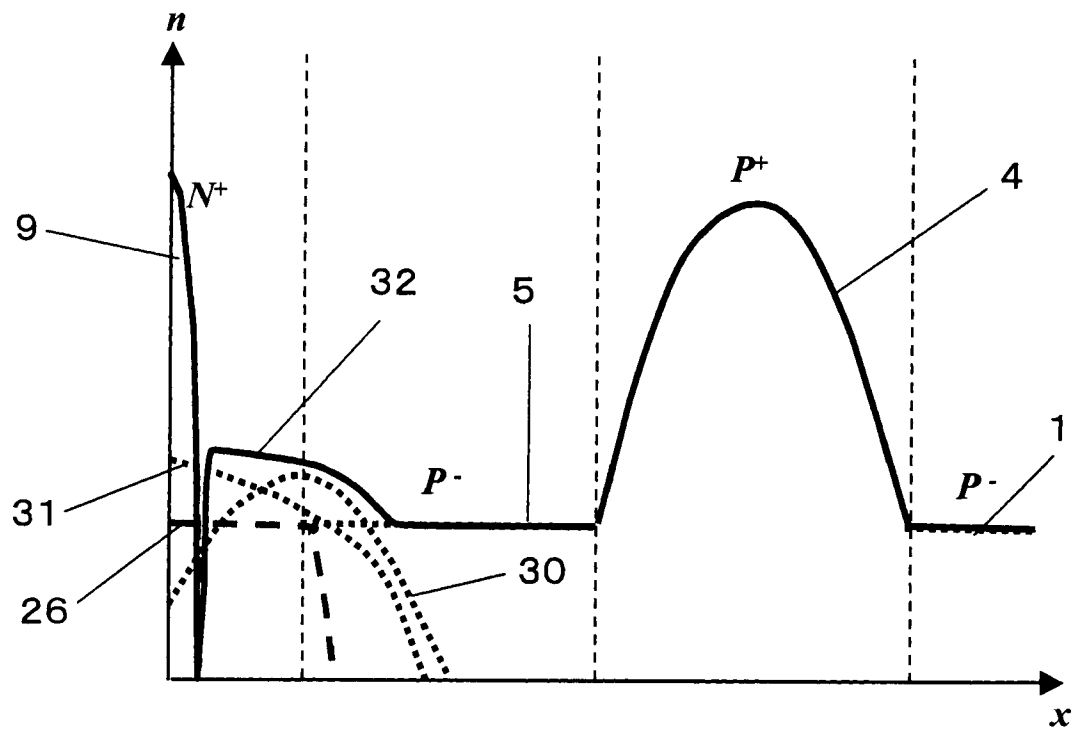
[図2]



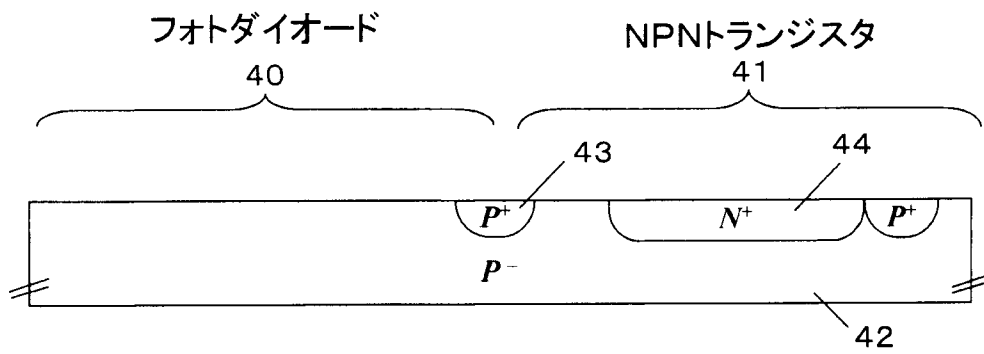
[図4]



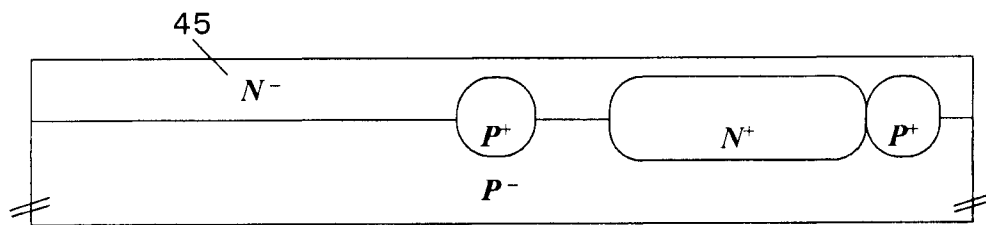
[図6]



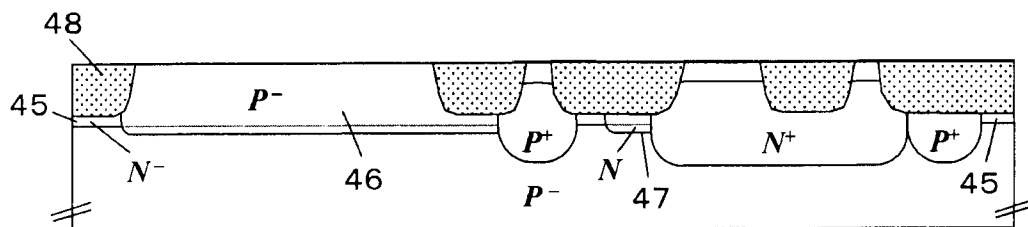
[図7A]



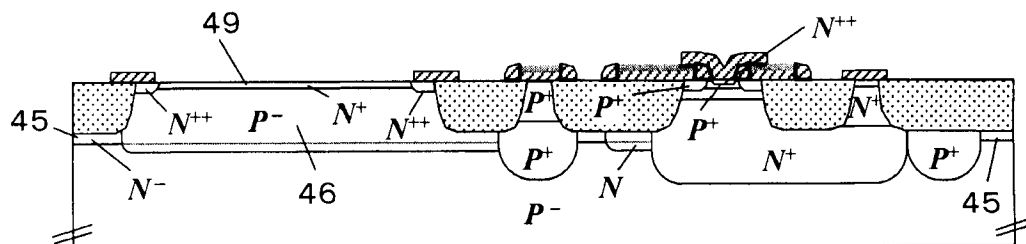
[図7B]



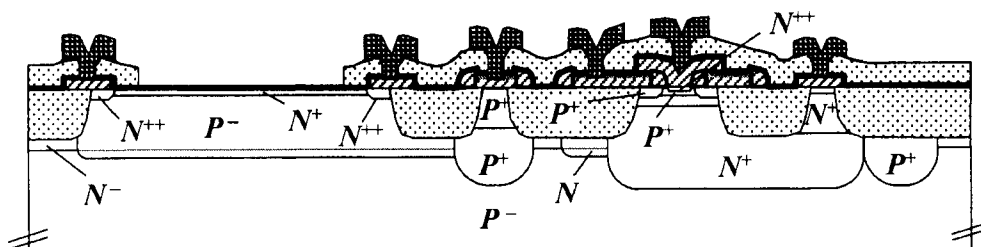
[図7C]



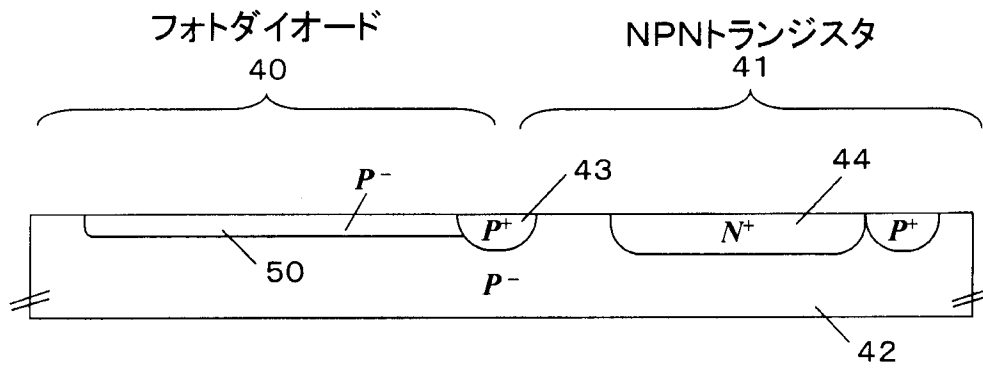
[図7D]



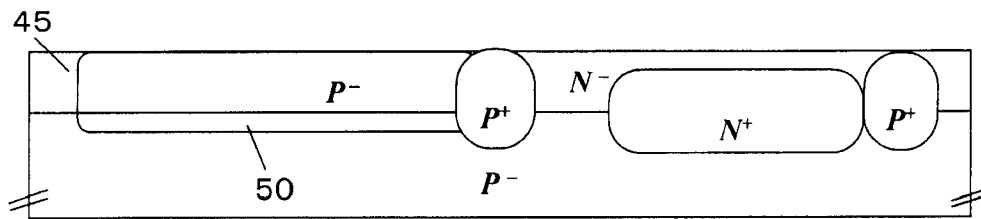
[図7E]



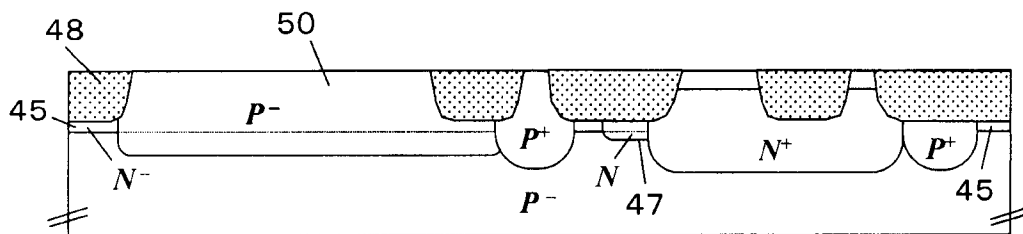
[図8A]



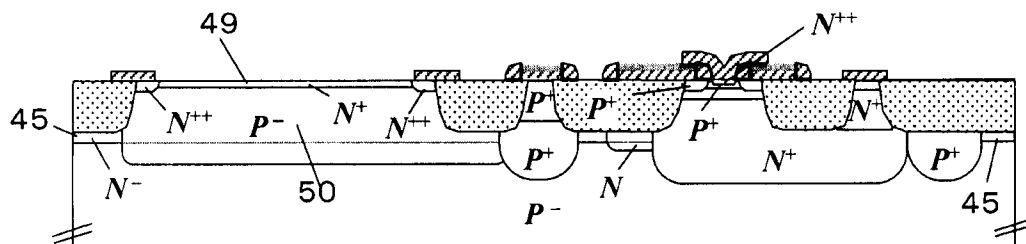
[図8B]



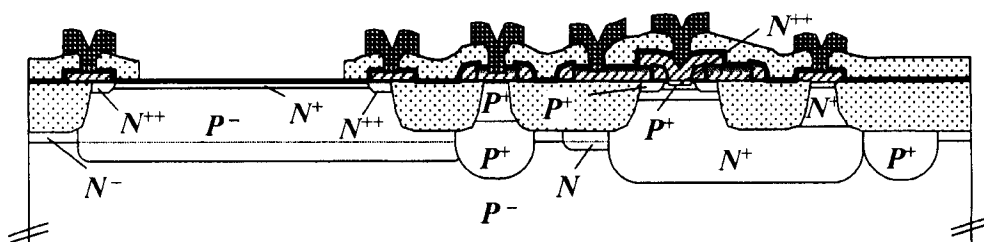
[図8C]



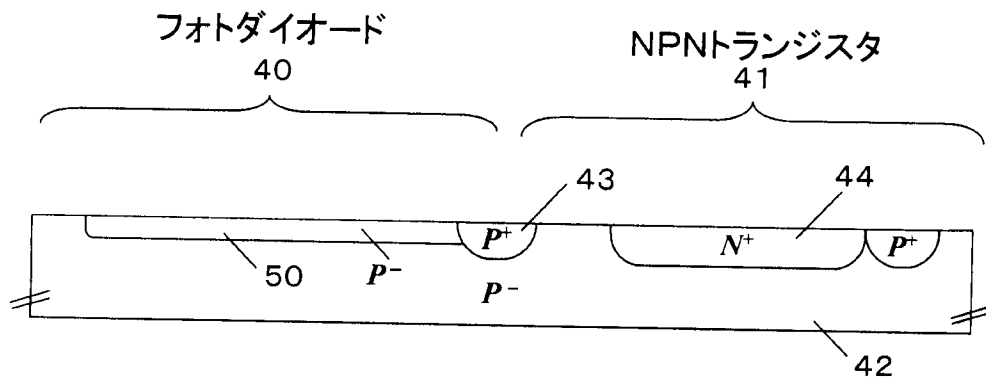
[図8D]



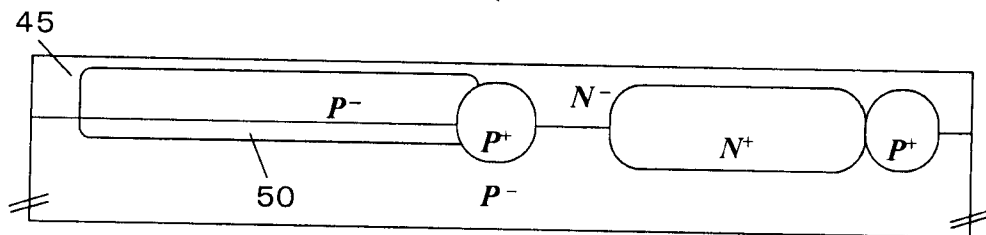
[図8E]



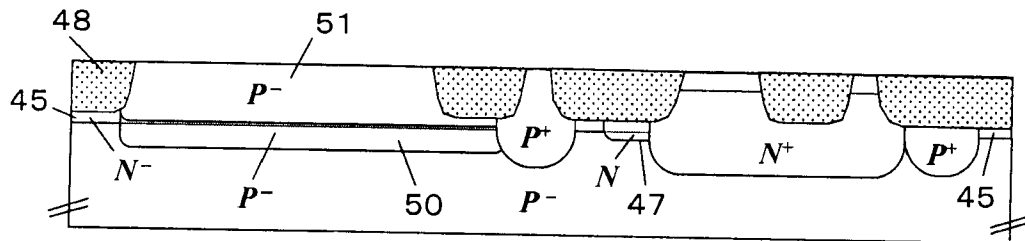
[図9A]



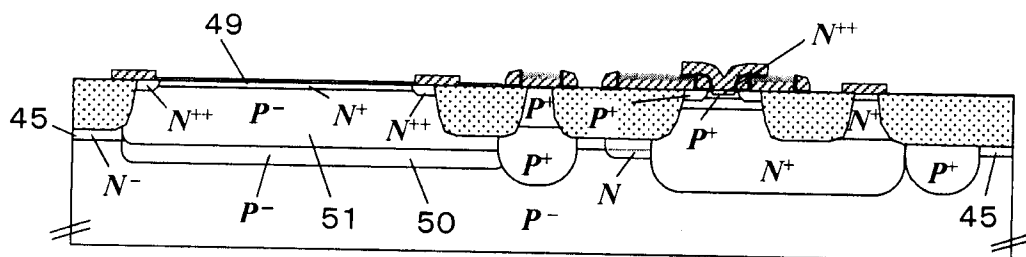
[図9B]



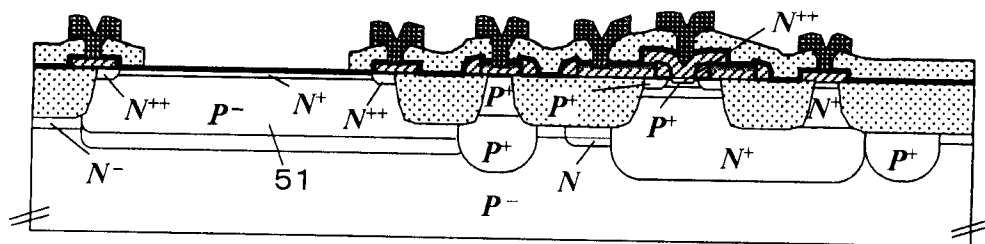
[図9C]



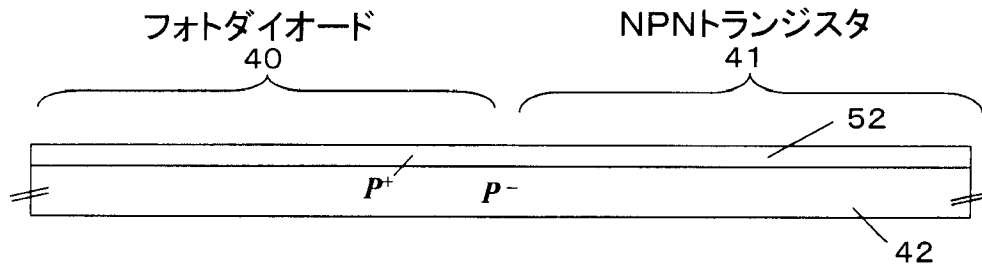
[図9D]



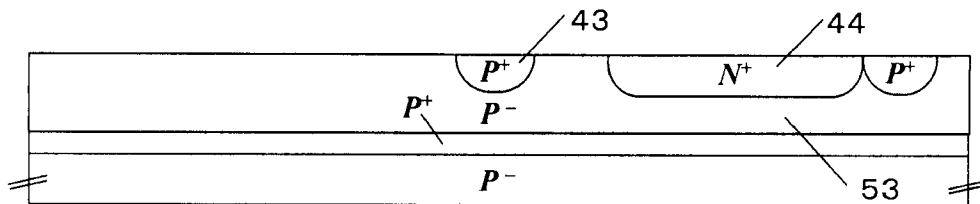
[図9E]



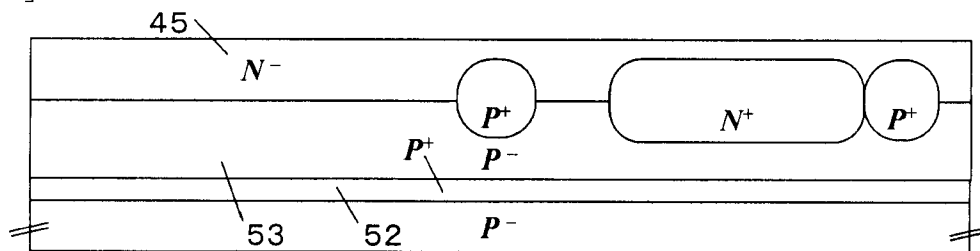
[図10A]



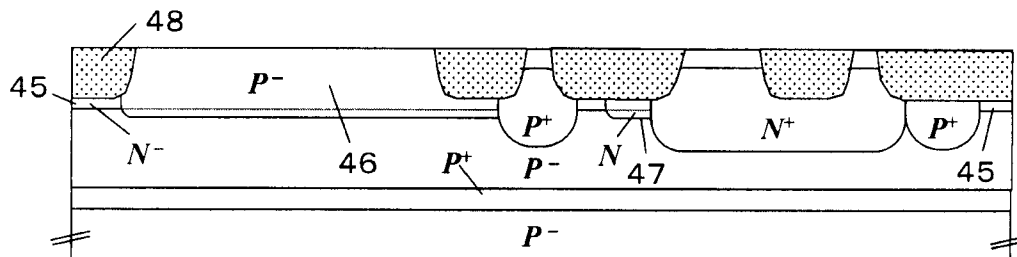
[図10B]



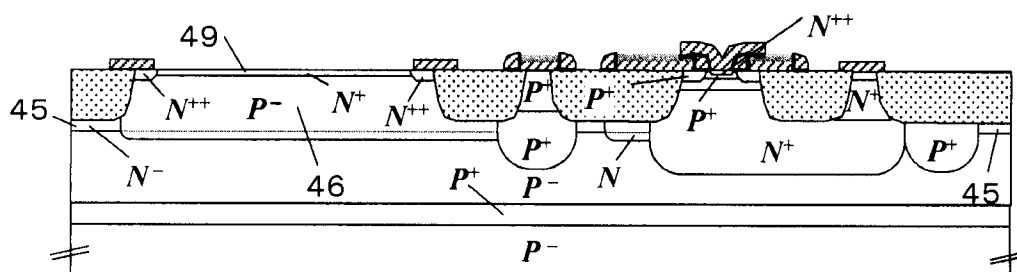
[図10C]



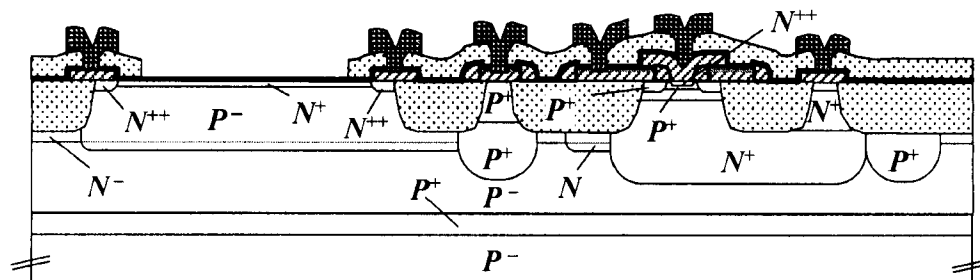
[図10D]



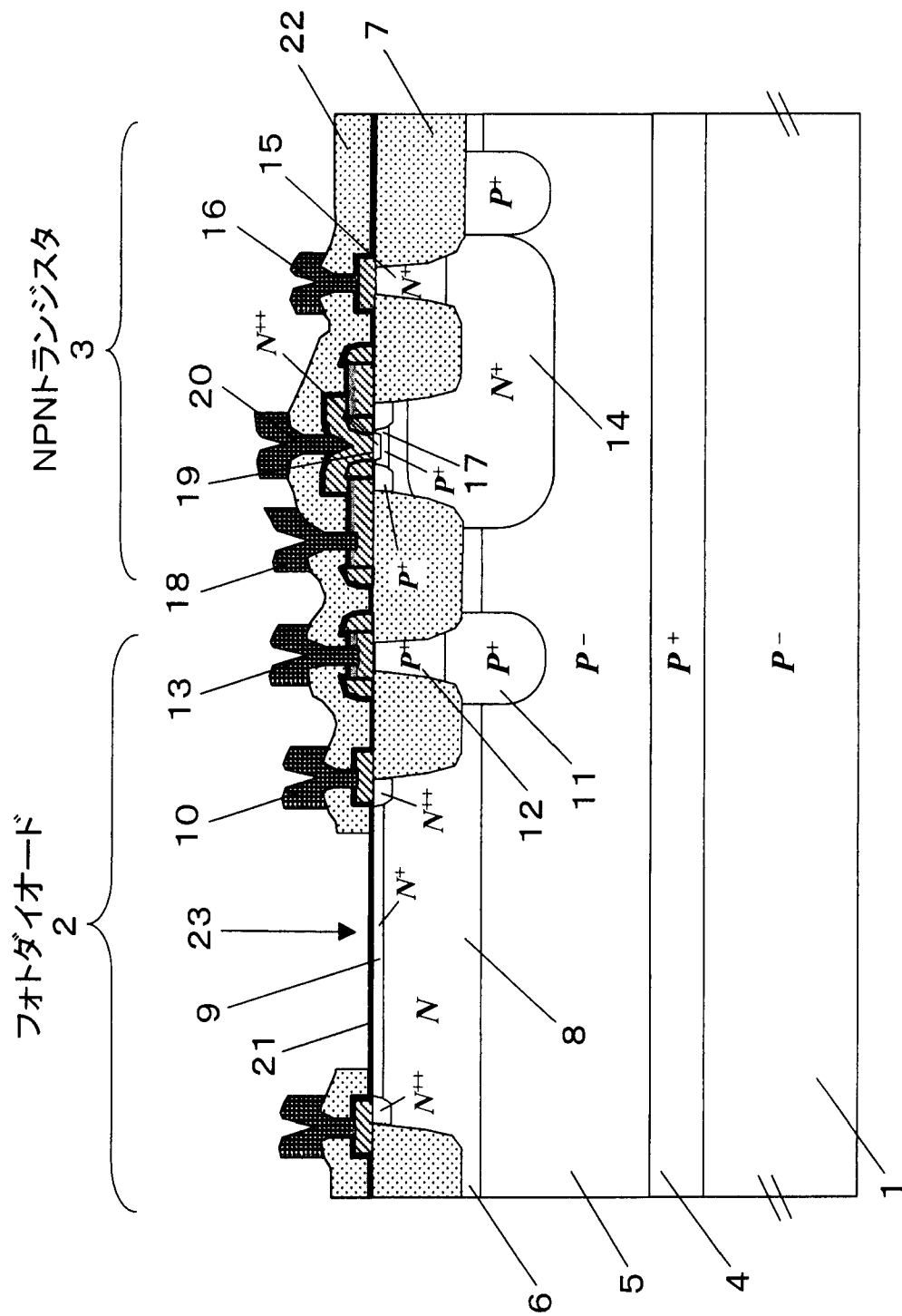
[図10E]



[図10F]



[図11]



Photodiode (2) and NPN Transistor (3) structure on a common substrate (1).

Labels and regions:

- 1: Substrate (P-)
- 2: Photodiode P+ layer
- 3: Photodiode N+ layer
- 4: Transistor P- layer
- 5: Transistor P+ layer
- 6: Transistor N+ layer
- 7: Transistor base layer
- 8: Transistor emitter layer
- 9: Photodiode P- layer
- 10: Photodiode P+ layer
- 11: Photodiode N+ layer
- 12: Photodiode P- layer
- 13: Photodiode P+ layer
- 14: Photodiode N+ layer
- 15: Photodiode P- layer
- 16: Photodiode P+ layer
- 17: Photodiode N+ layer
- 18: Photodiode P- layer
- 19: Photodiode P+ layer
- 20: Photodiode N+ layer
- 21: Photodiode P- layer
- 22: Photodiode P+ layer
- 23: Photodiode N+ layer
- 24: Photodiode P- layer
- 25: Photodiode P+ layer

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057422

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/10(2006.01)i, H01L27/14(2006.01)i, H01L27/06(2006.01)i,
H01L21/8222(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/10(2006.01)i-H01L31/119(2006.01)i, H01L27/14(2006.01)i, H01L27/06
(2006.01)i, H01L21/8222(2006.01)i

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 4-82268 A (Sony Corp.), 16 March, 1992 (16.03.92), Page 6, upper right column; Figs. 5, 8 (Family: none)	1-16
A	JP 9-307086 A (Sharp Corp.), 28 November, 1997 (28.11.97), Par. No. [0131]; Fig. 8 (Family: none)	1-16
A	JP 2001-284629 A (Sharp Corp.), 12 October, 2001 (12.10.01), Par. Nos. [0014], [0038]; Fig. 1 & US 2001/0038096 A1	1-16

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
23 April, 2007 (23.04.07)

Date of mailing of the international search report
01 May, 2007 (01.05.07)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2007/057422

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2004-119632 A (Sharp Corp.), 15 April, 2004 (15.04.04), Par. No. [0026] (Family: none)	1-16
A	JP 2001-135808 A (Sharp Corp.), 18 May, 2001 (18.05.01), Par. No. [0043]; Figs. 1, 4B & US 6380603 B1	1-16
A	JP 10-107243 A (Sharp Corp.), 24 April, 1998 (24.04.98), Par. No. [0057] & US 6114740 A & EP 0834925 A3	11-12
A	JP 9-219534 A (Sony Corp.), 19 August, 1997 (19.08.97), Par. No. [0007]; Fig. 8 & US 5770872 A & US 6184100 B1 & EP 0778621 A2	15,16
A	JP 3-91959 A (Olympus Optical Co., Ltd.), 17 April, 1991 (17.04.91), Page 3; Figs. 1, 2 (Family: none)	1-16

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L31/10(2006.01)i, H01L27/14(2006.01)i, H01L27/06(2006.01)i, H01L21/8222(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L31/10(2006.01)i- H01L31/119(2006.01)i, H01L27/14(2006.01)i, H01L27/06(2006.01)i, H01L21/8222(2006.01)i

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 0 7 年
日本国実用新案登録公報	1 9 9 6 - 2 0 0 7 年
日本国登録実用新案公報	1 9 9 4 - 2 0 0 7 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 4 - 8 2 2 6 8 A (ソニー株式会社) 1 9 9 2 . 0 3 . 1 6 , 第 6 頁 右 上 欄 , 第 5 図 , 第 8 図 (ファミリーなし)	1 - 1 6
A	J P 9 - 3 0 7 0 8 6 A (シャープ株式会社) 1 9 9 7 . 1 1 . 2 8 , 段落【 0 1 3 1】, 図 8 (ファミリーなし)	1 - 1 6

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 4 . 2 0 0 7

国際調査報告の発送日

0 1 . 0 5 . 2 0 0 7

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官（権限のある職員）

土屋 知久

2 K

3 7 0 0

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き). 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 2001-284629 A (シャープ株式会社) 2001. 10. 12, 段落【0014】, 【0038】, 図1 & US 2001/0038096 A1	1-16
A	J P 2004-119632 A (シャープ株式会社) 2004. 04. 15, 段落【0026】 (ファミリーなし)	1-16
A	J P 2001-135808 A (シャープ株式会社) 2001. 05. 18, 段落【0043】, 図1, 図4B & US 6380603 B1	1-16
A	J P 10-107243 A (シャープ株式会社) 1998. 04. 24, 段落【0057】 & US 6114740 A & EP 0834925 A3	11-12
A	J P 9-219534 A (ソニー株式会社) 1997. 08. 19, 段落【0007】, 図8 & US 5770872 A & US 6184100 B1 & EP 0778621 A2	15, 16
A	J P 3-91959 A (オリンパス光学工業株式会社) 1991. 04. 17, 第3頁, 第1図, 第2図 (ファミリーなし)	1-16