

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4973494号
(P4973494)

(45) 発行日 平成24年7月11日(2012.7.11)

(24) 登録日 平成24年4月20日(2012.4.20)

(51) Int.Cl.

F I

H05K 3/46 (2006.01)

H05K 3/46

N

請求項の数 2 (全 34 頁)

(21) 出願番号	特願2007-509308 (P2007-509308)	(73) 特許権者	000000158
(86) (22) 出願日	平成18年3月22日 (2006.3.22)		イビデン株式会社
(86) 国際出願番号	PCT/JP2006/305721		岐阜県大垣市神田町2丁目1番地
(87) 国際公開番号	W02006/101134	(74) 代理人	100095795
(87) 国際公開日	平成18年9月28日 (2006.9.28)		弁理士 田下 明人
審査請求日	平成21年3月9日 (2009.3.9)	(72) 発明者	山下 高広
(31) 優先権主張番号	特願2005-85454 (P2005-85454)		岐阜県大垣市青柳町300番地 イビデン株式会社内
(32) 優先日	平成17年3月24日 (2005.3.24)	(72) 発明者	石原 暁秀
(33) 優先権主張国	日本国 (JP)		岐阜県大垣市青柳町300番地 イビデン株式会社内
		(72) 発明者	久保田 直樹
			岐阜県大垣市青柳町300番地 イビデン株式会社内

最終頁に続く

(54) 【発明の名称】 多層プリント配線板

(57) 【特許請求の範囲】

【請求項 1】

コア基板の表面に設けられた下層導体層上に、層間絶縁層と上層導体層が形成されて、該下層導体層と該上層導体層とがビアホールを介して電氣的に接続される多層プリント配線板において、

前記ビアホールの底部との接続部において、前記下層導体層側に凹みが設けられており、

前記下層導体層は、コア基板に形成されたフィルドビア上に形成されたことを特徴とする多層プリント配線板。

【請求項 2】

前記フィルドビアは無電解めっき層と電解めっき層とを含み、該無電解めっき層の厚みは前記凹部の深さよりも小さいことを特徴とする請求項 1 の多層プリント配線板。

【発明の詳細な説明】

【技術分野】

【0001】

この発明は、多層プリント配線板に係り、特に IC チップ実装用のパッケージ基板に好適に用い得るビルドアップ多層プリント配線板に関する。

【背景技術】

【0002】

IC チップやその他の部品を実装させるための部品実装基板としては、ビルドアップ式の

多層プリント配線板（主としてアディティブ法によるプリント配線板の製法）と、バイアホールによる層間接続を行う積層多層プリント配線板（主として、サブトラ法によるプリント配線板の製法）などがある。

ビルドアップ式の多層プリント配線板では、ドリルなどによりスルーホールを有するコア基板の両面もしくは片面に、層間絶縁樹脂を形成し、層間導通のためのバイアホールをレーザもしくはフォトリソエッチングにより開口させて、バイアホールを有する層間樹脂絶縁層を形成させる。必要に応じて、層間絶縁層或いはバイアホールの内壁に粗化層を形成させる。そのバイアホール内壁にめっきなどにより導体層を形成し、エッチングなどを経て、層間絶縁層上にパターン形成し、導体回路を作る。さらに、層間絶縁層と導体層を繰り返し形成させることにより、ビルドアップ式の多層プリント配線板が得られる。

10

また、ビルドアップ多層配線板では、スルーホール表面を覆う導体層（蓋めっき層）を設け、その蓋めっき上にバイアホールを形成することや、バイアホールを導体で充填するフィールドビアを形成し、更に、該フィールドビアの直上にフィールドビアを設ける所謂スタックドビア構造が用いられている。

【0003】

一方、積層多層プリント配線板では、レーザもしくはドリルにより銅張積層板に絶縁層を貫通する開口（バイアホール）を形成させて、その開口内にめっき、導電性ペーストなどにより導体層を形成させた基板を一単位として、これらを複数枚を重ねて、逐次もしくは一括によりプレスなどにより積層させることにより、積層多層プリント配線板を得ることができる。

20

また、この積層多層プリント配線板のバイアホールとしてフィールドビアを用いてもよいし、フィールドビアの直上にフィールドビアを形成させるスタックビアとしても形成してもよい。

【0004】

ビルドアップ式の多層プリント配線板の従来技術として、特許文献1があり、フィールドビアを有するビルドアップ式の多層プリント配線板の従来技術として、特許文献2がある。また、積層多層プリント配線板の従来技術として、特許文献3がある。

【特許文献1】特開2001-127435公報

【特許文献2】特開平11-251749号公報

【特許文献3】特開2003-37366号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

プリント配線板の高密度化の要望により、配線密度を高めるために、L（ライン）/S（スペース）を小さくすることや、バイアホール径を小さくすることが必要となっている。また、より高密度にするために、スルーホールを導体で充填させるフィールドビアやビアを積層させるスタックビア構造が採用されている。それらにより、配線を形成する領域の高密度化がなされている。

【0006】

バイアホール径を小さくすると、上層導体層（層間絶縁層を介して、層間絶縁層上の導体回路もしくはバイアホールを含む導体回路を指す。）と下層導体層とのバイアホール内での接続面積も小さくなる。バイアホールとランドとの接合力が低下しやすくなり、ヒートサイクル条件下や高温高湿条件下などの信頼性試験を施すと、両者間で接続抵抗が増大する傾向が見られた。

40

【0007】

バイアホールにフィールドビアやスタックドビア構造を取っても、バイアホールに形成した導体と下層の導体（ランド）間の接続面積が小さいと、バイアホールとランドとの接合力が低下しやすくなり、ヒートサイクル条件下や高温高湿条件下などの信頼性試験を施すと、やはり両者間で接続抵抗が増大する傾向が見られた。

また、フィールドビアやスタックドビア構造は、熱応力や衝撃時に発生した応力などが伝達し

50

やすい。そのために発生した応力が該バイアホール及び周辺で緩衝されないと、層間絶縁層やバイアホール近傍の導体層でのクラックなどの不具合を引き起こし、その結果として、電気接続性や信頼性を早期に低下させる要因となることもあった。

【 0 0 0 8 】

ここで、ビルドアップ式の多層プリント配線板や積層多層プリント配線板において、バイアホールは、無電解めっき膜、電解めっき膜の順で形成することにより成る。先に形成する無電解めっき膜は、延性が低いため、該無電解めっき膜でクラック・破断が発生し易いと考えられる。また、ＩＣチップ等の電子部品実装時にプリント配線板に反りが発生した場合には、無電解めっき膜は、その反りに追従できないため、バイアホールがランドから剥離しやすいと考えられる。

10

それらを考慮してバイアホール径を大きくしても、バイアホールの接続性や信頼性が低下したりしてしまうことがあった。

【 0 0 0 9 】

本発明は、上述した課題を解決するためになされたものであり、その目的とするところは、バイアホールの接続性や信頼性を確保させることができる多層プリント配線板を提供することにある。

【課題を解決するための手段】

【 0 0 1 0 】

上述した課題を解決するため、コア基板の表面に設けられた下層導体層上に、層間絶縁層と上層導体層が形成されて、該下層導体層と該上層導体層とがバイアホールを介して電気的に接続される多層プリント配線板において、

20

前記バイアホールの底部との接続部において、前記下層導体層側に凹みが設けられており、

前記下層導体層は、コア基板に形成されたフィルドビア上に形成されたことを技術的特徴とする。

【発明の効果】

【 0 0 1 9 】

バイアホールの底部との上層導体層と下層導体層との接続部において、下層導体層側に凹みが設けられているため、従来のバイアホールの接続部である下層導体層の上面位置よりも接続界面を下側にすることができる。元々、熱収縮時などの熱応力及び衝撃時に発生した応力が集中し、最大となるバイアホールの接続部であり、その接続部の位置が従来の下層導体層の上面位置の場合では、その応力が緩衝されにくいいため、層間絶縁層やバイアホール近傍の導体層にクラックなどが生じてしまい、バイアホールの接続信頼性を低下せたりしていた。それに対して、本願では、バイアホールの接続部での接続界面が下層導体層の上面よりも下側になる。そのために、応力が集中するポイント（下層導体層の上面位置）から接続界面を下側へずらすことができ、当該接続界面に沿って破断が生じ難くなる。一方、該接続界面で発生した応力を緩衝することができるので、層間絶縁層やバイアホール近傍の導体層にクラックが生じ難くなって、バイアホールの接続信頼性を確保することが可能になる。また、その結果として、製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

30

40

さらに、バイアホール径を小さくし、バイアホールの接続部における接続面積が小さくなったとしても、その効果は同様であり、面積の大きさにその効果は阻害されないのである。

【 0 0 2 0 】

バイアホールの底部と下層導体層との接続部において、接続界面が下層導体層の上面より下側へずらされている。元々、熱収縮時などの熱応力及び衝撃時に発生した応力が集中し、最大となるバイアホールの接続部であり、その接続部の位置が従来の下層導体層の上面位置の場合では、その応力を緩衝されにくいいため、層間絶縁層やバイアホール内の導体層にクラックなどが生じてしまい、バイアホールの接続信頼性を低下せたりしていた。それに対して、本願では、バイアホールの接続部での接続界面が下層導体層の上面よりも下

50

側になる。そのために、応力が集中するポイント（下層導体層の上面位置）から接続界面を下側へずらすことができ、当該接続界面に沿って破断が生じ難くなる。一方、該接続界面で発生した応力を緩衝することができるので、層間絶縁層やビアホール近傍の導体層にクラックが生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

さらに、ビアホール径を小さくし、ビアホールの接続部における接続面積が小さくなったとしても、その効果は同様であり、面積の大きさにその効果は阻害されないのである。

【 0 0 2 1 】

金属を充填して成るフィルドピアに対して、下層導体層の上面よりも下側にへずらすことにより、前述と同様の効果を得られることができるのである。その結果として、フィルドピアでビアホールを形成したとしても、層間絶縁層やビアホール近傍の導体層にクラックが生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

【 0 0 2 2 】

スタックピアにおいて、ビアホールの底部と下層導体層との接続部において、接続界面が下層導体層の上面より下側へずらされている。元々、熱収縮時などの熱応力及び衝撃時に発生した応力が集中し、最大となるビアホールの接続部であり、その接続部の位置が従来の下層導体層の上面位置の場合では、その応力を緩衝されにくいため、層間絶縁層やビアホール近傍の導体層にクラックなどが生じてしまい、ビアホールの接続信頼性を低下させたりしていた。それに対して、本願では、応力が集中するポイント（下層導体層の上面位置）から接続界面を下側へずらすことができ、当該接続界面に沿って破断が生じ難くなる。一方、該接続界面で発生した応力を緩衝することができるので、層間絶縁層やビアホール近傍の導体層にクラックが生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

スタックピア構造の場合、スタックの最下層に位置するビアホールの接続部において、接続界面を下層導体層の上面より下側へずらすことで、最大の効果を得ることができるのであるが、スタックピアのいずれか一箇所ビアホールの接続界面もしくはすべてのビアホールの接続界面を該当する下層導体回路の上面よりも下側に位置させることにより、その効果を得ることができるのである。

【 0 0 2 3 】

凹みやずらしを下層導体層に設けた場合には、凹みの大きさ（径）は、ビアホール径と同等かそれ以上の大きさであることが望ましい。それにより、上層導体層である金属層が、凹部内部にまで金属層が入り込むのである。上層導体回路では、ビアホールと下層導体層の内部に一体化となる金属層となり、層間絶縁層に対して、嵌合する構造となる。ビアホール内の接合強度を確保しやすくなる。それ故に、電気接続性や信頼性が低下し難くなるのである。また、一体化構造であるので、耐落下性を確保しやすくなるのである。さらに、凹みの大きさ（径）は、ビアホール径以上の大きさであることが、より望ましい。それにより、上層導体層であるビアホールが錨形状となっているのである。この形状となっているので、2つの特徴がある。一つは、ビアホールの接続部を下側へずらしている。もう一つは、側面がビアホールの外側に広がっているので、樹脂層とビアホールとで嵌合している状態になる。それにより、電気接続性や信頼性を確保し易くなり、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

【 0 0 2 4 】

ビアホールの靱性の低い無電解めっき層を、下層導体層の上面より下側へずらすことで、層間絶縁層やビアホール内の導体層へのクラック等の不具合が生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリン

10

20

30

40

50

ト配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

【0025】

バイアホールの底部と上層導体層と下層導体層との接続界面が、下層導体層の上面より2 μm 以上、下側へずらされている。このため、熱収縮時などの熱応力及び衝撃時に発生した応力が集中し、最大となる下層導体層の上面位置であり、最もクラックの入り易い接続界面が下層導体層の上面よりも確実に下側になるので、応力の集中する位置から接続界面を下側へずらすことができ、その結果、層間絶縁層やバイアホール近傍の導体層にクラックなどの不具合が生じ難くなって、バイアホールの接続信頼性を確保することが可能になる。

また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

10

【0026】

バイアホールの底部の上層導体層と下層導体層との接続界面が、下層導体層の上面より3 μm 以上、下層導体層の上面より下側へずらされている。このため、熱収縮時及び衝撃時の応力が最大となる下層導体層の上面位置よりも、最もクラックの入り易い接続界面が確実に下層導体層の上面よりも下側になり、応力の集中する位置からずらすことができ、その結果、接続界面での破断、層間絶縁層やバイアホール近傍の導体層にクラックなどの不具合が生じ難くなって、バイアホールの接続信頼性を確保することが可能になる。ここで、下層導体層の上面位置からの3 μm 以上変位しているため、加わる応力値が下がり、耐性を確保することができる。一方、該接続界面を5 μm 以上変位しても、加わる応力値が下がらないが、これよりも下層導体層を凹ませると、下層導体層の厚みによっては、当該部分で下層導体層が薄くなって、当該部分である下層導体層の凹部において、クラックが入り易くなることがあり、接続性などを確保し難くなることがある。

20

【0027】

また、バイアホールが錨形状であるために、層間絶縁層とバイアホールとが嵌合状態となり、上層導体層と下層導体層との接合が得られやすい。そのために、接続性や信頼性を確保しやすい。

【発明を実施するための最良の形態】

【0028】

【実施例1】

30

(実施例1-1)

先ず、本発明の実施例1に係る多層プリント配線板10の構成について、図1～図9を参照して説明する。図8は、該多層プリント配線板10の断面図を、図9は、図8に示す多層プリント配線板10にICチップ90を取り付け、ドータボード94へ載置した状態を示している。図8に示すように、多層プリント配線板10では、コア基板30の表面に導体回路34が形成されている。コア基板30の表面と裏面とはスルーホール36を介して接続されている。スルーホール36は、スルーホールランドを構成する蓋めっき層36aと、側壁導体層36bとから成り、側壁導体層36bの内部には樹脂充填材37が充填されている。蓋めっき層(スルーホールランド)36aの上にフィルドビア60及び導体回路58の形成された層間樹脂絶縁層50と、フィルドビア160及び導体回路158の形成された層間樹脂絶縁層150と、フィルドビア260の形成された層間樹脂絶縁層250とが配設されている。該フィルドビア260の上層にはソルダーレジスト層70が形成されており、該ソルダーレジスト層70の開口部71を介して、半田パッドを構成するフィルドビア260に半田から成るバンプ78U、78Dが形成されている。

40

【0029】

図9中に示すように、多層プリント配線板10の上面側の半田バンプ78Uは、ICチップ90のランド92へ接続される。一方、下側の半田バンプ78Dは、ドータボード94のランド96へ接続されている。

【0030】

図8中の円C中の蓋めっき層36a、フィルドビア60、フィルドビア160、フィルド

50

ビア（半田パッド）２６０、半田から成るバンブ７８Ｕを拡大して図１０中に示す。

スタックビア構造である最下層のフィルドビア６０の底部と蓋めつき層（下層導体層）３６ａとの接続部において、蓋めつき層３６ａ側に凹部３６ｈが設けられている。即ち、フィルドビア６０の底部と蓋めつき層３６ａとの接続部において、上層導体層と蓋めつき層（下層導体層）との接続界面が蓋めつき層（下層導体層）３６ａの上面より下側へ深さｄ１分ずらされている。また、凹部３６ｈは、バイアホールの底部（バイアホールの蓋めつき層３６ａ上面位置における径）よりも、ｋ１分径が広げられている。

【００３１】

実施例１の多層プリント配線板では、最下層のフィルドビア６０の底部と蓋めつき層（下層導体層）３６ａとの接続部において、上層導体層と下層導体層の接続界面が蓋めつき層３６ａの上面より下側へ深さｄ１分ずらされているため、該接続界面が蓋めつき層３６ａの上面位置に形成した場合と比べて、接続界面が下側になり、応力を集中する位置から接続界面をずらすことができ、その結果、接続界面での破断を防ぐことができる。また、層間絶縁層やバイアホール近傍の導体層にクラックなどの不具合が生じ難くなって、バイアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を確保することができる。

また、上層導体層と下層導体層の接続界面が蓋めつき層３６ａの外周方向に幅ｋ１分ずらされているため、上層導体回路の金属層がバイアホールと凹部内部にまで入り込むのである。上層導体回路では、バイアホールと下層導体層の内部に一体化となる金属層となり、層間絶縁層に対して、嵌合する構造となる。バイアホール内の接合強度を確保しやすくなる。それ故に、電気接続性や信頼性が低下し難くなるのである。また、一体化構造であるので、耐落下性を確保しやすくなるのである。

【００３２】

同様に、スタックビア構造である中段層に位置するフィルドビア１６０の底部と最下層のフィルドビア６０との接続部において、最下層のフィルドビア６０側に凹部６０ｈが設けられている。即ち、フィルドビア１６０の底部とフィルドビア６０との接続部において、中段層のフィルドビアの導体層と最下層のフィルドビアの導体層との接続界面が最下層のフィルドビア６０の導体層の上面より下側へ深さｄ２分ずらされている。更に、最上層のフィルドビア２６０と中段層のフィルドビア１６０も同様に、中段層のフィルドビア１６０の導体層に凹部１６０ｈを設けて、最上層のフィルドビア２６０の導体層と中段層のフィルドビア１６０の導体層との接続界面が中段層のフィルドビア１６０の導体層の上面より下側へ深さｄ３分ずらして、接続されている。

また、蓋めつき層（下層導体層）６０ａは、バイアホールの底部よりも、ｋ２分ずらされている。また、凹部６０ｈは、バイアホール１６０の底部（バイアホール１６０のバイアホール６０上面位置における径）よりも、ｋ２分径が広げられている。同様に、凹部１６０ｈは、バイアホール２６０の底部（バイアホール２６０のバイアホール１６０上面位置における径）よりも、ｋ３分径が広げられている。

【００３３】

実施例１の多層プリント配線板では、中段層のフィルドビア１６０の底部と最下層のフィルドビア６０との接続部において、中段層のフィルドビア導体層と最下層のフィルドビアの導体層の接続界面がフィルドビア６０の上面より下側へ深さｄ２分ずらされているため、応力を集中する位置（フィルドビアの上面位置）から接続界面をずらすことができ、接続界面での破断が生じ難くなる。その結果、層間絶縁層やバイアホール近傍の導体層にクラックが生じ難くなって、バイアホールの接続信頼性を確保することが可能になる。また、本願により製造されたプリント配線板は、熱応力に対する耐性及び衝撃時の耐性を高めることができる。

【００３４】

また、上層導体層と下層導体層の接続界面が蓋めつき層６０の外周方向に幅ｋ２分ずらされているため、上層導体回路の金属層がバイアホールと凹部内部にまで入り込むのである。上層導体回路では、バイアホールと下層導体層の内部に一体化となる金属層となり、層

10

20

30

40

50

間絶縁層に対して、嵌合する構造となる。ビアホール内の接合強度を確保しやすくなる。それ故に、電気接続性や信頼性が低下し難くなるのである。また、一体化構造であるので、耐落下性を確保しやすくなるのである。

これにより、最下層のフィルドビア60と中段層のフィルドビア160との接続信頼性を高め、同様に、中段層のフィルドビア160と最上層のフィルドビア260との接続信頼性を確保することが可能になる。

【0035】

ここで、フィルドビア60、160は、金属を充填して成るため、樹脂が内部に充填されたビアホール（非フィルドビア形状）と異なり応力が内部に逃げ難い。実施例1では、内層のすべてのフィルドビアの該フィルドビアの下層に該当するフィルドビアである導体層側に凹部を設けることで、ビアホールの接続信頼性を確保することが可能になる。また、熱応力に対する耐性及び衝撃時の耐性を高めることができる。

【0036】

さらに、それぞれのビアホールとの接続する下層回路側に、凹部は、ビアホールと同等か、それ以上の大きさ（径）であることが望ましい。つまり、凹部の端部がずれていることである。これにより、上層導体回路の金属層がビアホールと凹部内部にまで入り込むのである。上層導体回路では、ビアホールと下層導体層の内部に一体化となる金属層となり、層間絶縁層に対して、嵌合する構造となる。ビアホール内の接合強度を確保しやすくなる。それ故に、電気接続性や信頼性が低下し難くなるのである。また、一体化構造であるので、耐落下性を確保しやすくなるのである。

【0037】

実施例1では、フィルドビア60、フィルドビア160、フィルドビア260が、無電解めっき層52と電解めっき層56とから成る。無電解めっき層52は電解めっき層56と比較して不純物を含み脆い傾向にある。内層であるフィルドビア60、160の靱性の低い無電解めっき層52の下面を、下層のフィルドビアの上面、或いは、蓋めっき層36aの上面より下側へずらすことで、応力を集中する位置からずらすことができ、無電解めっき層52での破断を防ぐことができる。その結果、層間絶縁層やビアホール近傍の導体層にクラック等の不具合が生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、熱応力に対する耐性及び衝撃時の耐性を高めることができる。

【0038】

さらに、それぞれのビアホールとの接続する下層回路側に、凹部は、ビアホールと同等か、それ以上の大きさであることが望ましい。つまり、凹部の端部がずれていることである。これにより、上層導体回路の金属層がビアホールと凹部内部にまで入り込むのである。上層導体回路では、ビアホールと下層導体層の内部に一体化となる金属層となり、層間絶縁層に対して、嵌合する構造となる。ビアホール内の接合強度を確保しやすくなる。それ故に、電気接続性や信頼性が低下し難くなるのである。また、一体化構造であるので、耐落下性を確保しやすくなるのである。

【0039】

ここで、上層フィルドビアの底部と下層フィルドビアあるいは、下層フィルドビアと蓋めっき層36aとの接続界面が、下層フィルドビアあるいは、蓋めっき層36aの上面より2 μ m以上下側へずらされていることが望ましい。2 μ mにすることにより、無電解めっきのめっき厚み、下層側の導体層の厚みなどを考慮したとしても、下層導体層の上面よりも、接続界面を下側に配置することができるのである。それ故に、接続界面を下層フィルドビアあるいは蓋めっき層36aの上面位置にした場合と比べて、接続界面が確実に下側になり、接続界面での破断が無くなり、その結果、層間絶縁層やビアホール近傍の導体層にクラック等の不具合が生じ難くなって、ビアホールの接続信頼性を確保することが可能になる。また、熱応力に対する耐性及び衝撃時の耐性を高めることができる。

一方、下層フィルドビア或いは、蓋めっき層36aの上面位置からの2 μ m未満では、使用するめっき厚みや下層側の導体層の厚みによっては、応力の緩衝を妨げることがあり、ビアホール接続性を高められないこともあり、熱応力に対する耐性及び衝撃時の耐性を高

10

20

30

40

50

められないこともある。

【0040】

更に好適には、上層の導体層と下層の導体層との接続界面が、下層フィルドビア、蓋めつき層36aの導体層の上面より3 μ m以上、下側へずらされていることが望ましい。

即ち、下層フィルドビアの導体層あるいは蓋めつき層36aの導体層の上面からの3 μ m以上変位させることが、外部或いは内部から加わる応力値が下げることが実験的に証明されていて、それ故に、応力に対する耐性を高めることができる。一方、5 μ m以上変位させたとしても、外部或いは内部から加わる応力値がより下げることが困難となる。言い換えると、5 μ mの変位が応力値を下げる限界点となるのである。5 μ mよりを越えて、蓋めつき層36aを凹ませると、下層導体層の厚みによっては、当該部分で蓋めつき層36aが薄くなるなどの不具合を発生してしまい、凹みの先端位置を起点に下層導体層にてクラック等の不具合を引き起こしやすくなることがある。バイアホールの接続性をより高めることが困難となるのである。

10

【0041】

応力解析の結果、スタックドフィルドビアにおいて、最下層のフィルドビアにおいて最も応力値が高くなる。実施例1では、3段重ねの最下層のフィルドビア60の底面と蓋めつき層36aとの接続部において、接続界面が蓋めつき層36aの上面より下側へずらされている。このため、応力の集中するポイントをずらすことができ、層間絶縁層やバイアホールの近傍の導体層のクラックを生じ難くし、バイアホール接続性を高められるし、また、熱応力に対する耐性及び衝撃時の耐性を高めらるのである。

20

【0042】

ここで、実施例1では、半田78U、78Dが鉛レスの半田(Sn/Ag/Cu=65/32.5/2.5)を用いているため、鉛半田と比較して靱性が低く、半田が半田パッドから剥離し易い。

【0043】

ここで、フィルドビア60ヒートサイクル時に加わる応力をシミュレーションした結果について説明する。

ここでは、有限要素法(FEM)による3D熱応力シミュレーションを行った。半田等のような塑性・クリープ特性の顕著な材料が解析構造体に含まれている場合には、塑性・クリープ特性を考慮した非線形熱応力シミュレーションが必要なため、まず基板全体を含むモデルを粗いメッシュで解析し、そこから計算された変位を細かいメッシュで分割されたサブモデルの境界条件とし、問題視する部分の精密な解析をするマルチスケリング(サブモデリング)手法を用い、高多層・高密度有機パッケージのマイクロビアにかかる熱衝撃試験時の熱応力を解析した。即ち、パッケージのCoarseモデルを解析し、その変位をサブモデルの境界条件として設定し、半田の塑性を考慮して、-55 ~ 比較例5の熱衝撃試験条件で非線形熱応力解析を行った。

30

【0044】

図17は、応力解析を行ったフィルドビアの配置例を示している。図17(A)の配置例では下層フィルドビア3rdVと、中層フィルドビア2ndV及び上層フィルドビア1stVとが変位するように配置され、同様に、図17(B)の配置例、及び、図17(E)の配置例でも下層フィルドビア3rdVと、中層フィルドビア2ndV及び上層フィルドビア1stVとが変位するように配置されている。ここで、図17(A)の配置例と図17(B)の配置例との違いは、図17(A)では、導体回路1stC、2ndC、3rdCがフィルドビアから離れて配置され、図17(B)では、近接して配置されている点にある。更に、図17(A)の配置例と図17(E)の配置例との違いは、図17(A)では、下層フィルドビア3rdVに対して、中層フィルドビア2ndV及び上層フィルドビア1stVとが横方向へ大きく変位して、応力の影響が小さいのに対して、図17(E)では、変位量が小さく、相互に応力の影響を大きく受ける点にある。

40

【0045】

図17(C)及び図17(D)の配置例では、下層フィルドビア3rdVと中層フィルド

50

ビア 2 n d V と上層フィールドビア 1 s t V とが直線上に配置されている。ここで、図 1 7 (C) では、導体回路 1 s t C、2 n d C、3 r d C がフィールドビアに近接して配置され、図 1 7 (B) では、離れて配置されている。

【 0 0 4 6 】

下層フィールドビア 3 r d V、中層フィールドビア 2 n d V 及び上層フィールドビア 1 s t V の下端部の左右の点に掛かる応力をシミュレーションした結果を図 1 8 中に示す。

ここで、3 段重ねの図 1 7 (C)、図 1 7 (D) の配置例での応力値が、図 1 7 (A) 及び図 1 7 (B) の配置例よりも高く、また、上層フィールドビア 1 s t V よりも中層フィールドビア 2 n d V に加わる応力値が大きく、中層フィールドビア 2 n d V よりも下層フィールドビア 3 r d V に加わる応力値が大きいことが分かる。即ち、重ねられたフィールドビアでは、下段へ行くほど応力値が高くなる。

10

【 0 0 4 7 】

一方、図 1 7 (E) に示す配置例でも、下層フィールドビア 3 r d V に対して、中層フィールドビア 2 n d V 及び上層フィールドビア 1 s t V とが横方向へ変位量が小さいため、相互に応力の影響を大きく受け、下層フィールドビア 3 r d V に加わる応力値が大きくなっている。

【 0 0 4 8 】

上述したシミュレーションにより分かった応力値の高くなるフィールドビアにおいて、実施例 1 の構成を適用することで、熱収縮時に発生する応力によるフィールドビアの破断を防ぐことができる。

20

【 0 0 4 9 】

図 1 9 は、中層フィールドビア 2 n d V の下端部に加わる応力値をシミュレーションした結果を示している。図 1 9 (A) は、中層フィールドビア 2 n d V の模式図であり、図 1 9 (B) はシミュレーション値を示すグラフである。

ここで、下層フィールドビア 3 r d V の上面位置 (0 μm) においては、中層フィールドビア 2 n d V の右下端には 3 1 2 . 7 M P a が、左下端には、2 4 5 . 2 M P a が加わっている。ここで、左側の値が低いのは、右側にある下層フィールドビア 3 r d V の影響である。上面位置より 1 μm 低い位置では (- 1 μm) では、右側に 2 2 0 . 6 M P a が、左側に 1 8 5 . 3 M P a の応力が加わっている。上面位置より 2 μm 低い位置では (- 2 μm) では、右側に 9 9 . 2 M P a が、左側に 1 0 8 . 8 M P a の応力が加わっている。上面位置より 3 μm 低い位置では (- 3 μm) では、右側に 9 3 . 6 M P a が、左側に 9 2 . 4 M P a が加わっている。上面位置より 4 μm 低い位置では (- 4 μm) では、右側に 7 4 . 4 M P a が、左側に 7 5 . 8 M P a が加わっている。上面位置より 5 μm 低い位置では (- 5 μm) では、右側に 7 3 . 6 M P a が、左側に 7 4 . 6 M P a が加わっている。上面位置より 6 μm 低い位置では (- 6 μm) では、右側に 7 3 . 7 M P a が、左側に 7 4 . 4 M P a が加わっている。

30

【 0 0 5 0 】

上記シミュレーション結果から、上層フィールドビアの底部と下層フィールドビア、蓋めっき層 3 6 a との接続界面を、下層フィールドビア、蓋めっき層 3 6 a の上面より 2 μm 以上下側へずらすことで、パイアホールに求められる 1 0 0 M P a 程度まで応力値を低減できることが明らかになった。更に、3 μm から 5 μm の範囲まで、接続界面を下げていくことで、更に、応力値を低減できることが分かった。しかしながら、5 μm を越えて接続界面を下げてても応力値が低下しないことが分かった。

40

【 0 0 5 1 】

上述した実施例 1 では、3 層のスタックビアを形成したが、2 層のスタックビアであっても、また、4 層以上のスタックビアであっても同様に接続界面を下層フィールドビア、蓋めっき層の上面より 2 μm 以上下側へずらすことで同様の効果を得ることができる。

【 0 0 5 2 】

また、上述した実施例 1 では、無電解めっき膜 5 2 と電解めっき膜 5 6 とによりフィールドビア 6 0、1 6 0、2 6 0 を形成したが、スパッタ、ペースト等の導体によりフィールド

50

ビアを形成した場合にも同様な効果を有する。また、例えば、上層：電解めっき膜、中層：無電解めっき膜、下層電解めっき膜等の異なるめっき方法の導体層の組み合わせであっても同様に効果を有する。

【 0 0 5 3 】

引き続き、図 8 を参照して上述した多層プリント配線板 1 0 の製造方法について図 1 ～図 1 6 を参照して説明する。

(1) 厚さ 0 . 2 ～ 0 . 8 mm のガラスエポキシ樹脂または B T (ビスマレイミドトリアジン) 樹脂からなる絶縁性基板 3 0 の両面に 5 ～ 2 5 0 μ m の銅箔 3 2 がラミネートされている銅張積層板 3 0 A を出発材料とした (図 1 (A)) 。まず、この銅張積層板をドリル削孔して通孔 1 6 を穿設し (図 1 (B)) 、無電解めっき処理および電解めっき処理 (後述するめっき液と条件 (工程 (1 3) 、 (1 5)) 参照) を施し、スルーホール 3 6 の側壁導体層 3 6 b を形成した (図 1 (C)) 。通孔 1 6 の開口径は、ドリルの選択により 0 . 1 ～ 0 . 2 5 mm で形成し、そのピッチは 0 . 1 5 ～ 0 . 5 7 5 mm とした。

【 0 0 5 4 】

(2) スルーホール 3 6 を形成した基板 3 0 を水洗いし、乾燥した後、NaOH (1 0 g / l) 、NaClO₂ (4 0 g / l) 、Na₃PO₄ (6 g / l) を含む水溶液を黒化浴 (酸化浴) とする黒化処理、および、NaOH (1 0 g / l) 、NaBH₄ (6 g / l) を含む水溶液を還元浴とする還元処理を行い、スルーホール 3 6 の側壁導体層 3 6 b 及び表面に粗化面 3 6 を形成する (図 1 (D)) 。

【 0 0 5 5 】

(3) 次に、平均粒径 1 0 μ m の銅粒子を含む充填剤 3 7 (タツタ電線製の非導電性穴埋め銅ペースト、商品名：D D ペースト) を、スルーホール 3 6 ヘスクリーン印刷によって充填し、乾燥、硬化させる (図 1 (E)) 。これは、スルーホール部分に開口を設けたマスクを載置した基板上に、印刷法にて塗布することによりスルーホールに充填させ、充填後、乾燥、硬化させる。

【 0 0 5 6 】

引き続き、そして、スルーホール 3 6 からはみ出した充填剤 3 7 を、# 6 0 0 のベルト研磨紙 (三共理化学製) を用いたベルトサンダー研磨により除去し、さらにこのベルトサンダー研磨による傷を取り除くためのバフ研磨を行い、基板 3 0 の表面を平坦化する (図 2 (A) 参照) 。このようにして、スルーホール 3 6 の側壁導体層 3 6 b と樹脂充填剤 3 7 とが粗化層 3 6 を介して強固に密着した基板 3 0 を得る。

【 0 0 5 7 】

(4) 前記 (3) で平坦化した基板 3 0 表面に、パラジウム触媒 (アトテック製) を付与し、無電解銅めっきを施すことにより、厚さ 0 . 6 μ m の無電解銅めっき膜 2 3 を形成する (図 2 (B) 参照) 。

【 0 0 5 8 】

(5) ついで、以下の条件で電解銅めっきを施し、厚さ 1 5 μ m の電解銅めっき膜 2 4 を形成し、導体回路 3 4 となる部分の厚付け、およびスルーホール 3 6 に充填された充填剤 3 7 を覆う蓋めっき層 (スルーホールランド) となる部分を形成する (図 2 (C)) 。

〔電解めっき水溶液〕

硫酸	1 8 0	g / l
硫酸銅	8 0	g / l
添加剤 (アトテックジャパン製、商品名：カパラシド G L)	1	ml / l

〔電解めっき条件〕

電流密度	1 A / d m ²
時間	3 0 分
温度	室温

【 0 0 5 9 】

(6) 導体回路および蓋めっき層となる部分を形成した基板 3 0 の両面に、市販の感光性

ドライフィルムを張り付け、パターンを有するマスクを載置して、 100 mJ/cm^2 で露光、0.8%炭酸ナトリウムで現像処理し、厚さ $15\text{ }\mu\text{m}$ のエッチングレジスト25を形成する(図2(D))。

【0060】

(7)そして、エッチングレジスト25を形成していない部分のめっき膜23, 24と銅箔32を、塩化第2銅を主成分とするエッチング液にて溶解除去し、さらに、エッチングレジスト25を5%KOHで剥離除去して、独立した導体回路34、および、充填剤37を覆う蓋めっき層36aを形成する(図3(A))。所謂テンティング法である。

【0061】

(8)次に、導体回路34および充填剤27を覆う蓋めっき層36aの表面にエッチング液により、厚さ $2.5\text{ }\mu\text{m}$ の粗化層(凹凸層)34を形成した。(図3(B))。

10

【0062】

(9)基板の両面に、基板より少し大きめの層間樹脂絶縁層用樹脂フィルム(味の素社製:商品名;ABF-45SH)50を基板上に載置し、圧力 0.45 MPa 、温度 80 、圧着時間 10 秒の条件で仮圧着して裁断した後、さらに、以下の方法により真空ラミネーター装置を用いて貼り付けることにより層間樹脂絶縁層を形成した(図3(C))。すなわち、層間樹脂絶縁層用樹脂フィルムを基板上に、真空度 67 Pa 、圧力 0.47 MPa 、温度 85 、圧着時間 60 秒の条件で本圧着し、その後、 170 で 40 分間熱硬化させた。

20

【0063】

(10)次に、波長 $10.4\text{ }\mu\text{m}$ の CO_2 ガスレーザにて、ビーム径 4.0 mm 、トップハットモード、パルス幅 $3\sim30\text{ }\mu\text{s}$ 、マスクの貫通孔の径 $1.0\sim5.0\text{ mm}$ 、 $1\sim3$ ショットの条件で層間樹脂絶縁層50にバイアホール用開口51を形成した(図3(D))。ここで、層間樹脂絶縁層50には、フィルドビアの底の直径が $50\text{ }\mu\text{m}$ になるように、上記レーザ条件を調整した。

【0064】

(11)フィルドビア用開口51を形成した基板を、 60 g/l の過マンガン酸を含む 80 の溶液に 10 分間浸漬し、層間樹脂絶縁層50の表面に存在するエポキシ樹脂粒子を溶解除去することにより、フィルドビア用開口51の内壁を含む層間樹脂絶縁層50の表面に粗化面50を形成した(図4(A))。図中C1で示す開口51を拡大して図11(A)中に示す。

30

【0065】

(12)次に、塩化第2銅を主成分とするエッチング液にて、開口51により露出された蓋めっき層36aの表面に深さ $3\text{ }\mu\text{m}$ の凹部36hを形成する。この深さは、ライトエッチングの時間を調整することで所望の値とする(図4(B))。図中C2で示す開口51を拡大して図11(B)に示す。

【0066】

上記処理を終えた基板を、中和溶液(シブレイ社製)に浸漬してから水洗いした。さらに、粗面化処理(粗化深さ $3\text{ }\mu\text{m}$)した該基板の表面に、パラジウム触媒を付与することにより、層間樹脂絶縁層の表面およびフィルドビア用開口の内壁面に触媒核を付着させた。すなわち、上記基板を塩化パラジウム(PbCl_2)と塩化第一スズ(SnCl_2)とを含む触媒液中に浸漬し、パラジウム金属を析出させることにより触媒を付与した。

40

【0067】

(13)次に、上村工業社製の無電解銅めっき水溶液(スルカップPEA)中に、触媒を付与した基板を浸漬して、粗面全体に厚さ $0.3\sim3.0\text{ }\mu\text{m}$ の無電解銅めっき膜を形成し、バイアホール用開口51の内壁を含む層間樹脂絶縁層50の表面に $2\text{ }\mu\text{m}$ の無電解銅めっき膜52が形成された基板を得た(図4(C))。

〔無電解めっき条件〕

34 度の液温度で 45 分

【0068】

50

(14) 無電解銅めっき膜52が形成された基板に市販の感光性ドライフィルムを張り付け、マスクを載置して、 110 mJ/cm^2 で露光し、0.8%炭酸ナトリウム水溶液で現像処理することにより、厚さ $25\text{ }\mu\text{m}$ のめっきレジスト54を設けた(図4(D))。

【0069】

(15) ついで、基板30を50の水で洗浄して脱脂し、25の水で水洗後、さらに硫酸で洗浄してから、以下の条件で電解めっきを施し電解めっき膜56を形成し、無電解めっき膜52及び電解めっき膜からなるフィルドビア60及び導体回路58を設けた(図5(A))。

〔電解めっき液〕

硫酸	2.24	mol/l
硫酸銅	0.26	mol/l
添加剤	19.5	ml/l
レベリング剤	50	mg/l
光沢剤	50	mg/l

10

〔電解めっき条件〕

電流密度	1	A/dm ²
時間	70	分
温度	22 ± 2	

図5(A)中のC3で示す部位を図11(C)に示す。図11(C)中のフィルドビア60を更に拡大して図12中に示す。ここで、フィルドビア60の厚さ $2\text{ }\mu\text{m}$ の無電解めっき層52を、深さ $3\text{ }\mu\text{m}$ の凹部36h内に設けることで、靱性の低い無電解めっき層52を蓋めっき層36aの上面より下側に設けてある。これにより、フィルドビア60と蓋めっき層36aとの間でクラックが生じ難くなって、熱応力に対する耐性及び衝撃時の耐性を高めることができる。

20

【0070】

(16) さらに、めっきレジスト54を5%KOHで剥離除去した後、そのめっきレジスト下の無電解めっき膜を硫酸と過酸化水素との混合液でエッチング処理して溶解除去し、独立の導体回路58及びフィルドビア60とした(図5(B))。

【0071】

(17) ついで、上記(4)と同様の処理を行い、導体回路58及びフィルドビア60の表面に粗化面58を形成した。上層の導体回路58の厚みは $15\text{ }\mu\text{m}$ の厚みであった(図5(C))。

30

【0072】

(18) 上記(9)～(11)工程を行うことで、フィルドビア60及び導体回路58上に開口151を有する層間絶縁層150を形成する(図5(D))。図中C4で示す開口151を拡大して図13(A)中に示す。

【0073】

(19) 次に、塩化第2銅を主成分とするエッチング液にて、開口151により露出されたフィルドビア60及び導体回路58の表面に深さ $3\text{ }\mu\text{m}$ の凹部60h、58hを形成する。この深さは、ライトエッチングの時間を調整することで所望の値とする(図6(A))。図中C5で示す開口51を拡大して図13(B)に示す。

40

【0074】

(20) 上記(13)～(17)工程を行うことで、フィルドビア160及び導体回路158を有する層間絶縁層150を形成する(図6(B))。図中C6で示すフィルドビア160を拡大して図13(C)中に示す。該フィルドビア160を更に拡大して図14に示す。

ここで、フィルドビア160の厚さ $2\text{ }\mu\text{m}$ の無電解めっき層52を、深さd2($3\text{ }\mu\text{m}$)の凹部60h内に設けることで、靱性の低い無電解めっき層52をフィルドビア60の上面より下側に設けてある。これにより、フィルドビア60とフィルドビア160との間でクラックが生じ難くなって、熱応力に対する耐性及び衝撃時の耐性を高めることができる

50

。

【0075】

(21) 上記(19)、(20)の工程を繰り返すことにより、さらに上層のフィルドビア260を有する層間絶縁層250を形成し、多層配線板を得た(図6(C))。

【0076】

(22) 次に、多層配線基板の両面に、市販のソルダーレジスト組成物70を20 μ mの厚さで塗布し、70で20分間、70で30分間の条件で乾燥処理を行った後、ソルダーレジスト開口部のパターンが描画された厚さ5mmのフォトマスクをソルダーレジスト層70に密着させて1000mJ/cm²の紫外線で露光し、DMTG溶液で現像処理し、200 μ mの直径の開口71を形成した(図7(A))。

そして、さらに、80で1時間、100で1時間、120で1時間、150で3時間の条件でそれぞれ加熱処理を行ってソルダーレジスト層を硬化させ、開口を有し、その厚さが15~25 μ mのソルダーレジストパターン層を形成した。図中C7で示す開口71を拡大して図15(A)中に示す。

【0077】

(24) 次に、半田パッド160上にOSP(Organic Solderability Preservative: プリフラックス)層72を設ける(図7(B))。

【0078】

(25) この後、基板のICチップを載置する面のソルダーレジスト層70の開口71に、鉛レス(Sn/Ag/Cu=65/32.5/2.5)半田を含有するはんだペーストを印刷し、さらに他方の面のソルダーレジスト層の開口にスズ-アンチモンを含有するはんだペーストを印刷した後、200でリフローすることにより半田バンプ(はんだ体)を形成し、半田バンプ78U、78Dを有する多層プリント配線板を製造した(図8)。

【0079】

図中で円Cで囲んだ部位を拡大して図15(B)に示す。図15(B)中のフィルドビア(半田パッド)を更に拡大して図16に示す。

【0080】

最後に、半田バンプ78Uを介してICチップ90を取り付ける。そして、半田バンプ78Dを介してドータボード94へ取り付ける(図9)。

【0081】

(実施例1-2)

実施例1-2は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを0.5 μ mに調整した。

(実施例1-3)

実施例1-3は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを1 μ mに調整した。

(実施例1-4)

実施例1-4は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを2 μ mに調整した。

(実施例1-5)

実施例1-5は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを4 μ mに調整した。

(実施例1-6)

実施例1-6は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを5 μ mに調整した。

(実施例1-7)

実施例1-7は、上記実施例1-1と同様であるが、蓋めっき層36a及びフィルドビア60、160、260のエッチングによる凹部深さを6 μ mに調整した。

【0082】

(実施例1-8)

実施例 1 - 8 は、上記実施例 1 - 1 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 1 μ m に調整した。ここで、実施例 1 - 1 では、フィルドピアの最大 3 段重ねがあったが、実施例 1 - 8 では、フィルドピアを 2 段重ねまでとした。

(実施例 1 - 9)

実施例 1 - 9 は、上記実施例 1 - 8 と同様であるが、フィルドピアを重ねない構造とした。

【0083】

(実施例 1 - 10)

実施例 1 - 10 は、上記実施例 1 - 1 と同様であるが、フィルドピアの底径を 60 μ m 10
とした。

(実施例 1 - 11)

実施例 1 - 11 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 0.5 μ m に調整した。

(実施例 1 - 12)

実施例 1 - 12 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 1 μ m に調整した。

(実施例 1 - 13)

実施例 1 - 13 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 2 μ m に調整した。 20

(実施例 1 - 14)

実施例 1 - 14 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 4 μ m に調整した。

(実施例 1 - 15)

実施例 1 - 15 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 5 μ m に調整した。

(実施例 1 - 16)

実施例 1 - 16 は、上記実施例 1 - 10 と同様であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 6 μ m に調整した。 30

【0084】

(比較例 1 - 1)

比較例 1 - 1 として、図 8 を参照して上述した実施例 1 - 1 と同様な構造であるが、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 に凹部を設けない構造とした。

(比較例 1 - 2)

比較例 1 - 2 として、図 8 を参照して上述した実施例 1 - 1 と同様な構造であるが、フィルドピアの底径を 60 μ m にすると共に、蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 に凹部を設けない構造とした。

【0085】

[実施例 2]

(実施例 2 - 1)

実施例 2 に係る多層プリント配線板について図 20 の断面図を参照して説明する。

図 8 を参照して上述した実施例 1 では、フィルドピア 2 6 0 上に半田バンプ 7 8 U、7 8 D が設けられた。これに対して、実施例 2 の多層プリント配線板では、フィルドピア 2 6 0 及び導体回路 2 5 8 上に半田バンプ 7 8 U、7 8 D が設けられる。更に、実施例 1 では、ソルダーレジスト層 7 0 の開口 7 1 内であって、フィルドピア 2 6 0 上にOSP 層 7 2 を設けた。これに対して、実施例 2 では、ソルダーレジスト層 7 0 の開口 7 1 内であって、フィルドピア 2 6 0 及び導体回路 2 5 8 上に形成されたニッケルめっき層 7 3、金めっき層 7 4 を介して半田バンプ 7 8 U、7 8 D が設けられる。

なお、実施例 2 - 1 は、上記実施例 1 - 1 と同様に蓋めっき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 3 μ m に調整した。 50

【 0 0 8 6 】

(実施例 2 - 2)

実施例 2 - 2 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 0 . 5 μ m に調整した。

(実施例 2 - 3)

実施例 2 - 3 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 1 μ m に調整した。

(実施例 2 - 4)

実施例 2 - 4 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 2 μ m に調整した。

10

(実施例 2 - 5)

実施例 2 - 5 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 4 μ m に調整した。

(実施例 2 - 6)

実施例 2 - 6 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 5 μ m に調整した。

(実施例 2 - 7)

実施例 2 - 7 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 6 μ m に調整した。

20

【 0 0 8 7 】

(実施例 2 - 8)

実施例 2 - 8 は、上記実施例 2 - 1 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 1 μ m に調整した。ここで、実施例 2 - 1 では、フィルドピアの最大 3 段重ねがあったが、実施例 2 - 8 では、フィルドピアを 2 段重ねまでとした。

(実施例 2 - 9)

実施例 2 - 9 は、上記実施例 2 - 8 と同様であるが、フィルドピアを重ねない構造とした。

【 0 0 8 8 】

(実施例 2 - 1 0)

30

実施例 2 - 1 0 は、上記実施例 2 - 1 と同様であるが、フィルドピアの底径を 6 0 μ m とした。

(実施例 2 - 1 1)

実施例 2 - 1 1 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 0 . 5 μ m に調整した。

(実施例 2 - 1 2)

実施例 2 - 1 2 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 1 μ m に調整した。

(実施例 2 - 1 3)

実施例 2 - 1 3 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 2 μ m に調整した。

40

(実施例 2 - 1 4)

実施例 2 - 1 4 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 4 μ m に調整した。

(実施例 2 - 1 5)

実施例 2 - 1 5 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 5 μ m に調整した。

(実施例 2 - 1 6)

実施例 2 - 1 6 は、上記実施例 2 - 1 0 と同様であるが、蓋めつき層 3 6 a 及びフィルドピア 6 0、1 6 0、2 6 0 のエッチングによる凹部深さを 6 μ m に調整した。

50

【 0 0 8 9 】

(比較例 2 - 1)

比較例 2 - 1 として、図 8 を参照して上述した実施例 2 - 1 と同様な構造であるが、蓋めっき層 3 6 a 及びフィルドビア 6 0、1 6 0、2 6 0 に凹部を設けない構造とした。

(比較例 2 - 2)

比較例 2 - 2 として、図 8 を参照して上述した実施例 2 - 1 と同様な構造であるが、フィルドビアの底径を 6 0 μ m にすると共に、蓋めっき層 3 6 a 及びフィルドビア 6 0、1 6 0、2 6 0 に凹部を設けない構造とした。

【 0 0 9 0 】

[実施例 3]

10

(実施例 3 - 1)

実施例 3 に係る多層プリント配線板について図 2 1 の断面図を参照して説明する。

図 8 を参照して上述した実施例 1 では、フィルドビアを用いたが、実施例 3 では、内部に樹脂を充填して成るパイアホール 6 0、1 6 0 を用いている。また、実施例 1 では、スルーホールが蓋めっき層を備え、蓋めっき層上にフィルドビアを設けた。これに対して、実施例 3 では、スルーホール 3 6 が蓋めっき層を有さず、スルーホールのランドにパイアホール 6 0 が接続されている。

なお、実施例 3 - 1 は、上記実施例 1 - 1 と同様に導体回路 3 4、導体回路 5 8 のエッチングによる凹部深さを 3 μ m に調整した。

【 0 0 9 1 】

20

この実施例 3 においても、実施例 1 と同様に、パイアホール 6 0 と導体回路 3 4、及び、パイアホール 1 6 0 と導体回路 5 8 との接続部において、接続界面が導体回路 3 4、5 8 の上面より下側へずらされているため、熱収縮時及び衝撃時の応力が最大となる導体回路 3 4、5 8 の上面位置よりも、最もクラックの入り易い接続界面が下側になり、クラックが生じ難くなって、熱応力に対する耐性及び衝撃時の耐性を高めることができる。これにより、パイアホール 6 0 と導体回路 3 4、及び、パイアホール 1 6 0 と導体回路 5 8 との接続信頼性を高めてある。

【 0 0 9 2 】

(実施例 3 - 2)

実施例 3 - 2 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 0 . 5 μ m に調整した。

30

(実施例 3 - 3)

実施例 3 - 3 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 1 μ m に調整した。

(実施例 3 - 4)

実施例 3 - 4 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 2 μ m に調整した。

(実施例 3 - 5)

実施例 3 - 5 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 4 μ m に調整した。

40

(実施例 3 - 6)

実施例 3 - 6 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 5 μ m に調整した。

(実施例 3 - 7)

実施例 3 - 7 は、上記実施例 3 - 1 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを 6 μ m に調整した。

【 0 0 9 3 】

(実施例 3 - 8)

実施例 3 - 8 は、上記実施例 3 - 1 と同様であるが、フィルドビアの底径を 6 0 μ m とした。

50

(実施例 3 - 9)

実施例 3 - 9 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $0.5 \mu\text{m}$ に調整した。

(実施例 3 - 1 0)

実施例 3 - 1 0 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $1 \mu\text{m}$ に調整した。

(実施例 3 - 1 1)

実施例 3 - 1 1 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $2 \mu\text{m}$ に調整した。

(実施例 3 - 1 2)

実施例 3 - 1 2 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $4 \mu\text{m}$ に調整した。

(実施例 3 - 1 3)

実施例 3 - 1 3 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $5 \mu\text{m}$ に調整した。

(実施例 3 - 1 4)

実施例 3 - 1 4 は、上記実施例 3 - 8 と同様であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 のエッチングによる凹部深さを $6 \mu\text{m}$ に調整した。

【0094】

(比較例 3 - 1)

比較例 3 - 1 として、図 8 を参照して上述した実施例 3 - 1 と同様な構造であるが、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 に凹部を設けない構造とした。

(比較例 3 - 2)

比較例 3 - 2 として、図 8 を参照して上述した実施例 3 - 1 と同様な構造であるが、フィルドビアの底径を $60 \mu\text{m}$ にすると共に、導体回路 3 4、導体回路 5 8 及び導体回路 1 5 8 に凹部を設けない構造とした。

【0095】

[実施例 4]

(実施例 4 - 1)

実施例 4 に係る多層プリント配線板について図 2 2 ~ 図 2 7 を参照して説明する。

実施例 1 ~ 実施例 3 は、ビルドアップ式の多層プリント配線板であったが、実施例 4 は、基板を複数枚積層してなる積層多層プリント配線板からなる。図 2 6 は、実施例 4 の多層プリント配線板の断面図である。

多層プリント配線板 1 0 は、基板 3 0 を積層して成る。各基板 3 0 には、一方の面に導体回路 4 2 が、他方の面に導体回路 4 4 が設けられ、該導体回路 4 2 と導体回路とはビアホール 4 6 を介して接続されている。該ビアホール 4 6 は、導体回路 4 2 の内面側に設けられた凹部 3 2 h を介して、当該導体回路 4 2 に接続されている。上面表層側の基板 3 0 のビアホール 4 6 は、凹部 4 6 h を介して半田バンプ 7 8 U が接続されている。同様に、下面表層側の基板 3 0 のビアホール 4 6 は、凹部 4 6 h を介して半田バンプ 7 8 D が接続されている。上面表層及び下面表層には、半田バンプ 7 8 U、7 8 D を突出させるための開口 7 1 が形成されたソルダーレジスト層 7 0 が設けられている。

【0096】

図 2 7 中に示すように、多層プリント配線板 1 0 の上面側の半田バンプ 7 8 U は及び半田バンプ 7 8 D には、電子部品 9 0、9 0 B が接続されている。

【0097】

実施例 4 の多層プリント配線板では、ビアホール 4 6 の底部と導体回路 (下層導体層) 4 2 との接続部において、ビアホール 4 6 と下層導体層 4 2 の接続界面が下層導体層裏面の凹部 3 2 h 分ずらされているため、応力の集中する導体回路 4 2 の上面位置から接続界面を下側へずらすことができ、その結果、接続界面での破断を防ぐことができる。本願により製造された多層プリント配線板は、熱応力に対する耐性及び衝撃時の耐性を高める

10

20

30

40

50

ことができる。

【 0 0 9 8 】

引き続き、実施例 4 の多層プリント配線板の製造方法について、図 2 2 ~ 図 2 6 を参照して説明する。

(1) まず、多層化回路基板を構成する両面回路基板を製作する。この回路基板は、エポキシ樹脂をガラスクロスに含漬させて B ステージとしたプリプレグ 3 0 と、銅箔 3 2 とを積層して加熱プレスすることにより得られる両面銅張積層板 3 0 A を出発材料として用いる (図 2 2 (A))。

【 0 0 9 9 】

この絶縁性基材の厚さは $75\ \mu\text{m}$ 、銅箔の厚さは $16\ \mu\text{m}$ である。必要に応じて、絶縁基材をエッチングして、銅箔 3 2 の厚みを薄く (例えば $14\ \mu\text{m}$) としてもよい (図 2 2 (B))。

【 0 1 0 0 】

(2) エッチングし終えた両面回路基板に、炭酸ガスレーザー照射を行って、銅箔 3 2 および絶縁性基材 3 0 を貫通して、反対面の銅箔 3 2 に至るビアホール形成用開口 1 6 を形成し (図 2 2 (C))、さらにその開口内を過マンガン酸の薬液処理によってデスミア処理した。

この実施例においては、ビアホール形成用の開口 1 6 の形成には、日立ビア社製の高ピーク短パルス発振型炭酸ガスレーザー加工機を使用し、基材厚 $75\ \mu\text{m}$ のガラス布エポキシ樹脂基材に、銅箔にダイレクトにレーザービーム照射して 100 穴 / 秒のスピードで、 $100\ \mu\text{m}$ のビアホール形成用の開口を形成した。

【 0 1 0 1 】

(3) デスミア処理を終えた絶縁性基材を開口した銅箔 3 2 面に、塩化第 2 銅を主成分とするエッチング液にて、開口 1 6 により露出された銅箔 3 2 の裏面に深さ $3\ \mu\text{m}$ の凹部 3 2 h を形成する。この深さは、ライトエッチングの時間を調整することで所望の値とする (図 2 2 (D))。この際に、銅箔 3 2 の厚みが $12\ \mu\text{m}$ に調整された。

【 0 1 0 2 】

(4) 銅箔面に凹部 3 2 h が形成された基板に以下のような条件で、銅箔をめっきリードとする電解銅めっき処理を施した。

〔電解めっき液〕

硫酸	2 . 2 4	m o l / l
硫酸銅	0 . 2 6	m o l / l
添加剤 A (反応促進剤)	1 0 . 0	m l / l
添加剤 B (反応抑制剤)	1 0 . 0	m l / l

〔電解めっき条件〕

電流密度	1	A / d m ²
時間	6 5	分
温度	2 2 ± 2	

添加剤 A によりバイアホール (開口) 内の電解銅めっき膜の形成が促進され、逆に添加剤 B により主として銅箔部分に付着されて、めっき膜の形成を抑制される。また、バイアホール内が電解銅めっきで充填されて、銅箔とほぼ同一の高さになると、添加剤 B が付着されるので、銅箔部分と同様にめっき膜の形成が抑制される。これにより、開口 1 6 内に電解銅めっき 1 4 を充填して、平坦化されたバイアホール 4 6 を形成した (図 2 3 (A))。

【 0 1 0 3 】

その際、電解銅めっきが開口 1 6 の上部で盛り上がる場合には、サンダーベルト研磨およびパフ研磨などの物理的な方法で盛り上がった部分を除去して平坦化してもよい。

【 0 1 0 4 】

(5) 上記 (3) 工程を経た絶縁基材 3 0 の銅箔 3 2 および銅めっき 1 4 上に、感光性ドライフィルムエッチングレジスト 3 8 を形成した (図 2 3 (B))。レジスト 3 8 の厚み

は15～20 μmで形成され、露光・現像を経て、銅めっき14、銅箔32上にレジストの非形成部を形成した。

【0105】

(6) レジスト38の非形成部に、塩化銅からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜14および銅箔32を除去する。その後、レジストをアルカリ液により剥離して、導体回路42およびバイアホール46を含まれる導体回路44を形成する(図23(C))。これにより、表裏を接続するバイアホール46があり、そのバイアホール46と導体回路を成す銅箔部分とが平坦化された回路基板が得られるのである。この後、黒化処理を施し、導体回路42、44上に黒化層44Bを形成してもよい(図23(D))。

10

【0106】

(7) その後、(1)～(6)工程を経て得られた回路基板30を1単位として(図24(A))、この基板上にプリプレグなどの接着材層48を挟み、プレス条件 温度80～250、圧力1～10 kgf/cm²により加熱プレスを行い積層して多層化基板10を形成した(図24(B))。

【0107】

なお、この上に回路基板30に、片面銅貼積層板もしくは、片面にエッチングにより回路を形成された両面銅張積層板を接着材層48を挟み積層し、この積層した基板の銅箔側を上記(1)～(6)工程を経ることにより、同様に表裏を接続するバイアホールがあり、そのバイアホールと導体回路を成す銅箔部分とが平坦化された多層化基板を得られこともできる。さらに、この工程を繰り返すことにより、多層化を行うことができるのである。この積層では、バイアホールの向きを同一方向にしてもよいし、対抗させてもよい。これ以外に組み合わせにより多層化をしてもよい。

20

【0108】

(8) 多層化基板10の最上層および最下層に位置する回路基板の表面に、ソルダーレジスト層を形成した。フィルム化されたソルダーレジスト層を貼り付ける、もしくは予め粘度を調整されたワニスにより塗布することにより基板上に、ソルダーレジスト層を20～30 μmの厚さで形成した。

次いで、70で20分間、100で30分間の乾燥処理を行った後、ソルダーレジスト開口部の円パターン(マスクパターン)が描画された厚さ5 mmのソーダライムガラス基板を、ソルダーレジスト層に密着させて1000 mJ/cm²の紫外線で露光し、DMTG現像処理した。さらに、120で1時間、150で3時間の条件で加熱処理し、パッド部分に対応した開口71を有する(開口径200 μm)ソルダーレジスト層(厚み20 μm)70を形成した(図24(C))。

30

【0109】

(9) 次に、ソルダーレジスト層を形成した基板を、塩化ニッケル30 g/l、次亜リン酸ナトリウム10 g/l、クエン酸ナトリウム10 g/lからなるpH=5の無電解ニッケルめっき液に20分間浸漬して、開口71内に厚さ5 μmのニッケルめっき層73を形成した(図25(A))。

【0110】

(10) さらに、その基板を、シアン化金カリウム2 g/l、塩化アンモニウム75 g/l、クエン酸ナトリウム50 g/l、次亜リン酸ナトリウム10 g/lからなる無電解金めっき液に93の条件で23秒間浸漬して、ニッケルめっき層73上に厚さ0.03 μmの金めっき層74を形成し、ニッケルめっき層73と金めっき層74とからなる被覆金属層を形成した(図25(B))。

40

【0111】

(11) そして、最上層の多層回路基板を覆うソルダーレジスト層70の開口71から露出する半田パッドに対して、融点T2が約183のSn/Pb半田からなる半田ペーストを印刷して183でリフローすることにより、半田バンプ(もしくは半田層)78U、78(D)を形成した(図26)。

50

【 0 1 1 2 】

(実施例 4 - 2)

実施例 4 - 2 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $0.5 \mu\text{m}$ に調整した。

(実施例 4 - 3)

実施例 4 - 3 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $1 \mu\text{m}$ に調整した。

(実施例 4 - 4)

実施例 4 - 4 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $2 \mu\text{m}$ に調整した。

10

【 0 1 1 3 】

(実施例 4 - 5)

実施例 4 - 5 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $4 \mu\text{m}$ に調整した。

(実施例 4 - 6)

実施例 4 - 6 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $5 \mu\text{m}$ に調整した。

【 0 1 1 4 】

(実施例 4 - 7)

実施例 4 - 7 は、上記実施例 4 - 1 と同様であるが、導体層のエッチングによる凹部深さを $6 \mu\text{m}$ に調整した。

20

【 0 1 1 5 】

(比較例 4 - 1)

比較例 4 - 1 として、図 2 6 を参照して上述した実施例 4 - 1 と同様な構造であるが、導体層 3 2 及びバイアホール 4 6 に凹部を設けない構造とした。

【 0 1 1 6 】

(実施例 4 の改変例)

図 2 8 ~ 図 3 0 を参照して実施例 4 の改変例に係る多層プリント配線板の製造方法について説明する。

ここで、図 2 2 及び図 2 3 を参照して上述した実施例 4 の製造方法と、実施例 4 の改変例の製造方法とは同様であるため、図示及び説明を省略する。

30

(1) エポキシ樹脂をガラスクロスに含漬させて B ステージとしたプリプレグ 3 0 と、銅箔 3 2 とを積層して加熱プレスすることにより得られる片面銅張積層板 3 0 B を、図 2 3 (D) に示す回路基板 3 0 の上面、及び、下面に配置し (図 2 8 (A))、加圧プレスして多層基板 1 0 を形成する (図 2 8 (B))。

【 0 1 1 7 】

(2) 多層基板 1 0 に、炭酸ガスレーザ照射を行って、銅箔 3 2 および外層側の絶縁性基材 3 0 を貫通して、内層の導体回路 4 4 , 4 2 に至るビアホール形成用開口 1 6 を穿設する (図 2 9 (A))。

【 0 1 1 8 】

(3) 開口 1 6 により露出された内層の導体回路 4 4 , 4 2 に、エッチング液にて深さ $3 \mu\text{m}$ の凹部 4 4 h、4 2 h を形成する (図 2 9 (B))。この深さは、ライトエッチングの時間を調整することで所望の値とする。

40

【 0 1 1 9 】

(4) 凹部 4 4 h、4 2 h が形成された基板に電解銅めっき処理を施し、開口 1 6 内に電解銅めっき 1 4 を充填して、平坦化されたバイアホール 4 6 を形成する (図 3 0 (A))。

【 0 1 2 0 】

(5) 銅箔 3 2 および銅めっき 1 4 上に、感光性ドライフィルムエッチングレジストを形成し、露光・現像を経てレジストの非形成部を形成した。そして、レジストの非形成部に

50

、塩化銅からなるエッチング液により、エッチングを行い、非形成部に該当する銅めっき膜 14 および銅箔 32 を除去する。その後、レジストをアルカリ液により剥離して、バイアホール 46 を含まれる導体回路 44 を形成した（図 30（B））。以降の工程は、図 28～30 を参照して上述した実施例 4 と同様であるため、説明を省略する。

【0121】

[実施例 5]

（実施例 5 - 1）

実施例 5 に係る多層プリント配線板について図 31 の断面図を参照して説明する。

実施例 5 の多層プリント配線板 10 は、実施例 4 と同様に基板 30 を積層して成る。但し、実施例 5 では、バイアホールの一部が、バイアホールの直上にバイアホールを配置するスタックドピア構造になっている。ここで、実施例 5 では、実施例 4 と同様に、バイアホール 46 は、導体回路 42 の内面側に設けられた凹部 32h を介して、当該導体回路 42 に接続されている。これにより、バイアホール 46 と導体回路 42 との接続界面での破断を防いでいる。

10

【0122】

（実施例 5 - 2）

実施例 5 - 2 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 0.5 μm に調整した。

（実施例 5 - 3）

実施例 5 - 3 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 1 μm に調整した。

20

（実施例 5 - 4）

実施例 5 - 4 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 2 μm に調整した。

【0123】

（実施例 5 - 5）

実施例 5 - 5 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 4 μm に調整した。

（実施例 5 - 6）

実施例 5 - 6 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 5 μm に調整した。

30

【0124】

（実施例 5 - 7）

実施例 5 - 7 は、上記実施例 5 - 1 と同様であるが、導体層のエッチングによる凹部深さを 6 μm に調整した。

【0125】

（比較例 5 - 1）

比較例 5 - 1 として、図 31 を参照して上述した実施例 5 - 1 と同様な構造であるが、導体層 32 及びバイアホール 46 に凹部を設けない構造とした。

【0126】

以下、実施例 1 - 1 ～実施例 5 - 7、比較例 1 - 1 ～比較例 5 - 1 のプリント配線板について落下試験及び信頼性試験を行った結果について、この結果を示す図 33～図 37 中の図表を参照して説明する。

40

【0127】

（信頼性試験）

まず、作製した各実施例、比較例の多層プリント配線板に IC チップを実装し、その後 IC チップと多層プリント配線板との間に封止樹脂を充填し IC 搭載基板とした。そして、IC チップを介した特定回路の電気抵抗（IC 搭載基板の IC チップ搭載面とは反対側の面に露出し IC チップと導通している一対の電極間の電気抵抗）を測定し、その値を初期値とした。その後、それらの IC 搭載基板に、-55 度×5 分、比較例 5 度×5 分を 1 サ

50

イクルとし、これを2500回繰り返すヒートサイクル試験を行った。このヒートサイクル試験において、500、1000、1500、2000、2500サイクル目の電気抵抗を測定し、初期値との変化率 $(100 \times (\text{測定値} - \text{初期値}) / \text{初期値} (\%))$ を求めた。その結果を図33～図35中に示す。図中、電気抵抗の変化率が $\pm 5\%$ 以内のものを「良好」(○)、 $\pm 5 \sim 10\%$ のものを「ふつう」(△)、 ± 10 をこえたものを「不良」(×)とした。なお、目標スペックは1000サイクル目の変化率が $\pm 10\%$ 以内(つまり評価で「良好」か「ふつう」)である。また、 $\pm 10\%$ 以内のものを「合格」とした。

【0128】

信頼性試験の結果、バイアホール(フィルドピア)の底径が小さくなるほど信頼性が低下するが、底径 $50\mu\text{m}$ であっても $0.5\mu\text{m}$ 以上の深さの凹部を設けることで、信頼性を確保させ得ることが分かった。また、 $2\mu\text{m}$ 、更に好適には、 $3\mu\text{m}$ の深さの凹部を設けることで、信頼性を飛躍的に高め得ることが明らかになった。一方、 $5\mu\text{m}$ を越える深さの凹部を設けると信頼性が低下し、特に、実施例2-7、実施例2-16の結果からも、導体回路上に半田パッドを設ける際に $6\mu\text{m}$ の深さの凹部を設けると、信頼性が低下することが分かった。

【0129】

更に、フィルドピアを用いる第1、実施例2と、バイアホールを用いる実施例3との比較から、バイアホールよりもフィルドピアの方が、熱応力に対する接続信頼性が低くなるが、本実施例の凹部を設ける構造により、フィルドピアの接続信頼性を高め得ることが分かった。また、実施例1-3と、実施例1-8及び実施例1-9との比較から、フィルドピアの重ね段数が増すと信頼性が低下するが、実施例1-1のように $3\mu\text{m}$ 以上の深さの凹部を設けることで、所望の信頼性が得られることが分かった。

【0130】

(落下試験)

図32(A)に示すように実施例1-1～実施例5-7、比較例1-1～比較例5-1の基板10をドータボード60に搭載し、それぞれ筐体98に収めて、ネジ等により固定する。図32(B)に示すように、この固定した筐体98を1mの高さから、垂直(頭壁TPを上側、底壁BTを下側)側を下にして自然落下させる。落下試験後に、該実施例ごとに電気接続の有無を行った。

落下試験回数：10回、20回、30回

【0131】

10回の落下試験をクリアすれば、従来品(比較例1-1)と比較して落下耐性を高めることができ、実施例1-1～実施例5-7の全てでこれをクリアできた。一方、30回の落下試験をクリアすることは、高い落下耐性を有することを示し、実施例1-2、実施例2-2、実施例3-2、実施例4-2、実施例5-2を除き、実施例1-1～実施例5-7は30回をクリアできた。

【図面の簡単な説明】

【0132】

【図1】本発明の実施例1の多層プリント配線板の製造方法を示す工程図である。

【図2】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図3】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図4】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図5】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図6】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図7】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図8】実施例1に係る多層プリント配線板の断面図である。

【図9】実施例1に係る多層プリント配線板にICチップを載置した状態を示す断面図である。

【図10】図8中の円Cで囲んだ部位の拡大図である。

【図11】実施例1の多層プリント配線板の製造方法を示す工程図である。

【図 1 2】図 1 1 (C) 中のフィールドビアの拡大図である。
 【図 1 3】実施例 1 の多層プリント配線板の製造方法を示す工程図である。
 【図 1 4】図 1 3 (C) 中のフィールドビアの拡大図である。
 【図 1 5】実施例 1 の多層プリント配線板の製造方法を示す工程図である。
 【図 1 6】図 1 5 (C) 中のフィールドビアの拡大図である。
 【図 1 7】フィールドビアの配置例を示す模式図である。
 【図 1 8】図 1 7 中のフィールドビアのエッチング量に対する応力値を示すグラフである。
 【図 1 9】図 1 9 (A) はフィールドビアの配置例を示す模式図であり、図 1 9 (B) は図 1 9 (A) 中のフィールドビアのエッチング量に対する応力値を示すグラフである。
 【図 2 0】実施例 2 に係る多層プリント配線板の断面図である。
 【図 2 1】実施例 3 に係る多層プリント配線板の断面図である。
 【図 2 2】実施例 4 の多層プリント配線板の製造方法を示す工程図である。
 【図 2 3】実施例 4 の多層プリント配線板の製造方法を示す工程図である。
 【図 2 4】実施例 4 の多層プリント配線板の製造方法を示す工程図である。
 【図 2 5】実施例 4 の多層プリント配線板の製造方法を示す工程図である。
 【図 2 6】実施例 4 に係る多層プリント配線板の断面図である。
 【図 2 7】実施例 4 に係る多層プリント配線板に電子部品を載置した状態を示す断面図である。

10

【図 2 8】実施例 4 の改変例に係る多層プリント配線板の製造方法を示す工程図である。
 【図 2 9】実施例 4 の改変例に係る多層プリント配線板の製造方法を示す工程図である。
 【図 3 0】実施例 4 の改変例に係る多層プリント配線板の製造方法を示す工程図である。
 【図 3 1】実施例 5 に係る多層プリント配線板の断面図である。
 【図 3 2】落下試験の内容を示す説明図である。
 【図 3 3】実施例 1 及び比較例 1 の落下試験及び信頼性試験の結果を示す図表である。
 【図 3 4】実施例 2 及び比較例 2 の落下試験及び信頼性試験の結果を示す図表である。
 【図 3 5】実施例 3 及び比較例 3 の落下試験及び信頼性試験の結果を示す図表である。
 【図 3 6】実施例 4 及び比較例 4 の落下試験及び信頼性試験の結果を示す図表である。
 【図 3 7】実施例 5 及び比較例 5 の落下試験及び信頼性試験の結果を示す図表である。

20

【符号の説明】

【 0 1 3 3 】

30

3 0 基板

3 2 導体回路

3 2 h 凹部

3 4 導体回路

3 6 スルーホール

3 6 a 蓋めつき層 (スルーホールランド)

3 6 b 側壁導体層

3 6 h 凹部

4 0 樹脂充填層

4 6 バイアホール

40

4 6 h 凹部

5 0 層間樹脂絶縁層

5 8 導体回路

6 0 フィールドビア

6 0 h 凹部

7 8 U、7 8 D 半田バンブ

7 0 ソルダーレジスト層

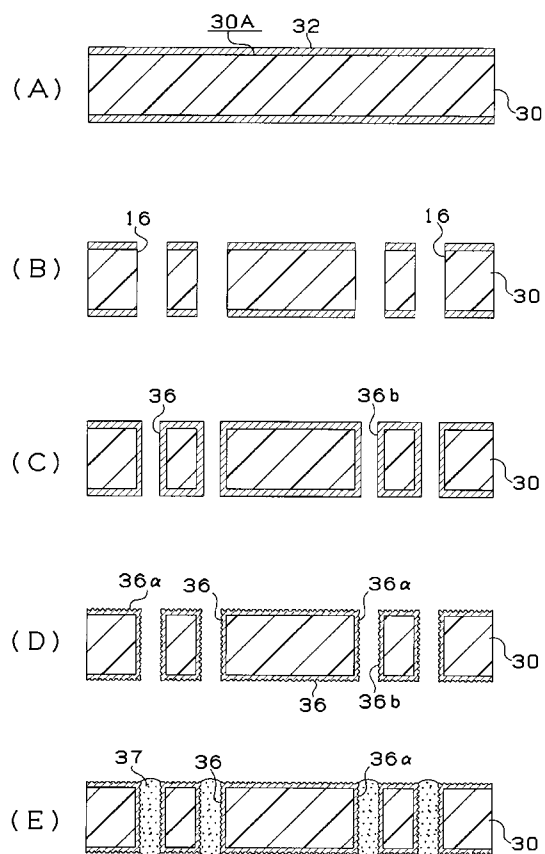
7 1 開口

7 8 U、7 8 D 半田バンブ

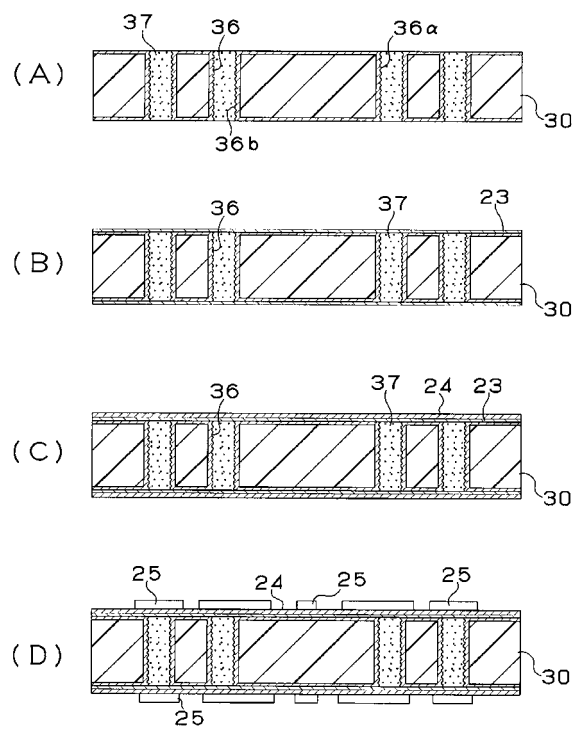
1 6 0 フィールドビア

50

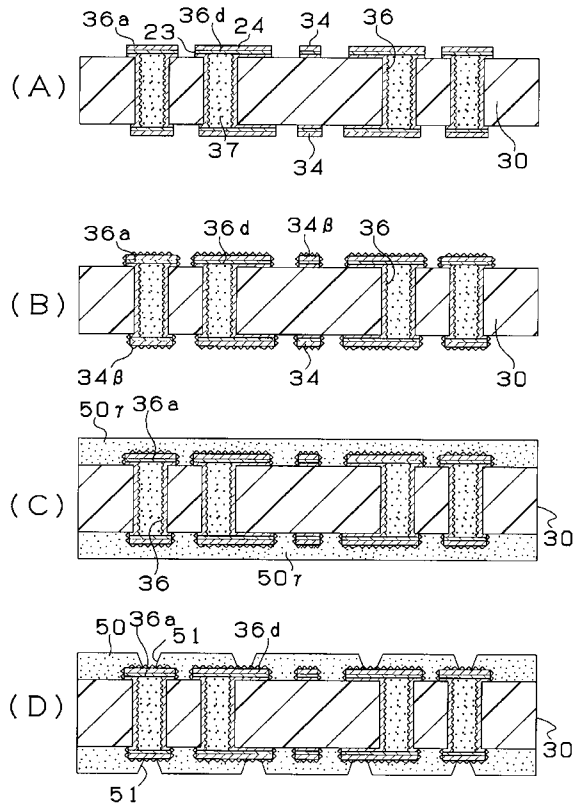
【図 1】



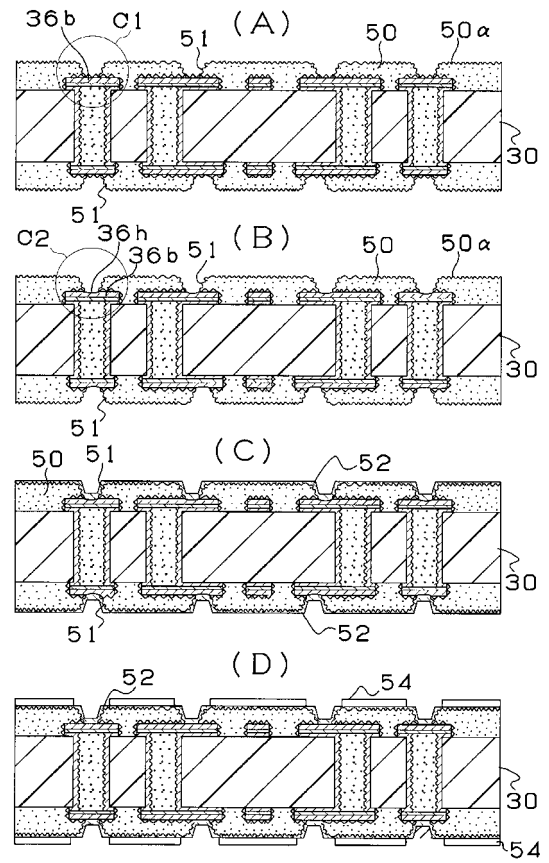
【図 2】



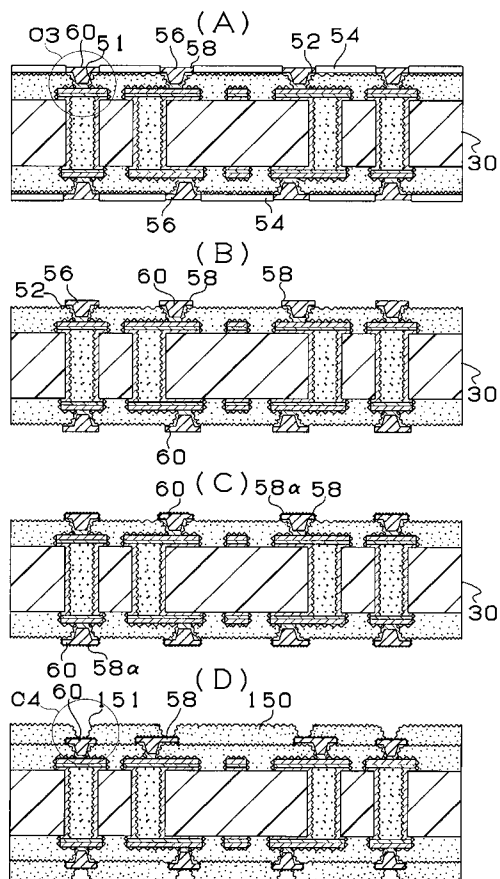
【図 3】



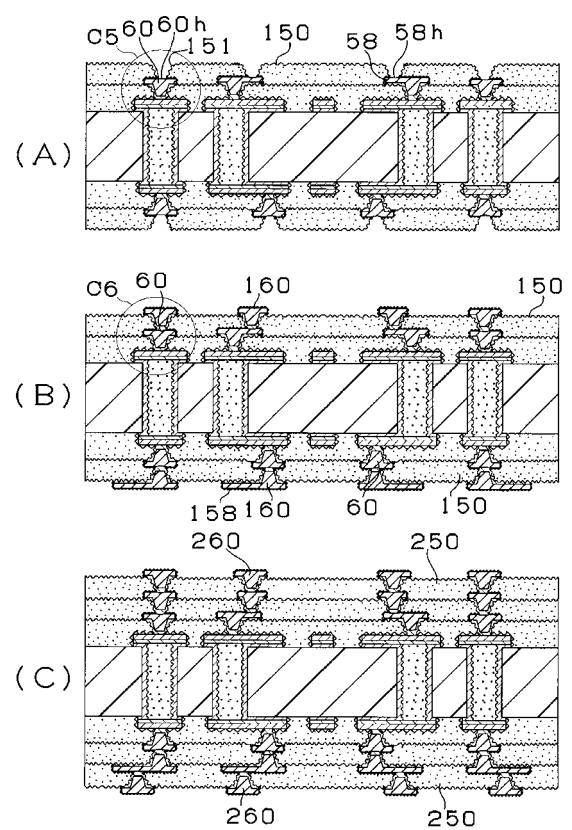
【図 4】



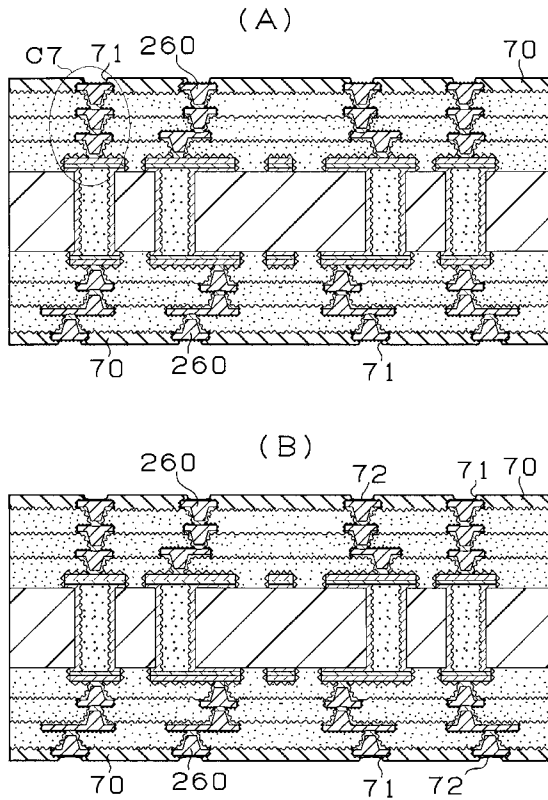
【図 5】



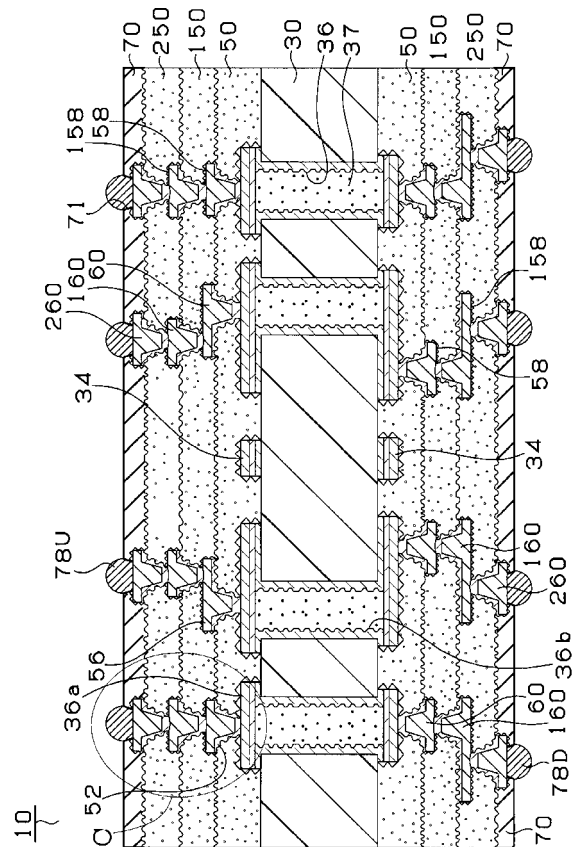
【図 6】



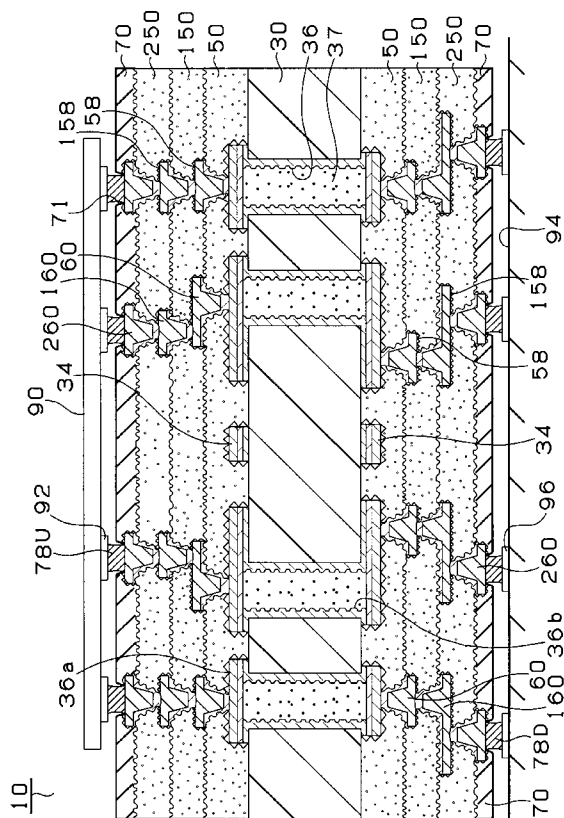
【圖 7】



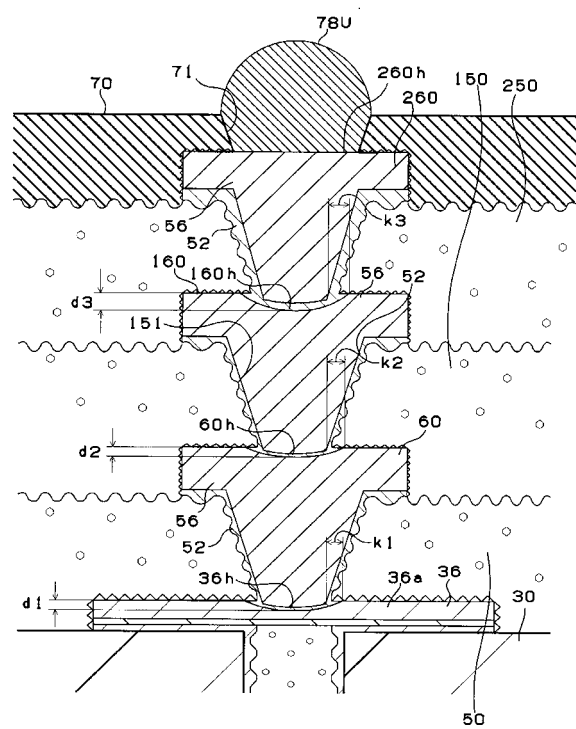
【 図 8 】



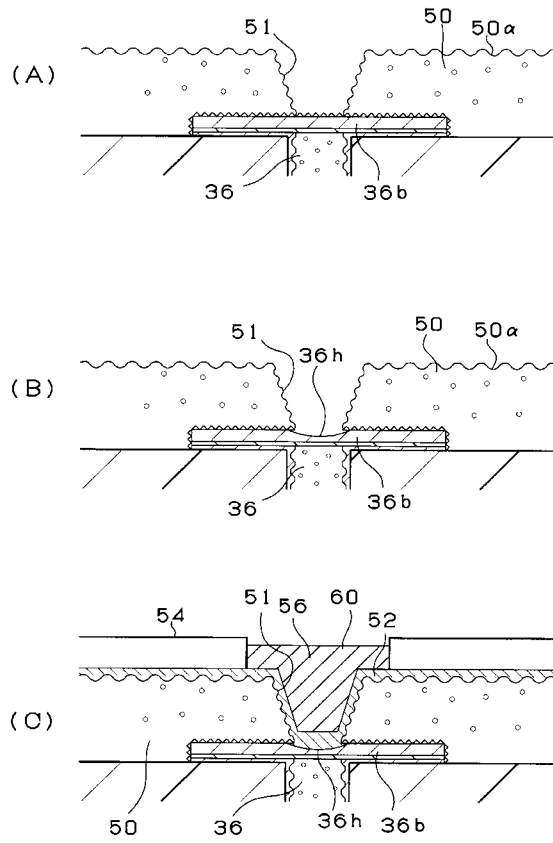
【圖 9】



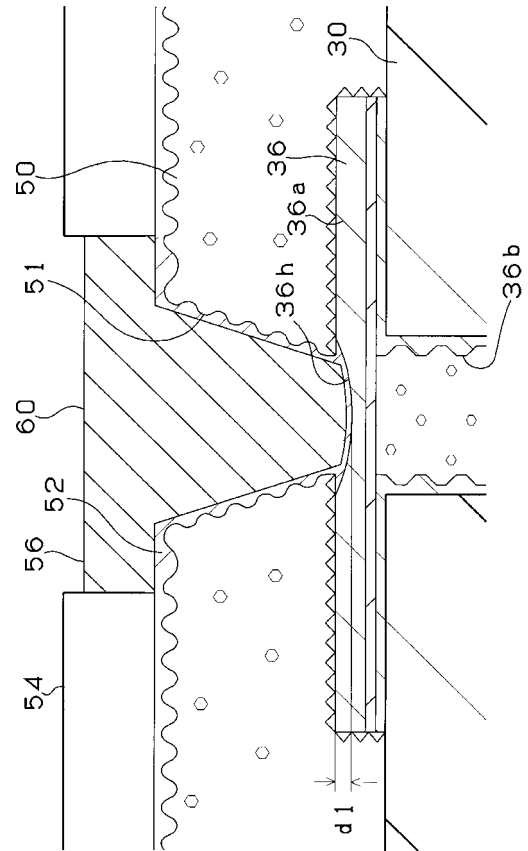
【 図 1 0 】



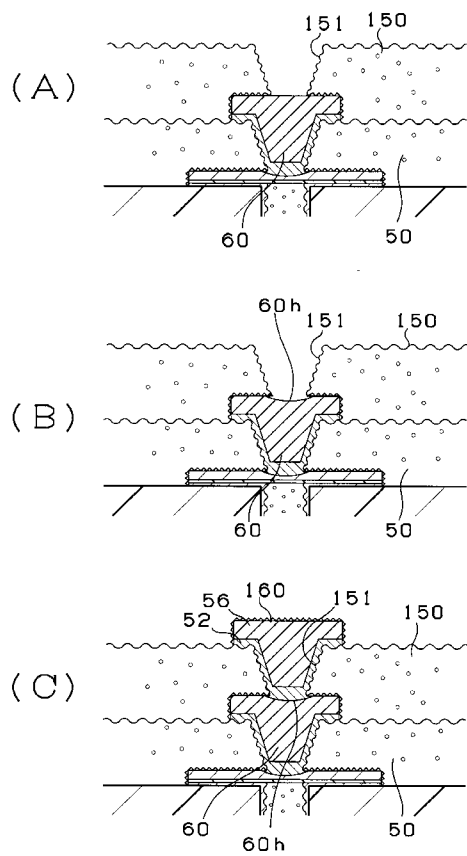
【図 1 1】



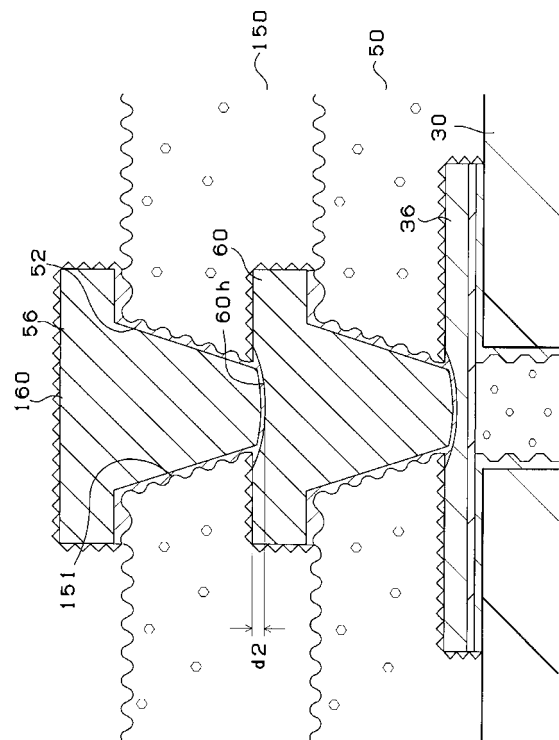
【図 1 2】



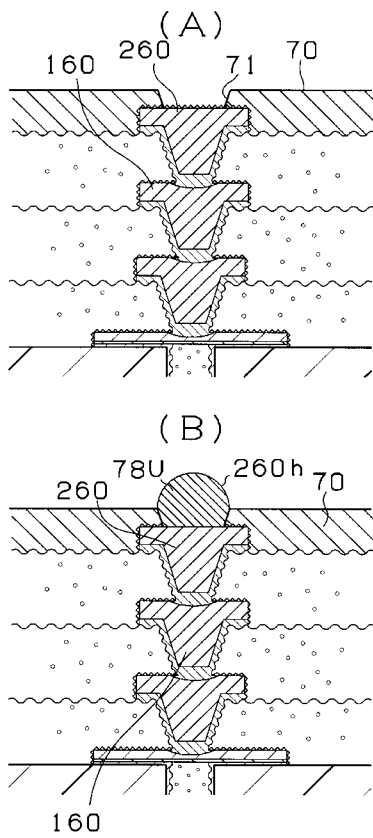
【図 1 3】



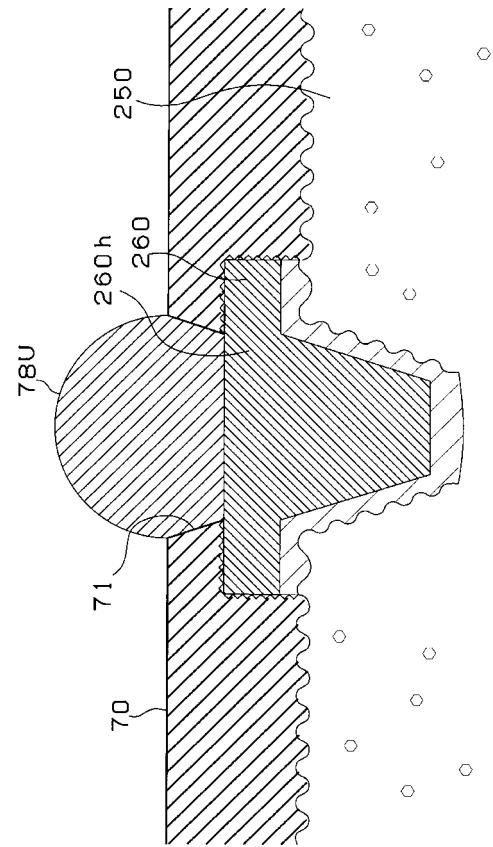
【図 1 4】



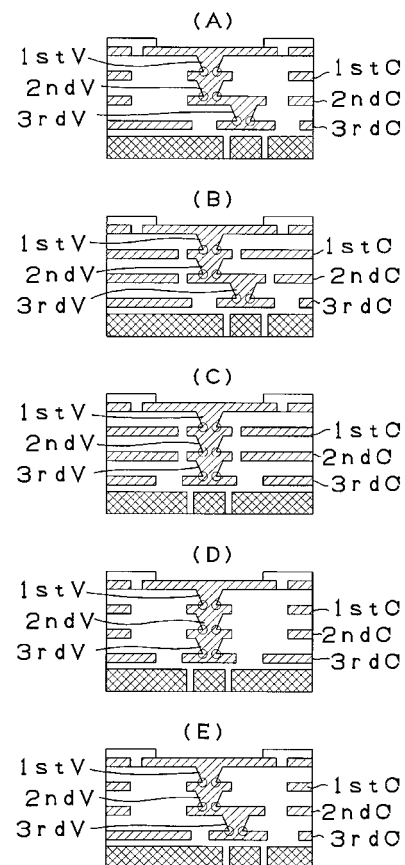
【図15】



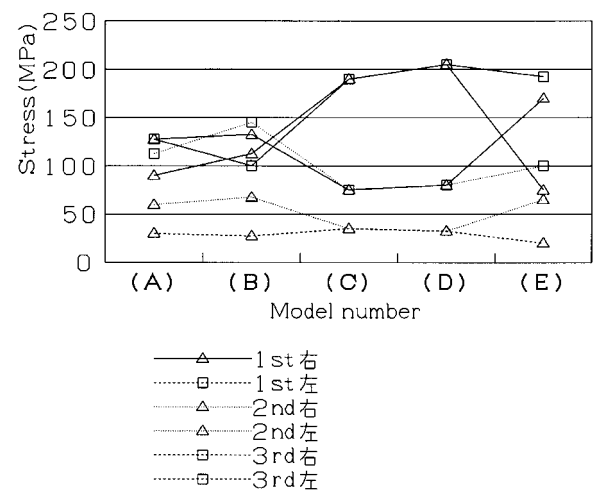
【図16】



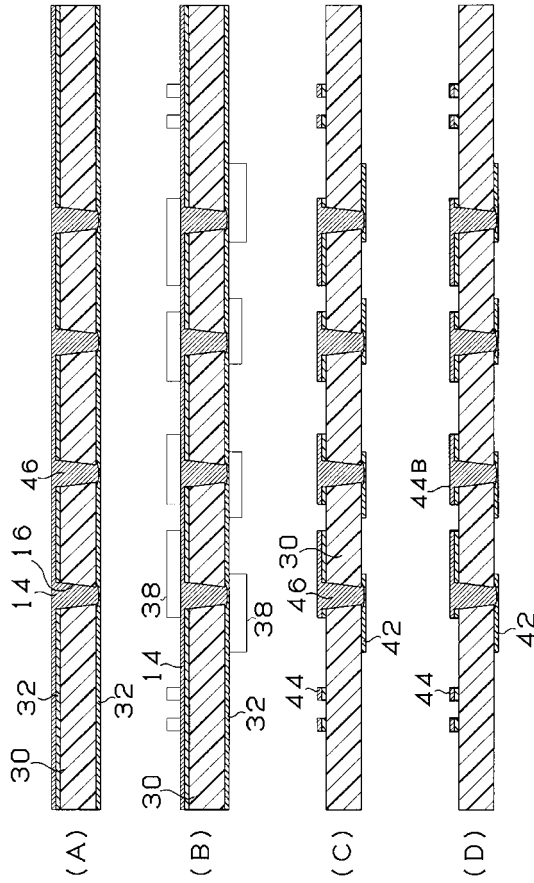
【図17】



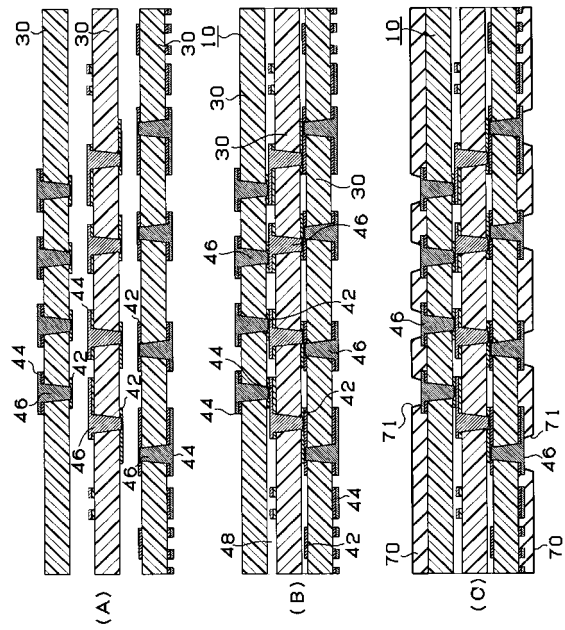
【図18】



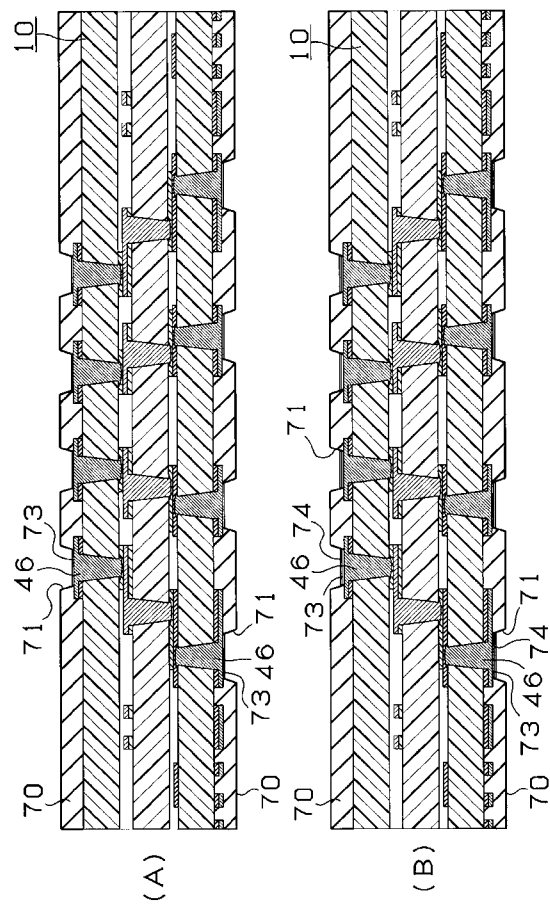
【図 2 3】



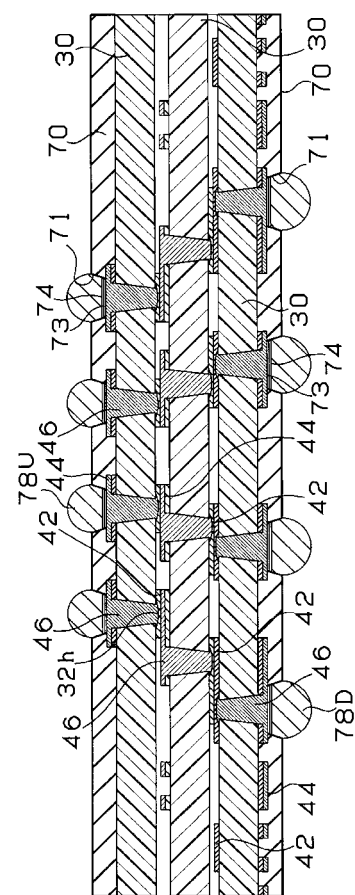
【図 2 4】



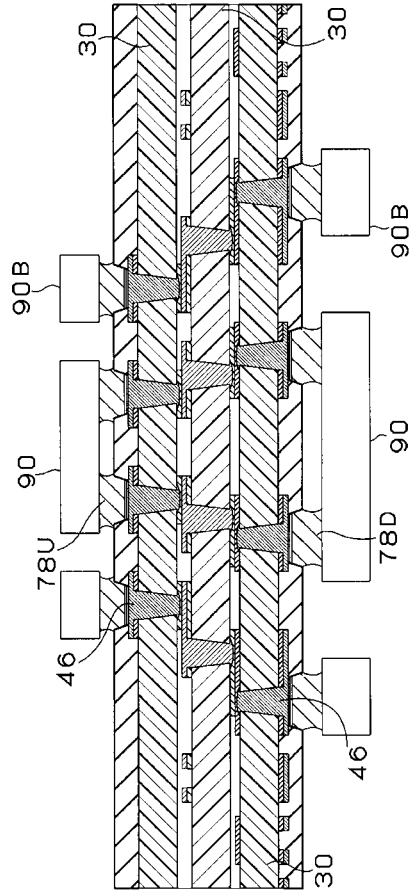
【図 2 5】



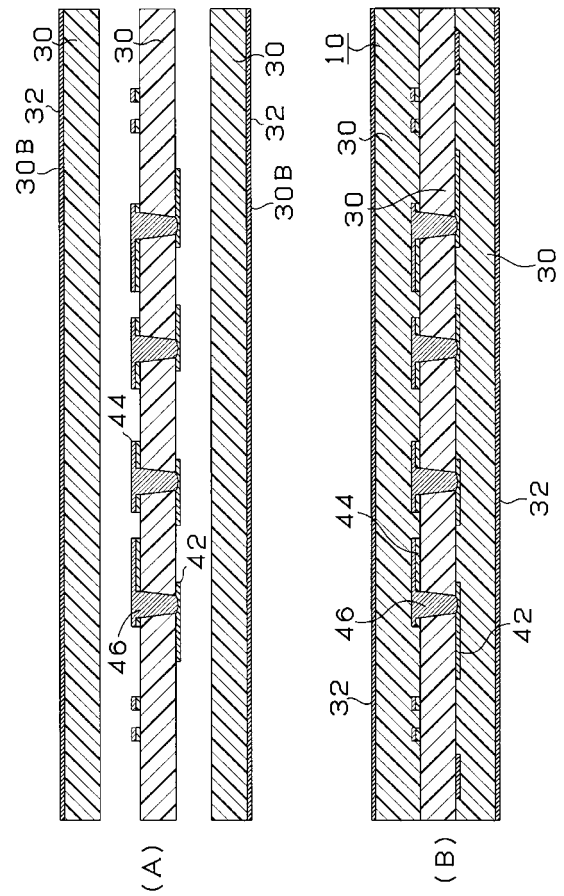
【図 2 6】



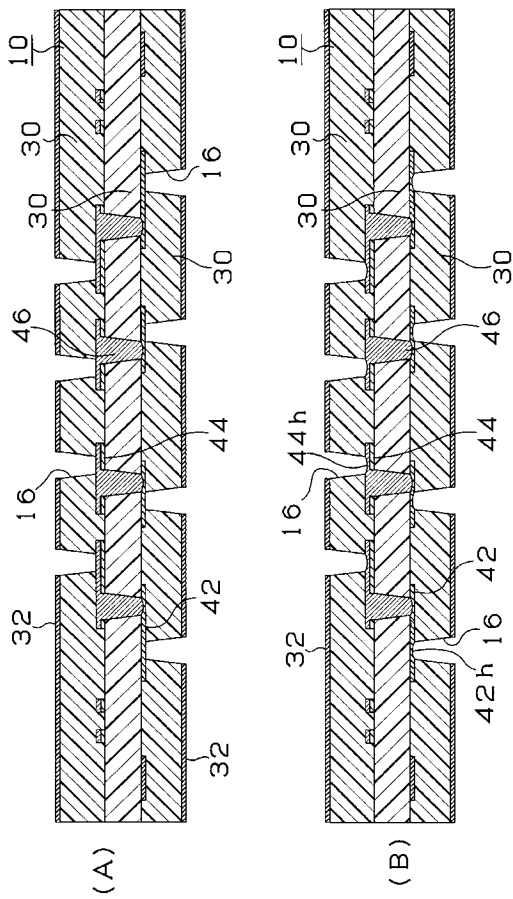
【図 27】



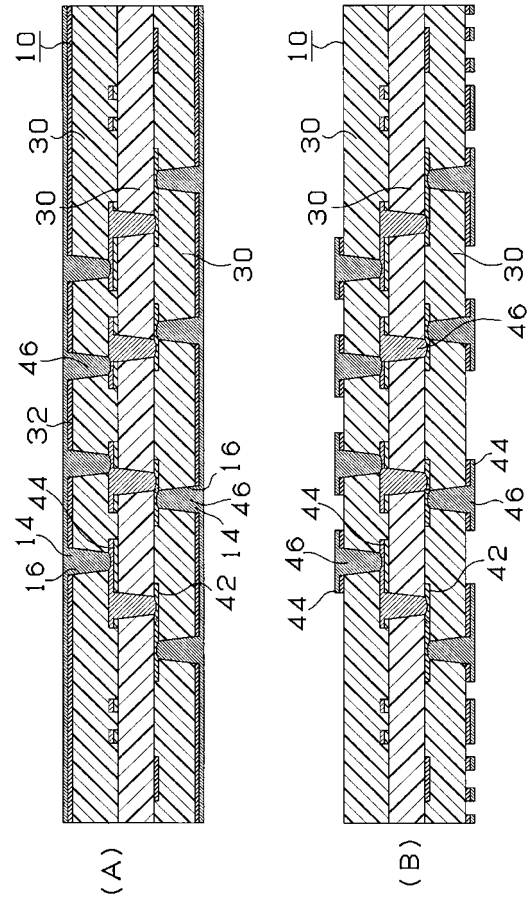
【図 28】



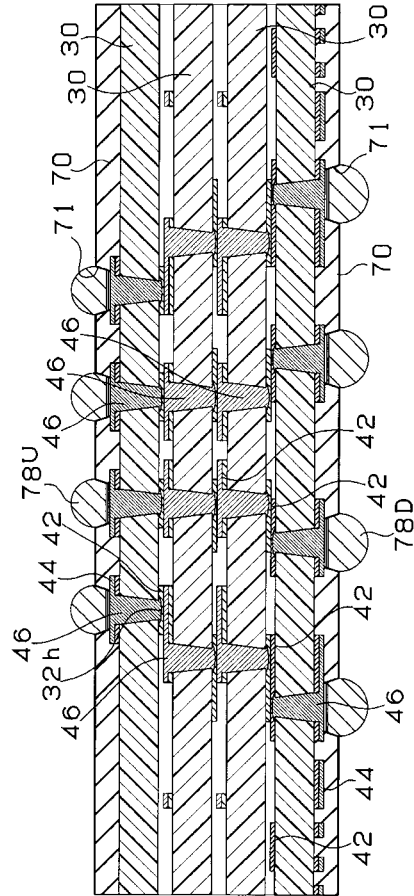
【図 29】



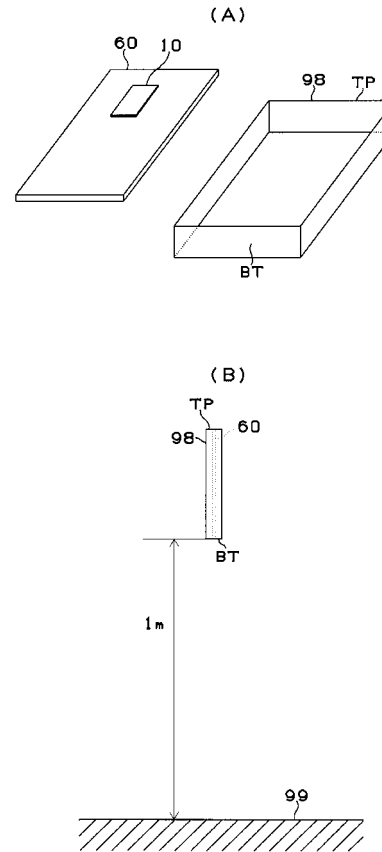
【図 30】



【 図 3 1 】



【 図 3 2 】



【 図 3 3 】

#	フイルド ピッチ 底 径 (μm)	エッチング 深さ (μm)	信頼性試験(サイクル数)					落下試験		
			500	1000	1500	2000	2500	10回	20回	30回
実態例1-1	50	3	○	○	○	○	○	○	○	○
実態例1-2	50	0.5	○	○	△	△	×	○	○	×
実態例1-3	50	1	○	○	○	△	×	○	○	○
実態例1-4	50	2	○	○	○	○	○	○	○	○
実態例1-5	50	4	○	○	○	○	○	○	○	○
実態例1-6	50	5	○	○	○	○	○	○	○	○
実態例1-7	90	6	○	○	○	○	△	○	○	○
実態例1-8	50	1	○	○	○	○	△	○	○	○
実態例1-9	50	1	○	○	○	○	○	○	○	○
実態例1-10	60	3	○	○	○	○	○	○	○	○
実態例1-11	60	0.5	○	○	○	△	×	○	○	○
実態例1-12	60	1	○	○	○	○	△	○	○	○
実態例1-13	60	2	○	○	○	○	○	○	○	○
実態例1-14	60	4	○	○	○	○	○	○	○	○
実態例1-15	60	5	○	○	○	○	○	○	○	○
実態例1-16	60	6	○	○	○	○	△	○	○	○
比較例1-1	50	0	○	○	△	×	×	×	×	×
比較例1-2	60	0	○	○	△	×	×	×	×	×

【 図 3 4 】

#	フィールド ピッチ 径 (μm)	エッチング の深さ (μm)	信頼性試験(サイクル数)					落下試験		
								10回	20回	30回
			500	1000	1500	2000	2500			
実施例2-1	50	3	○	○	○	○	○	○	○	○
実施例2-2	50	0.5		○	△	△	×			×
実施例2-3	50	1	○	○	○	△		○	○	○
実施例2-4	50	2	○	○	○	△		○	○	○
実施例2-5	50	4	○	○	○	○	○	○	○	○
実施例2-6	50	5	○	○	○	○	○	○	○	○
実施例2-7	50	6	○	○	○	△	×	○	○	○
実施例2-8	50	1	○	○	○	○	△	○	○	○
実施例2-9	50	1	○	○	○	○	○	○	○	○
実施例2-10	60	3	○	○	○	○	○	○	○	○
実施例2-11	60	0.5		○	○	○	×	○	○	○
実施例2-12	60	1	○	○	○	△		○	○	○
実施例2-13	60	2	○	○	○	○	○	○	○	○
実施例2-14	60	4	○	○	○	○	○	○	○	○
実施例2-15	60	5	○	○	○	○	○	○	○	○
実施例2-16	60	6	○	○	△	△	×	○	○	○
比較例2-1	50	0	○	△	△	×	×	×	×	×
比較例2-2	60	0	○	△	△	×	×	○	×	×

【図 3 5】

#	ビア底 径 (μm)	エッチング の深さ (μm)	信頼性試験(サイクル数)					落下試験		
			500	1000	1500	2000	2500	10回	20回	30回
実施例3-1	50	3	O	O	O	O	O	O	O	O
実施例3-2	50	0.5	O	O	O	O	O	O	O	O
実施例3-3	50	1	O	O	O	O	O	O	O	O
実施例3-4	50	2	O	O	O	O	O	O	O	O
実施例3-5	50	4	O	O	O	O	O	O	O	O
実施例3-6	50	5	O	O	O	O	O	O	O	O
実施例3-7	50	6	O	O	O	O	O	O	O	O
実施例3-8	60	3	O	O	O	O	O	O	O	O
実施例3-9	60	0.5	O	O	O	O	O	O	O	O
実施例3-10	60	1	O	O	O	O	O	O	O	O
実施例3-11	60	2	O	O	O	O	O	O	O	O
実施例3-12	60	4	O	O	O	O	O	O	O	O
実施例3-13	60	5	O	O	O	O	O	O	O	O
実施例3-14	60	6	O	O	O	O	O	O	O	O
比較例3-1	50	0	O	O	O	O	O	O	O	O
比較例3-2	60	0	O	O	O	O	O	O	O	O

【図 3 7】

#	フルド ビア底 径 (μm)	エッチング の深さ (μm)	信頼性試験(サイクル数)					落下試験		
			500	1000	1500	2000	2500	10回	20回	30回
実施例5-1	100	3	O	O	O	O	O	O	O	O
実施例5-2	100	0.5	O	O	O	O	O	O	O	O
実施例5-3	100	1	O	O	O	O	O	O	O	O
実施例5-4	100	2	O	O	O	O	O	O	O	O
実施例5-5	100	4	O	O	O	O	O	O	O	O
実施例5-6	100	5	O	O	O	O	O	O	O	O
実施例5-7	100	6	O	O	O	O	O	O	O	O
比較例5-1	100	0	O	O	O	O	O	O	O	O

【図 3 6】

#	フルド ビア底 径 (μm)	エッチング の深さ (μm)	信頼性試験(サイクル数)					落下試験		
			500	1000	1500	2000	2500	10回	20回	30回
実施例4-1	100	3	O	O	O	O	O	O	O	O
実施例4-2	100	0.5	O	O	O	O	O	O	O	O
実施例4-3	100	1	O	O	O	O	O	O	O	O
実施例4-4	100	2	O	O	O	O	O	O	O	O
実施例4-5	100	4	O	O	O	O	O	O	O	O
実施例4-6	100	5	O	O	O	O	O	O	O	O
実施例4-7	100	6	O	O	O	O	O	O	O	O
比較例4-1	100	0	O	O	O	O	O	O	O	O

フロントページの続き

審査官 西村 泰英

(56)参考文献 特開 2 0 0 4 - 1 5 8 7 0 3 (J P , A)
特開 2 0 0 3 - 2 1 8 5 3 1 (J P , A)
特開 2 0 0 3 - 2 8 3 1 3 5 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
H05K 3/46