



**(19) 대한민국특허청(KR)**  
**(12) 등록특허공보(B1)**

(45) 공고일자 2009년01월29일  
(11) 등록번호 10-0880422  
(24) 등록일자 2009년01월19일

(51) Int. Cl.<sup>9</sup>  
*H03L 7/16* (2006.01)  
(21) 출원번호 10-2003-7012289  
(22) 출원일자 2003년09월20일  
심사청구일자 2007년03월19일  
번역문제출일자 2003년09월20일  
(65) 공개번호 10-2004-0007473  
(43) 공개일자 2004년01월24일  
(86) 국제출원번호 PCT/US2002/008297  
국제출원일자 2002년03월20일  
(87) 국제공개번호 WO 2002/76009  
국제공개일자 2002년09월26일  
(30) 우선권주장  
60/276,927 2001년03월20일 미국(US)  
(뒷면에 계속)  
(56) 선행기술조사문헌  
US5815016 A  
US5838205 A  
US5909474 A  
US5953386 A

(73) 특허권자  
지씨티 세미컨덕터 인코포레이티드  
미국 캘리포니아 95131 산 호세 2121 링우드 애비뉴  
(72) 발명자  
허형기  
경기도 안양시 동안구 평촌동 동아아파트 309동 501호  
송은석  
서울특별시 서초구 반포동 주공아파트 354동 202호  
(뒷면에 계속)  
(74) 대리인  
강용복, 김용인

전체 청구항 수 : 총 36 항

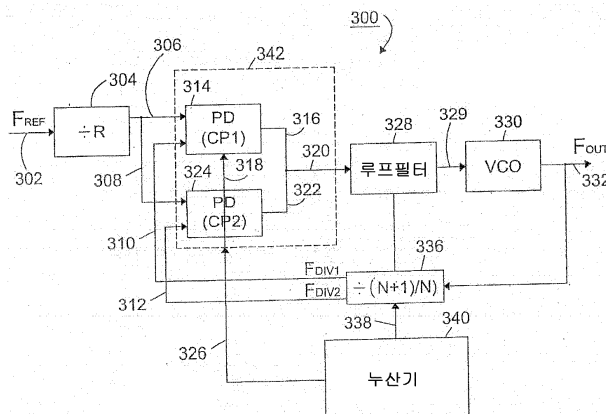
심사관 : 장완호

**(54) 분수 보상방법을 갖는 분수분주 주파수 합성기**

**(57) 요약**

본 발명에 따른 위상고정루프(PLL) 주파수 합성기(도 3)는 프랙셔널 스퍼 보상회로도를 합체한다. 이러한 프랙셔널 스퍼 보상회로도는 전하펌프가 동작할 때마다 전하펌프 맥동을 동적으로 보상한다. 프로그램가능한 분주기(336)와 각각이 전하펌프단 펌프를 사용하는 2개의 위상 검출기(314 및 324)를 이용할 수 있다. 분수 누산기단(340)은 위상 비교동안 동작하는 전하펌프의 수를 정한다. PLL 주파수 합성기는 전류 트리밍을 보상하기 위한 필요성을 회피한다. 또한, 분수 보상은 환경변화에 대해 강건한 방식으로 동적으로 수행된다. 위상고정루프(PLL) 분수분주 형태 주파수 합성기는 샘플 홀드 회로를 포함할 수 있다. 합성기는 루프필터를 제거함으로써 회로 크기를 줄일 수 있다. 합성기 또는 분수분주 형태 PLL은 분주기와 샘플홀드 회로에 연결된 적어도 2개의 위상 검출기를 사용할 수 있다. 잠금 검출회로는 샘플 홀드 회로에 대한 기준전압을 초기에 정할 수 있다.

**대표도**



(72) 발명자

**이강윤**

서울특별시 영등포구 신길3동

**구이도**

서울특별시 강남구 대치동 주공아파트 306동 1203호

**이정우**

서울특별시 동작구 노량진2동 300-13

**박준배**

서울특별시 서초구 서초동 삼풍아파트 2동 906호

**이경호**

서울특별시 관악구 신림10동 삼성 산 주공아파트 309동 901 호

(30) 우선권주장

60/276,912 2001년03월20일 미국(US)

09/940,807 2001년08월29일 미국(US)

09/940,808 2001년08월29일 미국(US)

**특허청구의 범위**

**청구항 1**

제 1 비교신호를 출력하기 위해 입력신호와 제 1 분주신호를 수신하는 제 1 위상 검출기;  
 제 2 비교신호를 출력하기 위해 상기 입력신호와 제 2 분주신호를 수신하는 제 2 위상 검출기;  
 상기 제 1 및 제 2 비교신호를 수신하고 상기 비교신호에 응답하여 출력신호를 생성하는 회로;  
 상기 회로로부터 상기 출력신호를 수신하고 기설정된 주파수 신호를 생성하는 전압제어 발진기; 및  
 상기 기설정된 주파수 신호를 수신하고 기설정된 위상관계를 갖는 상기 제 1 및 제 2 분주신호를 생성하는 프로그램가능한 모듈러스 분주기를 포함하는 위상고정루프.

**청구항 2**

제 1 항에 있어서,  
 제어라인에 의해 동작되는 복수의 병렬 스위치를 더 구비하고, 각각의 상기 스위치는, 상기 각 스위치의 위치에 따라, 복수의 전하펌프 중 대응하는 하나의 펌프를 상기 제 1 및 제 2 비교신호중 선택된 하나의 신호에 결합시키는 위상고정루프.

**청구항 3**

제 2 항에 있어서,  
 상기 각각의 전하펌프는 상기 회로에 기설정된 전류량을 공급하는 단계 및 방전하는 단계중 하나를 실행하는 위상고정루프.

**청구항 4**

제 1 항에 있어서,  
 상기 제 1 위상 검출기는  
 제 1 출력포트와 제 2 출력포트를 갖는 위상 검출기부; 및  
 복수의 전하펌프단을 갖는 전하펌프부를 포함하는 위상고정루프.

**청구항 5**

제 4 항에 있어서,  
 상기 각각의 전하펌프단은  
 제 1 기설정된 전압과 전하펌프 출력단자 사이에 직렬로 연결된 제 1 전류원과 제 1 스위치;  
 제 2 기설정된 전압과 상기 전하펌프 출력단자 사이에 직렬로 연결된 제 2 전류원과 제 2 스위치;  
 상기 위상 검출기부의 상기 제 1 출력포트에 결합된 제 1 입력과 제어신호를 수신하는 제 2 입력 및 상기 제 1 스위치에 결합된 출력포트를 갖는 제 1 논리 게이트; 및  
 상기 위상 검출기부의 상기 제 2 출력포트에 결합된 제 1 입력과 상기 제어신호를 수신하는 제 2 입력 및 상기 제 2 스위치에 결합된 출력포트를 갖는 제 2 논리 게이트를 포함하는 위상고정루프.

**청구항 6**

제 5 항에 있어서,  
 상기 제 1 및 제 2 논리 게이트는 AND 게이트이고, 상기 제 1 및 제 2 AND 게이트의 출력은 상기 제 1 및 제 2 스위치중 하나를 선택하여 상기 전하펌프 출력단자를 상기 제 1 및 제 2 전류원중 하나에 연결시키는 위상고정루프.

**청구항 7**

제 1 항에 있어서,

상기 제 1 및 제 2 위상 검출기로부터한 상기 제 1 비교신호와 상기 제 2 비교신호 출력 중 하나를 지연시키기 위해 결합된 신호지연장치를 더 구비하는 위상고정루프.

**청구항 8**

제 1 항에 있어서,

상기 제 1 및 제 2 위상 검출기 중 하나에 결합된 신호지연장치를 더 구비하는 위상고정루프.

**청구항 9**

제 8 항에 있어서,

상기 신호지연장치는 디지털 지연제어회로 및 아날로그 지연제어회로 중 하나인 위상고정루프.

**청구항 10**

제 1 항에 있어서,

상기 제 1 및 제 2 분주신호는 동일한 주파수를 갖는 위상고정루프.

**청구항 11**

제 1 항에 있어서,

상기 프로그램가능한 모듈러스 분주기는

제 1 논리 게이트;

제어신호를 수신하는 제 2 논리 게이트;

상기 제 1 논리 게이트의 출력신호와 상기 전압제어 발진기의 출력포트로부터 나온 클록신호를 수신하기 위해 결합된 제 1 플립플롭(flip-flop);

상기 제 1 플립플롭의 출력신호를 수신하기 위해 결합된 제 2 플립플롭 게이트; 및

상기 제 2 논리 게이트로부터 출력신호를 수신하기 위해 결합된 제 3 플립플롭을 구비하고,

상기 제 1 및 제 2 논리게이트는 상기 제 2 플립플롭의 출력신호를 수신하며, 상기 제 1, 제 2 및 제 3 플립플롭은 클록신호로서 기설정된 주파수 신호를 수신하고, 상기 제 3 플립플롭의 출력신호는 상기 제 1 논리 게이트에 의해 수신되며, 상기 제 1 및 제 2 플립플롭의 출력신호는 분주신호인 위상고정루프.

**청구항 12**

제 11 항에 있어서,

상기 제 1 및 제 2 분주신호는 한 주기의 상기 클록신호 만큼 위상이 다른 위상고정루프.

**청구항 13**

삭제

**청구항 14**

제 1 항에 있어서,

상기 회로는

제 1 및 제 2 기설정된 기준전압 사이에 직렬로, 상기 제 1 및 제 2 비교신호를 수신하기 위해 연결된 제 1 노드에 결합된 제 1 스위치와 제 1 커패시터;

상기 제 2 기준전압과 제 2 노드 사이에 결합된 제 2 커패시터; 및

상기 제 1 및 제 2 노드 사이에 결합된 제 2 스위치를 더 구비하는 샘플 홀드 회로인 위상고정루프.

**청구항 15**

제 14 항에 있어서,

상기 제 1 기설정된 기준전압을 설정하는 검출회로를 더 구비하는 위상고정루프.

**청구항 16**

제 15 항에 있어서,

상기 검출회로는

상기 제 1 및 제 2 위상 검출기로부터 비교신호를 수신하는 로크 디텍터(lock detector); 및

상기 로크 디텍터로부터 제어신호에 응답하여 제 1 기설정된 기준전압의 전압레벨을 조절하는 디지털 아날로그 변환기를 구비하는 위상고정루프.

**청구항 17**

제 15 항에 있어서,

상기 검출회로는

샘플 홀드 회로의 출력을 수신하는 아날로그 디지털 변환기; 및

상기 아날로그 디지털 변환기로부터 제어신호에 응답하여 제 1 기설정된 기준전압의 전압레벨을 조절하는 디지털 아날로그 변환기를 구비하는 위상고정루프.

**청구항 18**

제 15 항에 있어서,

상기 검출회로는

샘플 홀드 회로로부터 출력신호를 수신하는 로크 디텍터; 및

상기 로크 디텍터로부터 제어신호에 응답하여 제 1 기설정된 기준전압의 전압레벨을 조절하는 디지털 아날로그 변환기를 구비하는 위상고정루프.

**청구항 19**

제 1 항에 있어서,

상기 제 1 및 제 2 분주신호는 동일한 주파수를 가지며, 상기 제 1 및 제 2 분주신호는 한 주기의 상기 클럭신호 만큼 위상이 다르고, 상기 제 1 위상 검출기와 제 2 위상 검출기는 설계가 동일한 위상고정루프.

**청구항 20**

기준신호를 수신하기 위해 연결된 제 1 입력포트, 제 2 입력포트, 제 3 입력포트 및 출력포트를 갖는 제 1 위상 검출기;

상기 기준신호를 수신하기 위해 연결된 제 1 입력포트, 제 2 입력포트, 제 3 입력포트 및 출력포트를 갖는 제 2 위상 검출기;

상기 제 1 및 제 2 위상 검출기의 출력포트에 연결된 제 1 입력포트와 출력포트를 갖는 회로;

상기 회로의 출력포트에 연결된 입력포트를 가지며 출력포트에서 기설정된 주파수 신호를 전송하는 전압제어 발진기;

제 1 분주신호를 전송하기 위해 상기 제 1 위상 검출기의 제 2 입력포트에 연결된 제 1 출력포트, 제 2 분주신호를 전송하기 위해 상기 제 2 위상 검출기의 제 2 입력포트에 연결된 제 2 출력포트, 상기 전압제어 발진기의

출력포트에 연결된 제 1 입력포트 및 제 2 입력포트를 갖는 프로그램가능한 모듈러스 분주기; 및  
 상기 프로그램가능한 모듈러스 분주기의 제 2 입력포트에 연결된 제 1 출력포트와 상기 위상 검출기의 제 3 입력포트에 연결된 제 2 출력포트를 갖는 누산기를 포함하는 위상 검출기 회로를 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 21**

제 20 항에 있어서,

상기 이동단말기는 이동전화, 개인휴대정보단말기, 디지털 오디오 플레이어, 인터넷 기기, 원격제어장치 및 랩탑 컴퓨터중 하나인 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 22**

제 20 항에 있어서,

제어라인에 의해 동작되는 복수의 스위치를 더 구비하고, 상기 각각의 스위치는 복수의 전하펌프중 대응하는 하나의 펌프를 누산기로부터 제어신호에 따른 제 1 위상 검출기 및 제 2 위상 검출기중 선택된 하나의 검출기의 출력포트에 연결시키는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 23**

제 20 항에 있어서,

상기 제 1 위상 검출기 및 제 2 위상 검출기는 설계가 동일한 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 24**

제 20 항에 있어서,

상기 제 1 위상 검출기는

제 1 출력포트와 제 2 출력포트를 갖는 위상 검출기부; 및

복수의 전하펌프단을 갖는 전하 펌프부를 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 25**

제 24 항에 있어서,

상기 각각의 전하펌프단은

제 1 기설정된 전압과 전하펌프 출력단자 사이에 직렬로 연결된 제 1 전류원과 제 1 스위치;

제 2 기설정된 전압과 상기 전하펌프 출력단자 사이에 직렬로 연결된 제 2 전류원과 제 2 스위치;

상기 위상 검출기부의 상기 제 1 출력포트에 연결된 제 1 입력포트와 제어신호를 수신하는 제 2 입력 및 상기 제 1 스위치에 연결된 출력포트를 갖는 제 1 논리 게이트; 및

상기 위상 검출기부의 제 2 출력포트에 연결된 제 1 입력과 상기 제어신호를 수신하는 제 2 입력 및 상기 제 2 스위치에 연결된 출력포트를 갖는 제 2 논리 게이트를 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 26**

제 20 항에 있어서,

상기 제 1 및 제 2 위상 검출기중 하나로부터의 출력을 지연시키는 신호지연장치를 더 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 27**

제 20 항에 있어서,

제 1 및 제 2 위상 검출기중 하나에 결합된 신호지연장치를 더 구비하는 이동단말기에 대한 분수분주 주파수 합

성기.

**청구항 28**

제 20 항에 있어서,

상기 프로그램가능한 모듈러스 분주기는

제 1 논리 게이트;

제어신호를 수신하는 제 2 논리 게이트;

상기 제 1 논리 게이트의 출력 신호와 상기 전압제어 발진기의 출력포트로부터 클록신호를 수신하기 위해 결합된 제 1 플립플롭;

상기 제 1 플립플롭의 출력신호를 수신하기 위해 결합된 제 2 플립플롭 게이트; 및

상기 제 2 논리 게이트로부터 출력신호를 수신하기 위해 결합된 제 3 플립플롭을 구비하고,

상기 제 1 및 제 2 논리 게이트는 상기 제 2 플립플롭의 출력신호를 수신하며, 상기 제 1, 제 2 및 제 3 플립플롭은 클록신호로서 기설정된 주파수 신호를 수신하고, 상기 제 3 플립플롭의 출력신호는 상기 제 1 논리 게이트에 의해 수신되며, 상기 제 1 및 제 2 논리 플립플롭의 출력신호는 분주신호인 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 29**

제 20 항에 있어서,

상기 제 1 및 제 2 분주신호는 동일한 주파수를 가지고, 상기 제 1 및 제 2 분주신호는 상기 전압제어 발진기의 출력포트로부터 기설정된 주파수 신호의 주기만큼 위상이 다른 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 30**

제 20 항에 있어서,

상기 회로는 제 1 및 제 2 기설정된 기준전압 사이에 직렬로, 상기 위상 검출기의 출력포트로부터 나온 제 1 및 제 2 비교신호를 수신하기 위해 연결된 제 1 노드에 결합된 제 1 스위치와 제 1 커패시터;

상기 제 2 기준전압과 제 2 노드 사이에 결합된 제 2 커패시터; 및

상기 제 1 및 제 2 노드 사이에 결합된 제 2 스위치를 더 구비하는 샘플 홀드 회로인 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 31**

제 30 항에 있어서,

상기 제 1 기설정된 기준전압을 설정하는 검출회로를 더 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 32**

제 31 항에 있어서,

상기 검출회로는

상기 제 1 및 제 2 위상 검출기로부터 나온 비교신호를 수신하는 로크 디텍터; 및

상기 로크 디텍터로부터 제어신호에 응답하여 상기 제 1 기설정된 기준전압의 전압레벨을 조절하는 디지털 아날로그 변환기를 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 33**

제 31 항에 있어서,

상기 검출회로는

샘플 홀드 회로의 출력신호를 입력하는 아날로그 디지털 변환기; 및

상기 아날로그 디지털 변환기로부터 제어신호에 응답하여 상기 제 1 기설정된 기준전압의 전압레벨을 조절하는 디지털 아날로그 변환기를 구비하는 이동단말기에 대한 분수분주 주파수 합성기.

**청구항 34**

- (a) 제 1 분주신호를 생성하기 위해 공진기로부터 주파수 신호출력을 제 1 값으로 나누는 단계;
- (b) 제 2 분주신호를 생성하기 위해 공진기로부터 주파수 신호출력을 제 2 값으로 나누는 단계;
- (c) 제 1 제어신호를 생성하기 위해 상기 제 1 분배신호를 기준신호에 대해 비교하는 단계;
- (d) 제 2 제어신호를 생성하기 위해 상기 제 2 분배신호를 기준신호에 대해 비교하는 단계; 및
- (e) 상기 제 1 제어신호와 제 2 제어신호를 기초로 상기 공진기를 조절하는 단계를 포함하는 주파수 신호 발생 방법.

**청구항 35**

공진기;

상기 공진기로부터 주파수 신호 출력을 제 1 값으로 나누어 제 1 분주신호를 생성하고 제 2 값으로 나누어 제 2 분주신호를 생성하는 분주기;

상기 제 1 분주신호를 기준신호에 대해 비교하여 상기 공진기를 조절하기 위한 제 1 제어신호를 생성하는 제 1 위상 검출기; 및

상기 제 2 분주신호를 기준신호에 대해 비교하여 상기 공진기를 조절하기 위한 제 2 제어신호를 생성하는 제 2 위상 검출기를 구비하는 위상고정루프.

**청구항 36**

제 1 분주신호를 생성하기 위해 공진기로부터 주파수 신호 출력을 제 1 값으로 분주하는 단계;

제 2 분주신호를 생성하기 위해 공진기로부터 주파수 신호 출력을 제 2 값으로 분주하는 단계;

제 1 제어신호를 생성하기 위해 상기 제 1 분주신호를 기준신호에 대해 비교하는 단계;

제 2 제어신호를 생성하기 위해 상기 제 2 분주신호를 기준신호에 대해 비교하는 단계;

상기 제 1 제어신호와 상기 제 2 제어신호를 샘플 홀드 회로를 통해 전송하는 단계; 및

상기 샘플 홀드 회로의 출력을 기초로 상기 공진기를 조절하는 단계를 포함하고, 상기 제 1 제어신호는 상기 샘플 홀드 회로의 커패시터의 충전을 증가시키고 상기 제 2 제어신호는 상기 샘플 홀드 회로의 커패시터의 충전을 감소시키는 주파수 신호발생방법.

**청구항 37**

공진기;

상기 공진기로부터 주파수 신호 출력을 제 1 값으로 나누어 제 1 분주신호를 생성하고 제 2 값으로 나누어 제 2 분주신호를 생성하는 분주기;

상기 제 1 분주신호를 기준신호에 대해 비교하여 제 1 비교신호를 생성하는 제 1 위상 검출기;

상기 제 2 분주신호를 기준신호에 대해 비교하여 제 2 비교신호를 생성하는 제 2 위상 검출기; 및

상기 제 1 비교신호와 상기 제 2 비교신호를 기초로 상기 공진기를 조절하기 위한 제어신호를 생성하는 샘플 홀드 회로를 구비하는 위상고정루프.

**명세서**

**기술분야**

<1> 본 장치 및 방법은 기준주파수의 분수 분해(fractional resolution)를 필요로 하고, 특히, 현대의 무선 또는 유선 통신 시스템에 사용하기 위한 샘플 홀드(sample-and-hold) 형태의 분수분주 합성기(fractional-N synthesizers)를 포함하는 PLL 기반의 주파수 합성기에 관한 임의의 시스템에 사용될 수 있다.

**배경 기술**

<2> 주파수 합성기는 일반적으로 수신기 및 송신기 모두에서 요망되는 출력 주파수를 산출하도록 현대의 무선 통신 시스템에 사용된다. 다양한 위상고정루프(PLL) 기반의 주파수 합성기중에서, 분수분주 주파수 합성기는 채널 간격이 좁은 통신 시스템에 적합하다. 분수분주 구조는 기준주파수  $F_{REF}$ 의 분수부분인 주파수 분해를 허용하고 출력 주파수 신호( $F_{OUT}$ )는  $F_{OUT} = F_{REF}(N+K/F)$  관계식에 의해 기준주파수  $F_{REF}$ 와 관계되며, 상기 관계식에서 F는 기준 주파수에 대한 장치의 분수 분해이다. 분수분주 구조의 기술은 정수보다는 분수인 분주기를 생성하는 것을 필요로 한다. 이는 동적으로 N 및 N+1 값 사이에서 루프내의 분주기를 변경함으로써 실행된다. F 주기중에서, N+1에 의한 분주는 K번 행해지고 N에 의한 분주는 F-K번 행해지면, 평균 분주비는  $N+K/F$ 이다.

<3> 분수분주 구조의 잇점은 기준주파수  $F_{REF}$ 가 채널 간격에 제한되지 않으며 루프 대역폭이 증가될 수 있다는 것이다. 따라서, 위상잡음 및 잠금시간(locking time)이 줄어든다. 그러나, 분주기의 스위칭으로 인해 합성된 출력 주파수 신호  $F_{OUT}$ 에서 스퓨리어스 신호(spurious signal)가 초래된다. 이들 서브하모닉 스퍼(subharmonic spur)는 또한 프랙셔널 스퍼(fractional spur)로 지칭되며, 소정의 최대 허용가능한 한계 아래로 유지되어야만 한다.

<4> 관련 기술의 분수 보상회로는 원치않는 스퓨리어스 신호를 줄이려고 시도되었다. 적절한 분수 보상에 대해, 보상 펄스의 영역은 주 전하펌프(charge pump)의 분수분주 맥동(fractional-N ripple) 영역과 동일해야 한다. 그러나, 관련 기술의 분수 보상회로에서, 보상전류의 양은 정적으로 고정되어 있다. 따라서, 스퓨리어스 신호제거는 시간, 공정 및 온도에 따른 스퓨리어스 신호의 동적변화를 따라갈 수 없다.

<5> 일반적으로 분수분주 합성기로 알려진, 또 다른 관련기술의 분수 보상회로는 시그마-델타( $\Sigma\Delta$ ) 변조기(modulator)를 사용함으로써 분주비(dividing ratio)를 제어한다. 모듈러스 분주기는  $\Sigma\Delta$  변조기로부터 출력신호를 수신한다. 분수 스퓨리어스 주파수 또는 위상 잡음은 시그마-델타 변조기의 동작에 의해 주파수 스펙트럼 도처에 분배된다. 그러나, 절대 잡음레벨이 허용가능한 레벨 위로 증가될 수 있다. 스펙트럼 순도(spectral purity)를 저하시키지 않는 더 강건하고 신뢰할 수 있는 분수 보상구조가 요구된다.

<6> 현대 무선통신 시스템에 사용되는 주파수 합성기는 일반적으로 위상고정루프(PLL)를 사용한다. PLLs은 대개 전압제어 발진기(VCO), 위상 검출기(PD) 및 루프필터(LF)를 포함한다. 하나의 집적회로 상에 PLL을 통합하기 위해, PLL을 안정화하기 위해 사용되는 큰 LF 커패시터는 루프필터(LF)에 요구되는 정전용량이 종종 수 마이크로 패럿 차수로 있기 때문에 회로의 칩 영역의 대부분을 차지한다. 최근 무선 시스템은 단일 칩 상에 전체적으로 (PLL을 포함한) 수신기와 송신기를 합체하기 위한 시도가 이루어지고 있으므로, LF 커패시터의 필요한 정전용량이 중요한 문제이다.

<7> LF 정전용량을 줄이기 위한 어떤 관련기술의 접근은 위상 검출기 또는 컴퍼레이터(comparator)와 같은 샘플 홀드 회로를 사용하는 것이다. 샘플 홀드 회로에서 커패시터는 전형적인 루프필터에서의 정전용량보다 훨씬 더 작은 정전용량을 가진다. 샘플 홀드 위상 검출기의 다른 잇점은 출력이 입력 주파수의 어떠한 고주파 하모닉스(harmonics)도 포함하지 않는다는 것이다. 위상이 일정하면, 출력전압도 또한 일정하다. 때문에, 샘플 홀드 PD는 주파수 합성기에 적용될 수 있다.

<8> 미국특허 제6,137,372호는 큰 LF 커패시터를 필요로 하지 않는 샘플 홀드 형태의 PLL 주파수 합성기를 개시한다. 상기 특허 제6,137,372호의 샘플 홀드 PLL 주파수 합성기는 기준주파수의 정수배인 출력 주파수를 생성하기 위해 정수분주 구조를 사용한다. 그러나, 정수분주 구조에서, 입력 기준주파수가 채널 간격과 동일해야만 하므로 루프 대역폭이 제한된다. 따라서, 폐쇄 위상 잡음(close-in phase noise)의 감쇠가 또한 제한되는데, 진동자의 위상잡음이 루프의 대역폭내에서만 감소되기 때문이다. 정수분주 구조의 또 다른 단점은 PLL의 고정시간이 또한 루프 대역폭에 따르기 때문에 잠금시간(lock time)이 느리다.

<9> 루프 대역폭을 증가시키기 위해, 분수분주 구조가 주파수 합성기에 사용되었다. 도 1은 샘플 홀드 회로를 사용하는 관련 기술의 주파수 합성기를 예시한 것이다. 도 1에 도시된 바와 같이, 기준주파수 분주기(104)는 입력 기준주파수(102)를 분주하고 분주된 기준신호(106)를 산출한다. 위상 검출기(PD)(110)는 분주된 기준신호(106)와 정수 분주기(128)의 출력(108)을 수신하고 이에 따른 비교에 응답하여 출력신호(112)를 생성한다. 샘플 홀드

회로(114)는 PD(110)의 출력(112)을 수신한다. 전압제어 발진기(118)는 샘플 홀드 회로(114)의 출력(116)을 수신한다. 전압제어 발진기(118)의 출력(120)은 주파수 합성기 회로의 출력신호( $F_{OUT}$ )이며 정수 분주기(128)에 또한 입력된다.

<10> 동작에 있어, VCO 출력신호(120)는 정수 분주기(128)에서  $N$ 으로 분주되고 그런 후 기준 분주기(104)로부터 분주된 기준주파수(106)와 비교된다. 위상 검출기(PD)와 샘플 홀드 회로(130)는 검출된 위상차에 따르는 제어신호를 생성한다. 제어신호는 출력주파수( $F_{OUT}$ )를 생성하는 전압제어 발진기(VCO)에 인가된다.

<11> 도 2(a)는 관련 기술의 위상 검출기와 샘플 홀드 회로(130)의 도면이다. 도(2a)에 도시된 바와 같이, 전하펌프(206)는 위상 검출기(202)의 출력(204)을 수신한다. 전하펌프(206)의 출력(204)은 제 1 노드( $n1$ )에 연결된 입력에서 샘플 홀드 회로(114)에 의해 수신된다. 샘플 홀드 회로(114)에서, 기준전압( $V_{ref}$ )(210)은 제 1 스위치(212)를 통해 제 1 노드( $n1$ )에 연결된다. 샘플 커패시터(220)는 접지 기준전압(222)과 제 1 노드( $n1$ ) 사이에 연결된다. 제 2 스위치(224)는 제 1 노드( $n1$ )와 출력단자(234)에 연결된 제 2 노드( $n2$ ) 사이에 연결된다. 홀드 커패시터(230)는 접지 기준전압과 제 2 노드( $n2$ ) 사이에 연결된다. 샘플 커패시터(220)와 홀드 커패시터(230)의 정전용량은 전형적인 루프필터의 정전용량보다 훨씬 작다. 위상비교가 위상 검출기(202)에서 일어나기 전에, 스위치(SW1)가 닫혀지고 샘플 커패시터가 기준전압( $V_{ref}$ )으로 충전된다. 위상 검출기(202)에 잇따른 전하펌프(206)는 위상비교에서 검출된 위상차에 따라 기준전압( $V_{ref}$ )으로부터 샘플 커패시터(220)의 전압을 올리거나 내린다. 위상비교가 완료되면, 샘플 커패시터(220)에서의 전하가 제 2 스위치(SW2)를 거쳐 홀드 커패시터(230)에 전해진다.

<12> 도 2(b)는 관련 기술의 샘플 홀드 형태의 정수분주 주파수 합성기에서 고정상태의 타이밍 도표이다. 도 2(b)에 도시된 바와 같이, 기준주파수 신호와 분주기 출력(즉, 분주된 VCO 출력) 사이에 특정한 관계가 존재하며 이 관계는 위상이 일반적인 루프필터 형태(PLL)에 정렬될 때의 일정한 위상차( $T$ )이다. 때문에, 샘플 홀드 형태의 PLL은 위상이 입력 기준신호와 VCO 출력사이에 정렬되어야만 하는 클록(clock) 또는 데이터 복원과 같은 응용에 적합하지 않다. 위상 검출기 출력 및 샘플 커패시터의 전압이 도 2(b)에 또한 도시되어 있다. 그러나, 정수분주 주파수 합성기에서, 위상정렬이 필요조건은 아니며, 샘플 홀드 형태의 PLL이 위상잠음 특성이 만족되는 한 적용될 수 있다. 도 2(b)에 도시된 바와 같이, 기준주파수 신호의 위상이 시간( $T$ )에 의한 분주기 출력의 위상을 선도하고, 기준전압( $V_{ref}$ )에서부터 고정된 비율로 샘플 커패시터의 전압( $V_{sample}$ )을 증가시키기도록 위상 검출기가 매 위상비교시에 UP(HIGH) 신호를 생성한다고 하자. 따라서, 홀드 커패시터( $V_{hold}$ )의 전압과 전압제어 발진기의 출력 주파수가 일정하게 유지된다.

<13> 그러나, 상술한 바와 같이, 정수분주 주파수 합성기는 분수분주 주파수 합성기보다 더 좁은 루프 대역폭을 갖는다. 채널 간격 이상으로 루프 대역폭을 증가시키기 위해, 분수분주 합성기는 누산기에 의해 제어되는 가변 모듈러 프로그램가능한 분주기를 포함한다. 누산기는 요망되는 분수 분주비를 규칙적으로 생성하기 위해 가변 모듈러 프로그램가능한 분주기의 분주비를 변경한다. 따라서, 분수분주 주파수 합성기의 VCO의 제어전압이 일정하지 않으나, 제어전압의 시간평균 값은 의미가 있다. 따라서, 관련 기술의 분수분주 구조는 루프필터를 대체하기 위해 샘플 홀드 회로를 채택할 수 없다.

<14> 도 2(c)는 관련 기술의 분수분주 합성기에서 샘플 홀드 회로의 문제점과 단점을 예시한 타이밍 도표이다. 도 2(c)에 도시된 바와 같이, 기준주파수와 분주기 출력은 도 2(b)의 위상 검출기 출력에 도시된 바와 같이 일정하게 정렬된 위상차를 가지지 않는다. 위상 검출기 출력, 샘플 홀드 회로 출력전압 및 분수 누산기의 상태가 또한 도시되어 있다. 도 2(c)에서, 분주비는  $3/8(K=3, N=8)$ 이라고 가정하고  $N$ 은 분주인자(division factor)이다. 분수 누산기의 상태는 분주비에 따라 변한다. 그러므로, 기준주파수 신호에 대한 분주기 출력의 위상과 위상 검출기의 UP 펄스의 폭도 또한 변한다. 샘플 커패시터의 전압변화 양( $V_{sample}$ )은 고정되지 않고 홀드 커패시터의 전압( $V_{hold}$ )은 합성된 주파수의 스펙트럼 순도를 저하하는 분수 맥동을 보인다.

<15> 상기 참조는 부가적이거나 다른 세부설명, 특징 및/또는 기술 배경의 적절한 교시에 타당한 본 명세서에 참고문헌으로 포함된다.

**발명의 상세한 설명**

<16> 본 발명의 목적은 적어도 상기 문제 및/또는 단점을 해결하고 적어도 이하에 설명된 잇점을 제공하기 위한 것이다.

- <17> 본 발명의 또 다른 목적은 위상고정루프 기반의 분수분주 합성기를 제공하는 것이다.
- <18> 본 발명의 또 다른 목적은 2개 위상 검출기를 통합하는 분수 보상회로와 방법을 제공하는 것이다.
- <19> 본 발명의 또 다른 목적은 전하펌프가 동작할 때마다 동적으로 프랙셔널 스피 또는 전하펌프 맥동을 보상하는 프랙셔널 스피 보상회로를 합체하는 것이다.
- <20> 본 발명의 또 다른 목적은 복수의 위상 검출기를 이용하여 동적으로 스푸리어스 신호를 제거하는 위상고정루프 기반의 분수분주 합성기 및 방법을 제공하는 것이다.
- <21> 본 발명의 또 다른 목적은 프랙셔널 스피를 줄이기 위해 복수의 위상 검출기중 적어도 하나를 다양하게 지연시키는 위상고정루프 기반의 분수분주 합성기를 제공하는 것이다.
- <22> 본 발명의 또 다른 목적은 위상 비교동안 동작하는 복수의 N 전하펌프가 분수 누산기단에 의해 정해지도록 N 전하펌프로 구성된 전하펌프단을 사용하는 분수 보상회로를 제공하는 것이다.
- <23> 본 발명의 또 다른 목적은 루프필터에 있는 샘플 홀드 회로를 합체하는 분수 보상회로 및 방법을 제공하는 것이다.
- <24> 본 발명의 또 다른 목적은 복수의 위상 검출기를 사용하여 동적으로 스푸리어스 신호와 샘플 홀드 회로를 제거하는 위상고정루프 기반의 분수분주 합성기 및 방법을 제공하는 것이다.
- <25> 본 발명의 또 다른 목적은 위상 비교동안 동작하는 복수의 N 전하펌프가 분수 누산기단에 의해 정해지도록 루프필터에 있는 샘플 홀드 회로에 연결된 N 전하펌프로 구성된 전하펌프단을 사용하는 분수 보상회로를 제공하는 것이다.
- <26> 본 발명에 따른 분수분주 구조 및 방법의 잇점은 기준주파수가 채널간격에 제한되지 않으며 루프 대역폭이 증가될 수 있다는 것이다.
- <27> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 서브하모닉 스피 또는 프랙셔널 스피가 낮게 유지될 수 있다는 것이다.
- <28> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 스푸리어스 신호 제거가 동적으로 발생할 수 있다는 것이다.
- <29> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 보상전류 타이밍에 대한 필요성을 피한다는 것이다.
- <30> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 환경변화에 강건하다는 것이다.
- <31> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 회로크기가 줄어든다는 것이다.
- <32> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 큰 루프필터 커패시터의 필요성을 피한다는 것이다.
- <33> 본 발명에 따른 분수분주 구조 및 방법의 또 다른 잇점은 안정적인 제어전압을 제공하기 위해 샘플 홀드 회로가 PLL에서 구현될 수 있다는 것이다.
- <34> 본 발명의 목적에 따라 전체 또는 일부에서 상기 목적을 달성하기 위해, 구체화되고 광범위하게 상술한 바와 같이, 위상고정루프는 제 1 비교신호를 출력하기 위해 입력신호와 제 1 분주신호를 수신하는 제 1 위상 검출기, 제 2 비교신호를 출력하기 위해 상기 입력신호와 제 2 분주신호를 수신하는 제 2 위상 검출기, 상기 제 1 및 제 2 비교신호를 수신하고 상기 비교신호에 응답하여 출력신호를 생성하는 회로, 상기 회로로부터 상기 출력신호를 수신하고 기설정된 주파수 신호를 생성하는 전압제어 발진기, 및 상기 기설정된 주파수 신호를 수신하고 기설정된 위상관계를 갖는 상기 제 1 및 제 2 분주신호를 생성하는 프로그램가능한 모듈러스 분주기를 포함한다.
- <35> 본 발명의 목적에 따라 전체 또는 일부에서 상기 목적을 또한 달성하기 위해, 구체화되고 광범위하게 상술한 바와 같이, 이동 단말기에 대한 분수분주 주파수 합성기는 기준신호를 수신하기 위해 연결된 제 1 입력포트, 제 2 입력포트, 제 3 입력포트 및 출력포트를 갖는 제 1 위상 검출기, 기준신호를 수신하기 위해 연결된 제 1 입력포트, 제 2 입력포트, 제 3 입력포트 및 출력포트를 갖는 제 2 위상 검출기, 및 상기 제 1 및 제 2 위상 검출기의 출력포트에 연결된 제 1 입력포트와 출력포트를 갖는 회로, 상기 회로의 출력포트에 연결된 입력포트를 가지며 출력포트에서 기설정된 주파수 신호를 전송하는 전압제어 발진기, 제 1 분주신호를 전송하기 위해 상기 제 1 위상 검출기의 제 2 입력포트에 연결된 제 1 출력포트, 제 2 분주신호를 전송하기 위해 상기 제 2 위상 검출기의 제 2 입력포트에 연결된 제 2 출력포트, 상기 전압제어 발진기의 출력포트에 연결된 제 1 입력포트 및 제 2 입

력포트를 갖는 프로그램가능한 모듈러스 분주기, 그리고 상기 프로그램가능한 모듈러스 분주기의 제 2 입력포트에 연결된 제 1 출력포트와 상기 위상 검출기의 제 3 입력포트에 연결된 제 2 출력포트를 갖는 누산기를 포함한다.

<36> 본 발명의 부가적인 잇점, 목적 및 특징은 아래 설명에서 부분적으로 언급될 것이며, 부분적으로는 하기의 조사를 토대로 당업자에게 명백해지거나, 본 발명의 실시로부터 알게될 것이다. 본 발명의 목적과 잇점은 특히 청구의 범위에 지적한 바와 같이 구현되고 달성될 것이다.

<37> 본 발명은 하기 도면을 참조로 상세히 설명될 것이며, 도면에서 동일한 참조번호는 동일한 요소를 의미한다.

**실시예**

<59> 도 3은 본 발명에 따른 분수 보상회로의 바람직한 실시예를 도시한 개략도이다. 도 3에 도시된 바와 같이, 주파수 합성기(300)는 위상 검출기 회로(342), 루프필터(328), 전압제어 발진기(VCO)(330) 및 누산기(accumulator)(340)에 연결된 프로그램가능한 모듈러스 분주기(programmable modulus divider)(336)를 갖는 위상고정루프(PLL)를 포함한다. 주파수 합성기(300)에서, 기준주파수(302)는 기준주파수 분주기(304)로 이송된다. 기준주파수 분주기(304)의 출력은 2개의 위상 검출기 공급장치(306 및 308)로 분기된다. 상기 2개의 위상 검출기 공급장치(306 및 308)는 위상 검출기 회로(342)의 위상 검출기(314 및 324)에 각각 입력된다. 위상 검출기(314 및 324)의 출력(316 및 322)은 루프필터(LF)(328)의 입력부(320)에 연결된다. 루프필터(LF)(328)의 출력(329)은 전압제어 발진기(VCO)(330)로 이송된다. 상기 위상 검출기 회로(342)는 바람직하게 (도시되지 않은) 2개의 전하펌프 블록을 포함하는 2개의 위상 검출기(314 및 324)를 포함한다. 용어 "전하펌프", "전하펌프 블록" 및 "CP"는 동일형태의 회로를 의미하며 본 명세서에서 상호교환가능하게 사용된다. 하나 이상의 전하펌프가 인용되는 곳에, CP1 및 CP2가 때때로 사용된다.

<60> 모듈러스 프로그램가능한 분주기(336)는 VCO(330)의 출력 주파수 신호( $F_{OUT}$ )(332)를, 누산기(340)로부터 나온 제어신호(338)에 따라, 각각 N 및 N+1씩 번갈아 분주한다. 상기 모듈러스 프로그램가능한 분주기(336)로부터 나온 각각의 2개의 분주된 VCO 신호( $F_{DIV1}$  및  $F_{DIV2}$ )는 각각 위상 검출기(314 및 324)의 제 2 입력부(310 및 312)로서 사용된다. 상기 모듈러스 프로그램가능한 분주기(336)에 의해 산출된 상기 2개의 분주된 VCO 신호( $F_{DIV1}$  및  $F_{DIV2}$ )는 바람직하게 동일한 주파수와 VCO( $1/F_{OUT}$ )의 한 주기인 위상차를 갖는다. N개 동일한 전하펌프(미도시)는 바람직하게 각각의 위상 검출기(314 및 324)에 연결된다. 누산기(340)는 위상 검출기(314 및 324)에서 입력 기준주파수( $F_{REF}$ )와 분주된 VCO 클럭( $F_{DIV1}$  및  $F_{DIV2}$ ) 사이의 위상이 비교되기 전에 전하펌프의 수를 제어하여 동작하게 한다. 따라서, 누산기(340)는 위상 검출기(314 및 324)로 동작가능한 신호(318 및 326)를 각각 출력한다.

<61> 도 4는 2개의 분주된 VCO 출력( $F_{DIV1}$  및  $F_{DIV2}$ )(416 및 422)을 산출하는 (예를 들면, 입력신호를 N+1 또는 N으로 분주하는) 프로그램가능한 모듈러스 분주기(400)의 바람직한 실시예를 도시한 도표이다. 프로그램가능한 모듈러스 분주기(400)는 도 3의 프로그램가능한 모듈러스 분주기(336)로 사용될 수 있다. 프로그램가능한 모듈러스 분주기(400)는 3개의 플립플롭(flip flops)(412, 420 및 434)과 2개의 논리 게이트(402 및 428)를 포함할 수 있다. 3개의 플립플롭(flip flops)(412, 420 및 434)은 바람직하게는 출력주파수 신호( $F_{OUT}$ )(336)인 동일한 출력신호(436)로 바람직하게 클럭되므로,  $F_{DIV1}$  및  $F_{DIV2}$ (416 및 422) 사이의 위상차는 한 주기의 VCO 주파수( $T_{VCO} = 1/F_{OUT}$ )이다.

<62> 도 4에 도시된 바와 같이, 제 1 "OR" 게이트(402)는 제 3 플립플롭(434)으로부터 입력(404)을 수신하고 제 2 플립플롭(420)으로부터 입력(406)을 수신한다. 제 1 플립플롭(412)은  $F_{OUT}$  신호(436)에 따라 제 1 "OR" 게이트(402)의 출력(408)을 수신하고 처리한다. 제 2 플립플롭(420)은  $F_{OUT}$  신호(436)에 따라 제 1 플립플롭(412)으로부터의 출력(414)을 수신하고 처리한다. 제 2 플립플롭(420)으로부터의 입력(406) 뿐만 아니라, 제 2 "OR" 게이트(428)는 입력(426)으로서 모듈러스 제어신호를 수신한다. 제 3 플립플롭(434)은  $F_{OUT}$  신호(436)에 따라 제 2 "OR" 게이트(428)로부터의 출력(430)을 수신하고 처리한다. 제 1 플립플롭(412) 및 제 2 플립플롭(420)의 출력신호(416 및 406)는 바람직하게 프로그램가능한 모듈러스 분주기(400)로부터의 분주된 VCO 신호( $F_{DIV1}$  및  $F_{DIV2}$ )(416 및 422)이다.

<63> 도 5는 위상 검출기와 전하펌프 회로(500)의 바람직한 실시예를 도시한 도표이다. 도 5에 도시된 바와 같이, 위

상 검출기와 전하펌프 회로(500)는, 예를 들면, 도 3에 도시된 위상 검출기 회로(342)에서 위상 검출기(314, 324)중 하나로 사용될 수 있다. 각 전하펌프에서 (도시되지 않은) LF로 제공된 충전 및 방전 전류는  $I/N$ 으로 바람직하게 정해지며, 여기서  $I$ 는 전형적인 분수분주 주파수 합성기의 전류이다. 동작가능한 신호(EN)(515)는 분수 누산기 상태에 따른 누산기(340)와 같이 (도시되지 않은) 대응하는 누산기에 의해 생성되고, 전하펌프(534)가 동작가능함을 제어한다. 도 5에 도시된 바와 같이, 바람직하게는 누산기로부터 동작가능한 신호를 수신하는 위상 검출기(506)에 연결된  $N$ 개의 전하펌프(534)가 있다.

<64> 도 5에 도시된 바와 같이, 위상 검출기(506)는 분주된 기준주파수로서  $F_{REF}$  입력(502)과  $F_{DIV}$  입력(504)을 비교하고, 상기 비교에 응답하여 전하펌프 회로(534)에 의해 각각 수신되는 2개의 출력(508 및 510)을 생성한다. 전하펌프(534)의 제 1 "AND" 게이트(518)는 "UP" 신호(512)와 "EN"신호(515)를 수신한다. 제 2 "AND" 게이트(520)는 "DN" 신호(514)와 "EN"신호(515)를 수신한다. 바람직하게, 출력신호(508)는 "UP"신호(512)이고 출력신호(510)는 다운"DN"신호(514)이다. 제 1 스위치(526)와 제 1 전류원(522)은 파워써플라이 전압과 출력 단자(530) 사이에 직렬로 연결된다. 제 1 스위치(526)의 상태(예를 들면, 개방 또는 단합)는 대응하는 위상 검출기와 동작가능한 신호(EN)에서의 비교에 응답하여 제 1 "AND" 게이트(518)로부터의 출력신호(540)에 의해 제어된다. 제 2 스위치(528)와 제 2 전류원(524)은 출력단자(530)와 접지 기준전압 사이에 직렬로 연결된다. 제 2 스위치(528)의 상태는 바람직하게 제 2 "AND" 게이트(520)로부터의 출력신호(542)에 의해 제어된다. 따라서, 제 1 전류원(522)과 제 2 전류원(524)은 전하펌프(534)의 신호 출력단자(530)에 선택적으로 연결된다. 위상 검출기의  $N$  전하펌프(534)와 전하펌프 회로(500)의 출력(532)은 루프필터(미도시)에 의해 수신된다.  $N$  전하펌프(534)의 출력 단자(530)는 루프필터에 출력(532)을 제공하기 위해 연결된다. 그러나, 본 발명은 이에 제한되는 것을 의미하지 않는다.

<65> 전하펌프 블록의 타이밍 제어 관계가 도 6에 나타나 있으며 상기 도 6에서 분수는  $3/8(K=3, N=8)$ 로 가정한다. 따라서, 모듈러스 분주기는 8 주기 중에서 5번은  $8(N)$ 씩 분주하고 3번은  $9(N+1)$ 씩 분주한다. 도 6에 도시된 타이밍 관계는 도 3의 각 위상 검출기(314, 324)와 연관된 전하펌프 블록에 사용될 수 있다. 따라서, 예를 들면, 위상 검출기 회로(342)는  $2(N=8)$  또는 16 전하펌프단(charge pump stages)(534)을 포함할 수 있다.

<66> 도 6에 도시된 파형은 분주된 기준주파수 전압(602)과 모듈러스 프로그램가능한 분주기(604 및 606)(예를 들면, 310, 312)의 출력 전압이다. CP1 및 CP2(예를 들면, PD314 및 PD324 내에 있음)에 대한 동작가능한 전하펌프의 수는 608로 나타내지며, 분수 누산기의 상태는 610으로 나타내진다. 합성기의 분주기 상태는 612로 나타내진다. 도 6에 도시된 바와 같이, 위상 비교동안 동작가능한 전하펌프(CP1 및 CP2)의 수는 누산기 상태(610)에 의해 정해진다. 동작가능한 전하펌프의 총 수는 항상 분주인자( $N$ )로 고정된다.

<67>  $N$  전하펌프를 갖는 전하펌프 블록을 포함하는 위상 검출기 회로의 또 다른 바람직한 실시예가 도 7에 예시되어 있다. 도 7에 도시된 바와 같이, 전하펌프 블록(700)은 제 1 위상 검출기(PD1)의 출력(706)을 수신하며, 상기 위상 검출기는 스위치(726, 728, 730, ..., 732) 각각에 일련의 제 1 입력으로서 사용된다. 제 2 위상 검출기(PD2)의 출력(708)은 스위치(726, 728, 730, ..., 732) 각각에 일련의 제 2 입력으로서 사용된다. 스위치(726, 728, 730 및 732)에 대한 각각의 스위치 출력(734, 736, 738, ..., 740)은 전하펌프(742, 744, 746, ..., 748)에 대한 입력으로서 사용된다. 바람직하게는  $N$ 개의 전하펌프(742, 744, 746, ..., 748)의 출력(750, 752, 754, ..., 756)은 루프필터(미도시)에 연결되도록 출력신호(758)에 연결된다. 전하펌프 블록(700)에서, 누산기가, 도 7에 도시된 바와 같이, 전하펌프(726, 728, 730, ..., 732)에 위상 검출기(PD1 및 PD2)의 연결을 제어할 때, 전하펌프의 수는 도 5의 총  $2N$ 개의 전하펌프와 비교하면  $N$ 으로 감소된다.

<68> 분주된 기준주파수와 분주된 VCO 주파수 사이의 위상 관계가 도 8(a) 및 8(b)에 도시되어 있다. 도 8(a)는 분주된 기준신호의 상대적인 위상지연(phase lag)을 예시하고, 도 8(b)는 분주된 기준신호의 상대적인 위상선도(phase lead)를 나타낸다. 예를 들면, 도 8(a) 및 8(b)는 도 3에 있는 주파수 합성기(300)의 분주된 기준주파수(306) 및 분주된 VCO 주파수(310, 312) 사이의 위상 관계를 나타낼 수 있다. 도 8(a) 및 8(b)에 도시된 바와 같이, 상대적인 전압파형은 기준주파수(802), 분주기 출력1(Divider Output1)(804), 분주기 출력2(Divider Output2)(806), PD1출력(808) 및 PD2출력(810)을 포함한다. 항상 분주인자( $N$ )인 동작가능한 전하펌프(812 및 816)의 수와 분수 누산기상태(814)가 또한 파형에 대하여 나타내진다.

<69> 도 8(a)에서, 위상 검출기의 출력(808, 810) 모두는, 분주된 기준주파수( $F_{REF}$ )(802)의 위상지연에 응답하여, 모든 전하펌프가 VCO 출력 주파수를 줄이도록 루프필터를 방전(예를 들면, "DOWN" 신호를 생성)하게 한다. 반대로, 도 8(b)에서, 분주된 기준주파수의 위상선도는 위상 검출기의 출력(808, 810) 모두가 모든 전하펌프를 방전(예를 들면, "UP" 신호를 생성)하게 하고, VCO가 출력주파수를 증가시키도록 한다. 잠금상태에서, 분주된

기준주파수(F<sub>REF</sub>)(802)의 위상은 한 위상 검출기(PD1)는 "DOWN" 신호를 생성하고 다른 검출기(PD2)는 "UP"신호를 생성하는 것을 의미하는 2개의 분주된 VCO 주파수(F<sub>DIV1</sub> 및 F<sub>DIV2</sub>)(804 및 806) 사이에 놓여진다. 따라서, 잠금상태에서, PD1에 연결된 전하펌프는 루프필터를 방전하고, PD2에 연결된 전하펌프는 상기 루프필터를 충전하여 바람직하게는 루프필터 전압을 일정하게 유지하게 한다.

<70> 도 9는 본 발명의 바람직한 실시예에 따른 분수보상을 도시한 타이밍 도표이다. 예를 들면, 도 9는 도 3의 주파수 합성기의 분주된 기준주파수(306)와 분주된 VCO 주파수(310,312) 사이의 위상관계를 도시할 수 있다. 도 9에서, 분수는 도 6에서 상술한 바와 같이 3/8(K=3,N=8)이라고 가정한다. 도 9에서 도시된 바와 같이, 분주된 기준주파수(902)의 상대적인 전압파형, 분주기 출력1(Divider Output1)(904), 분주기 출력2(Divider Output2)(906), PD1출력(908), PD2출력(910) 및 제어전압(918)이 도시되어 있다. 제어전압(918)의 진폭(920,922, 및 924) 부분은 명확함을 위해 도 9에서 확대되어 있다. 동작가능한 전하펌프(912 및 916)의 수 및 분수 누산기 상태(914)가 또한 파형에 대하여 나타내어 진다.

<71> 도 9에 도시된 바와 같이, 주파수 합성기의 잠금상태에서, PD1에 연결된 전하펌프(CP1)는 항상 루프필터로부터 전류를 빼내가는 반면에 PD2에 연결된 다른 전하펌프(CP2)는 항상 루프필터에 전류를 공급한다. CP1에 의한 방전 전류의 양은 하기 식에 의해 주어진다:

**수학식 1**

<72> 
$$Q_{방전} = I_{방전} * T_{방전} = \{(N-K)*(I/N)\} * \{(K/N)*T_{VCO}\}$$

<73> 상기 식 1에서 K는 누산기 상태를 나타낸다. 식 1과 유사하게, CP2에 의한 충전 전류의 양은 하기 식에 의해 주어진다:

**수학식 2**

<74> 
$$Q_{충전} = I_{충전} * T_{충전} = \{K*(I/N)\} * \{(N-K)/N\} * T_{VCO}$$

<75> 식 1 및 식 2로부터, Q<sub>충전</sub>과 Q<sub>방전</sub>은 항상 동일하다. 따라서, 충전전류와 방전전류는 서로를 보상하여 잠금상태에서 루프필터 출력전압이 일정하게 유지되도록 한다. PLL의 루프특성은 바람직하게 상기 식을 만족하도록 위상관계를 유지하고 루프필터 전압은 온도와 같은 환경변화에 무관하게 일정하게 유지된다. 따라서, 프랙셔널 스피가 동적으로 보상된다. 더욱이, 어떠한 보상 전류 타이밍도 필요로 하지 않는다. 게다가, 도 9에서의 위상 보상 동안 루프필터 전압의 작은 섭동은 관련된 기술의 분수분주 구조와 비교하면 무시할 수 있는 프랙셔널 스피와 위상 잡음을 보이는데 이는 제어전압의 평균레벨을 바꾸지 못하고 한 주기의 VCO 주파수의 매우 짧은 시간동안에 발생되기 때문이다.

<76> 그러나, 본 발명에 따른 바람직한 실시예는 상기 경우에 제한되거나 한정되는 것을 의미하지는 않는다. 예를 들면, 분주된 신호와 사용된 전하펌프의 수 사이에 위상차를 변경함으로써, 본 발명에 따른 기준신호의 분수보상을 실행하기 위한 다른 조합이 가능하다.

<77> 본 발명에 따른 위상고정루프를 포함하는 주파수 합성기의 또 다른 실시예가 도 10에 예시되어 있다. 도 10에 도시된 바와 같이, 주파수 합성기(1000)는 제 1 및 제 2 위상 검출기(1010 및 1012)에 각각 입력되는 기준주파수(1002)를 수신한다. 제 1 위상 검출기(1010)는 또한 제 1 분주된 VCO 주파수(1004)를 수신하고, 제 2 위상 검출기(1012)는 또한 제 2 분주된 VCO 주파수(1008)를 수신한다. 지연블록(1018)은 제 1 위상 검출기(1010)의 출력(1014)을 수신하고 바람직하게는 기설정된 지연 후에 동일한 출력(1014)을 출력한다. 제 1 전하펌프(1022)는 지연블록(1018)의 출력(1020)을 수신하고, 제 2 전하펌프(1024)는 직접적으로 제 2 위상 검출기(1012)의 출력(1016)을 수신한다. 제 1 전하펌프(1022)의 출력(1026)과 제 2 전하펌프(1024)의 출력(1028)이 함께 결합되어 루프필터(328)와 같은 루프필터에 입력(1030)으로서 사용된다. 바람직하게는, VCO(330), 모듈러스 프로그램가능한 분주기(336) 및 누산기(340)가 루프필터(328)와 위상 검출기 회로(1050)에 연결된다. 도 10의 바람직한 실시예에서, 제 1 및 제 2 위상 검출기(1010 및 1012)의 출력에 지연을 도입함으로써, 루프필터 전압(1030)에서의 섭동이 더 줄어든다. 도 10에 도시된 바와 같이, 제 1 위상 검출기(1010)의 출력(1040)은 루프필터 전압의 섭동을 줄이거나 최소화하도록 지연된다. 그러나, 본 발명은 이에 제한되는 것을 의미하지 않는다.

<78> 예를 들면, 도 10에 도시된 지연 블록(1018)은 바람직하게 상술한 동일한 효과를 달성하기 위해 제 1 위상 검출기(1010) 앞에 위치될 수 있다. 도 11에 도시된 바와 같이, 주파수 합성기에 대한 위상 검출기(1100)의 또 다른

바람직한 실시예는 기준주파수 입력(1002)을 수신하는 제 1 지연블록(1106)과 제 1 분주된 VCO 주파수(1004)를 수신하는 제 2 지연블록(1108)을 포함한다. 제 1 위상 검출기(1010)는 제 1 지연블록(1106)의 출력(1110)과 제 2 지연블록(1108)의 출력(1112)을 수신하고 처리한다. 제 2 위상 검출기(1012)와 제 2 전하펌프(1024)는 상술한 바와 같이 동작한다. 그러나, 제 1 전하펌프(1022)는 직접적으로 상기 제 1 위상 검출기(1010)로부터 출력(1114)을 수신한다. 제 1 전하펌프(1022)로부터의 출력(1126)과 제 2 전하펌프(1024)로부터의 출력(1128)은 루프필터(미도시)에 조합되고 입력(1130)으로서 사용된다.

<79> 도 10-11에 도시된 바람직한 실시예에서 생성되는 바와 같은 지연 동작 및 효과가 설명될 것이다. 도 12에 도시된 바와 같이, 제 1 위상 검출기의 전압 출력은 파형(1202)으로 나타내어 지고, 제 1 위상 검출기의 지연 출력은 파형(1204)으로 나타내어 지며, 제 2 위상 검출기의 출력은 파형(1206)으로 나타내어 진다. 전압제어신호는 파형(1208)으로 나타내어 지고, 상기 파형에서 예시된 진폭은 부분(1212, 1214 및 1216)에서 명확성을 위해 확대되어 있다. 더욱이, 분수 누산기의 상태는 1210으로 나타내어 진다.

<80> 도 12에 도시된 바와 같이, PD1 신호의 "DOWN"과 PD2 신호의 "UP"은 중첩되어 있다. 때문에, 충전전류와 방전전류가 동시에 루프필터에 인가되고 서로를 보상하여 상기 루프필터 전압의 피크 대 피크 변화를 줄이거나 최소화한다. 지연된 PD1 신호(1204) 및 PD2 신호(1206)가 중첩되는 한, 도 10-11의 바람직한 실시예의 동작은 루프필터 전압을 줄이는데 유효하다. 그러나, 본 발명의 바람직한 실시예는 이에 제한되는 것을 의미하지 않는다. 예를 들면, 지연은 PD2 신호 또는 PD1 및 PD2 신호 모두에서 달성될 수 있다. 더욱이, 분주비에 따른 최적의 지연 또는 예정된 지연이, 예를 들면, 제어 누산기에 의해 설정될 수 있다.

<81> 도 13 및 도 14는 예제적인 지연제어회로를 도시한 도표이다. 도 13은 디지털 제어회로(300)를 도시한 것으로, 상기 회로는 직렬로 연결된 지연탭(1304, 1312, 1320 및 1328)이 입력단자(1302)와 출력단자(1340) 사이에 연결되어 있다. 상기 회로에서 스위치되는 복수의 지연탭(1304, 1312, 1320 및 1328)이 입력신호(IN)와 출력신호(OUT) 사이의 기설정된 지연을 정한다. 디지털 지연제어회로(1300)는 신호를 수신하여 입력단자(1302)의 입력신호(IN)와 같이 지연되도록 한다. 지연탭은, 예를 들어, 인버터(inverter)일 수 있다. 복수의 스위치(1332, 1334, 1336, 1338)가 각각 지연탭(1304, 1312, 1320 및 1328)과 출력단자(1340) 사이에 연결된다. 스위치(1332, 1334, 1336, 1338)의 온/오프 상태는 바람직하게 제어신호(1350)에 의해 정해진다. 따라서, 디지털 지연제어회로(1300)의 총 지연은 스위치(1332, 1334, 1336 및 1338)의 상태에 의해 제어된다.

<82> 도 14는 제어전압이 각각의 지연 셀의 지연과 이에 따른 회로의 총 지연을 제어하는 아날로그 지연제어회로를 도시한 것이다. 도 14에 도시된 바와 같이, 아날로그 지연제어회로(1400)는 제 1 지연셀(1404)에 연결된 입력단자(1402)에 입력신호(IN)를 수신한다. 지연셀(1412, 1416 및 1422)이 제 1 지연셀(1404)과 출력단자(1426) 사이에 직렬로 연결된다. 지연셀(1404, 1412, 1416 및 1422)은 각각 제어전압 CONTROL(1428)을 수신하고, 상기 CONTROL은 각각의 지연셀에 의해 생성된 지연을 정하며, 이에 따라, 제어전압(1428)이 입력신호(IN)와 출력신호(OUT) 사이에서 누적된 기설정된 지연을 정한다. 상술한 바와 같이, 다소의 지연탭 또는 지연셀이 예시적인 지연회로를 구성할 수 있다.

<83> 상술한 바와 같이, 주파수 합성기의 바람직한 실시예는 다양한 잇점을 가진다. 본 발명의 실시예에 따른 위상고정루프(PLL)를 포함하는 주파수 합성기는 전하펌프가 작동할 때마다 동적으로 전하펌프 맥동(ripple)을 보상하도록 프랙셔널 스퍼 보상회로도 포함한다. 바람직한 실시예에서, 프로그램가능한 분주기는 바람직하게 PLL의 2개 위상 검출기로 입력을 위한 동일한 분주비를 갖는 전압제어 발진기(VCO)로부터의 분주된 신호인 2개의 출력신호를 산출한다. 따라서, 분주된 VCO 신호의 위상차는 바람직하게 한 주기의 VCO 출력이다. 주파수 합성기의 잠금상태에서, 대응하는 기준신호의 위상은 이들 분주기 신호사이에서 발생한다. 바람직한 실시예에서, 2개 위상 검출기(PD)는 분주기의 2개 분주된 VCO 신호중 하나를 수신하기 위해 연결된 입력단자를 각각 가지며 사용된다. 각 위상 검출기의 제 2 입력단자는 기준신호를 수신하기 위해 연결된다. 따라서, 잠금상태에서 한 PD는 "UP"신호를 산출하고 다른 PD는 "DOWN"신호를 산출한다.

<84> 전하펌프블록은 N개의 동일한 전하펌프단계를 포함할 수 있으며 각 위상 검출기 출력단자에 연결된다. 각 전하펌프의 출력단자는 루프필터에 조합된다. 위상비교동안 동작하는 전하펌프의 수는 분수 누진기 단계에 의해 정해진다. 잠금상태에서, 충전전류와 방전전류의 양은 항상 동일하고 서로를 보상한다. 때문에, 어떠한 분수 맥동도 발생하지 않는다. 따라서, 본 발명에 따른 바람직한 실시예는 보상전류 트리밍(trimming)에 대한 필요성을 피하거나 줄인다. 분수 보상은 동적이며, 회로수명, 공정 및 온도와 같은 환경변화에 대해 강건하다. 따라서, 주파수 합성기의 바람직한 실시예는 프로그램가능한 분주기의 분주된 신호의 위상차와 활성화된 전하펌프의 수를 변경함으로써 구현될 수 있다.

<85> 도 15는 복수의 위상 검출기가 한 샘플 커패시터에 각각 결합된 샘플 홀드 회로(1500)의 바람직한 실시예를 예시한 도표이다. 도 15에 도시된 바와 같이, 제 1 전하펌프(1506)는 제 1 위상 검출기(PD1)로부터의 입력을 수신하고, 제 2 전하펌프(1508)는 제 2 위상 검출기(PD2)로부터의 입력을 수신한다. 제 1 전하펌프(1506)의 출력(1510)과 제 2 전하펌프(1508)의 출력(1512)은 제 1 노드(n1)에 연결된 샘플 홀드 회로(1536)의 입력부(1514)에 함께 연결된다. 샘플 홀드 회로(1536)에서, 기준전압( $V_{ref}$ )(1516)은 제 1 스위치(1518)를 통해 제 1 노드(n1)에 연결된다. 제 1 커패시터(1520)인 샘플 커패시터는 접지 기준전압(1522)과 제 1 노드(n1) 사이에 연결된다. 제 2 스위치(1530)는 제 1 노드(n1)와 출력단자(1534)에 연결된 제 2 노드(n2) 사이에 연결된다. 제 2 커패시터(1530)인 홀드 커패시터는 접지 기준전압(1522)과 제 2 노드(n2) 사이에 연결된다. 샘플 커패시터(1520)와 홀드 커패시터(1530)의 정전용량은 전형적인 루프필터 커패시터의 정전용량보다 훨씬 작다. 위상 비교가 위상 검출기(PD1 및 PD2)에서 일어나기 전에, 제 1 스위치(1518)가 닫혀지고 샘플 커패시터(1520)는 기준전압( $V_{ref}$ )(1516)으로 충전된다. 각각 위상 검출기(PD1 및 PD2)에 잇따른 전하펌프 블록(1506 및 1508)은 위상비교에서 검출된 위상차에 따라 기준전압( $V_{ref}$ )(1516)으로부터 샘플 커패시터(1520)의 전압을 증가시키거나 감소시킨다. 위상비교가 완료되면, 샘플 커패시터(1520)에서 전하가 제 2 스위치(1524)를 거쳐 홀드 커패시터(1530)로 바람직하게 전송된다.

<86> 도 16은 본 발명에 따른 샘플 홀드 분수분주 주파수 합성기의 분수보상 방법을 도시한 타이밍 도표이다. 예를 들면, 도 16은 샘플 홀드 회로를  $I_o$ 로 대체하는 도 3의 주파수 합성기의 분주된 기준주파수(306)와 분주된 VCO 주파수(310, 312) 사이의 위상관계를 도시할 수 있다. 도 16에서, 분수는  $3/8(K=3, N=8)$ 이라고 가정한다. 분수 누산기 상태(K)는 위상 비교동안 동작하는 전하펌프의 수를 정한다. 예를 들면, PD1의 (N-K) 전하펌프와 PD2의 K 전하펌프가 동작가능하다. 동작가능한 전하펌프의 총수는 항상 N이다. 도 16에서, 분주된 기준주파수(1602)의 상대적인 전압파형, 분주기 출력1(Divider Output1)(1604), 분주기 출력2(Divider Output2)(1606), PD1 출력(1608), PD2 출력(1610) 및 제어전압(1612)이 도시되어 있다. 동작가능한 전하펌프(1616 및 1618)의 수와 분수 누산기 상태(1614)가 또한 파형에 대하여 나타나 있다. 도 16에, 분주된 기준신호(1602)의 위상선도는 PD1 및 PD2에 대응하는 동작가능한 전하펌프의 수를 가변함으로써 균일하게 보상되어 충전이 기준전압( $V_{샘플}$ )으로부터 제어전압( $V_{홀드}$ )까지 PD1 및 PD2로부터의 전하증가가 일정한 값으로 조합된다.

<87> 도 7에 대해 상술한 바와 같이, 총 N개 전하 펌프가 실행되고 누산기에 의해 제어되는 스위치가 PD1 및 PD2에 연결된 전하펌프의 수를 결정한다. 도 16에 도시된 바와 같이, 매 위상비교시 전하펌프로부터 제공된 전하의 양은 하기 식에 의해 주어진다:

**수학식 3**

$$\begin{aligned}
 Q_{\text{총계}} &= I_{CP1} * T_{CP1} + I_{CP2} * T_{CP2} \\
 &= [(N-K) * (I/N)] * \{T_1 - (K/N) * T_{VCO}\} + [K * (I/N)] * \{(T_1 - (K/N) * T_{VCO}) + T_{VCO}\} \\
 &= I * T_1 = \text{일정}
 \end{aligned}$$

<88> 따라서, 제어전압 또는 샘플 커패시터의 전압변경은 일정하고 홀드 커패시터의 전압도 또한 일정하게 유지된다. 따라서, 합성된 출력은 양호한 스펙트럼 순도(spectral purity)를 보인다. 다른 주파수를 산출하기 위해 분주비가 변경되면, 기준신호와 분주된 출력 사이의 제어전압을 결정하는 위상차( $T_1$ )가 변한다. 더욱이, 도 16에 도시된 바와 같이, 기준신호는 분주신호(1604 및 1606)를 선도한다. 그러나 본 발명은 이에 제한되는 것을 의미하지 않는다. 기준신호의 위상이 분주된 출력의 위상을 지연시키면, 샘플 커패시터의 전압이 기준전압( $V_{ref}$ )으로부터 낮아질 수 있다. 또한, 본 발명에 따른 바람직한 실시예는 2개의 분주기 출력신호의 위상차와 각 위상 검출기에서 전하펌프의 수를 변경함으로써 다양한 방식으로 구현될 수 있다.

<90> 본 발명에 따른 위상고정루프를 포함하는 샘플 홀드 형태의 분수분주 주파수 합성기의 또 다른 실시예가 도 17에 예시되어 있다. 도 17에 도시된 바와 같이, 주파수 합성기(1700)는 제 1 및 제 2 위상 검출기(1710, 1712)에 각각 입력되는 기준주파수(1702)를 수신한다. 제 1 위상 검출기(1710)는 또한 제 1 분주된 VCO 주파수(1704)를 수신하고, 제 2 위상 검출기(1712)는 또한 제 2 분주된 VCO 주파수(1708)를 수신한다. 로크 디텍터(lock detector)(1718)와 제 1 전하펌프 블록(1722)은 제 1 위상 검출기(1710)의 출력(1714)을 수신한다. 로크 디텍

터(1718)와 제 2 전하펌프블록(1724)은 제 2 위상 검출기(1712)의 출력(1716)을 수신한다. 제 1 전하펌프(1722)의 출력(1726)과 제 2 전하펌프(1724)의 출력(1728)은 샘플 홀드 회로(1536)와 같이 샘플 홀드 회로(1740)에 함께 결합되고 입력(1730)으로서 사용된다. 바람직하게, VCO(330), 모듈러스 프로그램가능한 분주기(336) 및 누산기(340) 등이 샘플 홀드 회로(1740)와 위상 검출기(1710 및 1712)에 연결된다.

<91> 도 17의 바람직한 실시예에서, 디지털 아날로그 변환기(DAC)(1732)는 로크 디텍터(1718)로부터의 입력(1720)을 수신하고, 샘플 홀드 회로(1740)에 의해 수신되는 출력(1734)을 산출한다. 바람직하게, 출력(1734)은 샘플 커패시터를 초기화하기 위해 사용된 기준전압( $V_{ref}$ )이다.

<92> 샘플 홀드 형태 PLL에서, 기준전압이 초기에 잠금 제어전압으로부터 너무 멀리 설정되면, 루프는 요망하는 주파수를 생성하지 못할 수 있다. 본 발명에 따른 주파수 합성기(1700)는 로크 디텍터를 포함하고 있어 심지어 기준전압이 초기에 잠금제어 전압으로부터 너무 멀리 설정되더라도 요망 주파수를 생성할 것이다. 도 17에 도시된 바와 같이, 검출기 회로(1750)는 로크 디텍터(1718)와 DAC(1732)를 포함할 수 있다. 로크 디텍터(1718)는 각각 바람직하게 각각의 위상 검출기(1710 및 1712)의 출력을 감시한다. 예를 들면, PD1 및 PD2의 출력 모두가 증가 전압신호(예를 들면, "UP"신호)이면, 기준신호(1702)는 분주된 신호(1704 및 1708)를 선도한다. 이 경우, DAC(1732)는 기준전압과 요망 전압 사이의 전압차를 최소화하기 위해 기준전압(1734)(예를 들면,  $V_{ref}$ )을 증가시킨다. PD1 및 PD2의 출력 모두가 감소전압신호(예를 들면, "DOWN"신호)이면, 기준신호(1702)는 분주된 신호(1704 및 1708)를 지연시킨다. 이 경우, DAC(1732)는 기준전압(1734)을 줄인다. 한 위상 검출기가 증가신호를 생성하고 다른 위상 검출기가 감소신호를 생성하는 경우(예를 들면, PD1이 DOWN 신호를 생성하고 PD2가 UP신호를 생성하는 경우), 기준전압(1734)은 요망 제어전압에 매우 가까워진다. 그러나, 본 발명은 이에 제한되는 것을 의미하지 않는다.

<93> 도 18은 본 발명의 실시예에 다른 기준전압을 세팅하기 위한 장치를 예시한 것이다. 도 18에 도시된 바와 같이, 검출기 회로(1850)의 또 다른 바람직한 실시예는 아날로그 디지털 회로(ACD)(1820)와 디지털 아날로그 회로(DAC)(1830)를 포함한다. 제 1 위상 검출기(1710), 제 2 위상 검출기(1712), 제 1 전하펌프(1722), 제 2 전하펌프(1724) 및 샘플 홀드 회로(1740)가 앞서 설명되어 있다. 따라서, 여기서 설명은 생략한다. 샘플 홀드 회로(1740)의 출력(1810)은 VCO(미도시)로 및 아날로그 디지털 변환기(1820)로 전송된다. 아날로그 디지털 변환기(1820)의 출력(1822)은 디지털 아날로그 변환기(1830)에 의해 수신된다. ADC(1820)는 기설정된 전압과의 비교를 위해 제어전압을 정하고 바람직하게는 DAC(1830)를 통해 기준전압(1840)(예를 들면,  $V_{ref}$ )을 설정한다. 그러나, 본 발명은 이에 제한되는 것을 의미하지 않는다. 예를 들면, 검출기 회로(1850)는 또한 검출기 회로(1750)로 대체될 수 있으며, 상기 회로에서 DAC(1732) 출력은 샘플 홀드 회로(1740)로부터 출력전압(1810)을 수신하는 로크 디텍터(1718)를 사용하여 기설정된 제어전압과 비교가능할 때까지 제어된다.

<94> 도 19는 샘플 홀드 회로에서 기준전압이 요망 제어전압과 일치하는 샘플 홀드 형태 분수분주 주파수 합성기의 분수보상 방법을 나타내는 타이밍 도표를 예시하고 있다. 예를 들면, 도 19는 도 3의 주파수 합성기(300)의 분주된 기준주파수(306)와 분주된 VCO 주파수(310,312) 사이의 위상 관계를 나타낼 수 있다. 도 19에서, 분수는 상술한 바와 같이  $3/8(K=3, N=8)$ 이라고 가정한다. 상대적인 전압파형은 분주된 기준주파수(1902)이고, 분주기 출력1(Divider Output1)(1904), 분주기 출력2(Divider Output2)(1906), PD1 출력(1908), PD2 출력(1910) 및 제어 전압(1918)이 도시되어 있다. 동작가능한 전하펌프(1912 및 1916)의 수와 분수 누산기 상태(1614)가 또한 파형에 대하여 나타나 있다.

<95> 도 19에서 도시된 바와 같이, 기준신호(1902)는 분주된 신호 사이에 있다. 따라서, PD1에 연결된 전하펌프(CP1)는 항상 샘플 홀드 회로로부터 전류를 빼내는 반면에, PD2에 연결된 전하펌프(CP2)는 항상 샘플 홀드 회로에 전류를 공급한다. 충전 및 방전의 양은 정확하게 식 3을 통해 일치하며 제어전압이 일정하게 유지된다. 식 3에 따르면, CP1에 의한 방전 전류의 양이 하기 식으로 주어진다:

<96> (수학식 1)

<97> 
$$Q_{방전} = I_{방전} * T_{방전} = \{(N-K)*(I/N)\} * \{(K/N)*T_{VCO}\}$$

<98> 상기 식 1에서 K는 누산기 상태를 나타낸다. 식 1과 유사하게, CP2에 의한 충전 전류의 양은 하기 식에 의해 주어진다:

<99> (수학식 2)

<100>  $Q_{\text{충전}} = I_{\text{충전}} * T_{\text{충전}} = \{K*(I/N)\} * \{(N-K)/N\} * T_{\text{VCO}}$

<101> 식 1 및 식 2로부터,  $Q_{\text{충전}}$ 과  $Q_{\text{방전}}$ 은 항상 동일하다.

<102> 상술한 바와 같이, 본 발명에 따른 주파수 합성기의 바람직한 실시예는 여러가지 잇점을 가지고 있다. 위상고정 루프(PLL) 주파수 합성기의 바람직한 실시예는 분수분주 형태 합성기에 샘플 홀드 회로를 합체한다. 바람직한 실시예는 샘플 홀드 회로가 분수분주 형태 주파수 합성기에서 관련된 기술의 루프필터 커패시터를 대체하기 때문에 회로 크기와 전력 요건을 줄인다. 바람직한 실시예에 따른 위상고정루프(PLL)를 포함하는 주파수 합성기는 또한 전하펌프가 작동할 때마다 동적으로 전하펌프 맥동을 보상하도록 프랙셔널 스퍼 보상회로를 합체한다. 바람직한 실시예에서, 프로그램가능한 분주기는 한 주기의 VCO 출력인 위상차를 갖는 전압제어 발진기(VCO)로부터 바람직하게 분주된 신호인 2개의 출력신호를 산출한다. 주파수 합성기의 잠금상태에서, 대응하는 기준신호의 위상은 2개의 분주신호 사이에서 발생한다. 바람직한 실시예에서, 2개의 위상 검출기(PD)는 기준신호와 2개의 분주된 VCO 신호중 하나를 각각 수신하여 사용함으로써 한 위상 검출기는 전압증가 신호를 산출할 수 있고 다른 위상 검출기는 전압감소 신호를 잠금상태에서 산출할 수 있다.

<103> 전하펌프 블록은 N개의 동일한 전하펌프단을 포함할 수 있고 하나 또는 양 위상 검출기 출력단자에 연결될 수 있으며, 각 전하펌프의 출력은 샘플 홀드 회로에 조합된다. 잠금상태에서, 충전전류 및 방전전류의 양은 실질적으로 서로를 보상한다. 때문에, 어떠한 분수 맥동도 발생하지 않는다. 따라서, 분수 보상은 본 발명에 따른 바람직한 실시예에서 회로수명, 공정 및 온도와 같은 환경변화에 대해 동적이고 강건하다. 주파수 합성기의 바람직한 실시예는 균일하고 안정성 있는 VCO 제어전압을 제공하도록 샘플 홀드 회로를 갖는 복수의 위상 검출기를 사용하여 구현될 수 있다.

<104> 상술한 실시예와 잇점은 단지 예이며 본 발명을 제한하는 것으로 해석되지 않아야 한다. 본 교시는 다른 형태의 장치에 용이하게 적용될 수 있다. 본 발명의 설명은 예시적인 것이며 청구의 범위를 제한하는 것을 의미하지 않는다. 많은 대안, 변경 및 변형이 당업자에게는 명백해질 것이다. 청구의 범위에서, 기능식 청구항이 인용된 기능을 수행함으로써 본 명세서에 설명된 구조와 구조적 균등물 뿐만 아니라 동일한 구조를 포함하도록 의도되어 있다.

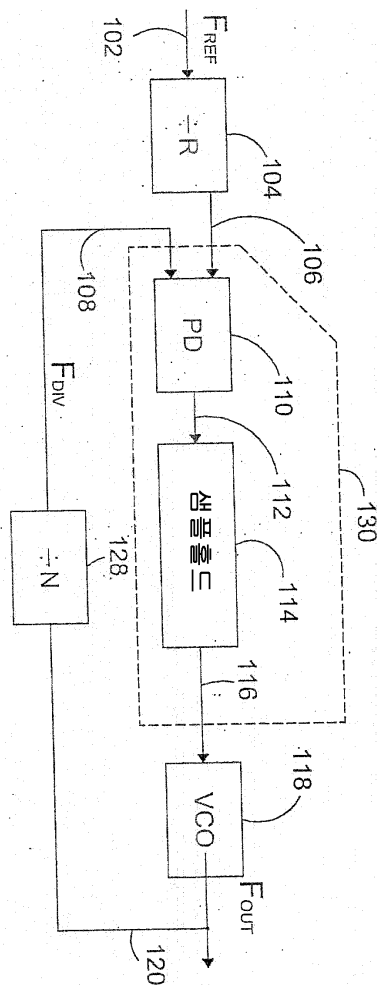
**도면의 간단한 설명**

- <38> 도 1은 샘플 홀드 회로를 사용하여 정수분주 주파수 합성기의 관련 기술의 실시예를 도시한 것이다;
- <39> 도 2(a)는 위상 검출기와 도 1의 샘플 홀드 회로를 도시한 것이다;
- <40> 도 2(b)는 관련 기술의 샘플 홀드 형태의 정수분주 주파수 합성기에서 잠금상태의 타이밍 도표를 도시한 것이다;
- <41> 도 2(c)는 관련 기술의 분수분주 합성기에서 샘플 홀드 회로의 타이밍 도표를 도시한 것이다;
- <42> 도 3은 본 발명에 따른 위상고정루프(PLL)를 포함하는 주파수 합성기의 바람직한 실시예를 도시한 개략도이다;
- <43> 도 4는 도 3의 프로그램가능한 모듈러스(modulus) 분주기의 바람직한 실시예를 도시한 도표이다;
- <44> 도 5는 위상 검출기 다음에 전하펌프단을 갖는 전하펌프 블록을 포함하는 위상 검출기를 도시한 도표이다;
- <45> 도 6은 도 5의 전하펌프 블록의 타이밍 제어도표를 도시한 도표이다;
- <46> 도 7은 복수의 전하 펌프가 도 5에서는 총 2N 개인 전하펌프에 비하여 N개로 감소된 전하펌프 블록을 포함하는 위상 검출기 회로의 또 다른 실시예를 도시한 도표이다;
- <47> 도 8(a) 및 8(b)는 분주 기준주파수와 분주된 VCO 주파수의 각각 위상지연과 위상선도의 타이밍 도표를 도시한 것이다;
- <48> 도 9는 본 발명의 바람직한 실시예에 다른 보상구조의 타이밍 도표를 도시한 것이다;
- <49> 도 10은 위상 검출기 회로에서 지연을 갖는 PLL을 포함하는 주파수 합성기의 또 다른 바람직한 실시예를 도시한 도표이다;
- <50> 도 11은 지연을 갖는 위상 검출기 회로의 또 다른 바람직한 실시예를 도시한 도표이다;

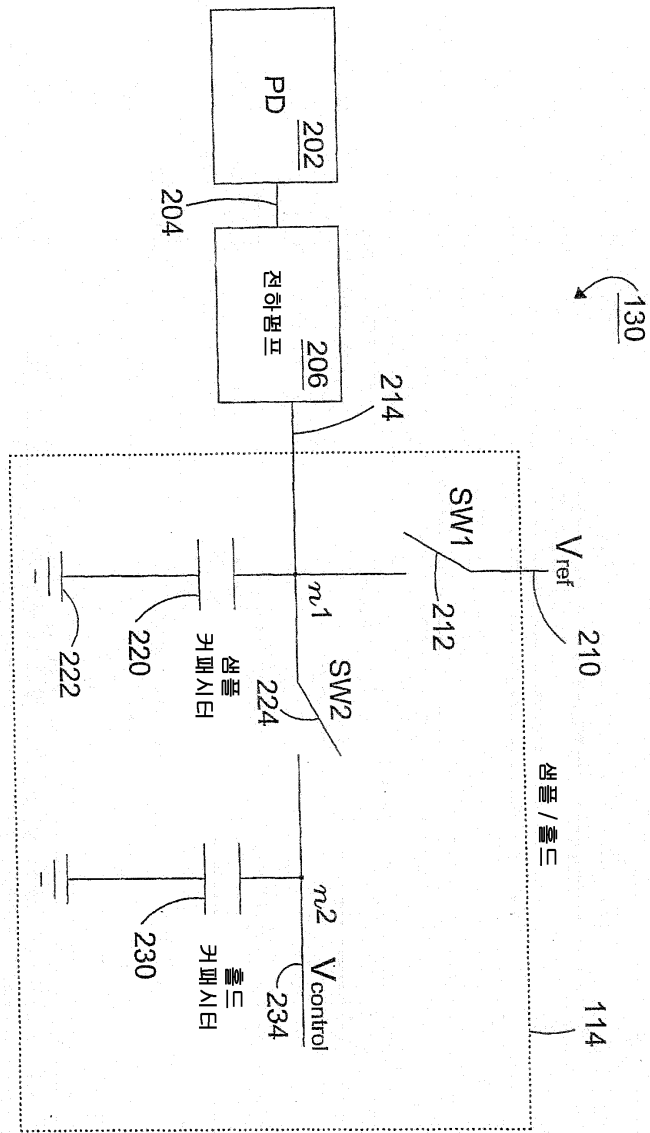
- <51> 도 12는 위상 검출기 회로에서 지연을 도입하는 효과를 도시한 타이밍 도표이다;
- <52> 도 13은 회로에 스위치된 복수의 지연탭이 지연을 정하는 예시적인 디지털 제어회로를 도시한 도표이다;
- <53> 도 14는 제어전압이 각 지연 셀의 지연과 회로의 총 지연을 제어하는 예시적인 아날로그 회로를 도시한 도표이다;
- <54> 도 15는 각 전하펌프 출력이 하나의 샘플 커패시터에 연결되는 샘플 홀드 회로를 도시한 도표이다;
- <55> 도 16은 본 발명에 따른 샘플 홀드 분수분주 주파수 합성기에 대한 작동방법의 바람직한 실시예를 예시한 타이밍 도표이다;
- <56> 도 17은 본 발명에 따른 기준 전압을 설정하기 위한 검출기 회로를 포함하는 샘플 홀드 형태의 분수분주 주파수 합성기의 또 다른 바람직한 실시예를 도시한 도표이다;
- <57> 도 18은 본 발명에 따른 기준 전압을 설정하기 위한 검출기 회로를 포함하는 분수분주 합성기의 또 다른 바람직한 실시예의 일부분을 도시한 도표이다;
- <58> 도 19는 기준전압이 본 발명에 따른 요망 제어전압과 일치할 때 샘플 홀드 형태의 분수분주 주파수 합성기에 대한 작동방법의 바람직한 실시예를 도시한 타이밍 도표이다.

**도면**

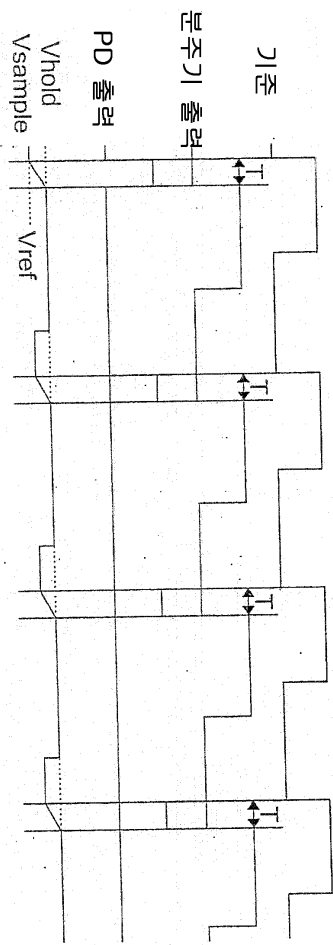
**도면1**



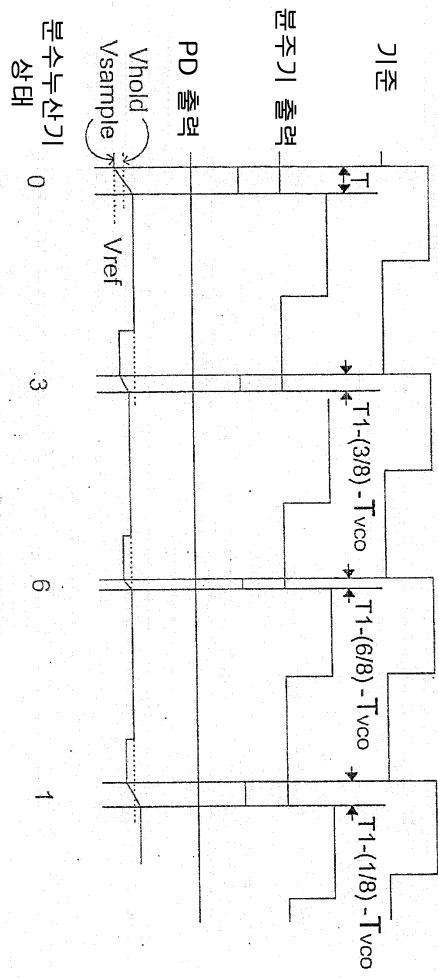
도면2a



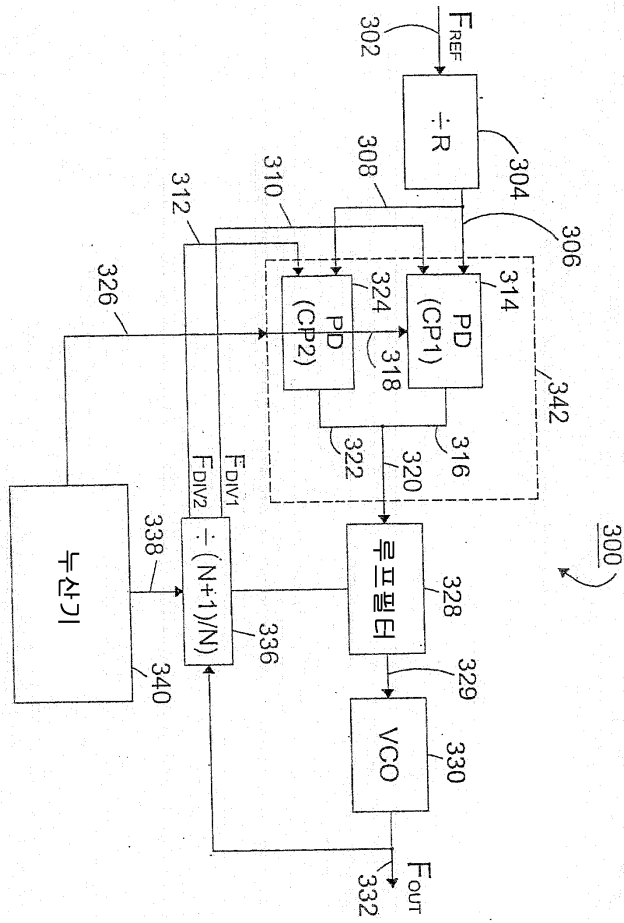
도면2b



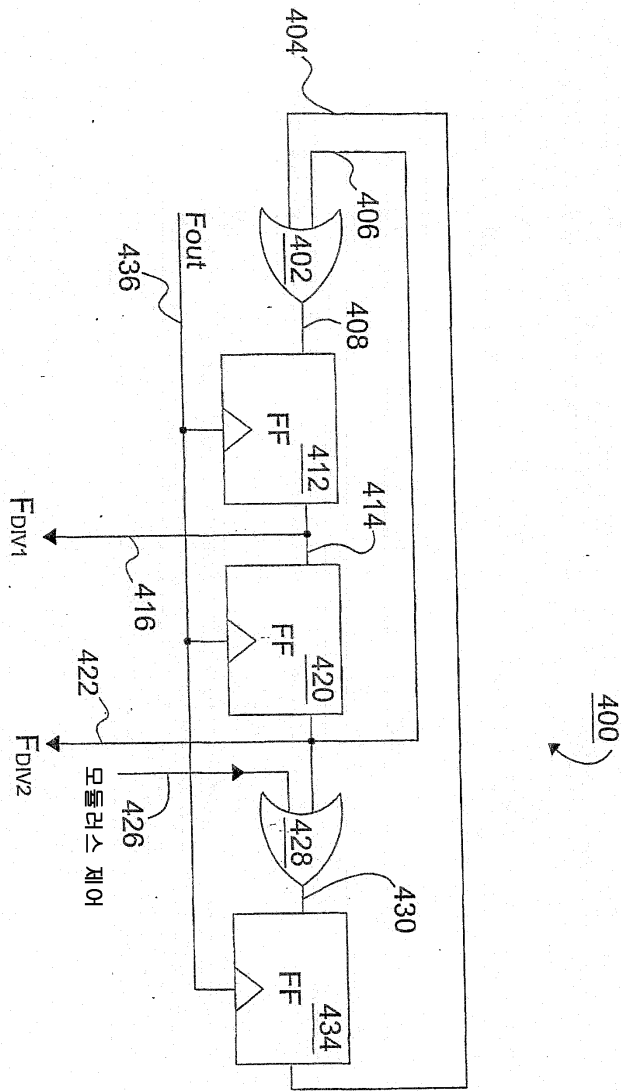
도면2c



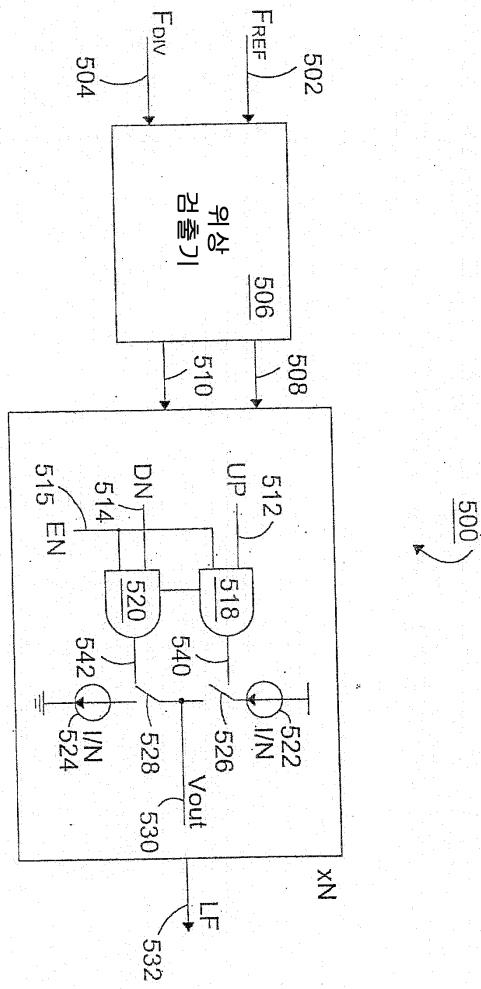
도면3



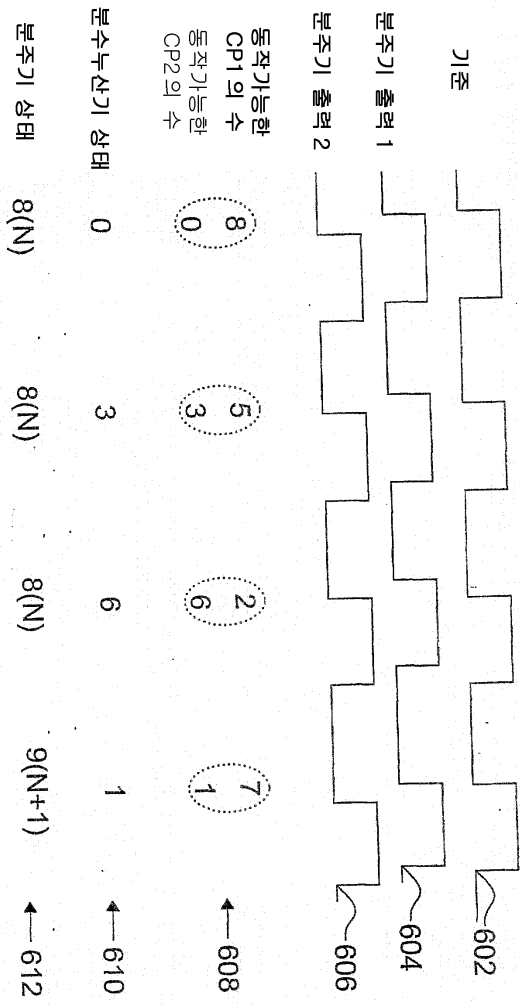
도면4



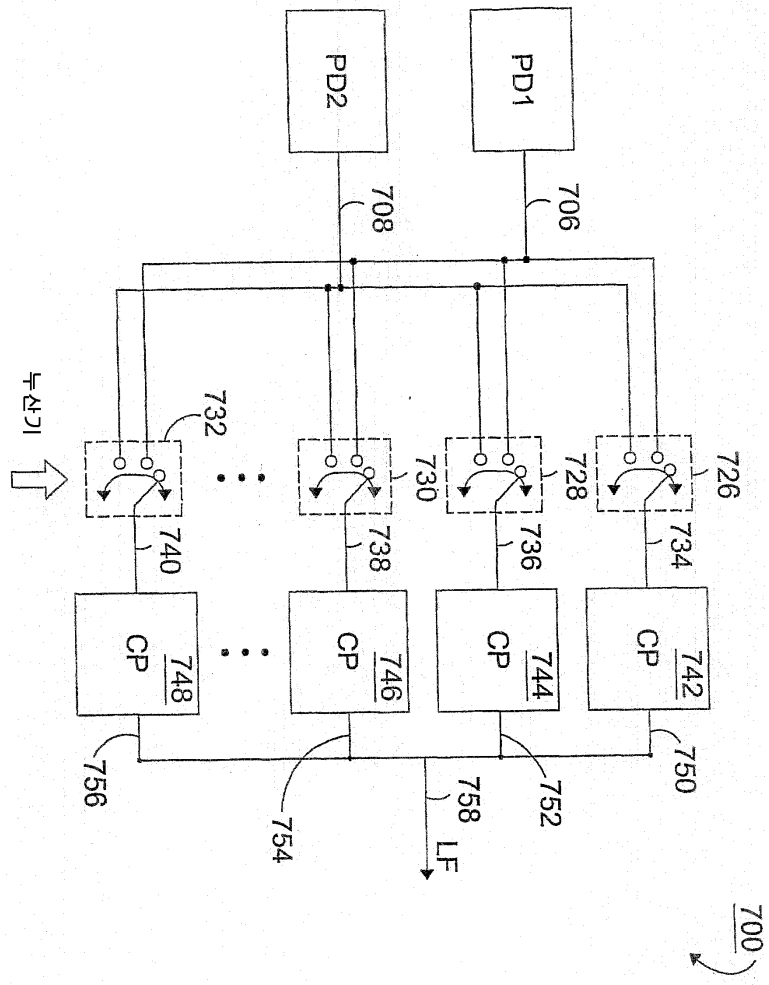
도면5



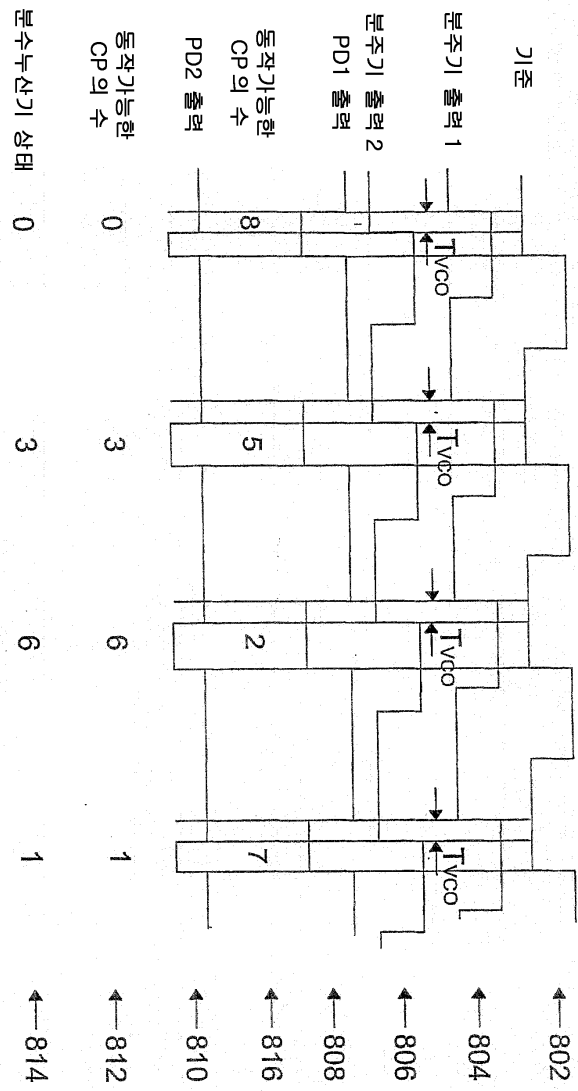
도면6



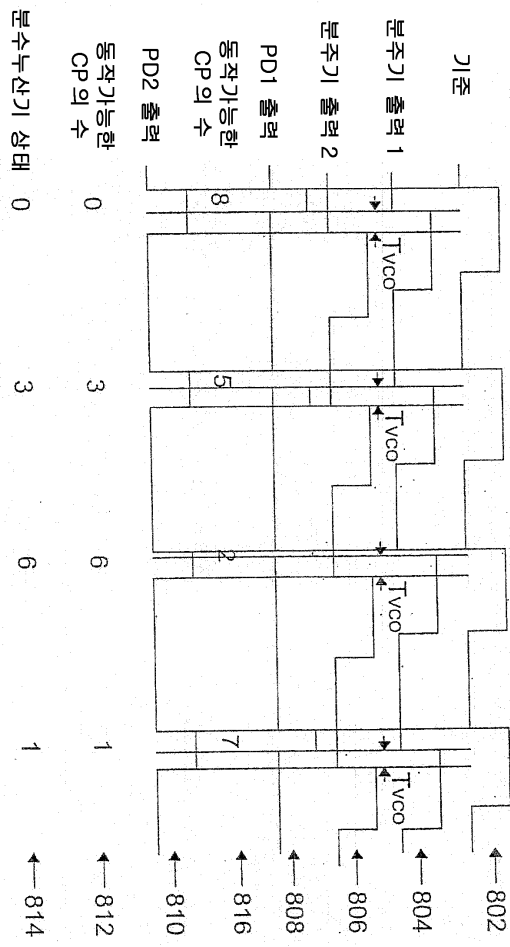
도면7



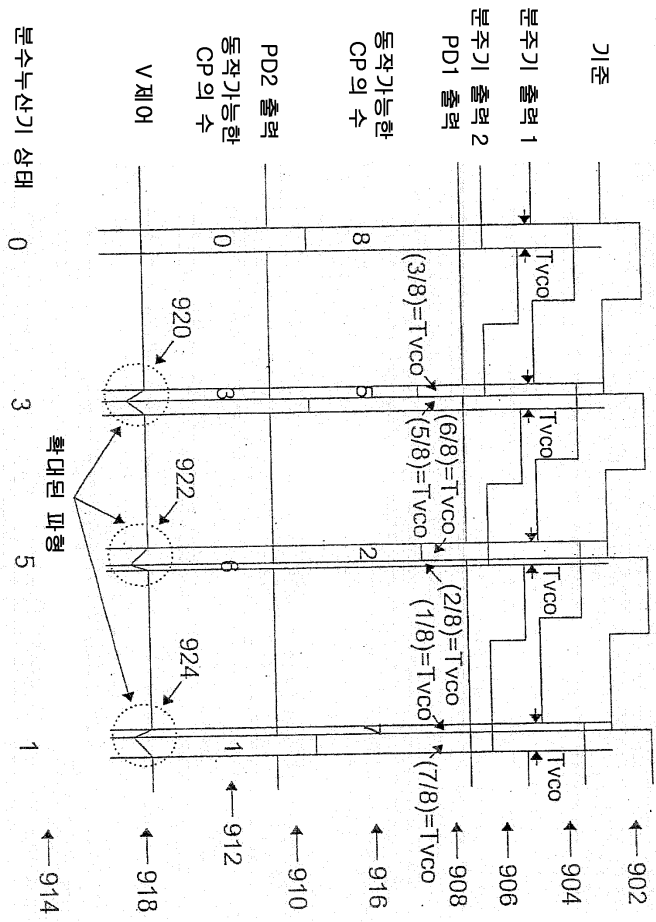
도면8a



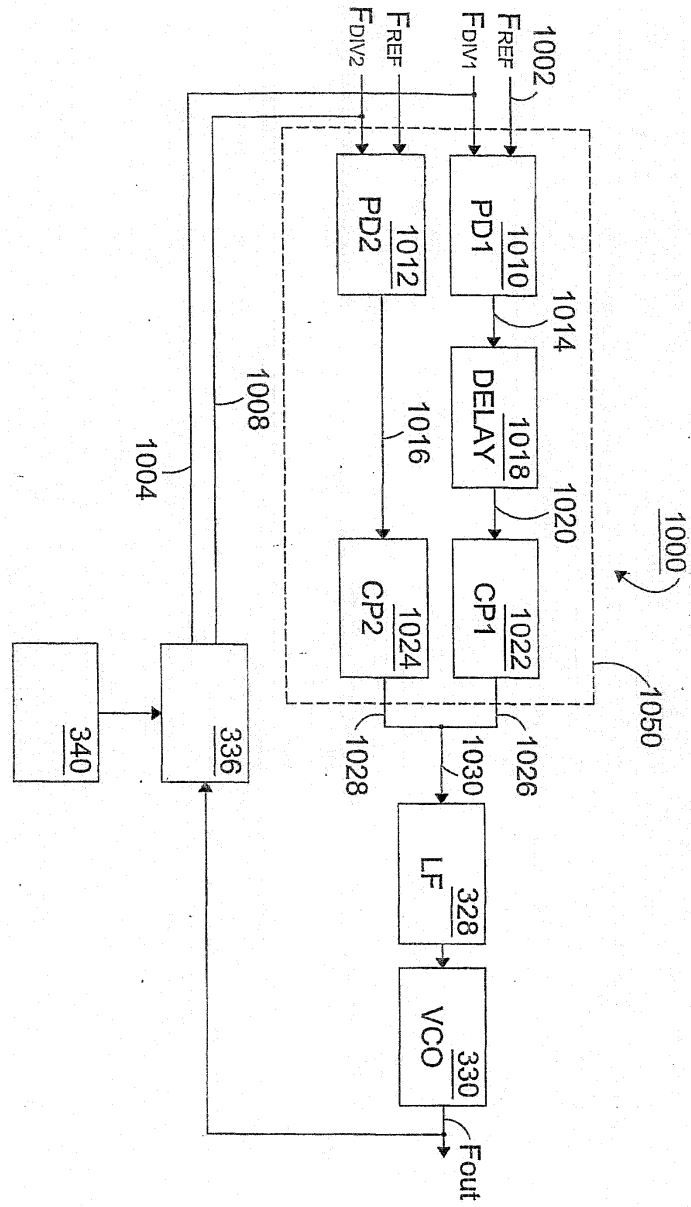
도면8b



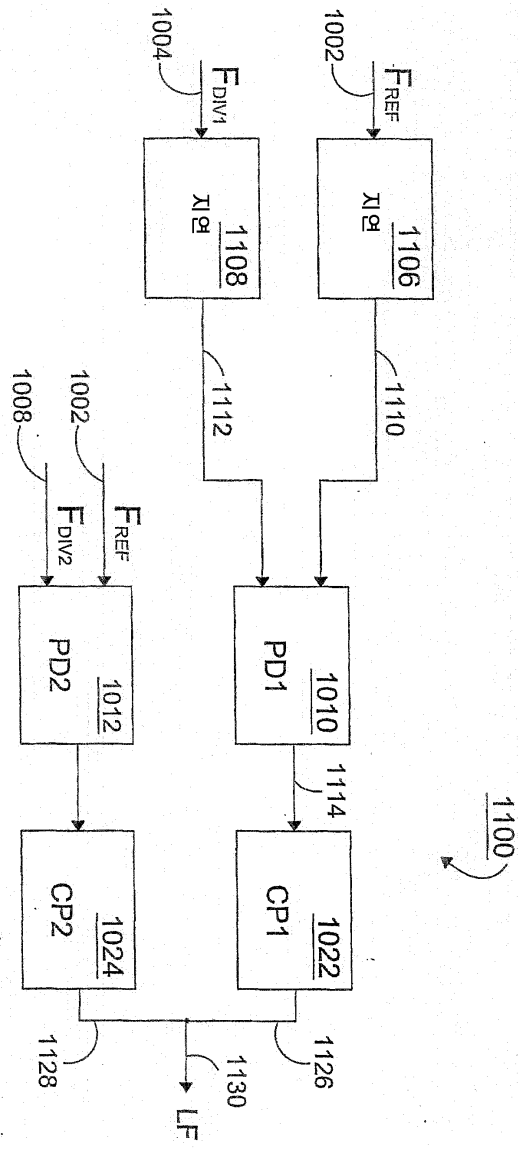
도면9



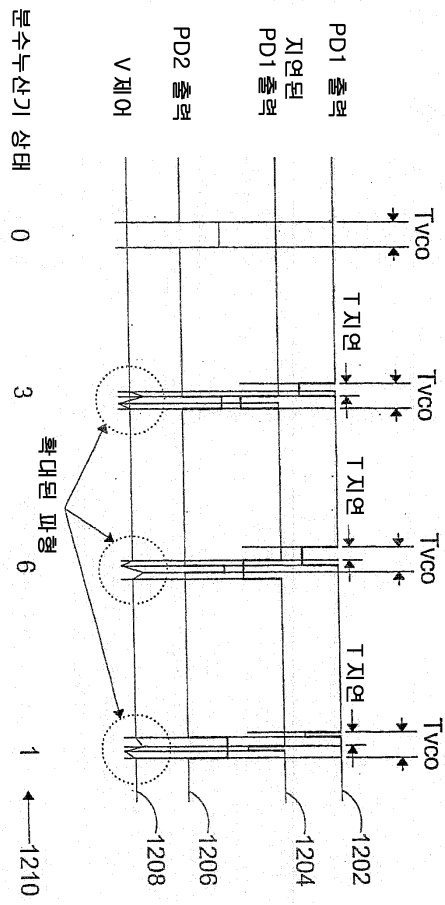
도면10



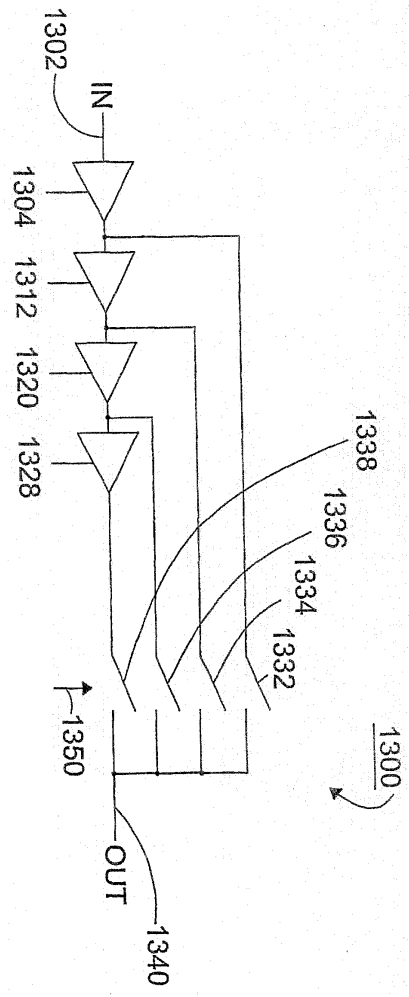
도면11



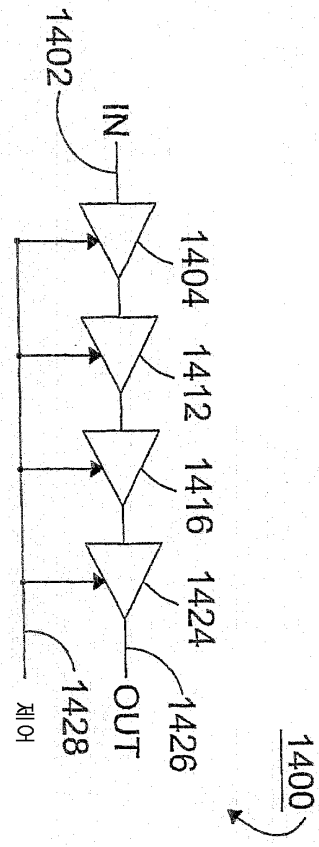
도면12



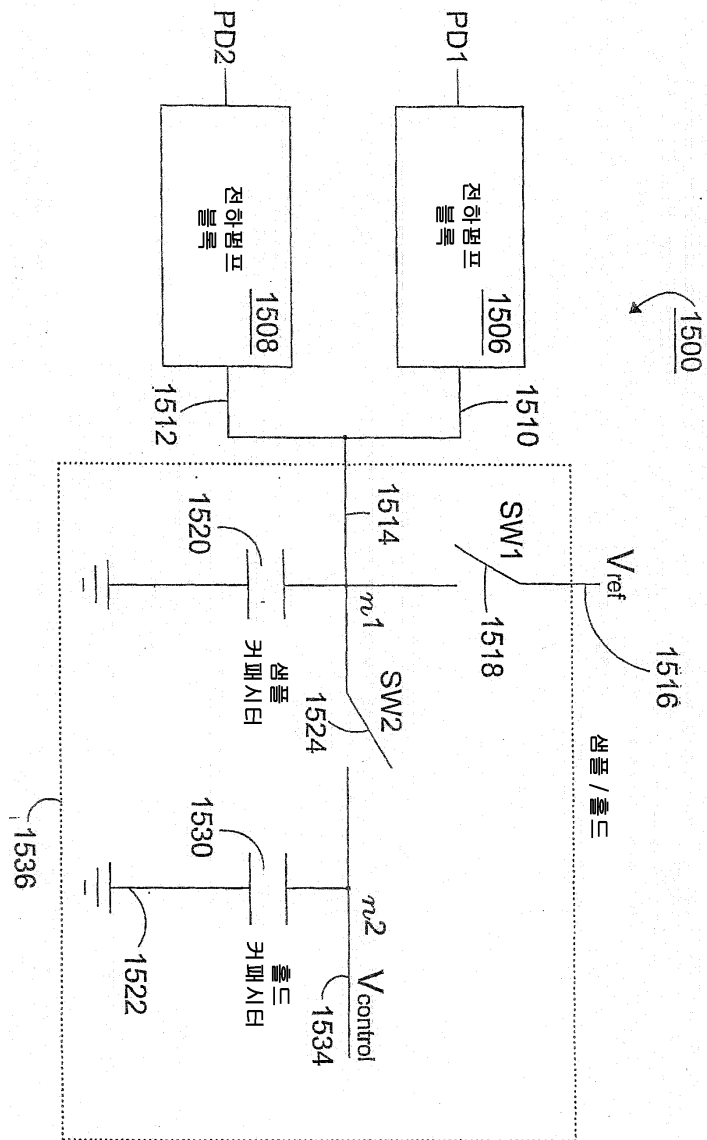
도면13



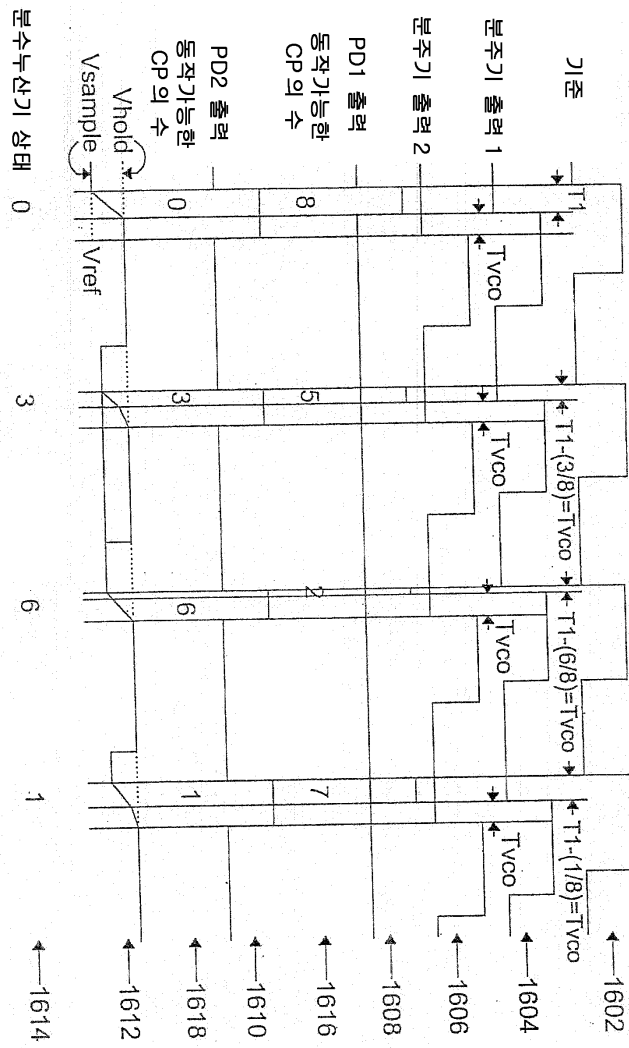
도면14



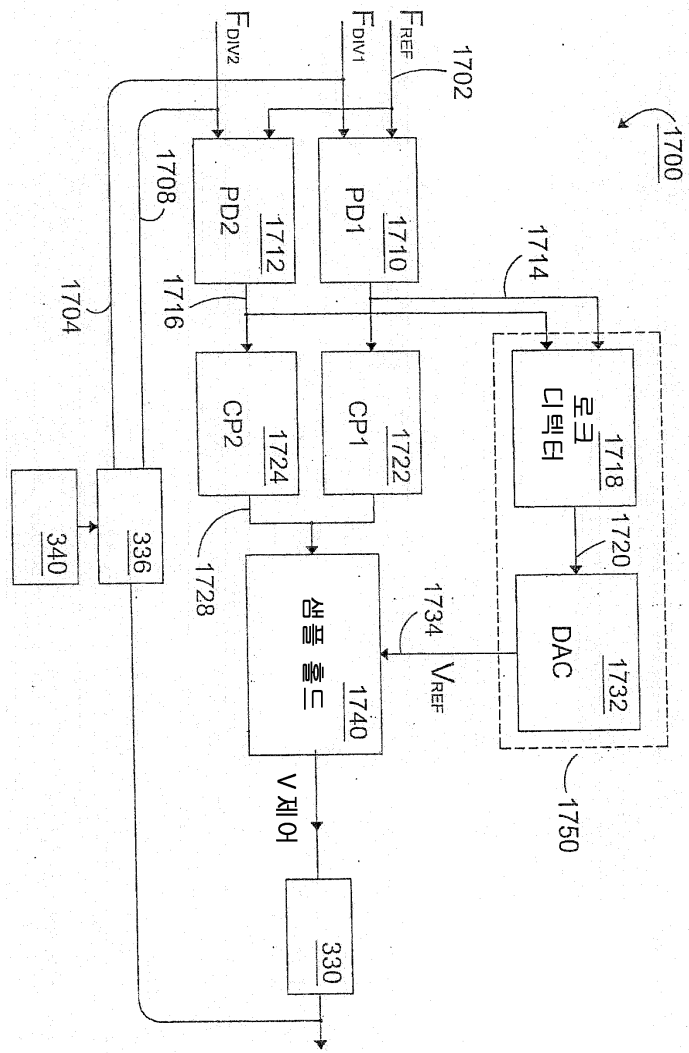
도면15



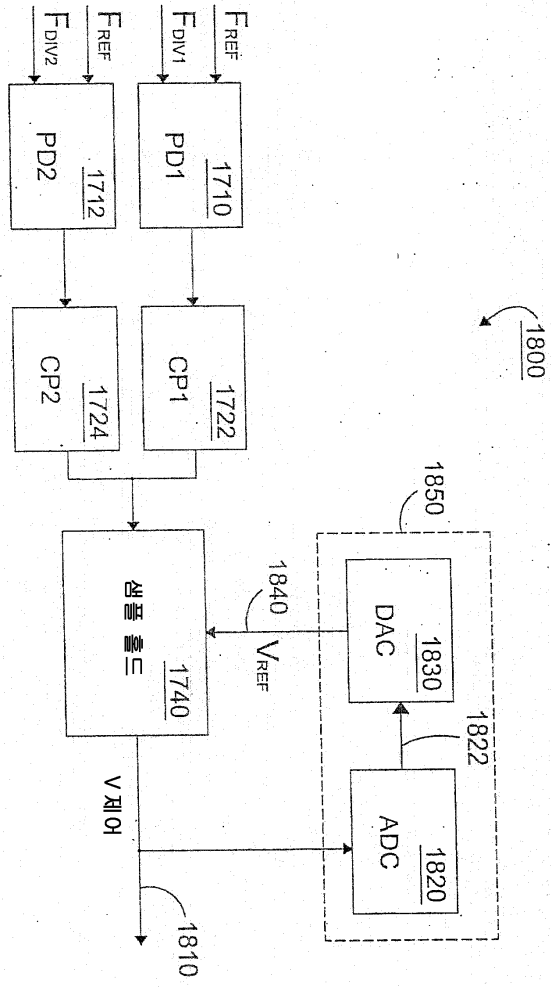
도면16



도면17



도면18



도면19

