

202435432



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 202435432 A

(43)公開日：中華民國 113 (2024) 年 09 月 01 日

(21)申請案號：113106741

(22)申請日：中華民國 113 (2024) 年 02 月 26 日

(51)Int. Cl. : **H01L27/105 (2023.01)**

H01L29/78 (2006.01)

(30)優先權：2023/02/27 日本

2023-028476

(71)申請人：日商日本顯示器股份有限公司(日本) JAPAN DISPLAY INC. (JP)

日本

(72)發明人：渡壁創 WATAKABE, HAJIME (JP)；津吹將志 TSUBUKU, MASASHI (JP)；佐佐木俊成 SASAKI, TOSHINARI (JP)；田丸尊也 TAMARU, TAKAYA (JP)；望月真里奈 MOCHIZUKI, MARINA (JP)；小野寺涼 ONODERA, RYO (JP)；渡部將弘 WATABE, MASAHIRO (JP)

(74)代理人：陳長文

申請實體審查：有 申請專利範圍項數：10 項 圖式數：24 共 64 頁

(54)名稱

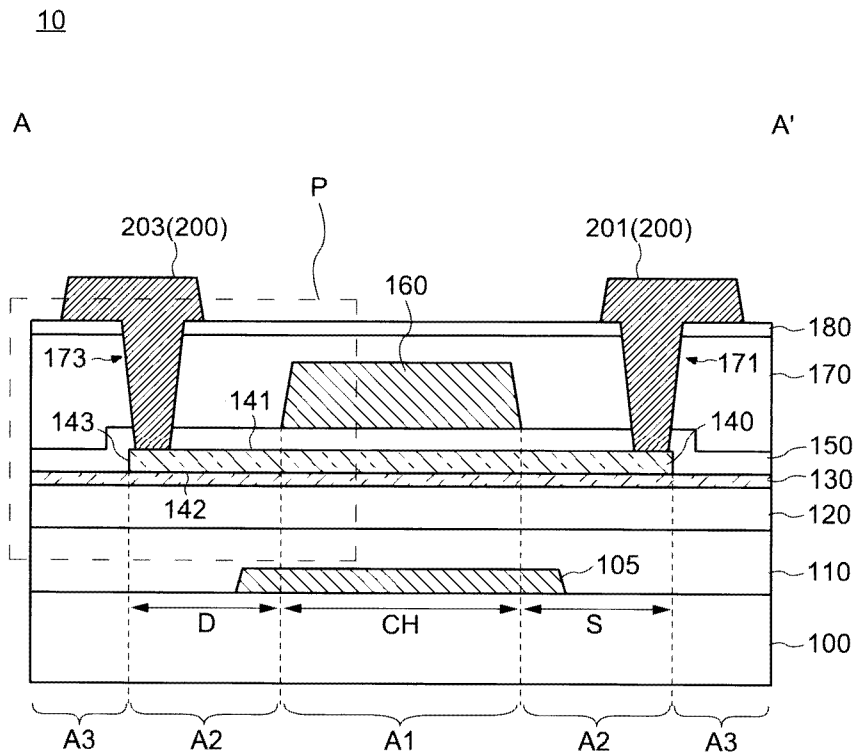
半導體裝置

(57)摘要

本發明之課題在於抑制應力試驗前後之半導體裝置之電特性之變動。

本發明之半導體裝置包含第 1 閘極電極、上述第 1 閘極電極之上之第 1 絕緣層、上述第 1 絕緣層之上之氧化物半導體層、上述氧化物半導體層之上之第 2 絕緣層、及上述第 2 絕緣層之上之第 2 閘極電極。上述第 1 絕緣層含有包含矽及氮之第 1 層、包含矽及氧之第 2 層、及包含鋁及氧之第 3 層。上述第 1 層之厚度為 10 nm 以上 190 nm 以下。上述第 2 層之厚度為 10 nm 以上 100 nm 以下。上述第 1 層及上述第 2 層之合計厚度為 200 nm 以下。上述第 3 層之厚度為 1 nm 以上 10 nm 以下。

指定代表圖：



【圖1】

符號簡單說明：

10:半導體裝置

100:基板

105,160:閘極電極

110,120,150:閘極絕緣層

130:金屬氧化物層

140:氧化物半導體層

141:上表面

142:下表面

143:側面

170,180:絕緣層

171,173:開口

200:源極、汲極電極

201:源極電極

203:汲極電極

A1:第1區域

A2:第2區域

A3:第3區域

CH:通道區域

D:汲極區域

S:源極區域

【發明摘要】

【中文發明名稱】

半導體裝置

【中文】

本發明之課題在於抑制應力試驗前後之半導體裝置之電特性之變動。

本發明之半導體裝置包含第1閘極電極、上述第1閘極電極之上之第1絕緣層、上述第1絕緣層之上之氧化物半導體層、上述氧化物半導體層之上之第2絕緣層、及上述第2絕緣層之上之第2閘極電極。上述第1絕緣層含有包含矽及氮之第1層、包含矽及氧之第2層、及包含鋁及氧之第3層。上述第1層之厚度為10 nm以上190 nm以下。上述第2層之厚度為10 nm以上100 nm以下。上述第1層及上述第2層之合計厚度為200 nm以下。上述第3層之厚度為1 nm以上10 nm以下。

【指定代表圖】

圖1

【代表圖之符號簡單說明】

10:半導體裝置

100:基板

105, 160:閘極電極

110, 120, 150:閘極絕緣層

130:金屬氧化物層

140:氧化物半導體層

141:上表面

142:下表面

143:側面

170, 180:絕緣層

171, 173:開口

200:源極、汲極電極

201:源極電極

203:汲極電極

A1:第1區域

A2:第2區域

A3:第3區域

CH:通道區域

D:汲極區域

S:源極區域

【發明說明書】

【中文發明名稱】

半導體裝置

【技術領域】

【0001】

本發明之一實施形態係關於一種使用氧化物半導體作為通道之半導體裝置。

【先前技術】

【0002】

近年，代替非晶矽、低溫多晶矽及單晶矽等之矽半導體，使用氧化物半導體作為通道之半導體裝置之開發逐步推進(例如，參照專利文獻1～專利文獻6)。該種使用氧化物半導體作為通道之半導體裝置與使用非晶矽作為通道之半導體裝置同樣，可以簡單構造且低溫製程形成。又，已知使用氧化物半導體作為通道之半導體裝置較使用非晶矽作為通道之半導體裝置具有更高之場效遷移率。

[先前技術文獻]

[專利文獻]

【0003】

[專利文獻1]日本專利特開2021-141338號公報

[專利文獻2]日本專利特開2014-099601號公報

[專利文獻3]日本專利特開2021-153196號公報

[專利文獻4]日本專利特開2018-006730號公報

[專利文獻5]日本專利特開2016-184771號公報

[專利文獻6]日本專利特開2021-108405號公報

【發明內容】

[發明所欲解決之問題]

【0004】

於使用氧化物半導體作為通道之半導體裝置中，於應力試驗中，有因電子或電洞被捕獲至設置於氧化物半導體層之上或下之絕緣層而電特性變動之情形。尤其，藉由一面對半導體裝置照射光，一面對該半導體裝置之閘極電極施加負的應力電壓之可靠性試驗，半導體裝置之電特性向負電壓方向移位之現象成為問題。

【0005】

本發明之一實施形態之目的在於抑制應力試驗前後之半導體裝置之電特性之變動。

[解決問題之技術手段]

【0006】

本發明之一實施形態之半導體裝置包含第1閘極電極、上述第1閘極電極之上之第1絕緣層、上述第1絕緣層之上之氧化物半導體層、上述氧化物半導體層之上之第2絕緣層、及上述第2絕緣層之上之第2閘極電極。上述第1絕緣層含有包含矽及氮之第1層、包含矽及氧之第2層、及包含鋁及氧之第3層。上述第1層之厚度為10 nm以上190 nm以下。上述第2層之厚度為10 nm以上100 nm以下。上述第1層及上述第2層之合計厚度為200 nm以下。上述第3層之厚度為1 nm以上10 nm以下。

【圖式簡單說明】

【0007】

圖1係顯示本發明之一實施形態之半導體裝置之概要之剖視圖。

圖2係顯示本發明之一實施形態之半導體裝置之概要之俯視圖。

圖3係顯示本發明之一實施形態之半導體裝置之電特性之圖。

圖4係顯示自本發明之一實施形態之半導體裝置之電特性計算出之閾值電壓之圖。

圖5係顯示自本發明之一實施形態之半導體裝置之電特性計算出之遷移率之圖。

圖6係顯示本發明之一實施形態之半導體裝置之應力試驗前後之電特性之圖。

圖7係顯示本發明之一實施形態之半導體裝置之應力試驗前後之電特性之圖。

圖8係顯示自本發明之一實施形態之半導體裝置之應力試驗前後之電特性計算出之閾值電壓之變動的圖。

圖9係顯示本發明之一實施形態之半導體裝置之製造方法之順序圖。

圖10係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

圖11係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

圖12係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

圖13係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

圖14係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

圖。

圖15係顯示本發明之一實施形態之半導體裝置之製造方法之剖視

圖。

圖16係顯示本發明之一實施形態之半導體裝置之製造方法之剖視

圖。

圖17係顯示本發明之一實施形態之半導體裝置之製造方法之剖視

圖。

圖18係顯示本發明之一實施形態之顯示裝置之概要之俯視圖。

圖19係顯示本發明之一實施形態之顯示裝置之電路構成之方塊圖。

圖20係顯示本發明之一實施形態之顯示裝置之像素電路之電路圖。

圖21係顯示本發明之一實施形態之顯示裝置之概要之剖視圖。

圖22係本發明之一實施形態之顯示裝置之像素電極及共通電極之俯視圖。

圖23係顯示本發明之一實施形態之顯示裝置之像素電路之電路圖。

圖24係顯示本發明之一實施形態之顯示裝置之概要之剖視圖。

【實施方式】

【0008】

以下，對本發明之各實施形態參照圖式且進行說明。以下之揭示僅為一例。業者藉由保持發明之主旨，且適當變更實施形態之構成而容易想到之構成當然包含於本發明之範圍。為了使說明更明確，圖式與實際之態樣相比，有模式性表示各部之寬度、厚度、形狀等之情形。但，圖示之形狀僅為一例，且不限定本發明之解釋。於本說明書與各圖中，對與已出之圖所述之構成同樣之構成，附設同一符號，有時適當省略詳細說明。

【0009】

於本發明之各實施形態中，將自基板朝向氧化物半導體層之方向稱為上或上方。相反，將自氧化物半導體層朝向基板之方向稱為下或下方。如此，為了便於說明，使用上方或下方之語句進行說明，例如，基板與氧化物半導體層之上下關係亦可配置成與圖示不同之朝向。於以下之說明中，例如基板上之氧化物半導體層之表述如上述般僅說明基板與氧化物半導體層之上下關係，亦可於基板與氧化物半導體層之間配置其他構件。上方或下方意指複數層積層而成之構造中之積層順序，於表述為電晶體之上方之像素電極之情形時，於俯視時，可為電晶體與像素電極不重合之位置關係。另一方面，於表述為電晶體之鉛直上方之像素電極之情形時，於俯視時，意指電晶體與像素電極重合之位置關係。

【0010】

於本說明書中，「膜」之用語、與「層」之用語可根據情形而相互替換。

【0011】

「顯示裝置」意指使用光電層顯示影像之構造體。例如，「顯示裝置」之用語有意指包含光電層之顯示面板之情形，或有意指相對於顯示胞安裝有其他光學構件(例如偏光構件、背光源、觸控面板等)之構造體之情形。於「光電層」，只要不產生技術性矛盾，即可包含液晶層、電致發光(EL：Electro Luminescence)層、電致變色(EC：Electrochromic)層、電泳層。因此，關於後述之實施形態，作為顯示裝置，雖例示包含液晶層之液晶顯示裝置、及包含有機EL層之有機EL顯示裝置進行說明，但本實施形態之構造可應用於包含上述其他光電層之顯示裝置。

【0012】

於本說明書中，「 α 包含A、B或C」、「 α 包含A、B及C之任一者」、「 α 包含選自由A、B及C所組成之群之一者」之表述除非另有明示，否則不排除 α 包含A~C之複數個組合之情形。再者，該等表述亦不排除 α 包含其他要件之情形。

【0013】

另，以下之各實施形態只要不產生技術性矛盾，即可相互組合。

【0014】**[1.第1實施形態]**

參照圖1~圖17，對本發明之一實施形態之半導體裝置進行說明。例如，以下所示之實施形態之半導體裝置除用於顯示裝置之電晶體外，亦可用於微處理器(Micro-Processing Unit：MPU)等之積體電路(Integrated Circuit：IC)、或記憶體電路。

【0015】**[1-1.半導體裝置10之構成]**

使用圖1及圖2，對本發明之一實施形態之半導體裝置10之構成進行說明。圖1係顯示本發明之一實施形態之半導體裝置之概要之剖視圖。圖2係顯示本發明之一實施形態之半導體裝置之概要之俯視圖。

【0016】

如圖1所示，半導體裝置10設置於基板100之上方。半導體裝置10包含閘極電極105、閘極絕緣層110、120、金屬氧化物層130、氧化物半導體層140、閘極絕緣層150、閘極電極160、絕緣層170、180、源極電極201及汲極電極203。於不特別區分源極電極201及汲極電極203之情形

時，有將該等統稱為源極/汲極電極200之情形。

【0017】

閘極電極105設置於基板100之上。閘極絕緣層110、120設置於基板100及閘極電極105之上。金屬氧化物層130設置於閘極絕緣層120之上。金屬氧化物層130與閘極絕緣層120相接。氧化物半導體層140設置於金屬氧化物層130之上。氧化物半導體層140與金屬氧化物層130相接。將氧化物半導體層140圖案化。金屬氧化物層130之一部分越過氧化物半導體層140之端部延伸到較氧化物半導體層140之圖案外側。但，金屬氧化物層130亦可以與氧化物半導體層140相同之平面形狀進行圖案化。

【0018】

有將閘極電極105稱為「第1閘極電極」之情形。有將閘極絕緣層110、120及金屬氧化物層130統稱為「第1絕緣層」之情形。於該情形時，有將閘極絕緣層110稱為「第1層」，將閘極絕緣層120稱為「第2層」，將金屬氧化物層130稱為「第3層」之情形。細節將於後述，閘極絕緣層110為包含矽及氮之層。閘極絕緣層120為包含矽及氧之層。金屬氧化物層130為包含鋁及氧之層。

【0019】

閘極絕緣層110之厚度為10 nm以上190 nm以下、10 nm以上150 nm以下、或10 nm以上100 nm以下。閘極絕緣層120之厚度為10 nm以上100 nm以下、10 nm以上75 nm以下、或10 nm以上50 nm以下。閘極絕緣層110、120之合計厚度為300 nm以下、200 nm以下、或150 nm以下。細節將於後述，藉由將閘極絕緣層110、120及金屬氧化物層130之厚度設為上述範圍內，而提高半導體裝置10對於應力試驗之可靠性。

【0020】

金屬氧化物層130之厚度為1 nm以上10 nm以下、1 nm以上4 nm以下、或1 nm以上3 nm以下。金屬氧化物層130之厚度相對於氧化物半導體層140之厚度之比率為1/30以上2/3以下、1/30以上4/30以下、或1/30以上1/10以下。

【0021】

若將上述構成換言之，則閘極絕緣層120設置於基板100與金屬氧化物層130之間。進而換言之，金屬氧化物層130於閘極絕緣層120與氧化物半導體層140之間，與閘極絕緣層120及氧化物半導體層140各者相接。細節將於後述，閘極絕緣層120為含有氧之絕緣層。具體而言，閘極絕緣層120係具備藉由600°C以下之熱處理而釋放氧之功能之絕緣層。藉由利用熱處理自閘極絕緣層120釋放之氧，修復形成於氧化物半導體層140之氧缺損。

【0022】

於本實施形態中，於金屬氧化物層130與基板100之間不設置半導體層或氧化物半導體層。

【0023】

於本實施形態中，雖例示出金屬氧化物層130與閘極絕緣層120相接，氧化物半導體層140與金屬氧化物層130相接之構成，但並不限定於該構成。亦可於閘極絕緣層120與金屬氧化物層130之間設置其他層。亦可於金屬氧化物層130與氧化物半導體層140之間設置其他層。

【0024】

閘極電極160與氧化物半導體層140對向。閘極絕緣層150設置於氧化

物半導體層140與閘極電極160之間。閘極絕緣層150與氧化物半導體層140相接。將氧化物半導體層140之主面中與閘極絕緣層150相接之面稱為上表面141。將氧化物半導體層140之主面中與金屬氧化物層130相接之面稱為下表面142。將上表面141與下表面142之間之面稱為側面143。絕緣層170、180設置於閘極絕緣層150及閘極電極160之上。於絕緣層170、180設置有到達氧化物半導體層140之開口171、173。源極電極201設置於開口171之內部。源極電極201於開口171之底部與氧化物半導體層140相接。汲極電極203設置於開口173之內部。汲極電極203於開口173之底部與氧化物半導體層140相接。

【0025】

有將閘極電極160稱為「第2閘極電極」之情形。有將閘極絕緣層150稱為「第2絕緣層」之情形。

【0026】

閘極電極105具備作為半導體裝置10之底閘極之功能及作為對於氧化物半導體層140之遮光膜之功能。閘極絕緣層110具備作為遮蔽自基板100朝向氧化物半導體層140擴散之雜質之障壁膜之功能。閘極絕緣層110、120具備作為相對於底閘極之閘極絕緣層之功能。金屬氧化物層130係包含以鋁為主成分之金屬氧化物之層，具備遮蔽氧及氫等之氣體之障壁性。再者，金屬氧化物層130於應力試驗中具有抑制電洞自氧化物半導體層140移動至閘極絕緣層120之功能。

【0027】

半導體裝置10以閘極電極160及氧化物半導體層140各者之圖案為基準，劃分為第1區域A1、第2區域A2及第3區域A3。第1區域A1係俯視時

與閘極電極160重合之區域。第2區域A2係俯視時不與閘極電極160重合，而與氧化物半導體層140重合之區域。第3區域A3係俯視時不與閘極電極160及氧化物半導體層140之兩者重合之區域。

【0028】

於圖1中，雖例示第2區域A2及第3區域A3中之閘極絕緣層150之厚度與第1區域A1中之閘極絕緣層150之厚度相同之構成，但並不限定於該構成。例如，第2區域A2及第3區域A3中之閘極絕緣層150之厚度亦可小於第1區域A1中之閘極絕緣層150之厚度。換言之，俯視時不與閘極電極160重合之區域中之閘極絕緣層150之厚度，亦可小於與閘極電極160重合之區域中之閘極絕緣層150之厚度。

【0029】

氧化物半導體層140以閘極電極160之圖案為基準，劃分為源極區域S、汲極區域D及通道區域CH。源極區域S及汲極區域D係與第2區域A2對應之區域。通道區域CH係與第1區域A1對應之區域。於俯視時，通道區域CH中之端部與閘極電極160之端部一致。通道區域CH中之氧化物半導體層140具有半導體之性質。源極區域S及汲極區域D中之各氧化物半導體層140具有導體之性質。即，源極區域S及汲極區域D中之氧化物半導體層140之載子濃度高於通道區域CH中之氧化物半導體層140之載子濃度。源極電極201及汲極電極203分別與源極區域S及汲極區域D中之氧化物半導體層140相接，並與氧化物半導體層140電性連接。氧化物半導體層140可為單層構造，亦可為積層構造。

【0030】

閘極電極160具備作為對於半導體裝置10之頂閘極及氧化物半導體層

140之遮光膜之功能。閘極絕緣層150具備作為對於頂閘極之閘極絕緣層之功能。閘極絕緣層150亦可與閘極絕緣層120同樣，具備藉由製造製程中之熱處理釋放氧之功能。絕緣層170、180具備將閘極電極160與源極/汲極電極200絕緣，減少兩者間之寄生電容之功能。半導體裝置10之動作主要由供給至閘極電極160之電壓控制。對閘極電極105供給輔助性之電壓。但，於閘極電極105僅作為遮光膜使用之情形時，亦可不對閘極電極105供給特定電壓，而使閘極電極105之電位浮動。即，閘極電極105亦可簡稱為「遮光膜」。於該情形時，遮光膜可為絕緣體。

【0031】

於本實施形態中，作為半導體裝置10，例示使用閘極電極設置於氧化物半導體層之上方及下方之兩者之雙閘極型電晶體之構成，但並不限定於該構成。例如，作為半導體裝置10，亦可使用閘極電極僅設置於氧化物半導體層之下方之底閘極型電晶體、或閘極電極僅設置於氧化物半導體層之上方之頂閘極型電晶體。上述構成僅為一實施形態，本發明並不限定於上述構成。

【0032】

參照圖1及圖2，氧化物半導體層140之下表面142由金屬氧化物層130覆蓋。尤其，於本實施形態中，氧化物半導體層140之下表面142全部由金屬氧化物層130覆蓋。於圖2所示之D1方向上，閘極電極105之寬度大於閘極電極160之寬度。D1方向係連結源極電極201與汲極電極203之方向，係顯示半導體裝置10之通道長度L之方向。具體而言，氧化物半導體層140與閘極電極160重合之區域(通道區域CH)之D1方向之長度為通道長度L，該通道區域CH之D2方向之寬度為通道寬度W。

【0033】

於本實施形態中，雖例示氧化物半導體層140之下表面142之全部由金屬氧化物層130覆蓋之構成，但並不限定於該構成。例如，氧化物半導體層140之下表面142之一部分亦可不與金屬氧化物層130相接。例如，亦可為，通道區域CH中之氧化物半導體層140之下表面142之全部由金屬氧化物層130覆蓋，源極區域S及汲極區域D中之氧化物半導體層140之下表面142之全部或一部分不由金屬氧化物層130覆蓋。即，源極區域S及汲極區域D中之氧化物半導體層140之下表面142之全部或一部分可不與金屬氧化物層130相接。但，於上述構成中，亦可為，通道區域CH中之氧化物半導體層140之下表面142之一部分不由金屬氧化物層130覆蓋，該下表面142之其他部分與金屬氧化物層130相接。

【0034】

於本實施形態中，雖例示於整面形成閘極絕緣層150、於閘極絕緣層150設置有開口171、173之構成，但並不限定於該構成。亦可將閘極絕緣層150圖案化為與設置有開口171、173之形狀不同之形狀。例如，可以使源極區域S及汲極區域D之全部或部分氧化物半導體層140露出之方式，將閘極絕緣層150圖案化。即，可去除源極區域S及汲極區域D之閘極絕緣層150，於該等區域中氧化物半導體層140與絕緣層170相接。

【0035】

於圖2中，例示出俯視時源極/汲極電極200不與閘極電極105及閘極電極160重合之構成，但並不限定於該構成。例如，於俯視時，源極/汲極電極200亦可與閘極電極105及閘極電極160之至少任一者重合。上述構成僅為一實施形態，本發明並不限定於上述構成。

【0036】**[1-2.半導體裝置10之各構件之材質]**

作為基板100，使用玻璃基板、石英基板及藍寶石基板等具有透光性之剛性基板。於基板100需要具備可撓性之情形時，作為基板100，使用聚醯亞胺基板、丙烯酸基板、矽氧烷基板、氟樹脂基板等包含樹脂之基板。於使用包含樹脂之基板作為基板100之情形時，為了提高基板100之耐熱性，亦可對上述樹脂導入雜質。尤其，於半導體裝置10為頂部發光型之顯示器之情形時，因基板100無需透明，故亦可使用使基板100之透明度惡化之雜質。於將半導體裝置10用於非顯示裝置之積體電路之情形時，作為基板100，使用矽基板、碳化矽基板、化合物半導體基板等之半導體基板、或不鏽鋼基板等之導電性基板等不具備透光性之基板。

【0037】

作為閘極電極105、閘極電極160、及源極/汲極電極200，使用一般之金屬材料。例如，作為該等構件，例如使用鋁(Al)、鈦(Ti)、鉻(Cr)、鈷(Co)、鎳(Ni)、鉬(Mo)、鈦(Hf)、鉭(Ta)、鎢(W)、鉍(Bi)、銀(Ag)、銅(Cu)及該等之合金或化合物。作為閘極電極105、閘極電極160、及源極/汲極電極200，上述材料可單層使用，亦可積層使用。於閘極電極105無需導電性之情形時，亦可代替閘極電極105，使用上述金屬材料以外之材料作為遮光層。例如，作為該遮光層，可使用例如黑色樹脂等之黑色矩陣。閘極電極105可為單層構造，亦可為積層構造。例如，閘極電極105可為紅色濾光片、綠色濾光片、及藍色濾光片之積層構造。

【0038】

作為閘極絕緣層110、120、及絕緣層170、180，使用一般之絕緣性

材料。例如，作為閘極絕緣層120及絕緣層180，使用氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)等無機絕緣層。作為閘極絕緣層110及絕緣層170，使用氮化矽(SiN_x)、氮化氧化矽(SiN_xO_y)、氮化鋁(AlN_x)、氮化氧化鋁(AlN_xO_y)等之無機絕緣層。但，作為絕緣層170，可使用氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)等之無機絕緣層。作為絕緣層180，可使用氮化矽(SiN_x)、氮化氧化矽(SiN_xO_y)、氮化鋁(AlN_x)、氮化氧化鋁(AlN_xO_y)等之無機絕緣層。

【0039】

作為閘極絕緣層150，使用上述絕緣層中包含氧之絕緣層。例如，作為閘極絕緣層150，使用氧化矽(SiO_x)、氮氧化矽(SiO_xN_y)、氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)等之無機絕緣層。

【0040】

作為閘極絕緣層120，使用具備藉由熱處理釋放氧之功能之絕緣層。即，作為閘極絕緣層120，使用過量包含氧之氧化物絕緣層。閘極絕緣層120釋放氧之熱處理之溫度例如為 600°C 以下、 500°C 以下、 450°C 以下、或 400°C 以下。即，閘極絕緣層120例如於使用玻璃基板作為基板100時之半導體裝置10之製造步驟中進行之熱處理溫度下釋放氧。於絕緣層170、180之至少任一者，可使用與閘極絕緣層120同樣地具備藉由熱處理釋放氧之功能之絕緣層。

【0041】

作為閘極絕緣層150，使用缺陷較少之絕緣層。例如，於將閘極絕緣層150中之氧之組成比、與閘極絕緣層150同樣之組成之絕緣層(以下稱為

「其他絕緣層」)中之氧之組成比進行比較之情形時，閘極絕緣層150中之氧之組成比較該其他絕緣層中之氧之組成比更接近相對於該絕緣層之化學計量比。具體而言，於對閘極絕緣層150及絕緣層180各者使用氧化矽(SiO_x)之情形時，作為閘極絕緣層150使用之氧化矽中之氧之組成比，與作為絕緣層180使用之氧化矽中之氧之組成比相比，更接近氧化矽之化學計量比。例如，作為閘極絕緣層150，可使用於以電子自旋共鳴法(ESR：Electron Spin Resonance)評估時未觀測到缺陷之層。

【0042】

上述之 SiO_xN_y 及 AlO_xN_y 係含有少於氧(O)之比率($x > y$)之氮(N)之矽化合物及鋁化合物。 SiN_xO_y 及 AlN_xO_y 係含有少於氮之比率($x > y$)之氧之矽化合物及鋁化合物。

【0043】

作為金屬氧化物層130，使用以鋁為主成分之金屬氧化物。例如，作為金屬氧化物層130，可使用氧化鋁(AlO_x)、氮氧化鋁(AlO_xN_y)、氮化氧化鋁(AlN_xO_y)、氮化鋁(AlN_x)等之無機絕緣層。「以鋁為主成分之金屬氧化物層130」意指金屬氧化物層130所包含之鋁之比率為金屬氧化物層全體之1%以上。金屬氧化物層130所包含之鋁之比率亦可為金屬氧化物層全體之5%以上70%以下、10%以上60%以下、或30%以上50%以下。上述比率可為質量比，亦可為重量比。

【0044】

作為氧化物半導體層140，可使用具有半導體特性之金屬氧化物。例如，作為氧化物半導體層140，可使用包含銦(In)、鎵(Ga)、鋅(Zn)及氧(O)之氧化物半導體。例如，作為氧化物半導體層140，可使用具有In：

Ga : Zn : O=1 : 1 : 1 : 4之組成比之氧化物半導體。但，本實施形態使用之包含In、Ga、Zn及O之氧化物半導體不限定於上述組成。作為該氧化物半導體，亦可使用與上述不同之組成之氧化物半導體。例如，為了提高遷移率，可使用In之比率大於上述者之氧化物半導體層。另一方面，為了增大帶隙，減小光照射之影響，亦可使用Ga之比率大於上述者之氧化物半導體層。

【0045】

例如，作為In之比率大於上述者之氧化物半導體層140，可使用包含含有銦(In)之2個以上之金屬之氧化物半導體。於該情形時，於氧化物半導體層140中，銦元素相對於所有金屬元素之比率以原子比率計可為50%以上。作為氧化物半導體層140，除銦外，亦可使用鎵(Ga)、鋅(Zn)、鋁(Al)、鈦(Hf)、釷(Y)、氧化鋯(Zr)、釧系。作為氧化物半導體層140，亦可使用上述以外之元素。

【0046】

作為氧化物半導體層140，亦可於包含In、Ga、Zn及O之氧化物半導體添加其他元素，例如可添加Al、Sn等之金屬元素。除上述氧化物半導體以外，亦可使用包含In、Ga之氧化物半導體(IGO)、包含In、Zn之氧化物半導體(IZO)、包含In、Sn、Zn之氧化物半導體(ITZO)、及包含In、W之氧化物半導體等作為氧化物半導體層140。

【0047】

於銦元素之比率較大之情形時，氧化物半導體層140容易結晶化。如上所述，於氧化物半導體層140中，藉由使用銦元素相對於所有金屬元素之比率為50%以上之材料，可獲得具有多晶構造之氧化物半導體層140。

作為銮以外之金屬元素，氧化物半導體層140較佳為包含鎵。鎵屬於與銮相同之第13族元素。因此，氧化物半導體層140之結晶性不會因鎵而受損，氧化物半導體層140具有多晶構造。

【0048】

氧化物半導體層140之詳細製造方法將於後述，氧化物半導體層140可使用濺鍍法形成。藉由濺鍍法之氧化形成物半導體層140之組成依存於濺鍍靶材之組成。即使於氧化物半導體層140具有多晶構造之情形時，濺鍍靶材之組成與氧化物半導體層140之組成亦幾乎一致。於該情形時，氧化物半導體層140之金屬元素之組成可基於濺鍍靶材之金屬元素之組成而特定。

【0049】

於氧化物半導體層140具有多晶構造之情形時，可使用X射線繞射(X-ray Diffraction：XRD)法特定氧化物半導體層之組成。具體而言，可基於藉由XRD法取得之氧化物半導體層之結晶構造及晶格常數，特定氧化物半導體層之金屬元素之組成。再者，氧化物半導體層140之金屬元素之組成亦可使用螢光X射線分析或電子探針微量分析器(Electron Probe Micro Analyser：EPMA)分析等特定。但，因氧化物半導體層140所包含之氧元素根據濺鍍之製程條件等變化，故有無法以該等方法特定之情形。

【0050】

如上所述，氧化物半導體層140可具有非晶質構造，亦可具有多晶構造。具有多晶構造之氧化物半導體可使用Poly-OS(Poly-crystalline Oxide Semiconductor：多晶氧化物半導體)技術製作。以下，於與具有非晶質構造之氧化物半導體進行區分時，有將具有多晶構造之氧化物半導體

作為Poly-OS進行說明之情形。

【0051】

[1-3.半導體裝置10之電特性]

使用圖3～圖5，對半導體裝置10之電特性進行說明。圖3係顯示本發明之一實施形態之半導體裝置之電特性之圖。圖4係顯示自本發明之一實施形態之半導體裝置之電特性計算出之閾值電壓之圖。圖5係顯示自本發明之一實施形態之半導體裝置之電特性計算出之遷移率之圖。於圖3～圖5中，顯示出閘極絕緣層110、120、150之膜厚不同之複數個半導體裝置10之電特性。顯示圖3～圖5之電特性之半導體裝置10之構造與圖1所示之半導體裝置10之構造相同。於任一條件下，均以源極區域S及汲極區域D中之各氧化物半導體層140之電阻值為相同程度之方式，調整注入至氧化物半導體層140之雜質之量。

【0052】

於上述半導體裝置10中，使用氮化矽膜作為閘極絕緣層110，使用氧化矽膜作為閘極絕緣層120，使用氧化矽膜作為閘極絕緣層150。閘極絕緣層110表記為「UC-SiN」。閘極絕緣層120表記為「SiO」。閘極絕緣層150表記為「GI-SiO」。使用氧化鋁作為金屬氧化物層130。

【0053】

閘極絕緣層110、120之膜厚(UC-SiN\SiO膜厚)為100 nm\50 nm、200 nm\100 nm、或300 nm\200 nm。相對於各UC-SiN\SiO膜厚之閘極絕緣層150之膜厚(GI-SiO膜厚)為75 nm、100 nm、125 nm、或150 nm。

【0054】

圖3所示之電特性之測定條件如下所示。

- 通道區域CH之尺寸：W/L=4.5 μm /3.0 μm
- 源極-汲極間電壓：0.1 V、10 V
- 閘極電壓：-15 V~+15 V
- 測定環境：室溫、暗室
- 測定像素：26點

【0055】

圖3之各圖表中所示之實線之水平線顯示於汲極電流 I_d 為 10^{-7} [A]、遷移率 μ_{FE} 為100[cm^2/Vs]之刻度之位置。汲極電流之1位電流值按每個刻度(每個水平虛線)變化。遷移率之值按每個刻度以20[cm^2/Vs]為單位變化。圖3之各圖表中所示之實線之鉛直線顯示於閘極電壓 V_g 為0[V]之刻度之位置。閘極電壓之值按每個刻度(每鉛直虛線)以5[V]為單位變化。於圖3之各圖表中，附帶朝左之箭頭之電特性顯示半導體裝置10之 I_d - V_g 特性。各圖表中之 I_d - V_g 特性顯示出2種。於2種 I_d - V_g 特性中電流相對較大之 I_d - V_g 特性係源極-汲極間電壓為10 V時之特性，電流相對較小之 I_d - V_g 特性係源極-汲極間電壓為0.1 V時之特性。於圖3之各圖表中，附帶朝右之箭頭之電特性顯示半導體裝置10之遷移率。如圖3所示，於大部分條件下，可獲得無特別異常之良好之電特性，遷移率為50[cm^2/Vs]以上。

【0056】

圖4係自圖3之電特性計算出之閾值電壓之箱須圖(box-plot)。於圖4中，分別顯示計算出之值中之最大值(須之上端)、最小值(須之下端)、資料之中央50%之分佈(自箱之上端至下端)、平均值(\times 標記)、及中央值(上箱與下箱之邊界)。如圖4所示，於各UC-SiN\SiO膜厚中，閘極絕緣層150之膜厚(GI-SiO)越小，閾值電壓 V_{th} 越向負方向移位。當於閘極絕緣層150

之膜厚(GI-SiO)相同條件下進行比較時，UC-SiN\SiO膜厚越小，閾值電壓 V_{th} 越向負方向移位。

【0057】

圖5係自圖3之電特性計算出之遷移率之箱須圖。如圖5所示，於各UC-SiN\SiO膜厚中，閘極絕緣層150之膜厚(GI-SiO)越小，遷移率越大。當於閘極絕緣層150之膜厚(GI-SiO)相同條件下進行比較時，雖有UC-SiN\SiO膜厚越小，遷移率稍小之傾向，但遷移率不會大幅下降，於任一條件下均可獲得良好之特性。

【0058】

[1-4.半導體裝置10之可靠性]

使用圖6～圖8說明半導體裝置10之可靠性。圖6及圖7係顯示本發明之一實施形態之半導體裝置之應力試驗前後之電特性之圖。圖8係顯示自本發明之一實施形態之半導體裝置之應力試驗前後之電特性計算出之閾值電壓之變動的圖。於圖6～圖8中，顯示出圖對3～圖5所示之半導體裝置10之可靠性試驗之結果。

【0059】

於圖6中，顯示出正偏壓溫度應力(PBTS：Positive Bias Temperature Stress)之可靠性試驗之結果。於圖7中，顯示出負偏壓溫度應力(NBTIS：Negative Bias Temperature Illumination Stress)之可靠性試驗之結果。於圖8中，顯示出基於圖6及圖7所示之半導體裝置10之電特性計算出之可靠性試驗結果。

【0060】

PBTS試驗之條件如下所示。

- 通道區域CH之尺寸：W/L=4.5 μm /3.0 μm
- 光照射條件：無照射(暗室)
- 閘極電壓：+30 V
- 源極及汲極電壓：0 V
- 施加應力時間：1000 sec
- 施加應力時之載台溫度：85°C

【0061】

NBTIS試驗之條件如下所示。

- 通道區域CH之尺寸：W/L=4.5 μm /3.0 μm
- 光照射條件：有照射(7000 lux)
- 閘極電壓：-20 V
- 源極及汲極電壓：0 V
- 施加應力時間：1000 sec
- 施加應力時之載台溫度：85°C

【0062】

於圖8中，PBTS試驗之結果以白色之柱狀圖表顯示。NBTIS試驗之結果以黑色柱狀圖表顯示。各試驗前之閾值電壓 V_{th} 以×標記顯示。

【0063】

如圖6及圖8所示，於任一條件下，於PBTS試驗前後，閾值電壓 V_{th} 均正移位。閘極絕緣層150之膜厚(GI-SiO)越小，該正移位之量越小。當於閘極絕緣層150之膜厚(GI-SiO)相同條件下進行比較時，UC-SiN\SiO膜厚越小，上述正移位之量越小。

【0064】

如圖7及圖8所示，於任一條件下，於NBTIS試驗前後，閾值電壓 V_{th} 均負移位。於UC-SiN\SiO膜厚為300 nm\200 nm之條件下，該負移位之量不依存於GI-SiO膜厚。另一方面，於UC-SiN\SiO膜厚為200 nm\100 nm之條件下，GI-SiO膜厚越小，該負移位量越小。尤其，GI-SiO膜厚為75 nm之條件下之負移位量與GI-SiO膜厚為100 nm之條件下之負移位量相比，大幅減少。再者，UC-SiN\SiO膜厚為100 nm\50 nm之條件下之負移位量與上述條件下之負移位量相比，急遽減少。即使於UC-SiN\SiO膜厚為100 nm\50 nm之條件下，GI-SiO膜厚越小，該負移位量亦越小。

【0065】

根據本實施形態，藉由包含矽及氮之閘極絕緣層110之厚度為10 nm以上190 nm以下，包含矽及氧之閘極絕緣層120之厚度為10 nm以上100 nm以下，閘極絕緣層110、120之合計厚度為200 nm以下，包含鋁及氧之金屬氧化物層130之厚度為1 nm以上10 nm以下，尤其於NBTIS試驗中確認到顯著改善。

【0066】

於NBTIS試驗中，如上所述，對閘極電極105、160施加-20 V之閘極電壓。因此，藉由光照射而於氧化物半導體層140產生之電洞被吸引至閘極電極105、160之任一者。此處，於閘極絕緣層110、120之膜厚較小之情形時，由閘極電極105產生之電場對氧化物半導體層140造成之影響相對較強。其結果，考慮於氧化物半導體層140產生之電洞大多被吸引至閘極電極105。於先前之電晶體中，因電洞被底閘極側之閘極絕緣層捕獲，而發生NBTIS試驗中之半導體特性之閾值電壓之負移位。另一方面，於本實施形態中，考慮藉由於氧化物半導體層140之下方設置有金屬氧化物層

130，於氧化物半導體層140產生之電洞不易到達閘極絕緣層120，由閘極絕緣層120捕獲之電洞之量減少。

【0067】

[1-5.半導體裝置10之製造方法]

參照圖9～圖17，對本發明之一實施形態之半導體裝置10之製造方法進行說明。圖9係顯示本發明之一實施形態之半導體裝置之製造方法之順序圖。圖10～圖17係顯示本發明之一實施形態之半導體裝置之製造方法之剖視圖。

【0068】

如圖9及圖10所示，於基板100之上形成閘極電極105，於閘極電極105之上形成閘極絕緣層110、120(圖9之步驟S1001之「形成絕緣層/GE」)。作為閘極絕緣層110，例如形成氮化矽。作為閘極絕緣層120，例如形成氧化矽。閘極絕緣層110及閘極絕緣層120藉由CVD(Cheical Vapor Deposition：化學氣相沈積)法成膜。

【0069】

藉由使用氮化矽作為閘極絕緣層110，閘極絕緣層110例如可阻擋自基板100側朝向氧化物半導體層140擴散之雜質。例如，作為閘極絕緣層120使用之氧化矽係藉由熱處理釋放氧之物性之氧化矽。

【0070】

如圖9及圖11所示，於閘極絕緣層120之上形成金屬氧化物層130及氧化物半導體層140(圖9之步驟S1002之「OS/ AlO_x 成膜」)。金屬氧化物層130及氧化物半導體層140藉由濺鍍法或原子層沈積法(ALD：Atomic Layer Deposition)成膜。

【0071】

氧化物半導體層140之厚度例如為10 nm以上100 nm以下、15 nm以上70 nm以下、或15 nm以上40 nm以下。於本實施形態中，氧化物半導體層140之厚度為15 nm。後述之熱處理(OS退火)前之氧化物半導體層140為非晶質。

【0072】

於藉由後述之OS退火將氧化物半導體層140結晶化之情形時，成膜後且OS退火前之氧化物半導體層140較佳為非晶質(氧化物半導體之結晶成分較少之狀態)。即，氧化物半導體層140之成膜條件較佳為盡可能不使剛成膜後之氧化物半導體層140結晶化之條件。例如，於藉由濺鍍法將氧化物半導體層140成膜之情形時，一面控制被成膜對象物(基板100及形成於其之上之構造物)之溫度，一面將氧化物半導體層140成膜。

【0073】

當藉由濺鍍法對被成膜對象物進行成膜時，因於電漿中產生之離子及被濺鍍靶材反彈之原子與被成膜對象物碰撞，故隨著成膜處理，被成膜對象物之溫度上升。當成膜處理中之被成膜對象物之溫度上升時，於剛成膜後之狀態下氧化物半導體層140中包含微晶，而有阻礙隨後之OS退火之結晶化之情形。如上所述，為了控制被成膜對象物之溫度，例如可一面將被成膜對象物冷卻一面進行成膜。例如，可以被成膜對象物之被成膜面之溫度(以下稱為「成膜溫度」)為100°C以下、70°C以下、50°C以下、或30°C以下之方式，自該被成膜面之相反側之面將被成膜對象物冷卻。如上所述，藉由一面將被成膜對象物冷卻一面進行氧化物半導體層140之成膜，可將於剛成膜後之狀態下結晶成分較少之氧化物半導體層140成膜。

氧化物半導體層140之成膜條件中之氧分壓為2%以上20%以下、3%以上15%以下、或3%以上10%以下。

【0074】

如圖9及圖12所示，形成氧化物半導體層140之圖案(圖9之步驟S1003之「形成OS圖案」)。雖未圖示，但於氧化物半導體層140之上形成抗蝕劑遮罩，並使用該抗蝕劑遮罩蝕刻氧化物半導體層140。作為氧化物半導體層140之蝕刻，可使用濕蝕刻，亦可使用幹蝕刻。作為濕蝕刻，可使用酸性之蝕刻劑進行蝕刻。作為蝕刻劑，例如可使用草酸、PAN、硫酸、過氧化氫水或氫氟酸。因步驟S1003中之氧化物半導體層140為非晶質，故可藉由濕蝕刻容易地將氧化物半導體層140圖案化為規定形狀。

【0075】

於形成氧化物半導體層140之圖案之後，對氧化物半導體層140進行熱處理(OS退火)(圖9之步驟S1004之「Annealing(退火) OS」)。於OS退火中，氧化物半導體層140以規定之到達溫度保持規定時間。規定之到達溫度為300°C以上500°C以下、或350°C以上450°C以下。到達溫度下之保持時間為15分鐘以上120分鐘以下、或30分鐘以上60分鐘以下。於本實施形態中，藉由該OS退火，氧化物半導體層140結晶化。但，氧化物半導體層140亦可未必藉由OS退火而結晶化。

【0076】

如圖9及圖13所示，將閘極絕緣層150成膜(圖9之步驟S1005之「形成GI」)。作為閘極絕緣層150，例如形成氧化矽。閘極絕緣層150藉由CVD法形成。例如，為了形成如上述般缺陷較少之絕緣層作為閘極絕緣層150，可於350°C以上之成膜溫度將閘極絕緣層150成膜。閘極絕緣層150

之厚度例如為75 nm以上150 nm以下。亦可於將閘極絕緣層150成膜後，進行向閘極絕緣層150之上部植入氧之處理。作為植入氧之處理，亦可進行藉由濺鍍法於閘極絕緣層150之上形成金屬氧化物層之構成。

【0077】

於閘極絕緣層150成膜於氧化物半導體層140之上之狀態下，進行用於向氧化物半導體層140供給氧之熱處理(氧化退火)(圖9之步驟S1006之「氧化退火」)。於自氧化物半導體層140成膜至閘極絕緣層150成膜於氧化物半導體層140之上之間之步驟中，於氧化物半導體層140之上表面141及側面143產生大量氧缺損。藉由上述氧化退火，自閘極絕緣層120、150釋放之氧被供給至氧化物半導體層140，修復氧缺損。於不進行對閘極絕緣層150植入氧之處理之情形時，亦可於在閘極絕緣層150之上形成有藉由熱處理釋放氧之絕緣層之狀態下進行氧化退火。

【0078】

為了將自閘極絕緣層150向氧化物半導體層140之氧供給量增多，可於閘極絕緣層150之上，藉由濺鍍法形成以鋁為主成分之金屬氧化物層，並於該狀態下進行氧化退火。作為該金屬氧化物層，藉由使用對氣體之障壁性較高之氧化鋁，可抑制氧化退火時植入閘極絕緣層150之氧向外擴散。藉由上述金屬氧化物層之形成及氧化退火，將植入閘極絕緣層150之氧高效地供給至氧化物半導體層140。

【0079】

如圖9及圖14所示，形成閘極電極160(圖9之步驟S1007之「形成GE」)。閘極電極160藉由濺鍍法或原子層沈積法成膜，並經由光微影技術圖案化。藉由形成閘極電極160之蝕刻，亦可將設置於閘極電極160之

圖案外側之閘極絕緣層150薄膜化。

【0080】

如圖15所示，於閘極電極160被圖案化之狀態下，對氧化物半導體層140進行雜質之離子注入(圖9之步驟S1008之「注入雜質離子」)。具體而言，將閘極電極160作為遮罩，向閘極絕緣層120、氧化物半導體層140及閘極絕緣層150注入雜質。藉由離子注入，例如硼(B)、磷(P)、氬(Ar)或氮(N)等之元素被注入至閘極絕緣層120、氧化物半導體層140及閘極絕緣層150。

【0081】

於不與閘極電極160重疊之第2區域A2中之氧化物半導體層140中，因離子注入而產生氧缺陷。藉由於產生之氧缺陷捕獲氬，第2區域A2中之氧化物半導體層140之電阻下降。另一方面，於與閘極電極160重疊之第1區域A1中之氧化物半導體層140中，因未注入雜質，故不產生氧缺陷，第1區域A1中之電阻未下降。藉由上述步驟，於第1區域A1中之氧化物半導體層140形成通道區域CH，於第2區域A2中之氧化物半導體層140形成源極區域S及汲極區域D。

【0082】

藉由上述離子注入，於第2區域A2及第3區域A3中之閘極絕緣層120及閘極絕緣層150產生懸空鍵缺陷DB。懸空鍵缺陷DB之位置及量可藉由調整離子注入之製程參數(例如劑量、加速電壓、電漿功率等)進行控制。為了充分降低源極區域S及汲極區域D中之氧化物半導體層140之電阻，藉由調整製程參數，可將氧化物半導體層140之上表面附近之雜質濃度調整為 $1 \times 10^{19}/\text{cm}^3$ 以上。另一方面，於使用包含矽及氮之絕緣層作為閘極絕緣

層110之情形時，若雜質以高濃度植入閘極絕緣層110，則於閘極絕緣層110產生之氫到達氧化物半導體層140，對半導體裝置10之電特性造成不良影響。因此，可將閘極絕緣層110之上表面附近之雜質濃度調整為 $1 \times 10^{19}/\text{cm}^3$ 以下。

【0083】

如圖9及圖16所示，將絕緣層170、180作為層間膜成膜於閘極絕緣層150及閘極電極160之上(圖9之步驟S1009之「層間膜成膜」)。絕緣層170、180藉由CVD法成膜。例如，形成氮化矽層作為絕緣層170，形成氧化矽層作為絕緣層180。作為絕緣層170、180使用之材料不限定於上述者。絕緣層170之厚度為50 nm以上500 nm以下。絕緣層180之厚度為50 nm以上500 nm以下。

【0084】

如圖9及圖17所示，於閘極絕緣層150及絕緣層170、180形成開口171、173(圖9之步驟S1010之「接點開孔」)。藉由開口171，源極區域S中之氧化物半導體層140露出。藉由開口173，汲極區域D中之氧化物半導體層140露出。藉由於由開口171、173露出之氧化物半導體層140之上及絕緣層180之上形成源極/汲極電極200(圖9之步驟S1011之「形成SD」)，圖1所示之半導體裝置10完成。

【0085】

[2.第2實施形態]

使用圖18～圖22，對使用本發明之一實施形態之半導體裝置之顯示裝置進行說明。於以下所示之實施形態中，對將上述第1實施形態中說明之半導體裝置10應用於液晶顯示裝置之電路之構成進行說明。

【0086】**[2-1.顯示裝置20之概要]**

圖18係顯示本發明之一實施形態之顯示裝置之概要之俯視圖。如圖18所示，顯示裝置20具有陣列基板300、密封部310、對向基板320、可撓性印刷電路基板330(FPC(Flexible Printed Circuit)330)及IC晶片340。陣列基板300及對向基板320藉由密封部310貼合。於被密封部310包圍之液晶區域22，以矩陣狀配置有複數個像素電路301。液晶區域22係與後述之液晶元件311於俯視時重合之區域。

【0087】

設置有密封部310之密封區域24為液晶區域22周圍之區域。FPC330設置於端子區域26。端子區域26係陣列基板300自對向基板320露出之區域，設置於密封區域24之外側。密封區域24之外側意指設置有密封部310之區域及由密封部310包圍之區域之外側。IC晶片340設置於FPC330上。IC晶片340供給用於驅動各像素電路301之信號。

【0088】**[2-2.顯示裝置20之電路構成]**

圖19係顯示本發明之一實施形態之顯示裝置之電路構成之方塊圖。如圖19所示，於與配置有像素電路301之液晶區域22於D1方向(行方向)相鄰之位置設置有源極驅動器電路302，於與液晶區域22於D2方向(列方向)相鄰之位置設置有閘極驅動器電路303。源極驅動器電路302及閘極驅動器電路303設置於上述密封區域24。但，設置源極驅動器電路302及閘極驅動器電路303之區域不限定於密封區域24，只要為設置有像素電路301之區域之外側，即可為任意區域。

【0089】

源極配線304自源極驅動器電路302朝D1方向延伸，並與於D1方向排列之複數個像素電路301連接。閘極配線305自閘極驅動器電路303朝D2方向延伸，並與於D2方向排列之複數個像素電路301連接。

【0090】

於端子區域26設置有端子部306。以連接配線307將端子部306與源極驅動器電路302連接。同樣，以連接配線307將端子部306與閘極驅動器電路303連接。藉由FPC330連接於端子部306，與連接FPC330連接之外部機器和顯示裝置20連接，藉由來自外部機器之信號驅動設置於顯示裝置20之各像素電路301。

【0091】

第1實施形態所示之半導體裝置10作為包含於像素電路301、源極驅動器電路302、及閘極驅動器電路303之電晶體使用。

【0092】**[2-3.顯示裝置20之像素電路301]**

圖20係顯示本發明之一實施形態之顯示裝置之像素電路的電路圖。如圖20所示，像素電路301包含半導體裝置10、保持電容350及液晶元件311等之元件。半導體裝置10具有閘極電極160、源極電極201及汲極電極203。閘極電極160連接於閘極配線305。源極電極201連接於源極配線304。汲極電極203連接於保持電容350及液晶元件311。於本實施形態中，為了便於說明，將符號「201」所示之電極稱為源極電極，將符號「203」所示之電極稱為汲極電極，但亦可使符號「201」所示之電極作為汲極電極發揮功能，使符號「203」所示之電極作為源極電極發揮功

能。

【0093】

[2-4. 顯示裝置20之剖面構造]

圖21係顯示本發明之一實施形態之顯示裝置之概要之剖視圖。如圖21所示，顯示裝置20係使用半導體裝置10之顯示裝置。於本實施形態中，雖例示將半導體裝置10用於像素電路301之構成，但半導體裝置10亦可用於包含源極驅動器電路302及閘極驅動器電路303之周邊電路。於以下說明中，半導體裝置10之構成因與圖1所示之半導體裝置10同樣，故省略說明。

【0094】

絕緣層360設置於源極電極201及汲極電極203之上。對複數個像素共通設置之共通電極370設置於絕緣層360之上。絕緣層380設置於共通電極370之上。於絕緣層360、380設置有開口381。於絕緣層380之上及開口381之內部設置有像素電極390。像素電極390連接於漏極電極203。

【0095】

圖22係本發明之一實施形態之顯示裝置之像素電極及共通電極之俯視圖。如圖22所示，共通電極370具有俯視時與像素電極390重合之重疊區域、及不與像素電極390重合之非重疊區域。當對像素電極390與共通電極370之間供給電壓時，自重疊區域之像素電極390朝向非重疊區域之共通電極370形成橫向電場。藉由以該橫向電場使液晶元件311所包含之液晶分子動作，決定像素之灰階。

【0096】

[3. 第3實施形態]

使用圖23及圖24，對使用本發明之一實施形態之半導體裝置之顯示裝置進行說明。於本實施形態中，對將上述第1實施形態中說明之半導體裝置10應用於有機EL顯示裝置之電路之構成進行說明。顯示裝置20之概要及電路構成因與圖18及圖19所示者同樣，故省略說明。

【0097】

[3-1.顯示裝置20之像素電路301]

圖23係顯示本發明之一實施形態之顯示裝置之像素電路之電路圖。如圖23所示，像素電路301包含驅動電晶體11、選擇電晶體12、保持電容210及發光元件DO等之元件。驅動電晶體11及選擇電晶體12具備與半導體裝置10同樣之構成。選擇電晶體12之源極電極連接於信號線211，選擇電晶體12之閘極電極連接於閘極線212。驅動電晶體11之源極電極連接於陽極電源線213，驅動電晶體11之汲極電極連接於發光元件DO之一端。驅動電晶體11之閘極電極連接於選擇電晶體12之汲極電極。發光元件DO之另一端連接於陰極電源線214。保持電容210連接於驅動電晶體11之閘極電極及汲極電極。對信號線211供給決定發光元件DO之發光強度之灰階信號。對閘極線212供給選擇寫入上述灰階信號之像素列之信號。

【0098】

[3-2.顯示裝置20之剖面構造]

圖24係本發明之一實施形態之顯示裝置之剖視圖。雖圖24所示之顯示裝置20之構成與圖21所示之顯示裝置20類似，但圖24之顯示裝置20之較絕緣層360上方之構造與圖21之顯示裝置20之較絕緣層360上方之構造不同。以下，關於圖24之顯示裝置20之構成中與圖21之顯示裝置20同樣之構成，省略說明，對兩者之不同點進行說明。

【0099】

如圖24所示，顯示裝置20於絕緣層360之上方具有像素電極390、發光層392及共通電極394(發光元件DO)。像素電極390設置於絕緣層360之上及開口381之內部。於像素電極390之上設置有絕緣層362。於絕緣層362設置有開口363。開口363對應於發光區域。即，絕緣層362劃定像素。於藉由開口363露出之像素電極390之上設置有發光層392及共通電極394。像素電極390及發光層392相對於各像素個別地設置。另一方面，共通電極394對複數個像素共通地設置。發光層392根據像素之顯示色而使用不同之材料。

【0100】

於第2實施形態及第3實施形態中，雖例示將於第1實施形態說明之半導體裝置應用於液晶顯示裝置及有機EL顯示裝置之構成，但亦可將該半導體裝置應用於該等顯示裝置以外之顯示裝置(例如有機EL顯示裝置以外之自發光型顯示裝置或電子紙型顯示裝置)。又，自中小型之顯示裝置至大型之顯示裝置，無特別限定，可應用上述半導體裝置。

【0101】

作為本發明之實施形態上述之各實施形態只要不相互矛盾，即可適當組合而實施。又，基於各實施形態，熟知本技術者適當進行構成要件之追加、刪除或設計變更者、或進行步驟之追加、省略或條件變更者，只要具備本發明之主旨，亦包含於本發明之範圍內。

【0102】

即使為與藉由上述各實施形態帶來之作用效果不同之其他作用效果，關於自本說明書之記載顯而易見者、或熟知本技術者容易預測而得

者，當然應理解為係藉由本發明而得者。

【符號說明】

【0103】

10:半導體裝置

11:驅動電晶體

12:選擇電晶體

20:顯示裝置

22:液晶區域

24:密封區域

26:端子區域

100:基板

105, 160:閘極電極

110, 120, 150:閘極絕緣層

130:金屬氧化物層

140:氧化物半導體層

141:上表面

142:下表面

143:側面

170, 180:絕緣層

171, 173:開口

200:源極/汲極電極

201:源極電極

203:汲極電極

- 210:保持電容
- 211:信號線
- 212:閘極線
- 213:陽極電源線
- 214:陰極電源線
- 300:陣列基板
- 301:像素電路
- 302:源極驅動器電路
- 303:閘極驅動器電路
- 304:源極配線
- 305:閘極配線
- 306:端子部
- 307:連接配線
- 310:密封部
- 311:液晶元件
- 320:對向基板
- 330:可撓性印刷電路基板
- 340:IC晶片
- 350:保持電容
- 360, 362, 380:絕緣層
- 363, 381:開口
- 370, 394:共通電極
- 390:像素電極

392:發光層

A1:第1區域

A2:第2區域

A3:第3區域

CH:通道區域

D:汲極區域

D1:方向

D2:方向

DO:發光元件

L:通道長度

Id:汲極電流

S:源極區域

S1001~S1011:步驟

W:通道寬度

Vg:閘極電壓

Vth:閾值電壓

μ FE:遷移率

【發明申請專利範圍】

【請求項1】

一種半導體裝置，其包含：第1閘極電極；

上述第1閘極電極之上之第1絕緣層；

上述第1絕緣層之上之氧化物半導體層；

上述氧化物半導體層之上之第2絕緣層；及

上述第2絕緣層之上之第2閘極電極；且

上述第1絕緣層含有包含矽及氮之第1層、包含矽及氧之第2層、及包含鋁及氧之第3層；

上述第1層之厚度為10 nm以上190 nm以下；

上述第2層之厚度為10 nm以上100 nm以下；

上述第1層及上述第2層之合計厚度為200 nm以下；

上述第3層之厚度為1 nm以上10 nm以下。

【請求項2】

如請求項1之半導體裝置，其中上述第2層設置於上述第1層之上；且
上述第3層設置於上述第2層之上。

【請求項3】

如請求項2之半導體裝置，其中上述氧化物半導體層為多晶體。

【請求項4】

如請求項3之半導體裝置，其中上述氧化物半導體層之上表面附近之雜質濃度為 $1 \times 10^{19}/\text{cm}^3$ 以上。

【請求項5】

如請求項4之半導體裝置，其中上述第1層之上表面附近之雜質濃度

為 $1 \times 10^{19}/\text{cm}^3$ 以下。

【請求項6】

如請求項2之半導體裝置，其中上述第1層之厚度為10 nm以上100 nm以下。

【請求項7】

如請求項2之半導體裝置，其中上述第1層及上述第2層之合計厚度為150 nm以下。

【請求項8】

如請求項1之半導體裝置，其中上述第2絕緣層之厚度為10 nm以上75 nm以下。

【請求項9】

如請求項2之半導體裝置，其中上述第1層之厚度為10 nm以上100 nm以下；

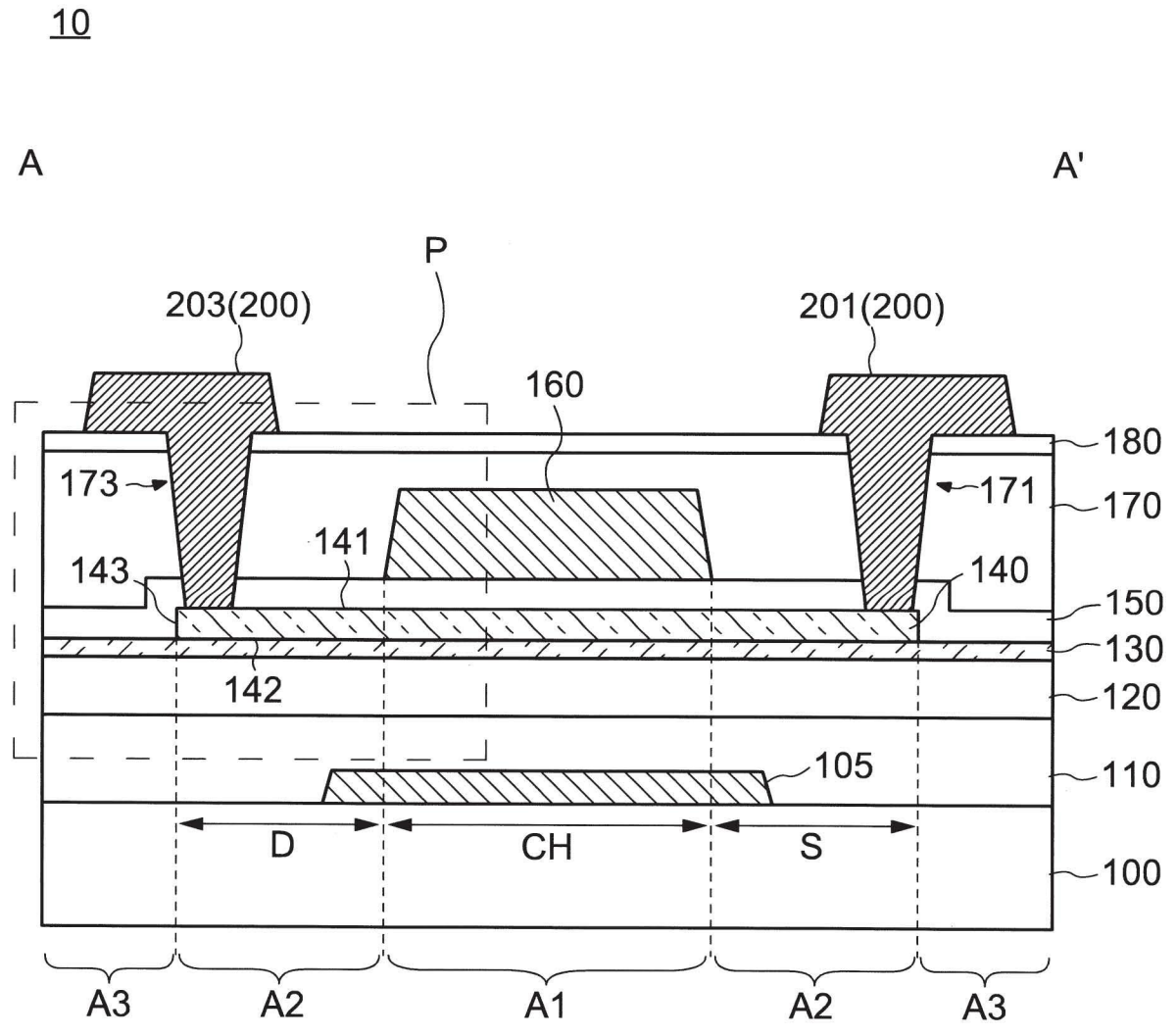
上述第2層之厚度為10 nm以上50 nm以下；且

上述第1層及上述第2層之合計厚度為150 nm以下。

【請求項10】

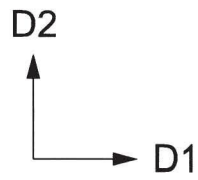
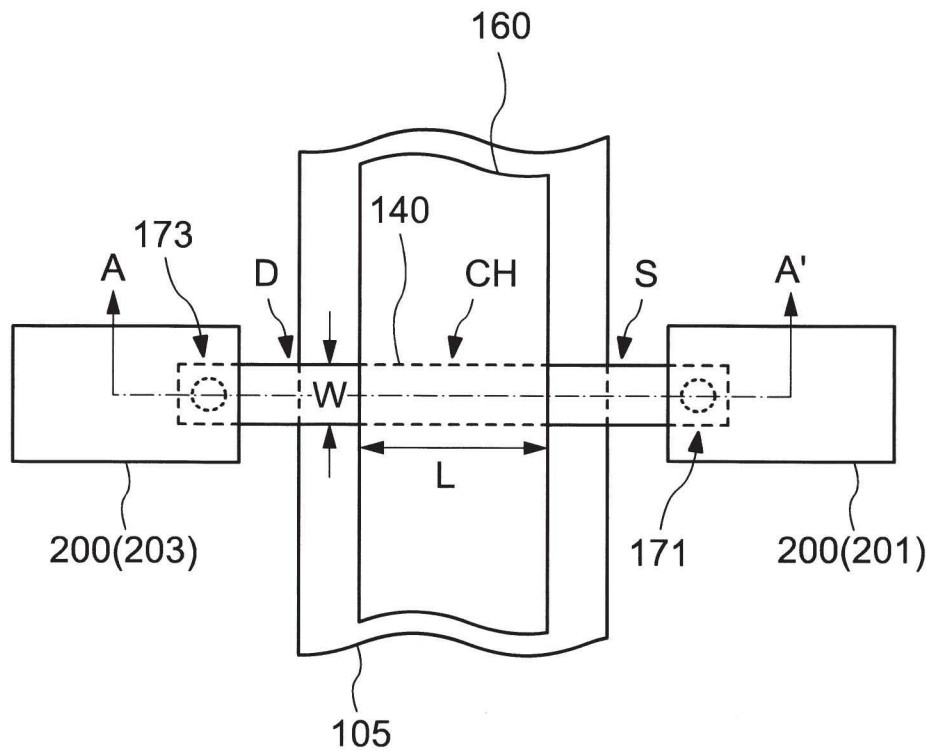
如請求項2之半導體裝置，其中上述第2絕緣層之厚度為10 nm以上100 nm以下。

【發明圖式】

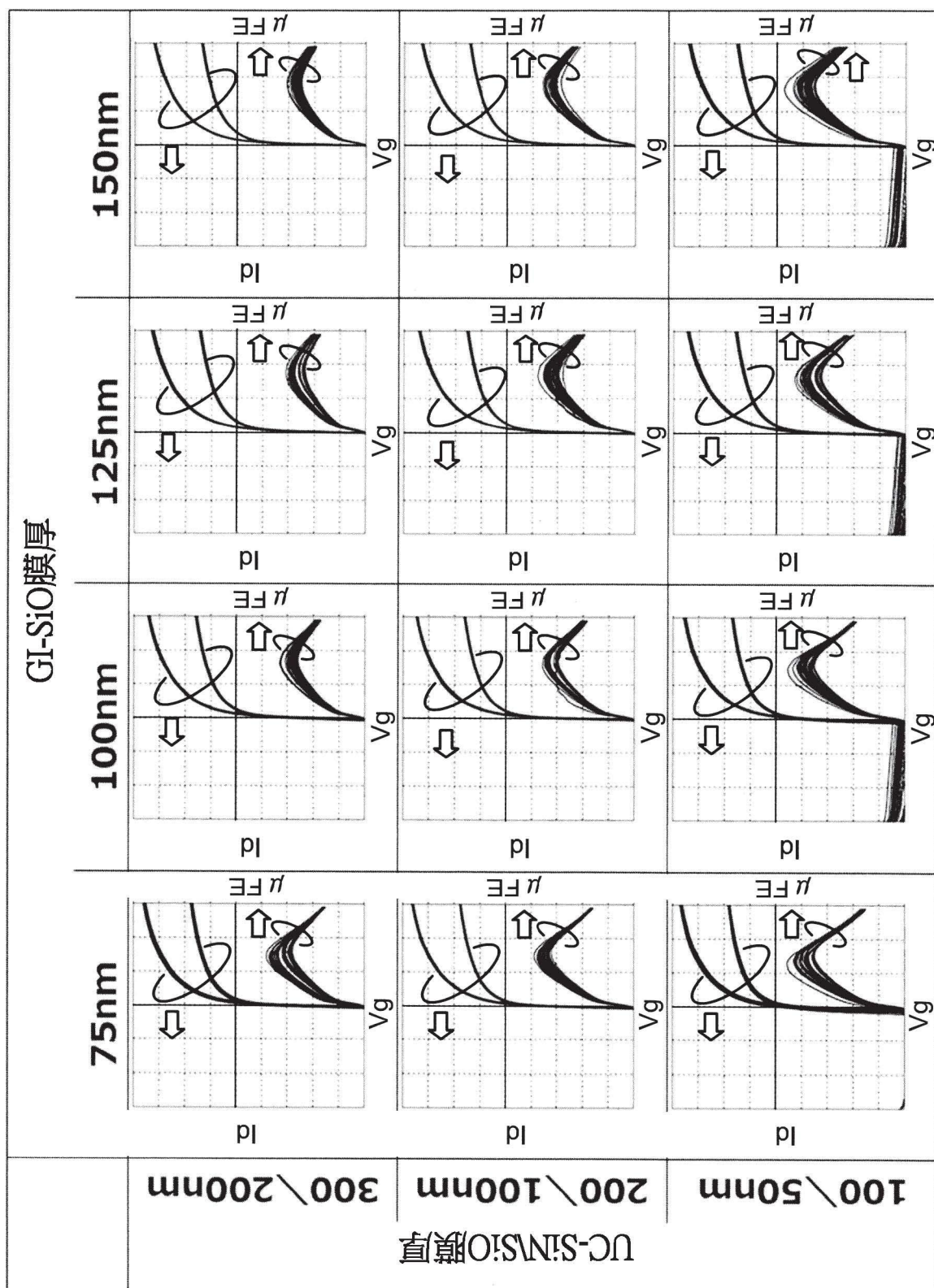


【圖1】

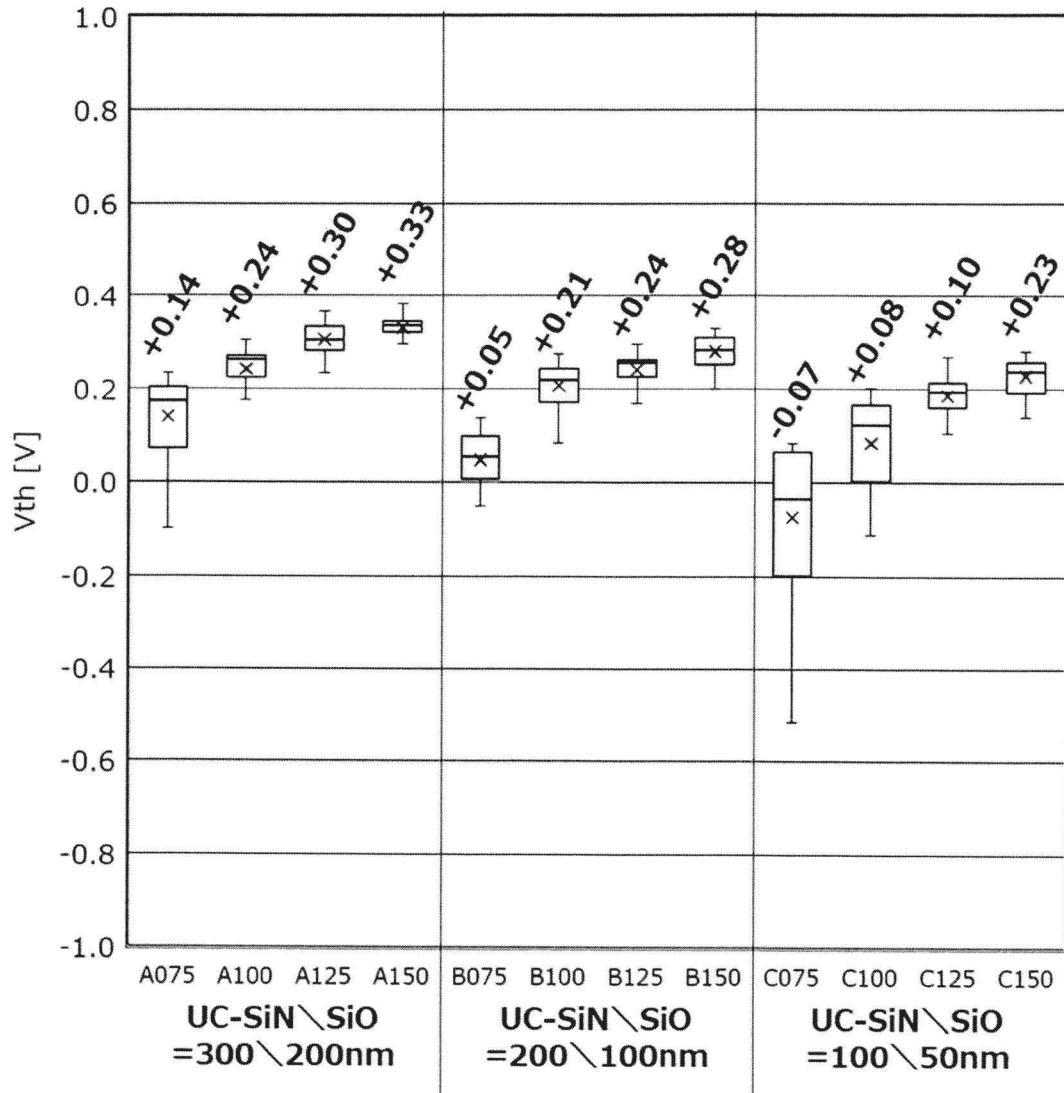
10



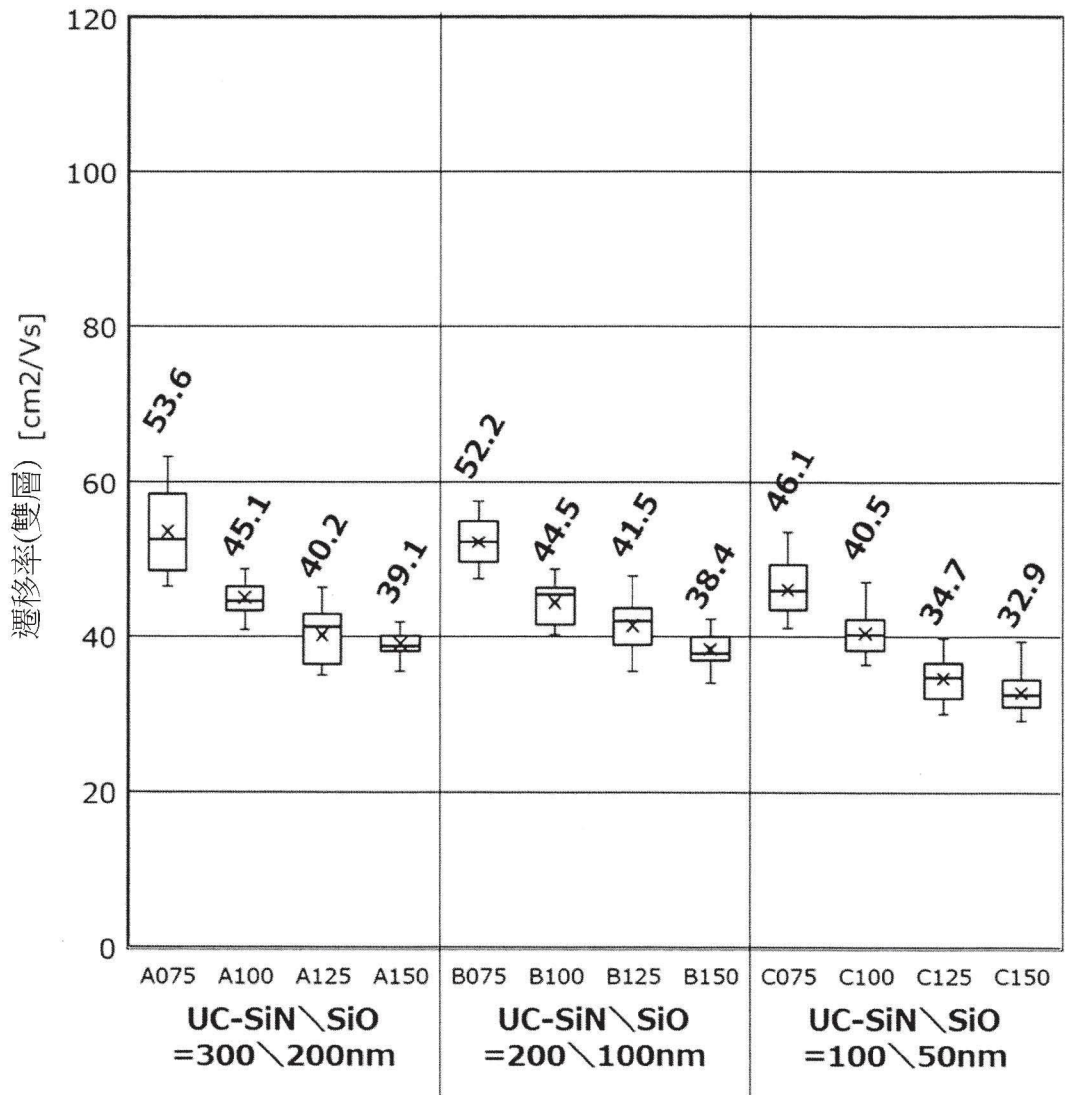
【圖2】



【圖3】



【圖4】



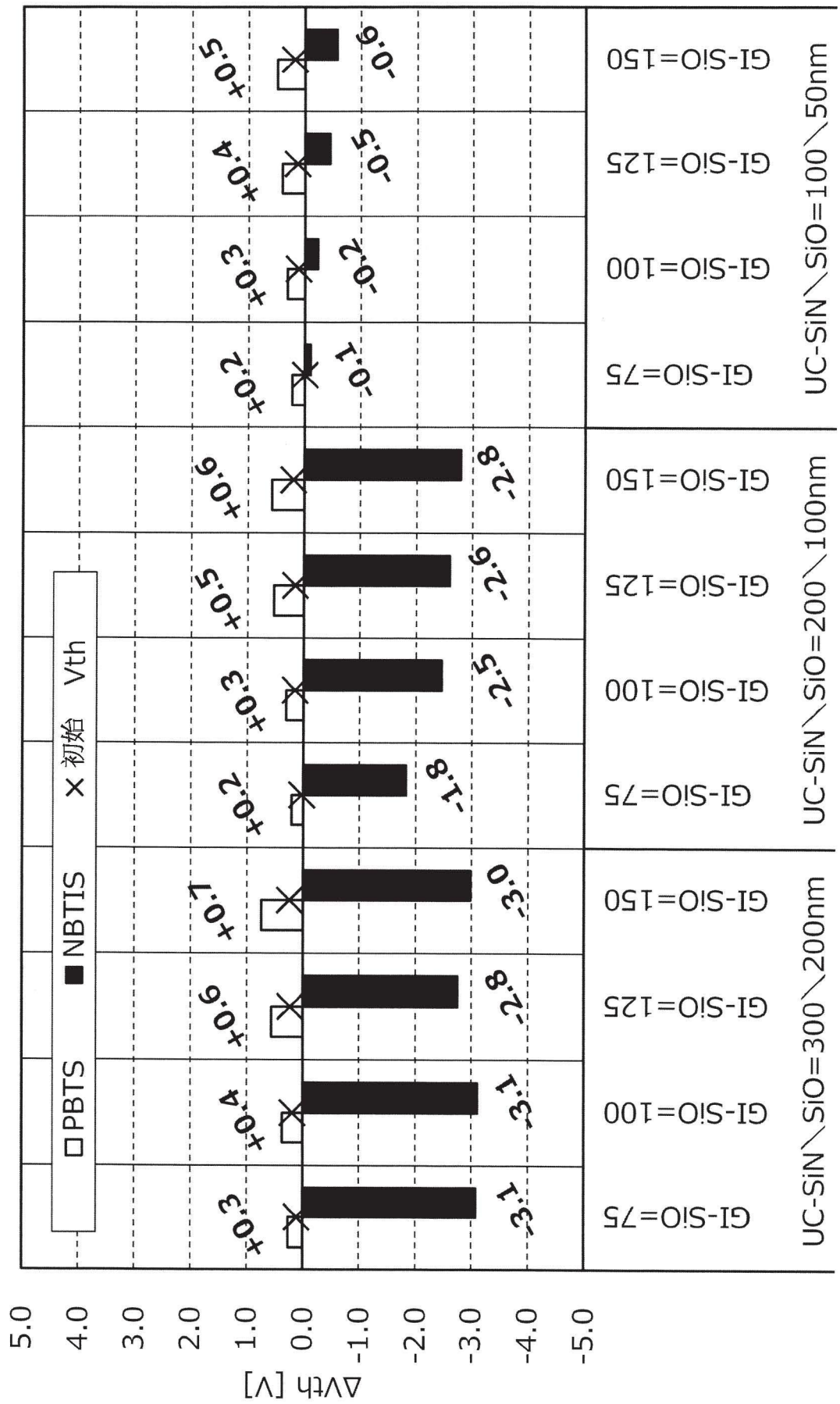
【圖5】

GI-SiO膜厚分類		150nm	125nm	100nm	75nm
UC-SiN/SiO膜厚分類	300 \ 200nm	<p>初始: +0.3v ΔVth: +0.7v</p>	<p>初始: +0.2v ΔVth: +0.6v</p>	<p>初始: +0.2v ΔVth: +0.5v</p>	<p>初始: +0.1v ΔVth: +0.3v</p>
	200 \ 100nm	<p>初始: +0.2v ΔVth: +0.5v</p>	<p>初始: +0.1v ΔVth: +0.4v</p>	<p>初始: +0.1v ΔVth: +0.3v</p>	<p>初始: +0.0v ΔVth: +0.2v</p>
	100 \ 50nm	<p>初始: +0.1v ΔVth: +0.3v</p>	<p>初始: +0.0v ΔVth: +0.2v</p>	<p>初始: +0.0v ΔVth: +0.2v</p>	<p>初始: +0.0v ΔVth: +0.2v</p>

【圖6】

GI-SiO膜厚分類		150nm	125nm	100nm	75nm
UC-SiN:SiO膜厚分類	300 \ 200nm	<p>初始: +0.2V ΔVth: -3.0V</p>	<p>初始: +0.2V ΔVth: -2.8V</p>	<p>初始: +0.2V ΔVth: -3.1V</p>	<p>初始: +0.1V ΔVth: -3.1V</p>
	200 \ 100nm	<p>初始: +0.2V ΔVth: -2.8V</p>	<p>初始: +0.1V ΔVth: -2.6V</p>	<p>初始: +0.2V ΔVth: -2.5V</p>	<p>初始: +0.0V ΔVth: -1.8V</p>
	100 \ 50nm	<p>初始: +0.2V ΔVth: -0.6V</p>	<p>初始: +0.1V ΔVth: -0.5V</p>	<p>初始: +0.1V ΔVth: -0.2V</p>	<p>初始: +0.0V ΔVth: -0.1V</p>

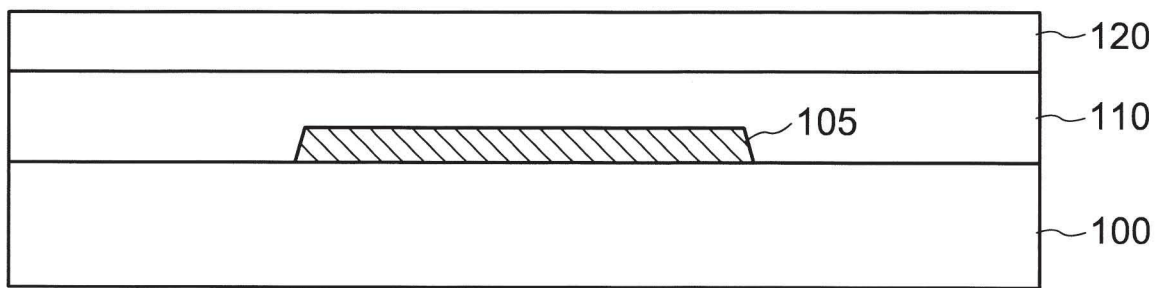
【圖7】



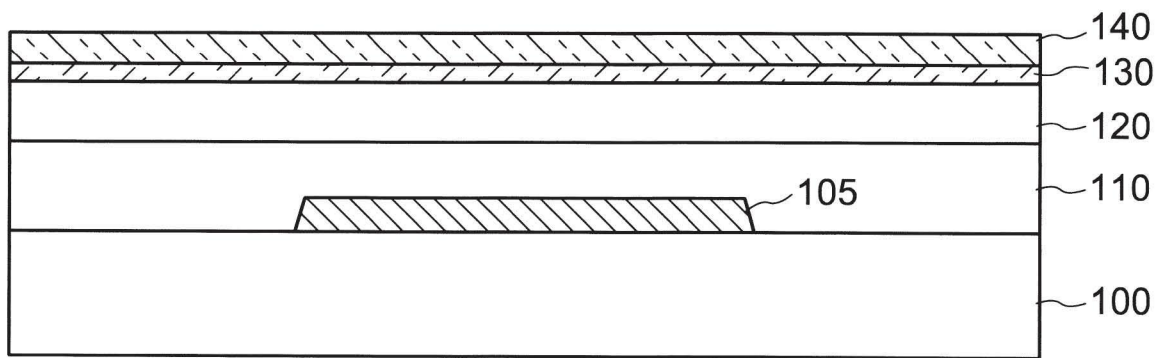
【圖8】



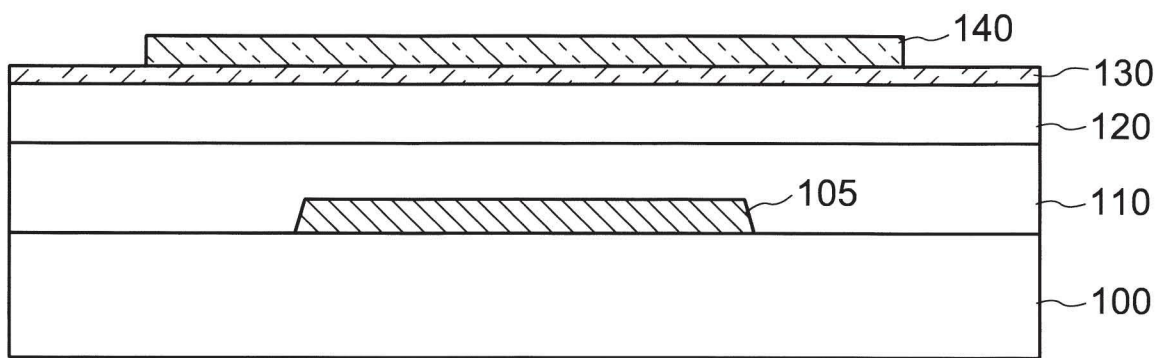
【圖9】



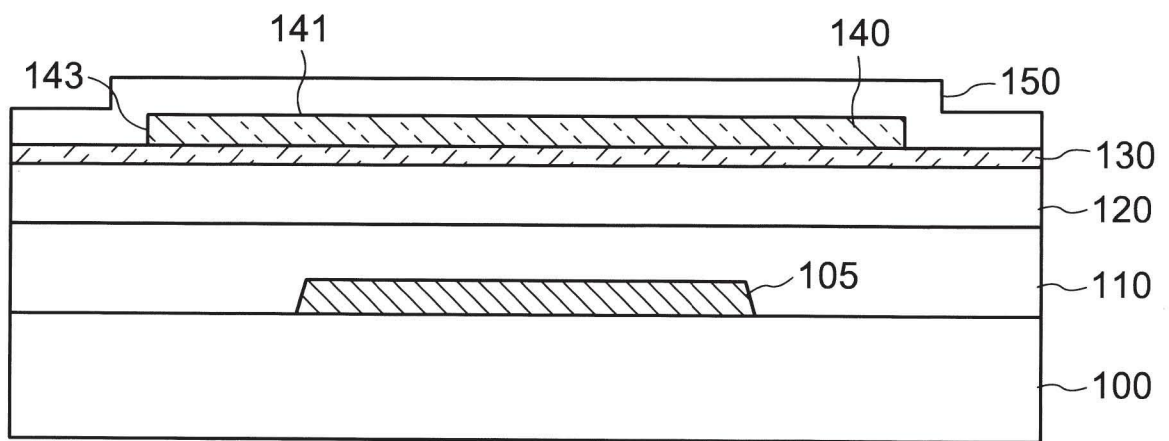
【圖10】



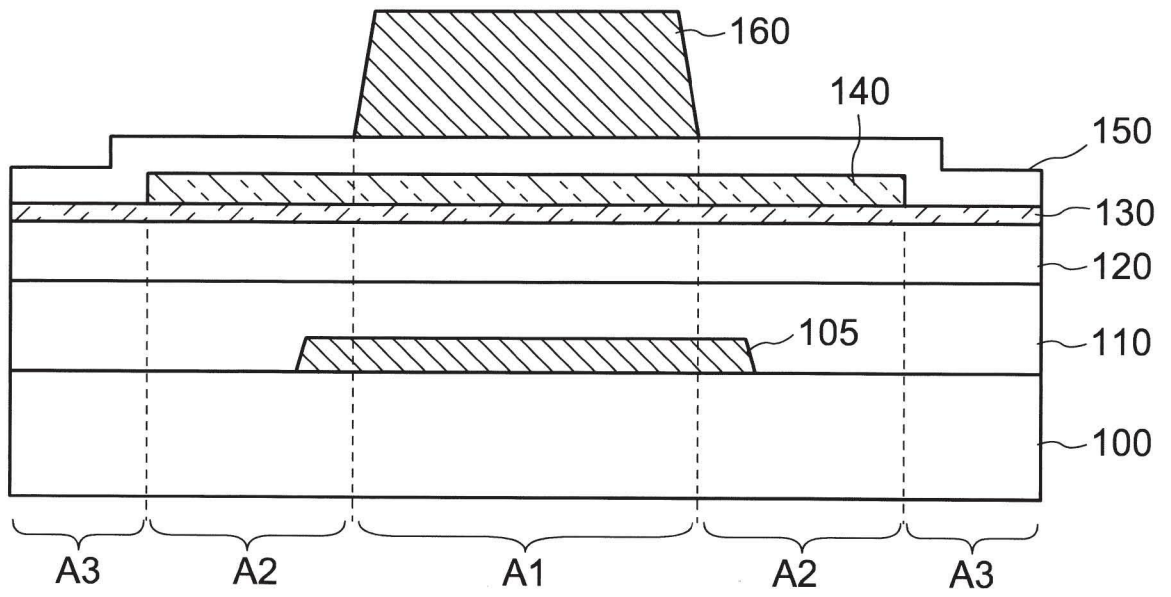
【圖11】



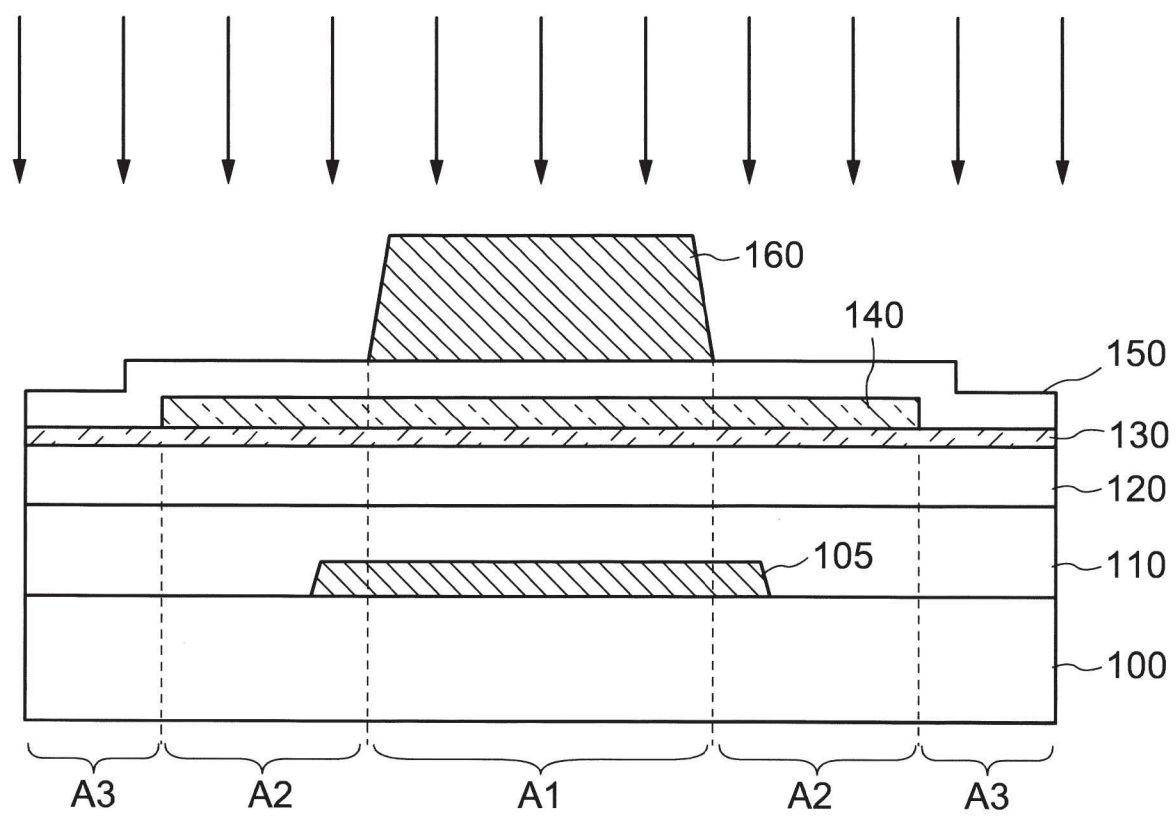
【圖12】



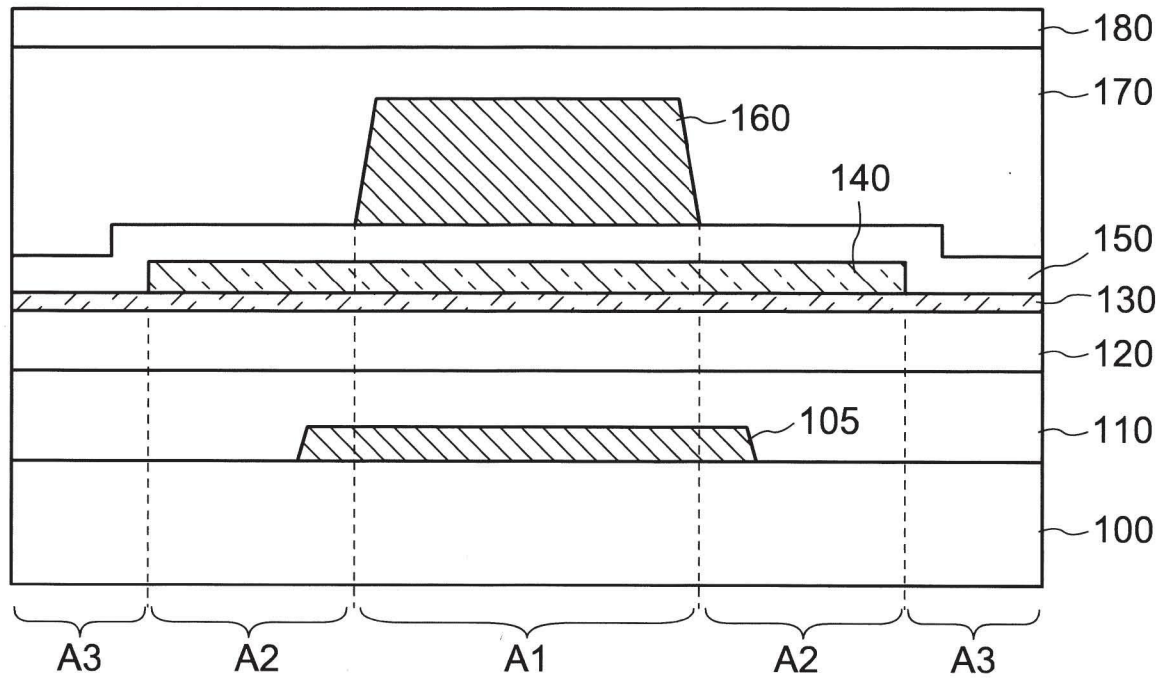
【圖13】



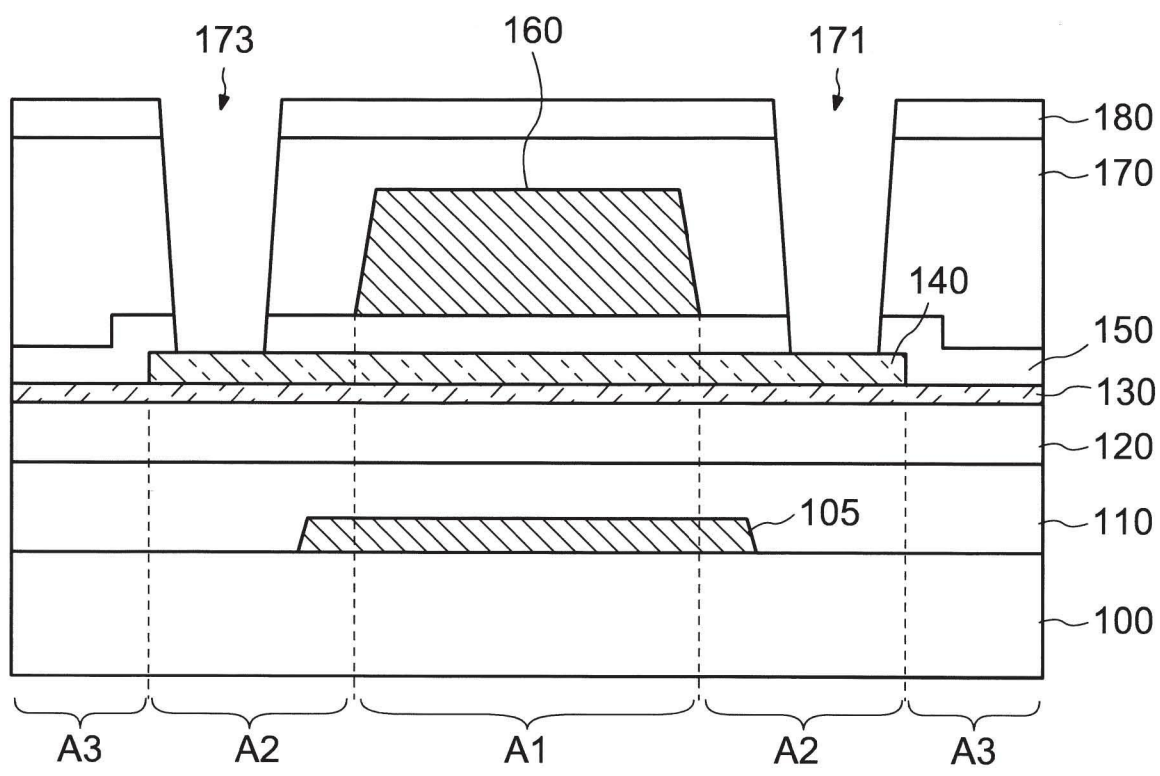
【圖14】



【圖15】

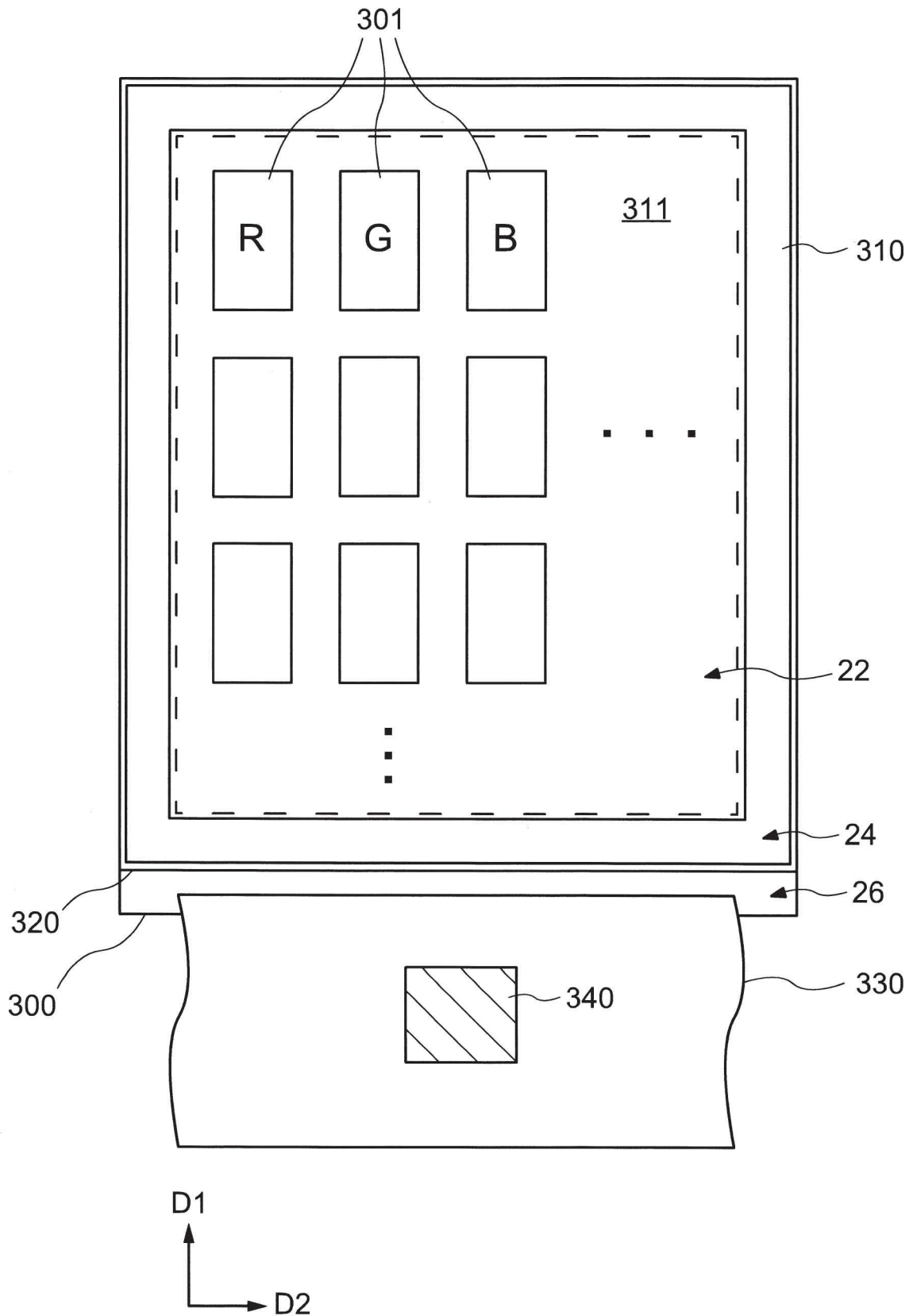


【圖16】

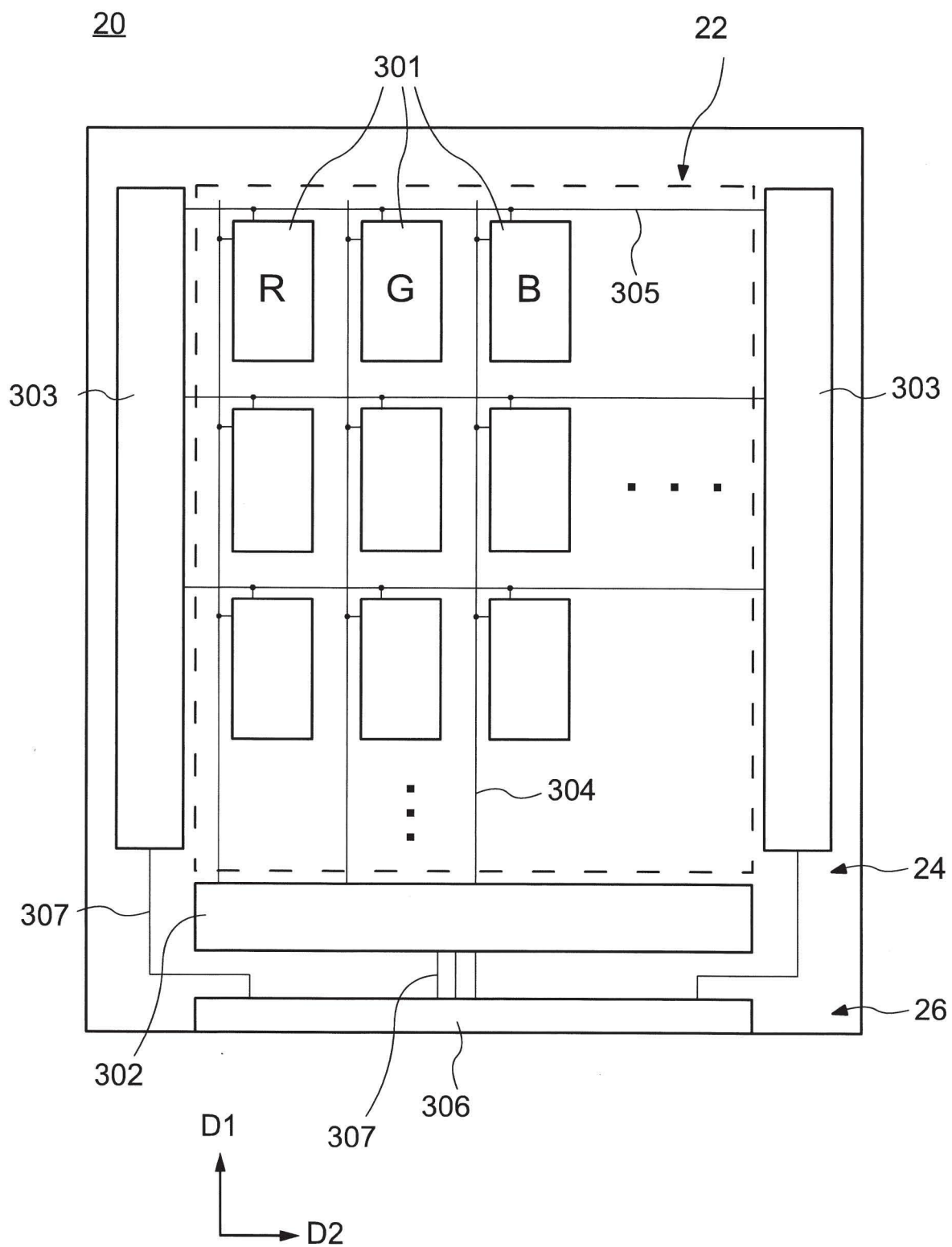


【圖17】

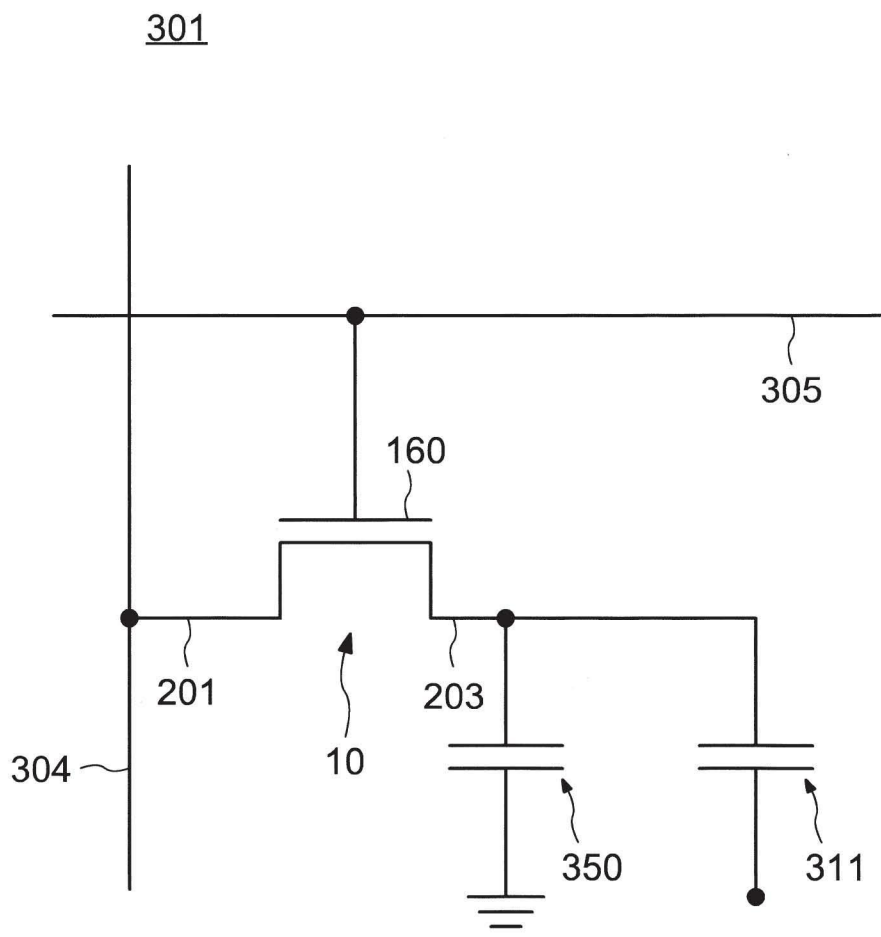
20



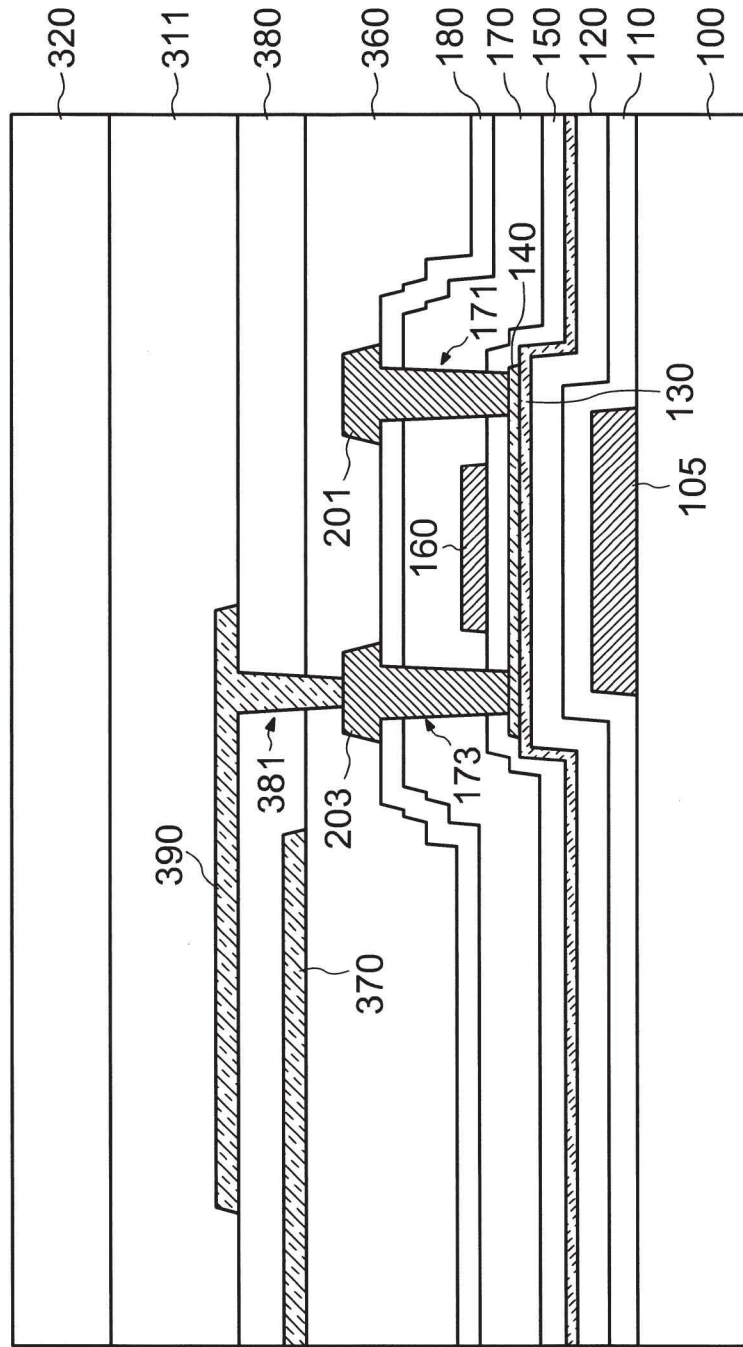
【圖18】



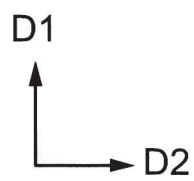
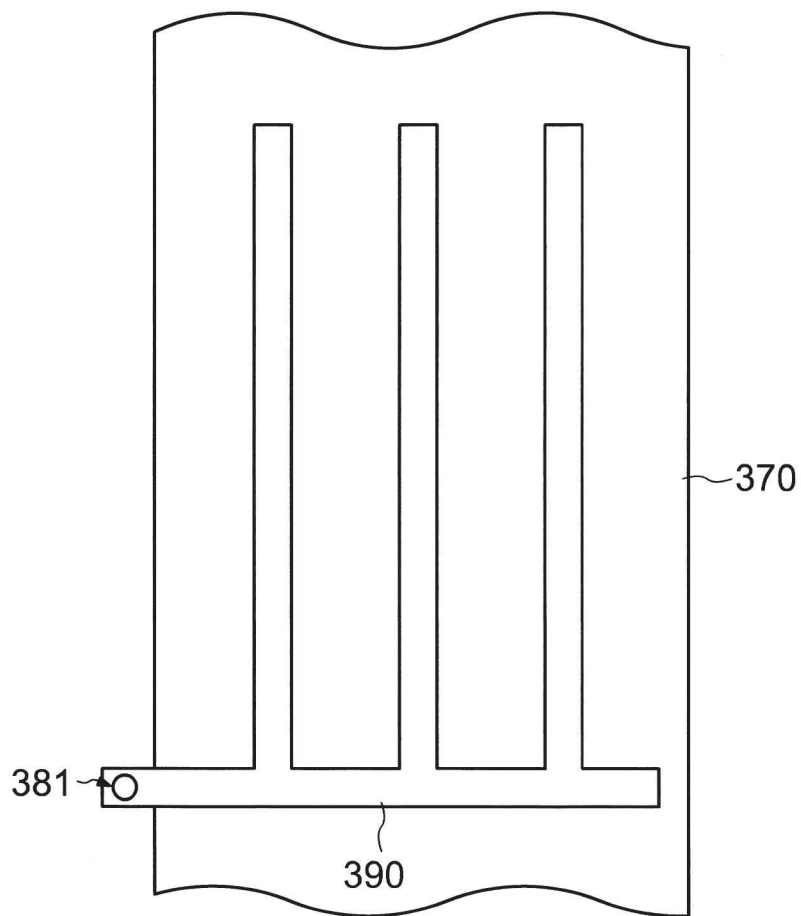
【圖19】



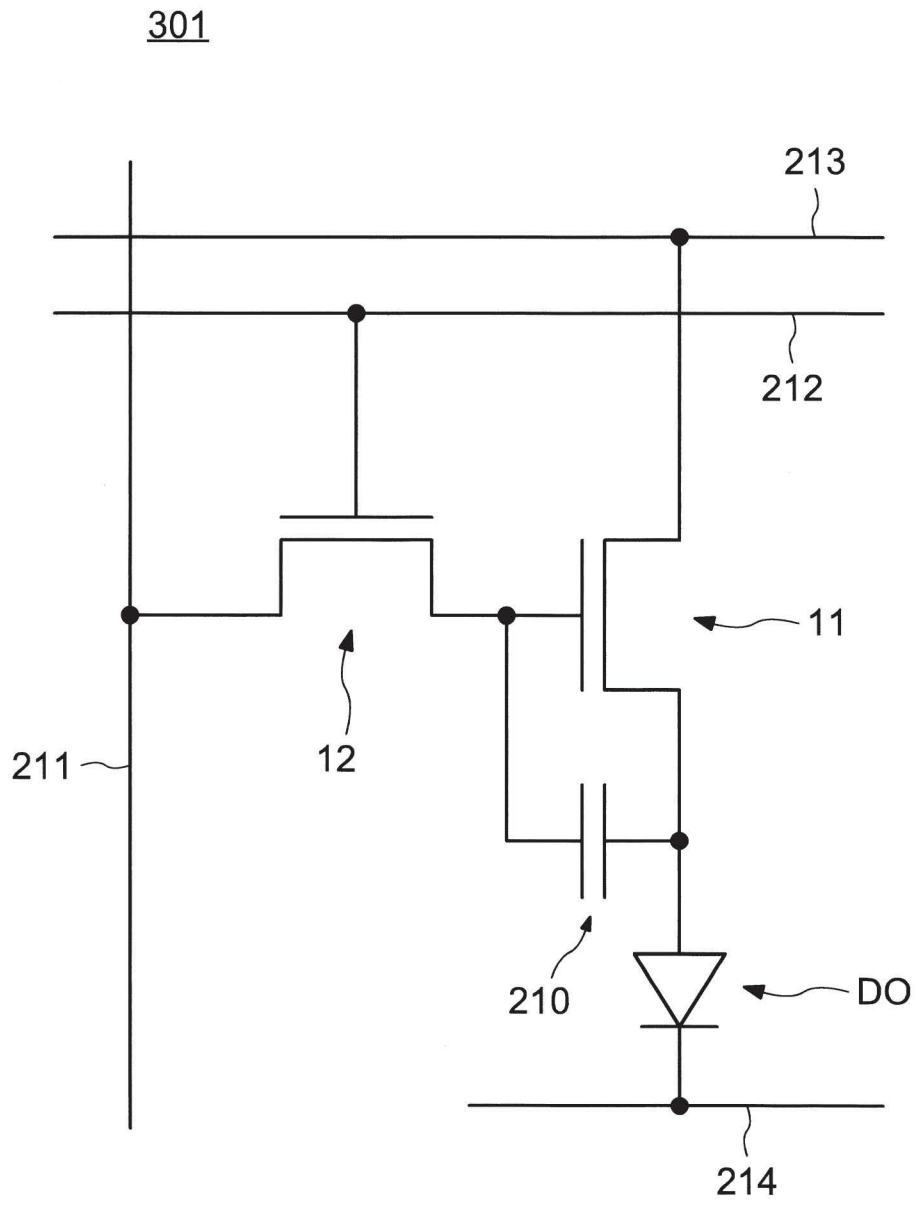
【圖20】



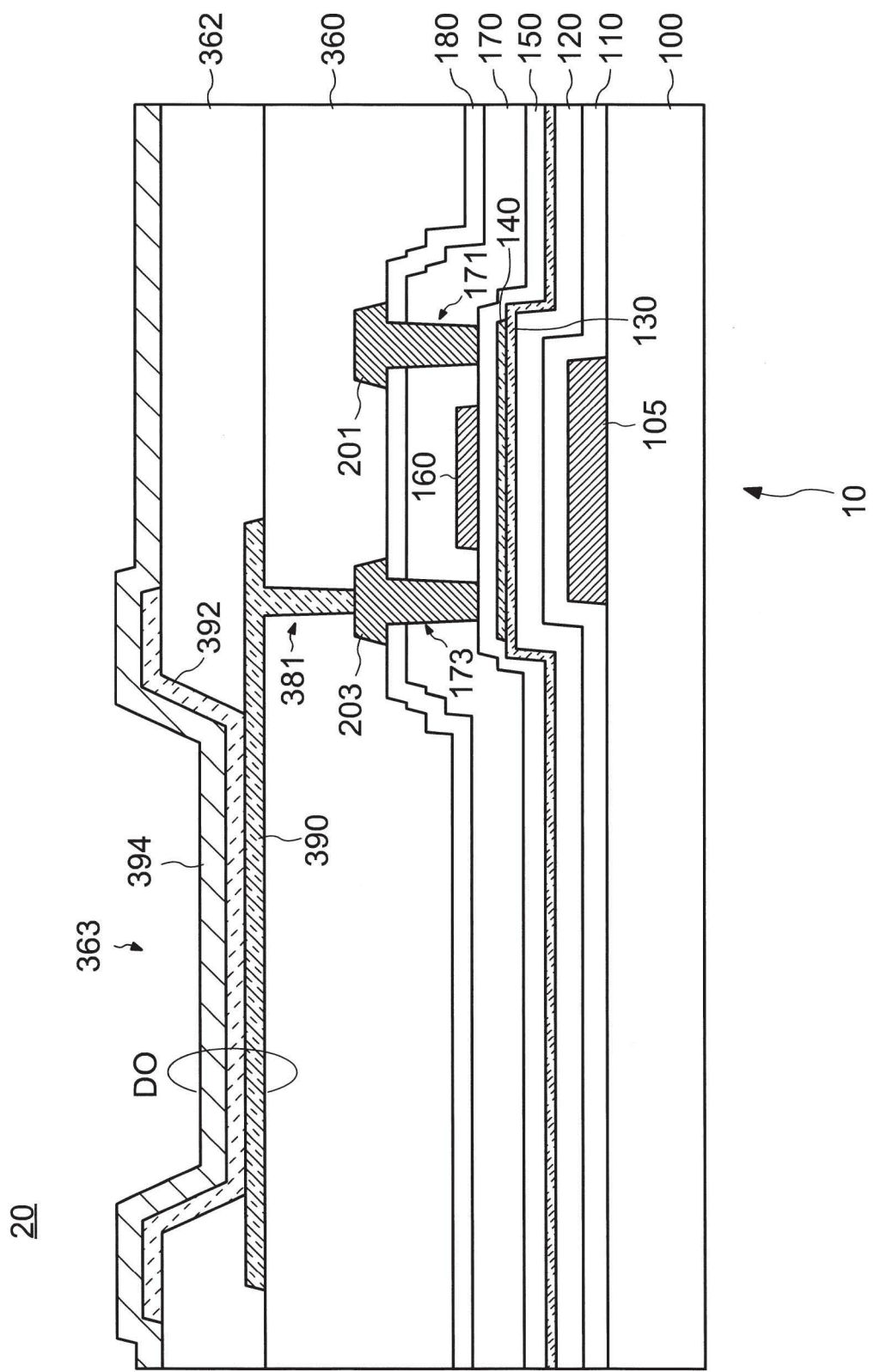
10
【圖21】



【圖22】



【圖23】



【圖24】